

Vynález řeší zapojení simulátoru paměti EPROM a PROM pro malé mikroprocesorové systémy, obsahující mikroprocesorový řídicí systém se základní adresovou a datovou sběrnicí, adresový dekodér, nejméně jednu paměť EPROM nebo PROM, paměť pro zápis a čtení a nejméně dva přepínače.

Dosud známé simulátory paměti EPROM, případně PROM, vyžadují použití tří i více portů pro plnění a čtení RWM paměti, dále ještě paměť řídicího slova a několik multiplexerů. Tím se stává zařízení složitým, nákladným, náročným na obsluhu i údržbu a v podstatě je nemožné, aby bylo součástí malých řídicích systémů, pracujících přímo v těžkých provozech. Bez simulátoru paměti EPROM, který je součástí malého mikropočítačového systému, v podstatě nelze provádět na počkání i malé změny programu se současným ověřením těchto změn, obzvláště u mikroprocesorových řídicích systémů pracujících v těžkých provozních podmínkách, jako jsou doly, hutě a podobně.

Výše uvedené nedostatky odstraňuje zapojení simulátoru paměti EPROM a PROM pro malé mikroprocesorové systémy podle vynálezu, obsahující mikroprocesorový řídicí systém se základní adresovou a datovou sběrnicí, adresový dekodér, nejméně jednu paměť EPROM nebo PROM, paměť pro zápis a čtení a nejméně dva přepínače. Podstata vynálezu spočívá v tom, že alespoň jeden z prvního až n-tého výstupu adresového dekodéru je spojen se sběračem prvního přepínače. První vývod prvního přepínače je spojen s uvolňovacím vstupem EPROM nebo PROM paměti. Druhý vývod prvního přepínače je spojen s druhým vývodem druhého přepínače, jehož první vývod je spojen s vývodem adresového dekodéru. Sběrač druhého přepínače je spojen s uvolňovacím vstupem paměti pro zápis a čtení.

Vyšší účinek zapojení simulátoru paměti EPROM a PROM podle vynálezu spočívá v tom, že nejsou navíc potřeba porty pro adresy a data, paměť řídicího slova a multiplexery, což má za následek podstatné zjednodušení zapojení.

Na výkresu je znázorněn jeden příklad blokového schématu zapojení simulátoru paměti EPROM a PROM podle vynálezu.

Zapojení simulátoru paměti EPROM a PROM obsahuje mikroprocesorový řídicí systém 1 se základní adresovou sběrnicí 1.1 a datovou sběrnicí 1.2, adresový dekodér 2, nejméně jednu z EPROM nebo PROM pamětí 3.1 až 3.N a paměť 3.X pro zápis a čtení. Adresový dekodér 2 je alespoň jedním z prvního až n-tého výstupu 1 až N spojen se sběračem 4.1 prvního přepínače 4. První vývod 4.2 prvního přepínače 4 je spojen s uvolňovacím vstupem EPROM nebo PROM paměti 3.1 a druhý vývod 4.3 prvního přepínače 4 je spojen s druhým vývodem 5.3 druhého přepínače 5. První vývod 5.2 druhého přepínače 5 je spojen s vývodem X adresového dekodéru 2. Sběrač 5.1 druhého přepínače 5 je spojen s uvolňovacím vstupem paměti 3.X pro zápis a čtení. Pokud je v zapojení využito většího počtu EPROM nebo PROM pamětí 3.1 až 3.N, použije se i stejný počet prvních přepínačů 4.

V poloze prvního přepínače 4 a druhého přepínače 5, znázorněné na výkresu, pracuje mikroprocesorový systém běžným způsobem a procesor má do paměti 3.X pro zápis a čtení přímý vstup a rovněž tak může číst z EPROM nebo PROM paměti 3.1. Kopírovacím programem se přepíše celý obsah EPROM nebo PROM paměti 3.1 do paměti 3.X pro zápis a čtení. Nyní se přepne druhý přepínač 5 a první přepínač 4 do druhé polohy a namísto EPROM nebo PROM paměti 3.1 pracuje paměť 3.X pro zápis a čtení. Tím je možno při ladění programu nejen rychle a snadno zjistit, jaké jsou třeba změny v programu, ale provést i odladění těchto změn.

Zapojení simulátoru paměti EPROM a PROM podle vynálezu lze jednoduše s minimem přídatných součástí doplnit zařízením pro programování pamětí EPROM a PROM podle Čs. autorského osvědčení č. 247 695. Potom lze výše uvedený odladěný program bez pomoci

dalších systémů, případně médií, jako je děrná páska a podobně, do paměti EPROM nebo PROM ihned nahrát a zverifikovat.

P Ř E D M Ě T V Ý N Á L E Z U

Zapojení simulátoru pamětí EPROM a PROM pro malé mikroprocesorové systémy, obsahující mikroprocesorový řídicí systém se základní adresovou a datovou sběrnicí, adresový dekodér, nejméně jednu EPROM nebo PROM paměť, paměť pro zápis a čtení a nejméně dva přepínače, vyznačené tím, že alespoň jeden z prvního až n-tého výstupu (1 až N) adresového dekodéru (2) je spojen se sběračem (4.1) prvního přepínače (4), přičemž první vývod (4.2) prvního přepínače (4) je spojen s uvolňovacím vstupem EPROM nebo PROM paměti (3.1) a druhý vývod (4.3) prvního přepínače (4) je spojen s druhým vývodem (5.3) druhého přepínače (5), jehož první vývod (5.2) je spojen s vývodem (X) adresového dekodéru (2) a sběrač (5.1) druhého přepínače (5) je spojen s uvolňovacím vstupem paměti (3.X) pro zápis a čtení.

1 výkres

