

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

H01L 21/31 (2006.01)

H01L 21/469 (2006.01)



# [12] 发明专利申请公布说明书

[21] 申请号 200780008358.7

[43] 公开日 2009年4月1日

[11] 公开号 CN 101401194A

[22] 申请日 2007.2.27

[21] 申请号 200780008358.7

[30] 优先权

[32] 2006.3.9 [33] US [31] 60/781,508

[32] 2006.12.20 [33] US [31] 11/614,019

[32] 2006.12.20 [33] US [31] 11/614,022

[32] 2006.12.20 [33] US [31] 11/614,027

[86] 国际申请 PCT/US2007/062841 2007.2.27

[87] 国际公布 WO2007/106660 英 2007.9.20

[85] 进入国家阶段日期 2008.9.9

[71] 申请人 应用材料股份有限公司

地址 美国加利福尼亚州

[72] 发明人 T·C·楚埃 S·洪 P·M·刘

佐藤辰也 A·M·派特森

V·托多罗夫 J·P·霍兰

[74] 专利代理机构 上海专利商标事务所有限公司

代理人 陆嘉

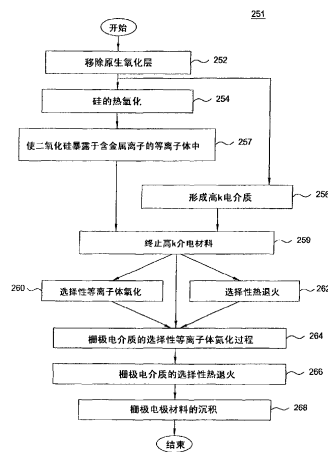
权利要求书6页 说明书30页 附图24页

## [54] 发明名称

使用低能量等离子体系统制造高介电常数晶体管栅极的方法和装置

## [57] 摘要

本发明大致上是提供适于于基片上形成高质量的栅极介电层的方法与设备。实施例包含一方法，其中金属等离子体处理工艺是用来代替标准的氮化工艺，以于基片上形成高介电常数(k)层。实施例更包含适于“注入”较低能量的金属离子的设备，以减少离子轰击对栅极介电层(如二氧化硅层)的破坏及避免金属原子与下面的硅结合。一般而言，此工艺包括形成高k介电层、然后处理沉积的材料，以于栅极电极与高k介电材料之间形成良好界面。实施例还提供组合工具，其适于形成高k介电材料、终止高k介电材料的表面、实行预定之后处理步骤、以及形成栅极层。



1. 一种形成半导体器件的方法，包含：

在基片的表面上形成具有预定厚度的介电层；

利用低能量溅射工艺将一定数量的第一材料置入该介电层内，以形成一至少贯穿所形成的介电层的一部分厚度的浓度梯度，其中该低能量溅射工艺包含以第一射频频率与第一射频功率将射频能量提供给低能量溅射室的处理区域，使得标靶的第一材料可被置于该介电层中；以及

在该介电层上沉积第二材料。

2. 如权利要求 1 所述的方法，其更包含使该介电层与该第一材料暴露于含氮的射频等离子体中。

3. 如权利要求 1 所述的方法，其特征在于，该介电层的厚度小于约 40 埃。

4. 如权利要求 1 所述的方法，其特征在于，该第一材料为铪，且该第一材料在该介电层内的浓度小于约 30 原子%。

5. 如权利要求 1 所述的方法，其特征在于，该第一材料选自由锆、铪、镧、锶、钡、铟、和钡所构成的群组。

6. 如权利要求 1 所述的方法，其特征在于，该介电层包含选自由二氧化硅、氧化铪、氧化锆、铪硅酸盐氧化物、氧化镧、和氧化铝所构成的群组的材料。

7. 如权利要求 2 所述的方法，更包含在使该介电层暴露于含氮的射频等离子体中之前，将一定含量的第三材料置入该介电层内，其中该第三材料包含选自由铪、镧、铝、钛、锆、锶、钡、和钡所构成的群组的元素。

8. 如权利要求 6 所述的方法，更包含使该介电层、该第一材料与该第三材料

暴露于一氧化环境中，其中该氧化环境使用热氧化工艺或等离子体氧化工艺。

9. 如权利要求 1 所述的方法，其特征在于，该第二材料包含选自多晶硅、钽、氮化钽、碳化钽、钨、氮化钨、氮化钽硅、铅、铝、钒、钴、钛、镍、和氮化钛所构成的群组的材料。

10. 如权利要求 1 所述的方法，其特征在于，该低能量溅射工艺包含：  
以第一频率来脉冲产生由射频产生器所输送的射频能量；  
脉冲产生一从直流源组件输送到该标靶的直流电压；以及  
利用一系统控制器来同步化脉冲的射频能量与脉冲的直流电压。

11. 如权利要求 1 所述的方法，更包含在约 800°C 至约 1100°C 的温度来退火处理被置于该基片表面上的介电层与第一材料。

12. 如权利要求 1 所述的方法，更包含在形成该介电层之前，使该基片的表面暴露于一含氮的射频等离子体中。

13. 一种用于形成高 k 介电层的设备，包含：

传输室，它具有一个或多个用于构成传送区域的壁面以及设于该传送区域中的传输机械手臂；

等离子体氮化室，它耦合到该传输室且被配置成在该等离子体氮化室中的第一处理区域内的基片的表面上形成氮化物，其中该等离子体氮化室包含：

射频源，它与该第一处理区域电气连通；和

含氮的气源，它与该第一处理区域选择性连通；以及

第一低能量等离子体处理室，它耦合到该传输室并与该机械手臂可转移地连通，其中该第一低能量等离子体处理室包含：

一个或多个用于构成第二处理区域的壁面；

标靶，它具有暴露于该第二处理区域的表面，其中该标靶包含第一材料；

第一射频产生器，适用于以第一射频频率向该第二处理区域供应能量；

和

基片支撑件，位于该第二处理区域中。

14. 如权利要求 13 所述的设备，更包含一多晶硅沉积室，它与该传送区域可转移地连通且被配置成在该基片的表面上沉积多晶硅层。

15. 如权利要求 13 所述的设备，更包含一退火室，它与该传送区域可转移地连通且被配置成在约 800°C 至约 1100°C 的温度来退火处理该基片。

16. 如权利要求 13 所述的设备，更包含一处理室，它与该传送区域可转移地连通且被配置成利用 CVD 或 ALD 沉积工艺在该基片的表面上形成高 k 介电层。

17. 如权利要求 13 所述的设备，更包含：

第二低能量等离子体处理室，它与该机械手臂可转移地连通，其中该第二低能量等离子体处理室包含：

一个或多个用于构成第三处理区域的壁面；

第二标靶，它具有暴露于该第三处理区域的表面；

第二射频产生器，它被配置成以第二射频频率向该第二处理区域供应能量；

和

基片支撑件，位于该第三处理区域中。

18. 如权利要求 13 所述的设备，其特征在于，位于该第一低能量等离子体处理室中的标靶包含选自由铝、镧、和铪所构成的群组的金属。

19. 一种用于形成高 k 介电层的设备，包含：

一个或多个用于构成处理区域的壁面；

标靶，它具有暴露于该处理区域的表面；

基片支撑件，它具有至少一个面对该处理区域的表面，其中该基片支撑件适于支撑在其表面上形成有介电层的基片；

第一产生器，它与该标靶电气连通且被配置成通过向该标靶输送一频率约为1MHz至200MHz的第一能量来维持该处理区域中的电容耦合等离子体，其中该第一产生器被配置成在该标靶的表面上产生一偏压，使得自该标靶可以溅射出靶材；以及

控制器，被配置成控制该第一产生器向该标靶输送的频率。

20. 如权利要求19所述的设备，其特征在于，该第一能量是以约0.1瓦至约1000瓦的第一功率进行输送的。

21. 如权利要求19所述的设备，其特征在于，该标靶更包含钪、镧、铝、钛、锆、锶、铅、铋、和钡中的至少一种。

22. 如权利要求19所述的设备，更包含一直流电压源，该直流电压源耦合到该标靶，其中该直流电压源被配置成使该标靶偏压，使得可以从中溅射出靶材。

23. 一种用于形成高k介电层的设备，包含：

一个或多个用于构成处理区域的壁面；

标靶，它具有暴露于该处理区域的表面且与直流电源电气连通；

第一线圈，它与该处理区域以及第一产生器电气连通，其中该第一线圈与该第一产生器被配置成在邻近标靶表面的处理区域中产生等离子体；以及

基片支撑件，它位于该处理区域中。

24. 如权利要求23所述的设备，其特征在于，制成该标靶的材料包含选自自由钪、镧、铝、钛、锆、锶、铅、铋、和钡所构成的群组的元素。

25. 一种使用低能量溅射工艺形成高k介电层的方法，其特征在于，该低能量溅射工艺包含：

将其上形成有介电层的基片放置于等离子体处理室的处理区域中；

利用低能量溅射工艺将第一材料置入该介电层内，其中该低能量溅射工艺包

含：

将来自第一射频产生器的多个射频能量脉冲输送到含有第一材料的标靶，其中各个脉冲的射频能量是以第一射频频率输送的；以及

将来自直流源组件的多个直流脉冲输送到该标靶，其中多个射频能量脉冲和多个直流脉冲是同步化的。

26. 如权利要求 25 所述的方法，其特征在于，该第一射频频率约为 1MHz 至约 200MHz。

27. 如权利要求 25 所述的方法，其特征在于，该第一材料包含选自由铝、钛、锆、钨、镧、铈、铅、钇、和钡所构成的群组的材料。

28. 如权利要求 25 所述的方法，更包含向该标靶输送多个第二射频能量脉冲，其中多个第二射频能量脉冲的射频能量是以第二射频频率输送的，且该第二射频频率大于该第一射频频率。

29. 一种使用低能量溅射工艺形成高 k 介电层的方法，其中该低能量溅射工艺包含：

将其上形成有介电层的基片放置于等离子体处理室的处理区域中；

利用低能量溅射工艺将第一材料置入该介电层内，其中该低能量溅射工艺包

含：

将来自第一射频产生器的多个射频能量脉冲输送到与该处理区域电气连通的线圈，其中射频能量是以第一射频频率和第一功率输送的；以及

将来自直流源组件的多个直流脉冲输送到含有第一材料的标靶，其中多个射频能量脉冲和多个直流脉冲是同步化的。

30. 如权利要求 29 所述的方法，其特征在于，该介电层的厚度小于约 30 埃。

31. 如权利要求 29 所述的方法，其特征在于，该第一材料包含选自由铝、钛、

锆、铪、镧、铽、钪、钇、和钽所构成的群组材料。

32. 一种使用低能量溅射工艺形成高 k 介电层的方法，其中该低能量溅射工艺包含：

将其上形成有介电层的基片放置于等离子体处理室的处理区域中；

利用低能量溅射工艺将第一材料置入该介电层内，其中该低能量溅射工艺包含：

将来自第一射频产生器的多个第一射频能量脉冲以第一射频频率输送到与该处理区域电气连通的线圈；以及

将来自第一射频产生器的多个第二射频能量脉冲以第二射频频率输送到与该处理区域电气连通的标靶，其中多个射频能量脉冲和多个直流脉冲是同步化的。

33. 如权利要求 32 所述的方法，其特征在于，该第一射频频率约为 40kHz 至 20MHz，而该第二射频频率约为 1MHz 至 200MHz。

34. 如权利要求 32 所述的方法，其特征在于，该介电层的厚度小于约 30 埃。

35. 如权利要求 32 所述的方法，其特征在于，该第一材料包含选自由铝、钛、锆、铪、镧、铽、钪、钇、和钽所构成的群组材料。

36. 如权利要求 32 所述的方法，其特征在于，多个第一射频能量脉冲和多个第二射频能量脉冲是以约 1Hz 至约 50kHz 的脉冲频率输送的。

## 使用低能量等离子体系统制造高介电常数晶体管栅极的方法和装置

### 技术领域

本发明的实施例大致上是关于形成高 k (介电常数) 介电层的方法与设备。特别是, 本发明的实施例是关于形成栅极介电层 (gate dielectric layer) 的方法。

### 背景技术

集成电路是由数百万个器件所组成, 例如晶体管、电容器与电阻器。晶体管(例如场效应晶体管)一般包括源极、漏极与栅极堆栈结构。栅极堆栈结构一般包括基片(例如硅基片)、栅极介电层以及在栅极介电层上的栅极电极(例如多晶硅)。栅极介电层由介电材料组成, 例如二氧化硅( $\text{SiO}_2$ ), 或由具有介电常数大于 4.0 的高 k 介电材料组成, 比如氧氮化硅( $\text{SiON}$ )、氮化硅( $\text{SiN}$ )、氧化铪( $\text{HfO}_2$ )、硅酸铪( $\text{HfSiO}_2$ )、氧氮化硅铪( $\text{HfSiON}$ )、氧化锆( $\text{ZrO}_2$ )、硅酸锆( $\text{ZrSiO}_2$ )、钛酸锶钡( $\text{BaSrTiO}_3$  或 BST)、钛锆酸铅( $\text{Pb}(\text{ZrTi})\text{O}_3$  或 PZT)等。然而, 应注意的是, 膜堆栈结构可包含其它材料组成的膜层。

第 1A 图绘示含有栅极介电层 14 的场效应晶体管(FET)10 的截面。如图示, 基片 12 上设有栅极介电层 14 与栅极电极 16。侧壁间隙壁 18 邻接着栅极介电层 14 与栅极电极 16 的垂直侧壁。源极/漏极接面 13 形成在实质邻接栅极电极 16 的相对垂直侧壁的基片 12 中。

随着集成电路尺寸和其上的晶体管尺寸缩小, 提高晶体管速度所需的栅极驱动电流亦增加。驱动电流会随着栅极电容增加而增加, 而电容= $kA/d$ , 其中 k 为栅极的介电常数, d 为介电层厚度, A 为器件面积。减小介电层厚度和提高栅极介电层的介电常数是增加栅极电容与驱动电流的方法。

$\text{SiO}_2$  栅极介电层的厚度已试图降至 20 埃( $\text{\AA}$ )以下。然而使用小于 20 $\text{\AA}$  的  $\text{SiO}_2$  栅极介电层已发现会对栅极的性能与耐久性造成不良效应。例如, 掺杂硼的栅极电极的硼会穿过薄  $\text{SiO}_2$  栅极介电层而到达其下方的硅基片。并且薄介电层会增加栅极所消耗的功率, 因而提高栅极漏电流(即隧穿电流)。薄  $\text{SiO}_2$  栅极



介电层易受 NMOS 热载流子裂解的影响,其中穿越介电层的高能载流子会伤害或破坏沟道。薄 SiO<sub>2</sub> 栅极介电层还易受 PMOS 负偏压温度不稳定(NBTI)的影响,其中临界电压或驱动电流随栅极操作漂移。

一种用于形成适合用作金属氧化物半导体场效应晶体管(MOSFET)的栅极介电层的方法包括在含氮的等离子体中使氧化硅薄膜氮化。期以增加栅极氧化层的净含氮量来提高介电常数乃基于数个理由。例如,氧化介电层块体可在等离子体氮化过程中稍微加入氮,藉以降低原始氧化层上的等效氧化层厚度(EOT)。因操作 FET 时的隧穿效应的故,相较于具相同 EOT 的未氮化的氧化介电层,其可减少栅极漏电流。同时,增加含氮量还可减少后续处理操作时若介电层厚度落在 Fowler-Nordheim(F-N)隧穿电流的范围导致 F-N 隧穿电流造成的破坏。增加栅极氧化层的净含氮量的另一好处为,经氮化的栅极介电层较能抵挡栅极蚀刻下切(undercut)的问题,进而减少栅极边缘的缺陷及降低漏电流。

核发于公元 2003 年 8 月 26 日的美国专利证书号 6,610,615 且专利名称为「用于降低栅极介电层漏电的等离子体氮化工艺(Plasma Nitridation For Reduced Leakage Gate Dielectric Layers)」的申请案中,McFadden 等人比较了热氮化工艺与等离子体氮化工艺的氧化硅薄膜的氮分布情形(参见第 1B 图)。氮化的氧化层位于硅基片上。第 1B 图更显示出氮在氧化薄膜下方的结晶硅中的分布情形。热氮化工艺所得的氮分布曲线 22 显示:在氧化层顶面的第一氮浓度、通常随着深入氧化层而降低的氮浓度、在氧化层/硅层界面的界面累积氮浓度、最后通常随着深入基片而逐渐降低的氮浓度梯度。反的,等离子体氮化工艺所得的氮分布曲线 24 显示:氮浓度从氧化层顶面、经氧化层/硅层界面至基片基本上是逐一降低。利用氮等离子体进行离子轰击不会产生热氮化工艺所形成的不当界面累积氮浓度。再者,等离子体氮化工艺中基片所有深度内的氮浓度皆比热氮化工艺低。

如前述,增加栅极电极/栅极氧化层界面的氮浓度的优点可减少掺杂剂(例如硼)从多晶硅栅极电极向外扩散到栅极氧化层或穿过栅极氧化层。如此可减少例如因掺杂硼的多晶硅栅极电极中的硼扩散(in-diffused)而产生于栅极氧化层块体中的缺陷状态,进而改善器件的可靠度。降低栅极氧化层/硅沟道界面的氮含量的另一优点是可减少固定电荷及降低界面状态密度。如此可改善沟道迁移

率与跨导。因此等离子体氮化工艺优于热氮化工艺。

随着半导体器件越变越小，氮化的栅极氧化硅层的尺寸亦已达其可施行的极限。然而，进一步缩小氮化的栅极二氧化硅层的厚度时(自 10Å 起)，栅极漏电已增加到无法应用器件的程度。为满足器件尺寸持续缩小的要求，需要新的栅极介电材料及/或工艺。

以高 k 介电材料取代二氧化硅(SiO<sub>2</sub>)已面临多项挑战。例如，高 k 介电材料的沉积方法一般采用化学气相沉积(CVD)或原子层沉积(ALD)，其易造成含碳之前驱材料与其它污染物混入沉积膜层。碳与其它污染物会恶化栅极介电层的介电性质。另外，CVD 或 ALD 沉积的高 k 膜层与沟道区域的界面性质不如二氧化硅层扎实。

因此，此领域需要一种用于形成栅极介电层的方法与设备，所形成的栅极介电层具有较佳的介电性质与较小的 EOT。

#### 发明内容

本发明大体上提供形成半导体器件的方法，包含：形成具预定厚度的介电层于基片表面；利用低能量溅射工艺将一定含量的第一材料置入介电层内，以形成贯穿至少部分所形成的介电层厚度的浓度梯度，其中低能量溅射工艺包含以第一 RF 频率与第一 RF 功率将 RF 能量施加至低能量溅射室的处理区域，使标靶的第一材料可以被置于介电层中；以及沉积第二材料于介电层上。

本发明的实施例更提供形成高 k 介电层的设备，包含：传输室，其具有一个或多个用于构成传送区域的壁面和设置于传送区域中的传输机械手臂；等离子体氮化室，连接至传输室且设置以在氮化室中第一处理区域的基片表面上形成氮化物，其中等离子体氮化室包含与第一处理区域为电气连通的 RF 源、和与第一处理区域为选择性连通的含氮气体源；以及第一低能量等离子体处理室，其连接至传输室并与机械手臂为可转移地连通 (transferable communication)，其中第一低能量等离子体处理室包含一个或多个用于构成第二处理区域的壁面，标靶的表面暴露于第二处理区域，其中标靶包含第一材料，而第一 RF 产生器适于以第一 RF 频率来供应能量至第二处理区域、以及设置于第二处理区域中的基片支撑件。

本发明的实施例更提供形成高 k 介电层的设备，包含：一个或多个构成处理区域的壁面；表面暴露于处理区域的标靶；至少一表面为面对处理区域的基片支撑件，其中基片支撑件适于支撑具介电层形成于基片表面上的基片；第一产生器，与标靶为电气连通且设置以通过输送频率为约 1MHz 至约 200MHz 的第一能量到标靶来维持处理区域中的电容耦合等离子体，其中设置第一产生器以在标靶表面上产生偏压，以自标靶溅射出靶材；以及控制器，设置该控制器以控制第一产生器输送到标靶的频率。

本发明的实施例更提供形成高 k 介电层的设备，包含：一个或多个构成处理区域的壁面；表面暴露于处理区域的标靶，且标靶与直流(DC)电源为电气连通；与处理区域以及第一产生器为电气连通的第一线圈，其中第一线圈与第一产生器适于在邻近标靶表面的处理区域产生等离子体；以及位于处理区域的基片支撑件。

本发明的实施例更提供使用低能量电镀工艺以形成高 k 介电层的方法，其中该低能量电镀工艺包含：将具介电层形成于其上的基片放置于等离子体处理室的处理区域；利用低能量溅射工艺来置入第一材料至介电层内，其中低能量溅射工艺包含将来自第一 RF 产生器的多个 RF 能量脉冲输送到含有第一材料的标靶，且各 RF 能量脉冲是以第一 RF 频率输送；以及将来自 DC 源器件的多个 DC 脉冲输送到标靶，其中 RF 能量脉冲和 DC 脉冲为同步化。

本发明的实施例更提供使用低能量电镀工艺以形成高 k 介电层的方法，其中该低能量电镀工艺包含：将具介电层形成于其上的基片放置于等离子体处理室的处理区域；利用低能量溅射工艺来置入第一材料至介电层内，其中低能量溅射工艺包含将来自第一 RF 产生器的多个 RF 能量脉冲输送到与处理区域为电气连通的线圈，且 RF 能量是以第一 RF 频率与第一功率输送；以及将来自 DC 源器件的多个 DC 脉冲输送到含有第一材料的标靶，其中 RF 能量脉冲和 DC 脉冲为同步化。

本发明的实施例更提供使用低能量电镀工艺以形成高 k 介电层的方法，其中该低能量电镀工艺包含：将具介电层形成于其上的基片放置于等离子体处理室的处理区域；利用低能量溅射工艺来置入第一材料至介电层内，其中低能量溅射工艺包含将来自第一 RF 产生器的多个第一 RF 能量脉冲以第一 RF 频率输

送到与处理区域为电气连通的线圈；以及将来自第一 RF 产生器的多个第二 RF 能量脉冲以第二 RF 频率输送到与处理区域为电气连通的标靶，其中多个 RF 能量脉冲和多个 DC 脉冲为同步化。

#### 附图说明

为了让本发明的上述特征更明显易懂，可配合参考实施例说明，其部分乃绘示如附图式。须注意的是，虽然所附图式揭露本发明特定实施例，但其并非用以限定本发明的精神与范围，任何本领域技术人员，当可作各种的更动与润饰而得等效实施例。

第 1A 图(现有技术)绘示 FET 的截面，且可根据本发明来制作。

第 1B 图(现有技术)为传统热氮化工艺与传统等离子体氮化工艺依据次级离子质谱数据所绘示的氮浓度分布图。

第 2A 图为根据本发明的一实施例，绘示制造场效应晶体管的栅极介电层的流程图。

第 2B 图为根据本发明的一实施例，绘示制造场效应晶体管的栅极介电层的流程图。

第 2C 图为根据本发明的一实施例，绘示制造场效应晶体管的栅极介电层的流程图。

第 2D 图为根据本发明的一实施例，绘示制造场效应晶体管的栅极介电层的流程图。

第 2E 图为根据本发明的一实施例，绘示制造场效应晶体管的栅极介电层的流程图。

第 2F 图为根据本发明的一实施例，绘示制造场效应晶体管的栅极介电层的流程图。

第 3A-3F 图为一系列的基片剖面，其上为利用第 2A 图的方法制造的栅极结构。

第 4A 图绘示根据本发明另一实施例的等离子体处理室的截面。

第 4B 图绘示根据本发明又一实施例的等离子体处理室的截面。

第 4C 图绘示根据本发明再一实施例的等离子体处理室的截面。

第 4D 图为根据本发明的一实施例，说明钨标靶与钨标靶的各种性质的理论计算表。

第 4E 图为根据本发明的一实施例，用于电容耦合等离子体处理室的自偏置电压与频率的关系图。

第 4F 图绘示根据本发明一实施例的等离子体处理室的截面。

第 4G 图绘示根据本发明一实施例的等离子体处理室的截面。

第 4H 图绘示根据本发明一实施例的等离子体处理室的截面。

第 5A 图为根据本发明的另一实施例，绘示施加至标靶的脉冲 RF/VHF 激发能量与脉冲 DC 电压的非周期的时序图。

第 5B 图为根据本发明的又一实施例，绘示施加至标靶的脉冲 RF/VHF 激发能量与脉冲 DC 电压的非周期的时序图。

第 5C 图为根据本发明的再一实施例，绘示施加至标靶的脉冲 DC 电压与连续 RF/VHF 能量的非周期的时序图。

第 6A 图为根据本发明的一实施例，绘示制造场效应晶体管的栅极介电层的方法 100 的流程图。

第 6B-6G 图为一系列的基片剖面，其上为利用第 6A 图的方法制造的栅极结构。

第 7 图绘示根据本发明一实施例的整合处理系统。

### 具体实施方式

本发明大致上是提供用于于基片上形成高质量的栅极介电层的方法与设备。实施例包含一方法，其中采用金属等离子体处理工艺而代替标准的氮化工艺，以于基片上形成高介电常数层。实施例更包含用来“注入”较低能量的金属离子的设备，以减少离子轰击对栅极介电层(如二氧化硅层)的破坏及避免金属原子与下面的硅结合。本发明的实施例可用于形成半导体器件，例如逻辑或存储元件。

### 制造高介电常数的晶体管栅极的方法

现今的器件制造工艺难以制造出具 5-10Å 的等效氧化层厚度(EOT)且具低

漏电流的栅极介电层。目前用于 65 纳米至 90 纳米的晶体管节点中的 10-16Å 的 EOT 采用了等离子体氮化工艺。然而，当氮化的二氧化硅栅极介电层变得更薄时(例如 10Å)，栅极漏电可能会增加到无法实际用于器件的程度。为解决较薄的介电层的栅极漏电问题，以下工艺可利用形成例如含铪(Hf)、镧(La)、铝(Al)、钛(Ti)、锆(Zr)、锶(Sr)、铅(Pb)、钇(Y)、或钡(Ba)的高 k 介电氧化物或硅化物材料的沉积工艺来替代等离子体氮化工艺。

本发明包含制造场效应晶体管的栅极介电层的方法，用于栅极介电层为约 5-10Å 的等效(电性)氧化层厚度(EOT)的逻辑型式应用。本发明还包含制造场效应晶体管的栅极介电层的方法，用于栅极介电层为约 10-30Å 的等效(电性)氧化层厚度(EOT)的存储型式应用。此工艺可用于制造积体半导体器件与电路。

### 形成栅极氧化层的方法与设备

为解决 45 纳米(nm)工艺与较小 MOS 型器件所常见的栅极性能的问题，已发展新颖的工艺来减少及/或消除缺陷，例如费米能级钉扎(Fermi-level pinning)或临界电压钉扎。一般而言，这种工艺包括形成高 k 介电层、接着终止所沉积的高 k 材料的表面以于栅极电极与高 k 介电材料间形成良好界面。本发明的实施例还提供组合工具(cluster tool)，用于形成高 k 介电材料、终止高 k 介电材料的表面、进行一或多道后处理步骤、以及形成多晶硅及/或金属栅极层。

第 2A 图绘示本发明一实施例的处理程序 251，包含一连串根据本发明的一实施例而用来制造场效应晶体管的栅极介电层的步骤。处理程序 251 一般包括多个施行于基片的处理步骤，用以形成典型 MOS 型器件的栅极结构。第 3A-3F 图绘示了基片 401 的区域，其上利用第 2A 图的处理程序 251 形成了栅极氧化层与栅极。第 3A-3F 图并未按比例绘制且已简化图示。至少部分的处理程序 251 可利用整合的半导体基片处理系统(即组合工具)的处理反应器(如第 7 图所示)来进行。

处理程序 251 开始于步骤 252 且进行到步骤 268。在步骤 252，提供了硅(Si)基片 401(例如 200 毫米的晶片、300 毫米的半导体晶片)，其并将其暴露于清洗液中，以移除基片表面的原生氧化层 401A(例如二氧化硅(SiO<sub>2</sub>))(第 3A 图)。在一实施例中，原生氧化层 401A 的移除是使用含氟化氢(HF)与去离子(DI)水的清

洗液。在一实施例中，清洗液为保持在约 20°C 至约 30°C 下、含有按重量计约 0.1-10% 的 HF 的水溶液。在一实施例中，清洗液包含约 0.5wt% 的 HF，且维持在约 25°C。在步骤 252 中，基片 401 可浸入清洗液，然后以去离子水洗涤。步骤 252 可施行于单一基片处理室或多基片成批处理室，其在处理过程中可包括超音波能量的传送。或者，步骤 252 可施行于整合处理系统 600(第 7 图)中的单一基片湿式清洗反应室。在另一实施例中，原生氧化层 401A 的移除可采用 RCA 清洗法。完成步骤 252 后，基片 401 放置到真空加载锁定室或通入氮气(N<sub>2</sub>)的环境。或者，步骤 252 可施行于整合处理系统 600(第 7 图)中的单一基片湿式清洗反应室。

在步骤 254 中，热氧化层(SiO<sub>2</sub>)402 形成于已清洗的基片 401 表面 401B(第 3B 图)。热氧化层 402 的厚度一般为约 3 埃至约 35 埃。以逻辑型式应用为例，热氧化层 402 的厚度为约 6 埃至约 15 埃；以存储型式应用为例，热氧化层 402 的厚度为约 15 埃至约 40 埃。本发明的实施例还可应用于热氧化层 402 的厚度大于 35 埃。热氧化步骤 254 可形成二氧化硅(SiO<sub>2</sub>)次层(sub-layer)于硅介电层的界面上。步骤 254 可改善沉积的介电层(如第 3D 图的高 k 介电层 404)上的介电材料/硅界面的质量与可靠度，亦可增进在表面 401B 下方的沟道区域的电荷载流子的迁移率。步骤 254 可施行于快速热处理(RTP)反应器，其位在整合处理系统 600 的基片处理室 614A-614F 的其中之一(第 7 图)。一适合的 RTP 室为从美国加州圣克拉拉市的应用材料公司(Applied Materials, Inc.)取得的商品名称为 RADIANCE<sup>®</sup>的 RTP 室。在一实施例中，6Å 的二氧化硅(SiO<sub>2</sub>)层是利用 18 秒、750°C、2 托(Torr)且氧气(O<sub>2</sub>)流速为 2 slm 的工艺而形成在基片 401 的表面 401B 上。在此实施例中，氧气是热氧化层 402 形成时注入到处理室的反应气体；在某些情况下，惰性载气可加至处理室，以达预定室压。或者在某些情况下，步骤 254 可使用反应气体，例如一氧化氮(NO)、氧化亚氮(N<sub>2</sub>O)、或混合反应气体，例如氢气(H<sub>2</sub>)/氧气(O<sub>2</sub>)、和氧化亚氮(N<sub>2</sub>O)/氢气(H<sub>2</sub>)。

在步骤 257 中，热氧化层 402 被暴露于含金属离子的等离子体，用以掺杂预定材料至热氧化层中而形成高 k 介电层 403。步骤 257 所形成的高 k 介电层 403 可以是掺杂铪(Hf)、镧(La)或其它类似材料的二氧化硅层。在一实施例中，低能量沉积工艺施行于类似参照第 4A-4C 图与第 4F 图说明于下的处理室。在

一实施例中，输送掺杂剂材料至热氧化层 402 是期望通过下列过程实现的：使用输送至处理区域 522 的 RF 能量来产生等离子体，接着，形成阴极偏压至标靶(如第 4A 图的器件符号 505 或第 4B 图的器件符号 571)上，以从其中溅射出材料。在一方面中，还期望将基片支撑件 562 加以 RF 偏压、DC 偏压或接地，以使经溅射与离子化的材料注入热氧化层 402 的预定深度内。在另一方面中，还期望电气“浮置(float)”基片支撑件 562，且因产生自偏压的故，而使基片支撑件 562 相对等离子体之间所产生的电压为低电压，以减少离子化材料撞击热氧化层 402 的能量。各种传送低能量材料来掺杂热氧化层 402 的方法将参照第 4A-4F 图及第 5A-5C 图说明于下。借着小心控制室压、RF 功率、脉冲 DC 功率、施加于基片支撑件 562 的偏压、及/或处理时间，则可控制掺杂量与浓度对应掺杂剂材料在热氧化层 402 内的深度的关系。在一实施例中，等离子体可包含氩离子与金属离子，如钪、镧、铝、钛、锆、铈、铅、钇和钡，也可包含一个或多种选择性惰性气体。典型的惰性气体可包括氖气(Ne)、氦气(He)、氪气(Kr)、氙气(Xe)、氮气(N<sub>2</sub>)等。在一实施例中，热氧化层 402 掺有约 5-30 原子%的钪(Hf)。一般期望降低热氧化层 402 的掺杂剂浓度，使浓度在热氧化层 402 与硅沟道表面(例如表面 401B)间的界面或至少数埃前即降至近乎为零。在一实施例中，当使用感应耦合型式的处理室(第 4A 图的器件符号 500)时，其采用 180 秒与室压为 10 毫托(mT)(例如主要是氩气)的工艺来将平均浓度为 10 原子%的钪(Hf)置入热氧化层 402 内，此工艺施加-150 VDC 至钪标靶(符号 505)，并使用 5%的占空比(duty cycle)和“浮置”的基座、以 13.56 MHz 的频率与 50 瓦(W)的功率来输送 RF 能量至线圈(器件符号 509)。在另一实施例中，当使用类似第 4G 图的制成配置时，其采用 180 秒与室压为 10 毫托(例如主要是氩气)的工艺来将平均浓度为 7 原子%的钪(Hf)置入热氧化层 402 内，且工艺施加平均约 100 瓦的 RF 功率(即约 5%的占空比与约 2000 瓦的最大 RF 功率)至含钪的标靶 505，且使用“浮置”的基座、以 13.56 MHz 的频率来施加平均约 100 瓦的 RF 功率(即约 5%的占空比与约 2000 瓦的最大 RF 功率)至线圈 509。在一实施例中，为避免进行步骤 257 时破坏了热氧化层 402，平均 RF 功率乃维持小于约 1000 瓦。在另一实施例中，进行步骤 257 时所用的平均 RF 功率为小于约 200 瓦。在又一实施例中，进行步骤 257 时所用的平均 RF 功率为小于约 50 瓦。在一实施例



中,步骤 257 施行于低能量等离子体处理室(如处理室 500 或处理室 501),其位于整合处理系统 600 的基片处理室 614A-614F 的其中之一(第 7 图)。

在一实施例中,如第 2A 及 3D 图所示,是进行步骤 256 来采用金属有机化学气相沉积(MoCVD)工艺、原子层沉积(ALD)工艺或其它类似的沉积工艺而沉积高 k 介电层 404 至基片 401 的表面 401B,以代替进行步骤 254 与步骤 257 来从热氧化层 402 形成高 k 介电层 403。高 k 介电层 404 可包含氧化锆( $ZrO_2$ )、氧化铪( $Hf_xO_y$ )、铪硅酸盐氧化物( $Hf_xSi_{1-x}O_y$ )、氧化镧( $La_2O_3$ )、及/或氧化铝( $Al_2O_3$ ),但不以此为限。步骤 256 可施行于原子层沉积系统,例如从应用材料公司取得的 Centura ALD High-K 系统。ALD 型反应器亦可位在整合处理系统 600 的基片处理室 614A-614F 的其中之一(第 7 图)。

在步骤 259 中,高 k 介电层 403 或高 k 介电层 404 的表面是利用等离子体沉积工艺来终止,以形成终止区域 405。终止区域 405 的形成方法一般是沉积一材料层及/或掺杂高 k 介电层 403 或高 k 介电层 404 的区域。增加含有钝化材料(如氧化镧( $La_2O_3$ )或氧化铝( $Al_2O_3$ ))的终止区域 405 认为将可使表面成钝化及解决传统 ALD 或 MoCVD 的高 k 层常见的费米能级钉扎定住或临界电压漂移问题。在一实施例中,高 k 介电层 403 或高 k 介电层 404 掺有约 0.1-10 原子%的镧(La)及/或约 0.1-10 原子%的铝(Al)。在另一实施例中,高 k 介电层 403 或高 k 介电层 404 掺有约 0.25-5 原子%的镧(La)及/或约 1-10 原子%的铝(Al)。期望降低高 k 介电层 403 或高 k 介电层 404 的掺杂剂浓度,使浓度只扩展至高 k 介电层 403 或高 k 介电层 404 的数埃深度。在一实施例中,使用下述第 4A-4C 图的处理室将镧(La)掺杂剂驱入高 k 介电层 403 内。在一实施例中,采用 120 秒与室压为 10 毫托(例如主要是氩气)的工艺来将平均浓度为 0.5 原子%的镧(La)驱入掺杂 10 原子%的铪的高 k 介电层 403 内,且工艺施加 -100 VDC 至镧标靶(如第 4A 图的器件符号 505)并使用 5%的占空比和“浮置”的基座、以 13.56 MHz 的频率与 50 瓦的功率来输送 RF 能量至线圈(如第 4A 图的器件符号 509)。

在一实施例中,步骤 259 可施行于类似第 4A-4C 图的处理室 500 或处理室 501 的处理室。在此结构中,终止区域 405 的形成方法是采用类似上述步骤 257 的低能量注入工艺。在一方面中,输送掺杂剂材料至高 k 介电层 403 的最上层区域是通过下列过程实现的:使用输送至处理区域 522 的 RF 能量来产生等离

子体，接着形成阴极偏压至标靶 505，以从其溅射出材料。基片支撑件 562 可加以 RF 偏压、DC 偏压、接地、或浮置，使溅射与离子化的材料注入高 k 介电层 403。各种传送低能量材料来掺杂高 k 介电层 403 的方法将参照第 4A-4F 图及第 5A-5C 图说明于下。借着小心控制室压、RF 功率、脉冲 DC 偏压、施加于基片支撑件 562 的随意偏压、及/或处理时间，则可控制掺杂量与浓度对应掺杂剂材料在高 k 介电层 403 内的深度的关系。在一实施例中，掺杂剂为含铝材料、含镧材料、或其它类似材料。

在一实施例中，步骤 259 可施行于处理室 500，其位于整合处理系统 600 的基片处理室 614A-614F 的其中之一(第 7 图)。在一方面中，用来进行步骤 259 的处理室 500 不同于用来进行步骤 257 的处理室。在另一实施例中，从属整合处理系统 600 的单一处理室 500 是用来进行步骤 257 与步骤 259 的，但各步骤是使用不同的靶材进行的，其置于处理室 500 的处理区域 522 中。

根据步骤 259 的另一实施例，终止区域 405 可以是利用溅射工艺沉积至高 k 介电层 403 表面上的附加材料层。在一方面中，溅射工艺施行于类似第 4A-4C 图的处理室 500 或处理室 501 的处理室。在此结构中，终止区域 405 的形成是通过下列过程实现的：使用输送至处理区域 522 的 RF 能量来产生等离子体，接着形成阴极偏压至标靶 505 而从其溅射出材料，从而沉积靶材至高 k 介电层 403 上。基片支撑件 562 可加以 RF 偏压、接地、或电气浮置，以控制将要注入高 k 介电层 403 的、经溅射与离子化的材料的能量及深度。在一实施例中，沉积层含有铝(Al)、镧(La)、或其它适合的材料。

在一实施例中，选择性步骤 260 采用含氧的 RF 等离子体来氧化暴露的材料并将其转化成介电材料。在一实施例中，高 k 介电层 403、高 k 介电层 404、及/或终止区域 405 被暴露在含氧的等离子体中，以形成氧化铝或氧化镧。在另一实施例中，含氮(N<sub>2</sub>)的等离子体也可包含一个或多种氧化气体，例如氧气(O<sub>2</sub>)、一氧化氮(NO)、氧化亚氮(N<sub>2</sub>O)。等离子体还可包含一个或多种选择性惰性气体，例如氩气(Ar)和氦气(He)。步骤 260 例如可施行于整合处理系统 600(第 7 图)的去耦合等离子体氮化(DPN)等离子体反应器。在一实施例中，热氧化步骤代替等离子体氧化步骤来氧化暴露的材料并将其转化成介电材料。在一实施例中，等离子体氧化步骤采用 5%的占空比与 1000 瓦的最大 RF 功率(即 50 瓦的

平均功率)、以 13.56 MHz 的频率施加 30 秒, 并采用流速约 100 sccm 的氮气与流速约 100 sccm 的氧气来氧化暴露的材料。

在另一实施例中, 选择性步骤 262 是用来代替步骤 260。在步骤 262 中, 高 k 介电层 403 或高 k 介电层 404、和基片 401 以约 600°C 至约 1100°C 进行退火处理。以较低温度来进行退火处理(例如退火温度为约 600°C 至约 800°C)有助于防止在沉积材料前产生结晶, 例如含硅(Si)、氧(O<sub>2</sub>)或二者的铅。步骤 262 可施行于适当的热退火室, 例如整合处理系统 600 的 RADIANCE<sup>®</sup>反应器或 RTP XE<sup>+</sup>反应器、或单一基片或批次炉管。步骤 262 可在高 k 介电层 403 或终止区域 405 中形成硅酸化次层。在一实施例中, 步骤 262 可至少采用约 2-5000sccm 的氧气(O<sub>2</sub>)和约 100-5000sccm 的一氧化氮(NO)其中之一来进行、或选择性混入氮气(N<sub>2</sub>), 且维持基片表面温度为约 600°C 至约 1100°C、处理室压力为约 0.1-50 托。此工艺可进行约 5-180 秒。在一实施例中, 步骤 262 为 15 秒、900°C、1 托的工艺, 其采用流速约 60 sccm 的氧气(O<sub>2</sub>)与流速约 940 sccm 的氮气(N<sub>2</sub>)。在另一实施例中, 氧气(O<sub>2</sub>)供应量为约 200 sccm(例如氧气分压为约 200mT)、氮气(N<sub>2</sub>)为约 800 sccm, 且在约 1000°C 下维持室压为约 1 托、为期约 15 秒。在又一实施例中, NO 为约 500sccm, 且在基片温度为约 1000°C 下维持室压为约 0.5 托、为期约 15 秒。

在一实施例中, 步骤 260 或步骤 262 是在步骤 256、步骤 257 或步骤 259 之后进行。根据程序 251 的一实施例, 类似步骤 260 或步骤 262 的氧化步骤可在步骤 257 与步骤 259 之间进行, 以在终止区域 405 沉积至高 k 介电层 403 上之前, 再次氧化步骤 257 所沉积的掺杂剂材料。

在步骤 264 中, 终止区域 405 和高 k 介电层 403 或高 k 介电层 404 以氮等离子体处理来增加这些区域的含氮量。此工艺可使用 DPN 反应器且提供约 10-2000 sccm 的氮气(N<sub>2</sub>)、约 20-500°C 的基座温度、及约 5-200 毫托的反应室压力。射频(RF)等离子体例如以 13.56MHz 或 60MHz、和高达约 3-5 千瓦(kW)的连续波(CW)或脉冲等离子体电源来供应能量。产生脉冲时, 最大 RF 功率、频率与占空比的范围一般分别为约 10-3000 瓦、约 10kHz 与约 2%-100%。此工艺可进行约 1 秒至约 180 秒。在一实施例中, 氮气(N<sub>2</sub>)的供应量为约 200 sccm, 且约 1000 瓦的最大 RF 功率以约 10kHz 与施加于感应等离子体源的约 5%的占

空比、约 25°C 的温度、和约 10-80 毫托的压力等条件来产生脉冲、为期约 15 秒至约 180 秒。等离子体可利用准遥(quasi-remote)等离子体源、感应等离子体源、辐射线带槽天线(radial line slotted antenna; RLSA)源、或其它等离子体源等产生。在另一实施例中, CW 及/或脉冲微波电源可用来形成高含氮量的区域。

在步骤 266 中, 基片 401 可经退火处理, 以减少基片 401 上各层间的漏电流, 并增进电荷载流子在表面 401B 下方的沟道区域的迁移率及改善形成器件的可靠度。步骤 266 有助于减少形成于基片 401 上的膜层的缺陷数量。在步骤 266 中, 退火处理或钝化(passivate)步骤 264 所形成的氮化层认为将有助于促进有效阻挡层的形成, 以阻挡硼从掺杂硼的多晶硅栅极电极扩散。步骤 266 可施行于适当的热退火室, 例如整合处理系统 600 的 RADIANCE<sup>®</sup> 反应器或 RTP XE<sup>+</sup> 反应器、或单一基片或批次炉管。在一实施例中, 步骤 266 的退火工艺可至少采用流速为约 2-5000 sccm 的氧气(O<sub>2</sub>)和流速为约 100-5000 sccm 的一氧化氮(NO)其中之一、或选择性混入氮气(N<sub>2</sub>), 且维持基片表面温度为约 800°C 至约 1100°C、处理室压力为约 0.1-50 托。此工艺可进行约 5-180 秒。在一实施例中, 氧气(O<sub>2</sub>)供应量为约 500 sccm, 且在约 1000°C 下维持室压为约 0.1 托、为期约 15 秒。在一实施例中, 步骤 266 使用类似上述步骤 262 的工艺配方 (process recipe)。

一旦完成步骤 260、262、264、或 266 后, 进行步骤 268 来沉积一或多层膜层至已形成的膜层上, 以构成 MOS 器件的栅极区域或栅极电极。根据步骤 268 的一实施例, 多晶硅层沉积到上述膜层上方的栅极区域中而提供栅极电极。在一实施例中, 多晶硅层的沉积是采用传统多晶硅沉积工艺。在一实施例中, 多晶硅沉积室(未绘示)为整合处理系统 600 的一部分。在一实施例中, 多晶硅利用 CVD 或 ALD 反应器而沉积于程序 251 所形成的膜层上方, 而此反应器例如从应用材料公司取得的 Centura CVD 反应器, 其包含整合处理系统 600 的基片处理室 614A-614F 的其中之一(第 7 图)。

根据步骤 268 的另一实施例, 如第 3F 图所示, 栅极区域 408 包含多层导体层, 如薄金属层 407 与多晶硅层 406。在一实施例中, 栅极区域 408 包含薄金属层 407, 其沉积于处理程序 251 所形成的膜层上, 以提供载流子浓度比传统多晶硅栅极材料还高的栅极材料。薄金属层 407 的厚度为约 5-200Å, 较佳为

小于约 30Å。在一实施例中，薄金属层 407 包含金属，例如钽(Ta)、氮化钽(TaN)、碳化钽(TaC)、钨(W)、氮化钨(WN)、氮化钽硅(TaSiN)、铪(Hf)、铝(Al)、钌(Ru)、钴(Co)、钛(Ti)、镍(Ni)、氮化铝钛(TiAlN)、氮化钌(RuN)、氮化铪(HfN)、硅化镍(NiSi)、氮化钛(TiN)、或其它适合的材料。薄金属层 407 的形成较佳是采用处理室 500(第 4A 图)或处理室 501(第 4B-4C 图)，其从属整合处理系统 600(第 7 图)。在此结构中，薄金属层 407 是通过沉积靶材至处理程序 251 所形成的膜层上而形成的，其使用 RF 能量来产生等离子体并偏压靶材以从其溅射出金属，接着选择性偏压基片支撑件 562(第 4A-4B 图)，使经溅射与离子化的金属材料沉积到先前形成的膜层上。使用 RF 能量来驱动溅射沉积工艺正可允许少量的材料可靠地沉积于基片表面。相反地，由于使沉积速率降至一定低程度来形成薄金属层所需施加的溅射(DC)电压通常无法维持住溅射等离子体，故传统物理气相沉积或溅射技术严重受限于其可靠沉积少量材料的能力。在其它实施例中，薄金属层 407 的形成方法可采用传统 CVD、PECVD 或 ALD 工艺。

第 2B 图绘示处理程序 251 的另一实施例。第 2B 图的处理程序 251 同于第 2A 图所述的步骤，除了二个选择性步骤 258A 及/或步骤 258B 的至少其中之一增加到步骤 257 或步骤 256 与步骤 259 之间。在一实施例中，等离子体氮化步骤被加入处理程序 251 中，用以氮化步骤 254、256 或 257 的一所形成的高 k 介电层 403 或高 k 介电层 404 中的一个或多种材料。在一实施例中，期望利用等离子体氮化工艺来形成含氮化铪的膜层，以防止高 k 介电层 403 或高 k 介电层 404 中的铪材料在后续退火步骤(如步骤 258B、262 或 266)中结晶。在一实施例中，步骤 258A 是采用步骤 264 所述的工艺进行的。

在一实施例中，选择性热退火步骤(步骤 258B)被加入处理程序 251 中，用以减少所形成的高 k 介电层 403 或高 k 介电层 404 中的缺陷与应力，进而改善形成器件的可靠度。在一实施例中，步骤 258B 是采用步骤 262 及/或步骤 264 所述的工艺进行的。在一实施例中，步骤 258B 是在上述步骤 258A 完成后进行的。在一实施例中，步骤 258B 为 15 秒、900℃、1 托的工艺，其使用流速约 60 sccm 的氧气(O<sub>2</sub>)与流速约 940 sccm 的氮气(N<sub>2</sub>)。

第 2C 图绘示处理程序 251 的又一实施例。第 2C 图的处理程序 251 同于第 2A 图所述的步骤，除了步骤 253 增加到步骤 252 与步骤 254 之间，且步骤 256

在完成步骤 254 后进行。在此实施例中，等离子体氮化步骤(步骤 253)加入处理程序 251 的移除原生氧化层步骤 252 之后，用以在进行步骤 254 或 256 之前先氮化基片表面。氮化的硅基片表面认为将有助于形成期望的氧氮化硅(SiON)层，其留在后续热氧化步骤(步骤 254)所形成的氧化硅层的表面或附近。在二氧化硅层的表面或附近形成 SiON 层有助于减少栅极电极材料(步骤 268)在后续的工艺步骤中扩散到栅极介电层。步骤 256 与步骤 254 于本实施例的顺序已经改变，以于沉积高 k 介电层步骤 256 之前形成氧氮化硅(SiON)界面层，此将有助于改善高 k 介电层与器件沟道区域的界面性质。步骤 253 可施行于从美国加州圣克拉拉市的应用材料公司取得的 DPN 反应器。在一实施例中，步骤 253 为 10 秒、70 毫托的工艺，其使用 25 瓦的平均 RF 功率(5%的占空比与 500 瓦的最大 RF 功率)、200 sccm 的氮气(N<sub>2</sub>)气流和约 25°C 的基片温度。并且根据处理程序 251 的一实施例，步骤 254 经修改以确保步骤 253 所得的经氮化的硅表面仍保留预定的性质。在此状况下，还期望在进行步骤 254 时注入其它的反应气体(例如氮气(N<sub>2</sub>))及氧气至处理室中，以确保形成高质量的介电层。在一实施例中，氧氮化硅(SiON)层形成于表面 401B 的方法是采用 30 秒、1050°C、5 托(即氧气分压为约 15mT)的工艺，其使用流速约 15 sccm 的氧气(O<sub>2</sub>)与流速约 5 slm 的氮气(N<sub>2</sub>)，接着流速调节为 0.5 slm 的氧气(O<sub>2</sub>)与约 4.5 slm 的氮气(N<sub>2</sub>)、为期 15 秒。

第 2D 图绘示处理程序 251 的再一实施例。第 2D 图的处理程序 251 同于第 2A 图所述的步骤，除了二个选择性步骤 255A 或步骤 255B 增加到步骤 254 与步骤 257 之间。在一实施例中，选择性等离子体氮化步骤(步骤 255A)加入步骤 254 与步骤 257 之间，用以氮化步骤 254 所形成的热氧化层上表面而形成 SiON 层。SiON 层可当作扩散阻挡层，用来防止栅极电极材料扩散到栅极介电层。在一实施例中，步骤 255A 为 30 秒、10 毫托的工艺，其使用 50 瓦的平均 RF 功率(5%的占空比与 1000 瓦的最大 RF 功率)、200 sccm 的氮气(N<sub>2</sub>)和约 25°C 的基片温度。

参照第 2D 图，在一实施例中，选择性热退火步骤(步骤 255B)被加入处理程序 251 中，用以减少所形成的高 k 介电层 403 中的缺陷与应力，进而改善形成器件的可靠度。在一实施例中，退火处理步骤 255B 可至少采用流速约 15 sccm 的氧气(O<sub>2</sub>)和约 500 sccm 的氮气(N<sub>2</sub>)其中之一，且维持基片表面温度为约

1050°C、处理室压力为约 1-5 托。在另一实施例中，步骤 255B 是采用步骤 262 及/或步骤 266 所述的工艺。在一实施例中，步骤 255B 是在上述步骤 255A 完成后进行。

第 2E 图绘示处理程序 251 的另一实施例。第 2E 图的处理程序 251 同于第 2A 图所述的步骤，除了移掉了步骤 254，且步骤 252 修改成湿式清洗步骤 252A 以形成含氧化硅的界面层。在此实施例中，新步骤 252A 利用湿式清洗工艺来清洗且有意地形成氧化层于基片表面 401B。新步骤 252A 可施行于从美国加州圣克拉拉市的应用材料公司取得的 Emersion™ 反应器。在一实施例中，步骤 252A 形成 4-5 埃的氧化层，方法包括将基片浸入稀释氢氟酸(HF)浴中 8 分钟，接着洗涤基片且将基片浸入维持于 50°C 的第一标准清洗(SC1)浴(例如小于 5vol.% 的氢氧化铵(NH<sub>4</sub>OH)/小于 3vol.% 的过氧化氢(H<sub>2</sub>O<sub>2</sub>)/余量的去离子水)中 6 分钟，然后在含有去离子水的兆音波启动槽(即 1500 瓦)中洗涤基片一段时间。在另一实施例中，氧化层是由使用含臭氧(O<sub>3</sub>)的清洗液的湿式清洗工艺所形成的。

第 2F 图绘示处理程序 251 的又一实施例。第 2F 图的处理程序 251 同于第 2A 图所述的步骤，除了步骤 256 是在步骤 254 完成后进行的。在此实施例中，步骤 256 与步骤 254 的顺序已经改变，以于沉积高 k 介电层步骤 256 之前形成二氧化硅(SiO<sub>2</sub>)薄层(如小于 10Å)。在一实施例中，薄高 k 介电层 404 是利用 ALD 型式的沉积工艺而沉积于步骤 254 中所生长的热氧化层 402 上的。此结构有用的原因在于，步骤 254 形成的二氧化硅薄层在介电层与器件沟道区域的接面提供了良好的介电层/沟道区域界面性质，同时提供了完成的堆栈结构的期望介电性质。

### 上述设计的硬设备方面

如上所述，形成高 k 介电层的方法是期望使用搭配上述步骤 257 与 259 的等离子体处理工艺。采用高等离子体电位(例如数十伏特)的等离子体处理工艺可能会破坏薄栅极介电层，甚至会将轰击的金属原子结合至所形成的 MOS 器件下方的沟道区域。破坏介电层(如二氧化硅层)或将金属原子结合至下方区域是不期望发生的，因其会降低器件性能及增加漏电流。下述的各种实施例可利

用等离子体处理工艺来可靠地形成栅极介电层。可用来进行此种金属等离子体处理工艺的设备实例将配合第 4A-4C、4F 图说明于下。

### 感应耦合等离子体处理室

第 4A 图绘示等离子体处理室 500 的一实施例的截面，其可用来进行上述步骤 257 及/或步骤 259。在此结构配置下，处理室 500 为感应耦合等离子体处理室，其可处理位于处理区域 522 中的基片 502，例如基片 401(第 3A 图)。在一实施例中，处理室 500 是经修改的去耦合等离子体氮化(DPN)室，其从美国加州圣克拉拉市的应用材料公司取得且使用感应耦合 RF 源。

处理室 500 一般包含感应 RF 源组件 591、DC 源组件 592、标靶 505、系统控制器 602、处理室组件 593、和基片支撑组件 594。处理室组件 593 一般包含可在处理区域 522 构成真空的组件，使等离子体工艺在此进行。处理室组件 593 一般包含室底 527、室壁 528 和室盖 529，它们可密封地包围处理区域 522。处理区域 522 可利用真空泵 510 来排空到预定的真空压力，泵 510 经由室底 527 及/或室壁 528 连接处理区域 522。一般而言，室壁 528 与室底 527 可由金属构成，例如铝或其它适合的材料。在一实施例中，室壁 528 具有可拆除的腔室屏蔽(未绘示)，以避免来自标靶 505 的溅射材料落在室壁 528 上。

感应 RF 源组件 591 一般包含 RF 产生器 508 和 RF 匹配器 508A，其连接至邻近室盖 529 的线圈 509。在一实施例中，RF 产生器 508 可以在约 400kHz 至约 20MHz 的频率下而操作于约 0-3000 瓦。在一实施例中，RF 产生器 508 的操作频率为 13.56MHz。室盖 529 一般为介电组件(例如石英、陶瓷材料)，用以使感应 RF 源组件 591 的 RF 能量在处理区域 522 中形成等离子体。在一实施例中，线圈 509 位于标靶 505 附近，如此在进行溅射时，产生于处理区域 522 的等离子体将形成在标靶的活化表面附近。控制活化表面附近的等离子体有助于控制低能量溅射沉积工艺所溅射的标靶区域附近的等离子体密度。因等离子体由线圈 509 产生的故，此结构配置亦有利于减少不当的等离子体轰击超薄的栅极介电层。

在一实施例中，室盖 529 被修改成使真空密封的电气馈通口(feed-through) 504 接触位于处理区域 522 的标靶 505。在此结构配置下，同轴电缆 506 是连



接自真空密封的电气馈通口 504 的，以输送 DC 电源 507 的能量，促使等离子体产生的离子将标靶 505 材料溅射至基片 502 上。在一方面中，配合第 5A-5C 图说明于下的系统控制器 602 是用来同步化 RF 产生器 508 的输出与输送自 DC 源组件 592 的 DC 功率。在一实施例中，标靶 505 可由单一材料或合金组成，合金所含的元素选自由钬(Hf)、镧(La)、铝(Al)、钛(Ti)、锆(Zr)、锶(Sr)、铅(Pb)、钇(Y)、或钡(Ba)构成的群组。

在一方面中，处理室组件 593 还包含气体输送系统 550，用以输送一个或多种处理气体至室底 527、室壁 528 和室盖 529 所构成的处理区域 522 中。处理区域 522 的压力可由系统控制器 602 控制，其用来调整气体输送系统 550 所输送的气体的流量及真空泵 510 的抽吸速度，而泵 510 由节流阀 511 调节。在一方面中，处理过程的室压为约 5 毫托至约 100 毫托。

基片支撑组件 594 一般包括含有基片支撑构件 562A 的基片支撑件 562。基片支撑构件 562A 可以是主动托住处理基片的传统静电吸座、或单纯为基片支撑座。控温器 561 一般用来加热及/或冷却基片支撑构件 562A 达预定温度，而此预定温度是通过控温器 561 利用传统手段所设定的，例如埋置阻抗加热元件或耦接至热交换器(未绘示)的流体冷却沟道。在一方面中，控温器 561 适于操作与加热放置于基片支撑构件 562A 上的基片 502，使其温度达到约 20°C 至约 800°C。工艺进行时，基片支撑件 562 可连接至 RF 产生器 523，如此，RF 偏压可施加至部分的基片支撑件 562，以将产生于处理区域 522 中的等离子体中的离子拖拽到基片 502 的表面。在一实施例中，基片支撑构件 562A 在进行等离子体工艺时被接地、DC 偏压或电气浮置，以减少离子轰击破坏基片 502。

将 RF 产生器 508 的 RF 能量传送到处理区域 522 将造成处理区域中的气体原子离子化。等离子体中离子化的气体原子接着因 DC 源组件 592 施加至标靶 505 的阴极偏压而被吸引至标靶 505，使得材料可自标靶 505 溅射出来并落于基片 502 表面。为了降低感应 RF 源组件 591 输送的 RF 能量与 DC 源组件 592 施加的 DC 偏压相互干扰与作用，通常期望同步化输送自 DC 源组件 592 与 RF 源组件 591 的能量脉冲，以使相互干扰最小化，且同时使得沉积速率、膜层均匀度和膜层质量最大化。通过产生并维持低电子温度和低离子能量等离子体以产生感应 RF 源脉冲来激发等离子体，可缓和高等离子体电位破坏基片表面的

相关问题。一般而言，脉冲式 RF 感应等离子体产生的离子为低离子能量的离子(例如小于 10 电子伏特(eV))，因此不会破坏位于等离子体内的基片。此更完整说明于美国专利证书号 6,831,021、申请日为公元 2003 年 6 月 12 日的申请案，其一并附上供作参考。理论计算(参见第 4D 图)暗指，大部分惰性气体(如氩气(Ar)、氖气(Ne)、氦气(He)、氪气(Kr)或氙气(Xe))的低离子能量将无法从脉冲式 RF 源得到足够的能量来溅射出标靶原子，而其中标靶组成为铪(Hf)、镧(La)、或其它重金属或介电材料。例如，以氩气等离子体为例，Hf 与 La 标靶的溅射临界能量分别为 42.3eV 与 25.5eV，离子注入到栅极氧化层中的安全离子能量通常小于 10eV。因此就 RF 感应等离子体而言，够低而可用来形成栅极介电层的离子能量并不足以用来从靶材溅射出期望的金属离子。故需使用 DC 源组件 592 来施加 DC 偏压至标靶，以进行溅射工艺。脉冲沉积工艺的各种方面将配合第 5A-5C 图说明于下。

### 电容耦合等离子体处理室

第 4B-4C 图绘示等离子体处理室的另一实施例的截面，其可用来进行上述步骤 257 及/或步骤 259。在此结构配置下，处理室 501 为电容耦合等离子体处理室，其可处理位于处理区域 522 的基片 502。处理室 501 一般包含超高频(VHF)源组件 595、标靶组件 573、系统控制器 602、处理室组件 596、和基片支撑组件 594。在此结构配置下，电容耦合等离子体是利用连接至标靶 571 的 VHF 源组件 595 而形成在标靶 571 与处理室组件 596 的接地室壁 528 之间的处理区域 522 中的。处理室组件 596 一般包含上述第 4A 图的所有组件，除了室盖 529 被密接于室壁 528 的标靶组件 573 与电气绝缘件 572 取代。处理室组件 596 的组件和基片支撑组件 594 同于或类似上述处理室 500 的组件，因此将使用同样的组件符号且不再赘述。

参照第 4B 图，在一实施例中，VHF 源组件 595 包含 RF 源 524 和匹配器 524A，用以透过标靶组件 573 的一个或多个部件来传送 RF 能量至处理区域 522。标靶组件 573 一般包含背板组件 570 和标靶 571。背板组件 570 可包含流体通道(未绘示)，以于工艺进行时利用热交换器(未绘示)输送的流体冷却标靶、以及包含磁控管组件(未绘示)，其适于促进靶材充分利用并提升沉积均匀度。

处理室 501 运作时, VHF 源组件 595 是用来偏压标靶 571 的, 使标靶 571 的材料原子沉积于基片 502 表面。在一实施例中, VHF 源组件 595 的 RF 源 524 是以约 1-200MHz 的 RF 频率与约 0.01-5kW 的功率且透过标靶组件 573 来传送功率至处理区域 522。在一实施例中, 由于横越等离子体鞘(sheath)的压降而导致等离子体产生的离子溅射出标靶 571 表面的材料, 因此 VHF 源组件 595 是用来在电容耦合标靶 571 上产生自偏压的, 以提供足够的能量。因阳极与阴极(例如标靶 571)的面积不同, 故利用 VHF 源偏压的电容耦合电极或标靶 571 一般将达到自偏置电压。标靶 571 在处理时达到的自偏置电压可加以调整来最佳化标靶 571 的溅射速率。第 4E 图为自偏置电压( $V_{DC}$ )对应频率的关系图。此图一般显示, 当以越来越高的频率偏压时, 频率对电极的自偏置电压的影响。将注意的是, 自偏置电压随着频率提高而降低, 因此通过提高 VHF 源器件 595 的频率则可降低撞击标靶的离子能量。例如, 在压力为 50 毫托且使用氩气与 300 瓦的 RF 功率的状况下, 以频率 27MHz 的 RF 信号偏压的标靶将具有约 -200V 的偏置电压, 而以 100MHz 的 RF 信号偏压的标靶将只有约 10V 的电压。在另一实施例中, 使用约固定约 400 瓦的 RF 功率来改变 RF 频率为约 60-100MHz, 可改变标靶上的 DC 偏压为约 -50V 至约 -20V。

以 VHF 范围中的 RF 频率来传送能量至标靶 571, 可改善步骤 257 及/或步骤 259 的处理结果, 而使其优于在较低 RF 频率下进行的处理结果, 此乃因标靶上的 DC 偏压变化变小了, 而 DC 偏压为频率变化与输送至标靶 571 的 RF 功率变化的函数。减小 DC 偏压的变化对进行低能量溅射工艺而言是很重要的。因此, 通过控制 RF 能量的频率与功率, 例如以预定的占空比(将说明于下)来输送功率至标靶 571, 可正确且反复控制标靶上的 DC 偏压。精确控制 DC 偏压可确保掺杂超薄栅极介电层的工艺可正确且反复进行。

参照第 4D 图, 在一实施例中, 若溅射气体主要为氩气(Ar)且标靶由镧(La)组成, 则溅射标靶表面的镧原子所需的能量至少为 25.5eV。意即, 形成于标靶上的自偏置电压需要够高才能产生约 25.5eV 的离子能量, 以确保部分的镧原子将从标靶表面溅射出来。因此, 通过控制输送至标靶 571 的频率与功率(例如瓦), 则可控制溅射速率、气体原子的离子能量、溅射原子的离子能量、和沉积于基片上的原子能量。并且在工艺进行时, 可调整基片支撑件 562 上的偏压, 以进

一步控制溅射原子沉积于栅极介电层或注入栅极介电层时的能量。

溅射工艺一般在处理室 501 中进行的条件为：室压为约 1-100 毫托、氩气流速为约 1-500 sccm、且加热器温度为约 20°C 至约 800°C。较佳地，基片温度为约 200°C 至约 300°C。RF 源 524 的激发频率可调整成约 1MHz 至约 200MHz，以得正确的自偏压 DC 电压，使靶材溅射至等离子体中及基片表面上。较佳地，RF 源 524 的激发频率可调整成约 27MHz 至约 100MHz；更佳地，频率可调整成约 30MHz 至约 60MHz。在一实施例中，以镧标靶为例，60MHz 的频率可用来供应所期望的溅射能量并维持低能量的等离子体。在一实施例中，期望改变基片 502 表面与标靶 571 表面间的距离，以调整沉积于基片表面的溅射原子的均匀度和能量。在一方面中，期望在沉积过程中改变基片 502 相对标靶 571 表面之间距，以调整溅射材料在栅极氧化层内的深度及/或沉积均匀度。

第 4C 图绘示处理室 501 的第二实施例，其中第 4B 图的 VHF 源组件 595 被含有二个 RF 源 524、525 的双 VHF 源组件 597 取代，RF 源 524、525 分别以不同的频率及/或功率来传送能量至处理室 501 的处理区域 522，以于不同的工艺时间提供不同的溅射性质。第 4C 图的处理室 501 一般包含 RF 源 524、第二 RF 源 525、RF 切换器 526、和连接至标靶组件 573 的匹配器 524A。在此结构配置下，从双 VHF 源组件 597 传送到标靶组件 573 的能量可通过 RF 切换器 526 而在 RF 源 524 与第二 RF 源 525 之间切换。切换器 526 的状态受控于系统控制器 602。本实施例可用于需快速初始调变的靶材，以移除最初安装时或长期闲置后可能形成在标靶表面的氧化物。切换至较低频率源(例如约 27MHz 或以下)的功能可于标靶 571 上形成高的自偏压 DC 电压，造成较快的标靶溅射速率。故在初始处理后，双 VHF 源组件 597 的输出可通过切换至较高频率源(例如 60MHz)而改变，以减慢溅射速率及降低溅射原子的离子能量，进而减少电位破坏基片表面上的栅极介电层。在一实施例中，RF 源 524 可以在约 27MHz 的频率下传送约 0-2000 瓦的功率的 RF 能量，而第二 RF 源 525 可以在约 40-200MHz 的频率下传送约 0-500 瓦的功率的 RF 能量。

在一实施例中，DC 源组件 592 被选择性连接至标靶组件 573，以于等离子体处理步骤中输送 DC 能量的一个或多个脉冲。DC 偏压可选加到 VHF 源组件(例如组件符号 595 与 597)输送的 VHF 信号上。施加于标靶 571 的 DC 电压可

用来更直接地控制气体原子在溅射过程中经离子化来撞击标靶 571 的能量。

在一实施例中，如上述，在工艺进行时，基片支撑件 562 可连接至 RF 产生器 523，使 RF 或 VHF 偏压施加至部分的基片支撑件 562，以将等离子体中的离子拖拽到基片 502 的表面。在一实施例中，基片支撑构件 562A 在进行等离子体工艺时为加以接地、DC 偏压或电气浮置，以使得离子轰击对基片 502 的破坏最小化。

### 脉冲式等离子体处理工艺

第 5A-5C 图为各种脉冲式等离子体工艺的示意图，其可于上述步骤 257 及/或步骤 259 中，来沉积第 4A 图的标靶 505 或第 4B 及 4C 图的标靶 571 所溅射的材料至基片 502 的表面。第 5A-5C 图的脉冲式等离子体工艺一般为一连串连续能量脉冲和 DC 能量脉冲，其中连续能量脉冲利用感应 RF 源组件 591 或 VHF 源组件(即 VHF 源组件 595 或双 VHF 源组件 597)输送到处理区域 522 且为时间的函数，而 DC 能量脉冲从 DC 源组件 592 输送到标靶。第 5A 图绘示感应 RF 源组件 591 或 VHF 源组件输送的 RF 能量 531 以及 DC 源组件 592 输送的 DC 电压 535 以时间为函数所绘制的图式。第 5A 图绘示感应 RF 源组件 591 或 VHF 源组件 595 输送的 RF 能量 531 与输送至标靶的 DC 电压 535 以时间为函数所绘制的图式，以此方式绘示的一实施例的 DC、及 RF 或 VHF(此后称为 RF/VHF)脉冲为同步化。在此实施例中，RF 能量 531 与 DC 电压 535 的脉冲为同步化，故其不是同时施加。DC 脉冲 532 通常提供短暂的吸引力来吸引等离子体中的 RF/VHF 激发离子，使离子具有足够的能量而加速朝向标靶 505，以将靶材溅射至等离子体中。激发标靶表面的溅射材料在产生 RF/VHF 脉冲 533 期间进入处理区域 522 中的等离子体，其在此可接着离子化。视基片支撑构件 562A 是否被 RF/VHF 偏压、接地或浮置而定，离子化的溅射原子可利用基片表面附近产生的等离子体鞘所设定的能量而输送到基片表面。在大部分的情况下，当使用低能量偏压来输送 DC 电压脉冲(或 DC 电流脉冲)以确保达到预定的离子密度与溅射速率时，期望可同步化 RF/VHF 脉冲 533 末端，以于处理室内产生足够的等离子体。

继续参照第 5A 图，一般特别期望使用感应耦合等离子体室设计，以于

RF/VHF 脉冲 533 期间产生离子(RF/VHF 脉冲 533 无足够的能量来溅射出标靶原子),如此溅射原子的能量更易由施加至标靶的 DC 偏压控制。在部分实例下,期望使用 RF/VHF 脉冲来离子化溅射的标靶原子,以利用施加于放置基片的基座上的低电位偏压而在低能量下使标靶原子加速及注入至基片表面。在一方面中,施加至标靶的 DC 电压脉冲(或 DC 电流脉冲)与脉冲的 RF/VHF 非周期的(off-cycle)为同步化,使得等离子体中的离子所产生的能量更易通过施加 DC 能量来降低等离子体能量的净增加量所控制。DC 脉冲的电压的大小可于掺杂工艺中提供足够的能量给氩离子来溅射靶材至等离子体。

应注意的是,系统控制器 602 可用来同步化 RF/VHF 脉冲 533 与 DC 脉冲 532 和占空比,以达到期望的等离子体密度、溅射沉积速率、和等离子体离子能量。参照第 5A 图,“启动(on)”时间( $t_1$ )除以 RF 能量 531 的整体脉冲时间( $t_3$ )所代表的占空比,可经最佳化以确保具预定平均密度的等离子体是被控制的。尚需注意的是,“启动(on)”时间( $t_4$ )除以 DC 电压 535 的整体脉冲时间( $t_6$ )所代表的占空比,可经最佳化以确保达到预定的平均沉积速率。

参照第 4B-4C 与 5A-5C 图,在一实施例中,VHF 源组件 595 设为脉冲模式,其脉冲频率为 1Hz 至 50kHz 且占空比为 0.1%-99%。在此实施例中,脉冲式 VHF 源是用来产生及维持形成于处理区域 522 的等离子体,并降低平均等离子体密度与离子能量。系统控制器 602 可用来调整占空比、脉冲频率、RF 能量(即 RF 功率)大小、和 RF 能量的频率,以控制等离子体、离子与溅射材料的能量。在一实施例中,为传送低能量溅射的材料至基片表面,系统控制器 602 可以约 1%-50%的占空比来输送 RF 能量至线圈 509(第 4A 图)。或者在一实施例中,低能量溅射的材料可通过以约 1%-50%的占空比来输送 RF 能量至标靶 571(第 4B 图)而传送至基片表面。在部分实例中,期望维持输送至线圈 509(第 4A 图)或标靶 571(第 4B 图)的占空比为约 1%-10%,以将传送至等离子体离子的能量减至最低。

第 5B 图绘示脉冲式等离子体工艺的另一实施例,其中 DC 脉冲 532 在感应 RF 源组件 591 或 VHF 源组件(即 VHF 源组件 595 或双 VHF 源组件 597)输送的脉冲 RF 能量 531 的至少部分期间内输送。在又一实施例中,如第 5C 图所示,RF 能量 531 于一段时间  $t_1$  内保持不变,当 RF 能源为“启动(on)”时,脉冲

的 DC 电压 535 被输送到标靶 505。应注意的是，最好降低 DC 脉冲 532 期间 RF 能量 531 的大小，以减少输送信号之间任何可能的相互干扰。在一实施例中，期望使用 RF 产生器 523(第 4A 图)来偏压基片支撑件 562，以于不同 RF/VHF 等离子体产生阶段及/或脉冲的 DC 溅射时期中产生吸引离子至基片上的偏压。

在另一实施例中，期望产生 RF/VHF 能量脉冲，如此等离子体中产生的离子将无足够的能量来溅射靶材。在此情况下，DC 偏压被施加至标靶以促进靶材的溅射。

在一实施例中，脉冲式 RF/VHF 信号被施加至基片支撑件 562，以产生及维持遍及基片表面的等离子体。故在一实施例中，同步化的 DC 脉冲输送到标靶 571，同步化的 VHF 脉冲输送到基片支撑件 562，以将靶材溅射到等离子体中而掺杂至栅极介电层内。

### 接地的准直仪(Collimator)的设计

第 4F 图绘示等离子体处理室 500 的另一实施例的截面，其可用来进行栅极介电层的金属等离子体处理，即进行低能量溅射处理以形成掺杂的栅极介电层。在此实施例中，接地的准直仪 540 安装在基片 502 与标靶 505 之间来捕获带电的金属离子。加装接地的准直仪 540 促进基本为中性的溅射原子抵达基片 502，以于基片 502 的表面形成金属薄层(可能如单一个单层薄)。准直仪通常为含有多个孔洞 540A 的接地板或接线网，孔洞 540A 遍布整个接地板，使得中性原子(也许和一些离子)从标靶附近的处理区域传递至基片表面。因中性原子的能量通常只占溅射标靶表面的原子所需能量的一小部分且中性原子不会影响等离子体电位，故利用本方法来沉积此层至栅极介电层表面一般只会造成极微的离子轰击破坏。金属层接着可与后续形成的氧化层结合，进而形成高介电常数(高 k)的介电层，且无金属或氮离子注入及相关问题，比如破坏硅层与金属过度穿透基片下的硅层。本领域技术人员将可理解，第 4B 及 4C 图的处理室 501 亦可将接地的准直仪 540 设于标靶 571 与基片 502 表面间，以具同样的功能而可于带电粒子撞击基片表面之前来捕获等离子体中大量的带电粒子，藉以减少对栅极介电层的破坏。

### 处理室的另一种设计

第 4G 图绘示等离子体处理室 500 的另一实施例的截面，其可用来进行栅极介电层的金属等离子体处理，即进行低能量溅射工艺以形成掺杂的栅极介电层。根据处理室 500 的一实施例，感应 RF 源组件 591 的输出连接至标靶 505，如此可利用线圈 509 与电容耦合标靶 505 而于处理区域 522 中产生等离子体。在一实施例中，标靶 505 透过线圈 508B 而耦接至 RF 匹配器 508A 的输出，且当产生器 508 经由 RF 匹配器 508A 输送功率时，线圈 508B 被调整大小来达到共振的目的。参照第 4A 图，标靶 505 所附加的 RF 偏压可使线圈 509 产生并形成等离子体，且输送至标靶 505 的 RF 频率与 RF 功率可控制 DC 偏压及撞击标靶 505 的离子能量。另外，采用可于预定占空比产生脉冲的感应耦合等离子体产生组件和电容耦合等离子体产生组件，可更易控制施加于标靶的 DC 偏压(即自偏压)、溅射速率、和溅射的离子能量。借着小心控制室压、RF 频率、RF 功率、占空比、施加于基片支撑件 562 的偏压、及/或处理时间，则可控制溅射材料量与浓度对应溅射材料于介电层内的深度的关系。使用单一 RF 产生器 508 与 RF 匹配器 508A 还可降低反应室成本与系统复杂度。在一实施例中，DC 源组件 592 耦接标靶 505，如此在 RF 产生器 508 输送 RF 脉冲的过程中或是各脉冲之间，DC 脉冲可输送至标靶 505。

在另一实施例中，如第 4H 图所示，期望具有个别的 RF 产生器 565 与 RF 匹配器 565A 来供给标靶 505 RF 能量，且线圈 509 个别地由 RF 产生器 508 与 RF 匹配器 508A 而被 RF 偏压。在此结构配置下，可利用系统控制器 602 来个别控制新的 RF 匹配器 565A 和 RF 产生器 565 以及感应 RF 源组件 591 的组件。在一方面中，DC 源组件 592 亦耦接至标靶 505，如此在感应 RF 源组件 591 的组件及/或 RF 产生器 565 输送 RF 脉冲的过程中或是各 RF 脉冲间，DC 脉冲可输送至标靶 505。

### 等离子体处理系统

一个或多个等离子体处理室(例如上述第 4A-4C 及 4F 图的处理室)较佳为整合到多个反应室、多个工艺基片处理平台中(例如第 7 图的整合处理系统 600)。有益于本发明的整合处理系统的例子描述于美国专利证书号 5,882,165、申请日



为公元 1999 年 3 月 16 日的申请案；美国专利证书号 5,186,718、申请日为公元 1993 年 2 月 16 日的申请案；以及美国专利证书号 6,440,261、申请日为公元 2002 年 8 月 27 日的申请案，其一并附上供作参考。整合处理系统 600 可包括工作接口 604、装载口 605A-605D、系统控制器 602、真空加载锁定室 606A、606B、传输室 610、和多个基片处理室 614A-614F。一个或多个基片处理室 614A-614F 可为等离子体处理室，例如上述第 2-5 图的处理室 500 及/或一个或多个处理室 501，用以进行等离子体工艺。在其它实施例中，整合处理系统 600 可包括 6 个以上的处理室。

根据本发明的方面，整合处理系统 600 一般包含多个反应室与机械手臂，且最好配有系统控制器 602，其经程序化而控制与施行各种处理方法与程序于整合处理系统 600 中。系统控制器 602 通常是用于协助整个系统的控制与自动化，且一般包括中央处理单元(CPU)(未绘示)、内存(未绘示)、和支持电路(或输入/输出(I/O))(未绘示)。CPU 可为任一型式用于工业装置的计算机处理器，以控制各种系统功能、反应室工艺与支持硬件(如侦测器、机械手臂、马达、气体源设备等)，并监控系统与反应室工艺(如反应室温度、处理程序的产能、反应室处理时间、I/O 信号等)。机械手臂 613 位在传输室 610 之中央，以将基片从加载锁定室 606A 或 606B 传送到其中之一处理室 614A-614F。机械手臂 613 一般包含连接于机械手臂驱动组件 613C 的叶片组件 613A、机械臂组件 613B。机械手臂 613 依据系统控制器 602 送出的指令来传送基片”W”至各处理室。有益于本发明的机械手臂组件描述于美国专利证书号 5,469,035、名称「双轴磁性耦接的机械手臂(Two-axis Magnetically Coupled Robot)」、申请日为公元 1994 年 8 月 30 日的申请案；美国专利证书号 5,447,409、名称「机械手臂组件(Robot Assembly)」、申请日为公元 1994 年 4 月 11 日的申请案；以及美国专利证书号 6,379,095、名称「搬运半导体基片的机械手臂(Robot For Handling Semiconductor Substrates)」、申请日为公元 2000 年 4 月 14 日的申请案，其一并附上供作参考。多个狭长阀(未绘示)可用来选择性隔开各处理室 614A-614F 与传输室 610，如此可于进行处理程序时，个别抽真空各反应室以进行真空工艺。

将等离子体室整合入整合处理系统 600 的重大好处为，一连串的工艺步骤可在不接触空气的状态下实行于基片上。此可使例如上述第 2-5 图的溅射原子

沉积至基片表面的步骤进行时，不会氧化刚沉积的超薄金属层。将多个处理室整合入含有可进行退火步骤的处理室的整合处理系统 600 中，也可避免在稳定退火处理前发生刚沉积的材料的失控氧化情形。整合系统不会将基片暴露于非整合工艺才有的氧源环境中，故可防止高 k 介电层 403 或高 k 介电层 404 内的材料(例如掺杂剂材料)氧化。非整合工艺所见的污染物会直接影响器件工艺的再现性与器件平均性能。

根据整合处理系统 600 的一实施例，基片处理室 614A 或连接工作接口 604 的反应室可用来进行如上述步骤 252 的 RCA 清洗步骤。接着移除原生氧化层 401A(参见第 3A 图)后，可在处理室 614B 中进行传统快速热氧化(RTO)工艺、等离子体辅助化学气相沉积(PECVD)、或 ALD，以形成介电层(如热氧化层 402、高 k 介电层 404)于基片上。基片处理室 614C 及 614D 为类似上述处理室 500 及/或处理室 501 的等离子体处理室，用以进行步骤 257 及 259。因此等离子体工艺可在处理室 614C 及 614D 中处理基片，且维持基片在真空环境，而避免原生氧化层再次生长于基片上的各膜层。当暴露的膜层含有高度亲氧的材料(例如铜)时，此尤其重要。在一方面中，步骤 260 在基片处理室 614E 中相继施行于基片上，以氧化在基片处理室 614D 中形成的金属表面。在另一方面中，步骤 262 可施行于位在基片处理室 614E 的 RTP 室。其次，等离子体氮化工艺(步骤 264)(例如从应用材料公司取得的 DPN 工艺)可施行于基片处理室 614F。在另一方面中，步骤 266 可施行于位在基片处理室 614E 或基片处理室 614F(若有)的 RTP 室中。

在另一实施例中，步骤 252(即移除原生氧化层步骤)和步骤 254(即沉积热氧化层步骤)可在不同的系统中进行。在此实施例中，基片处理室 614A 及 614B 可为类似处理室 500 及/或处理室 501 的等离子体处理室，用以进行步骤 257 及 259。在一方面中，步骤 260 在基片处理室 614C 中相继施行于基片上，以氧化在基片处理室 614B 中形成的金属表面。或者在另一方面中，步骤 262 可施行于 RTP 处理室 614C。其次，等离子体氮化工艺(步骤 264)(例如从应用材料公司取得的 DPN 工艺)可施行于位在基片处理室 614D 的处理室。在一方面中，步骤 266 可施行于 RTP 处理室 614E 或基片处理室 614C(若有)。在一方面中，在基片处理室 614C 中完成步骤 260 后，表面氮化步骤可施行于基片处理室

614D, 而不需将基片移出真空环境以致接触空气。

### 另一种形成栅极氧化层的方法

第 6A 图为根据本发明的一实施例, 制造场效应晶体管的栅极介电层的方法 100 的流程图。方法 100 包括一连串在制造互补式金属氧化物半导体(CMOS)场效应晶体管范例的栅极结构的过程中施行于基片上的步骤。第 6A 图绘示方法 100 的完整程序。至少部分的方法 100 可施行于整合式半导体基片处理系统(即组合工具)的工艺反应器。此种处理系统的一例为从美国加州圣克拉拉市的应用材料公司取得的 CENTURA<sup>®</sup>整合处理系统。

第 6B-6G 图为一系列的基片剖面视图, 利用第 6A 图的方法而于该基片上制造栅极结构。第 6B-6G 图的截面分别相应于制造晶体管中较大栅极结构(未绘示)的栅极介电层的个别工艺步骤。第 6B-6G 图并未按比例绘制且已简化图示。

方法 100 开始于步骤 102 且进行到步骤 118。首先参照第 6A 及 6B 图, 于步骤 104 中, 提供了硅(Si)基片 200(例如 200 毫米的晶片、300 毫米的晶片), 其并暴露于溶液中, 以移除基片表面的原生氧化层( $\text{SiO}_2$ )204。在一实施例中, 原生氧化层 204 的移除是使用含氟化氢(HF)与去离子(DI)水的清洗液(即, 氟氢酸溶液)。在一实施例中, 清洗液为保持在约 20°C 至约 30°C 下、含有按重量计约 0.1-10% 的 HF 的水溶液。在另一实施例中, 清洗液包含约 0.5wt% 的 HF, 且维持在约 25°C。在步骤 104 中, 基片 200 可浸入清洗液, 然后以去离子水洗涤。步骤 104 可施行于单一基片处理室或多个批次型基片处理室, 其在处理过程中可包括超音波能量的传送。或者, 步骤 104 可施行于整合处理系统 600(第 7 图)中的单一基片湿式清洗反应室。在另一实施例中, 原生氧化层 204 的移除可采用 RCA 清洗法。完成步骤 104 后, 基片 200 放置到真空加载锁定室或通入氮气( $\text{N}_2$ )的环境。

在步骤 106 中, 热氧化层( $\text{SiO}_2$ )206 形成于基片 200 上(第 6C 图)。热氧化层 206 的厚度一般为约 3 埃至约 35 埃。在一实施例中, 热氧化层 206 的厚度为约 6 埃至约 15 埃。沉积热氧化层步骤 106 可施行于 RTP 反应器, 例如位在整合处理系统 600(第 7 图)中的 RADIANCE<sup>®</sup> RTP 反应器。RADIANCE<sup>®</sup> RTP

反应器是从美国加州圣克拉拉市的应用材料公司取得。

在步骤 108 中，热氧化层 206 为暴露于含金属离子的等离子体。例如，步骤 108 于基片 200 上形成氧化硅金属层或硅酸金属层或氧氮化硅金属层的金属次层 209(第 6D 图)。在一实施例中，较佳地，进行步骤 108 时约 1 埃至约 5 埃的金属层 208 为形成于热氧化层 206 的表面。在一实施例中，含金属离子的等离子体包含惰性气体和至少一金属离子，例如钪或镧。惰性气体可包含氩气、及一个或多种选择性惰性气体，例如氖气(Ne)、氦气(He)、氪气(Kr)、或氙气(Xe)。在一方面中，含金属离子的等离子体可包含氮气(N<sub>2</sub>)。

在步骤 110 中，热氧化层 206 为暴露于含氧的等离子体来氧化金属次层 209，并将金属层 208（当有施加此层时）转化成介电区域 210(第 6E 图)。在另一实施例中，等离子体可包含氮气(N<sub>2</sub>)、及一个或多种氧化气体，例如氧气(O<sub>2</sub>)、一氧化氮(NO)、氧化亚氮(N<sub>2</sub>O)。等离子体还可包含一个或多种惰性气体，例如氩气(Ar)、氖气(Ne)、氦气(He)、氪气(Kr)、或氙气(Xe)。步骤 110 例如可施行于整合处理系统 600(第 7 图)的去耦合等离子体氮化(DPN)等离子体反应器。

在另一实施例中，步骤 112 是用来代替步骤 110，以约 800°C 至约 1100°C 退火处理基片 200。步骤 112 可施行于适当的热退火室，例如整合处理系统 600 的 RADIANCE<sup>®</sup>反应器或 RTP XE<sup>+</sup>反应器、或单一基片或批次炉管。热氧化步骤 112 形成含有介电材料的介电区域 210。在一方面中，介电区域 210 可包含硅酸盐材料。在一实施例中，退火处理步骤 112 可采用流速约 2-5000 sccm 的氧气(O<sub>2</sub>)和约 100-5000 sccm 的一氧化氮(NO)、或选择性混入氮气(N<sub>2</sub>)，且维持基片表面温度为约 800°C 至约 1100°C、处理室压力为约 0.1-50 托。此退火工艺可进行约 5-180 秒。在一实施例中，氧气(O<sub>2</sub>)的供应流速为约 500 sccm，且在约 1000°C 下维持室压为约 0.1 托、为期约 15 秒。在另一实施例中，一氧化氮(NO)的供应流速为约 500 sccm，且在约 1000°C 下维持室压为约 0.5 托、为期约 15 秒。

在步骤 114 中，基片 200 的表面暴露于氮等离子体中来增加构成结构的上表面的含氮量，而形成氮化层 214(第 6F 图)。此工艺可使用 DPN 反应器且提供约 10-2000 sccm 的氮气(N<sub>2</sub>)、约 20-500°C 的基座温度、及约 5-1000 毫托的反应室压力。射频(RF)等离子体例如以 13.56MH、和高达约 3-5 仟瓦的连续波(CW)

或脉冲等离子体电源来供应能量。产生脉冲时，最大 RF 功率、频率与占空比的范围一般分别为约 10-3000 瓦、约 2-100kHz 与约 2%-100%。此工艺可进行约 1 秒至约 180 秒。在一实施例中，氮气(N<sub>2</sub>)的供应量为约 200 sccm，且约 1000 瓦的最大 RF 功率以约 10kHz 产生脉冲与施加于感应等离子体源的约 5%的占空比、约 25℃的温度、和约 10-80 毫托的压力等条件来产生脉冲、为期约 15 秒至约 180 秒。等离子体可利用准遥等离子体源、感应等离子体源、辐射线带槽天线(RLSA)源、或其它等离子体源等产生。在另一实施例中，CW 及/或脉冲微波电源可用来形成氮化层 214。氮化层 214 可形成在介电区域 210 的上表面(第 6E 图)。

在步骤 116 中，可退火处理栅极介电层(氧化层 206、氮化层 214 与金属次层 209)、和基片 200。步骤 116 可减少氧化层 206、氮化层 214 与金属次层 209 间的漏电流，并增进电荷载流子于二氧化硅(SiO<sub>2</sub>)次层 216 下方的沟道区域的迁移率及改善栅极介电层整体的可靠度。步骤 116 可施行于适当的热退火室，例如整合处理系统 600 的 RADIANCE<sup>®</sup>反应器或 RTP XE<sup>+</sup>反应器、或单一基片或批次炉管。热氧化步骤 116 可形成二氧化硅(SiO<sub>2</sub>)次层 216 于硅/介电层界面上(第 6G 图)。步骤 116 可增进电荷载流子于二氧化硅(SiO<sub>2</sub>)次层 216 下方的沟道区域的迁移率及改善介电层/硅界面的可靠度。

在一实施例中，步骤 116 的退火工艺可至少采用约 2-5000 sccm 的氧气(O<sub>2</sub>)和约 100-5000 sccm 的一氧化氮(NO)其中之一、或选择性混入氮气(N<sub>2</sub>)，且维持基片表面温度为约 800℃至约 1100℃、处理室压力为约 0.1-50 托。此工艺可进行约 5-180 秒。在一实施例中，氧气(O<sub>2</sub>)供应量为约 500 sccm，且在约 1000℃下维持室压为约 0.1 托、为期约 15 秒。

完成步骤 116 后，步骤 118 为结束方法 100。在制造集成电路时，方法 100 有利于形成超薄的栅极介电层，并可减少漏电流及增进电荷载流子于沟道区域的迁移率。

虽然本发明已以较佳实施例揭露如上，然而其并非用以限定本发明，任何本领域技术人员，在不脱离本发明的精神和范围内，当可作各种的更动与润饰，因此本发明的保护范围当视后附的权利要求书所界定者为准。

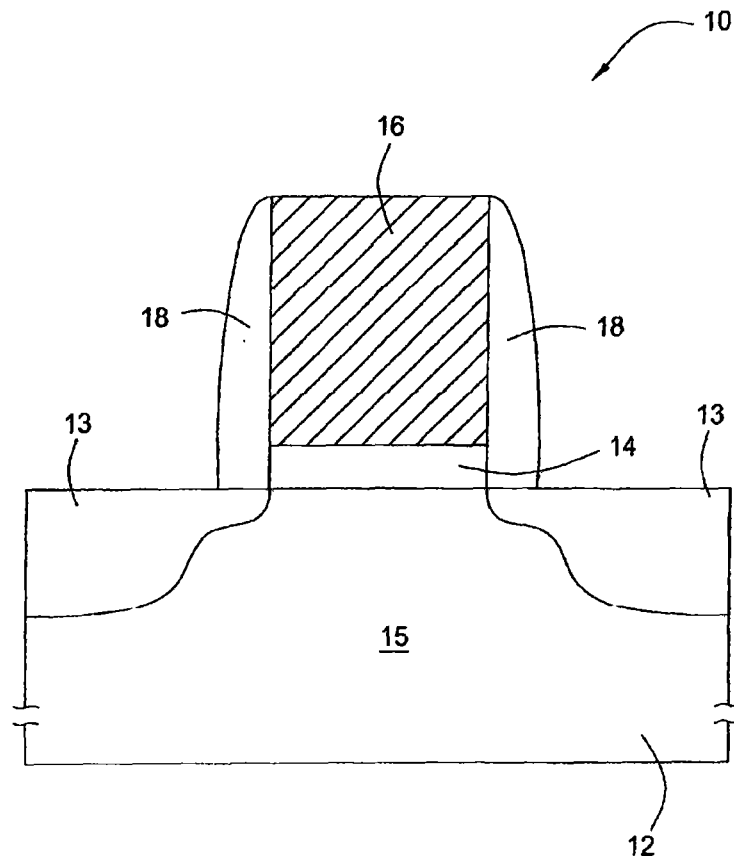


图 1A

现有技术

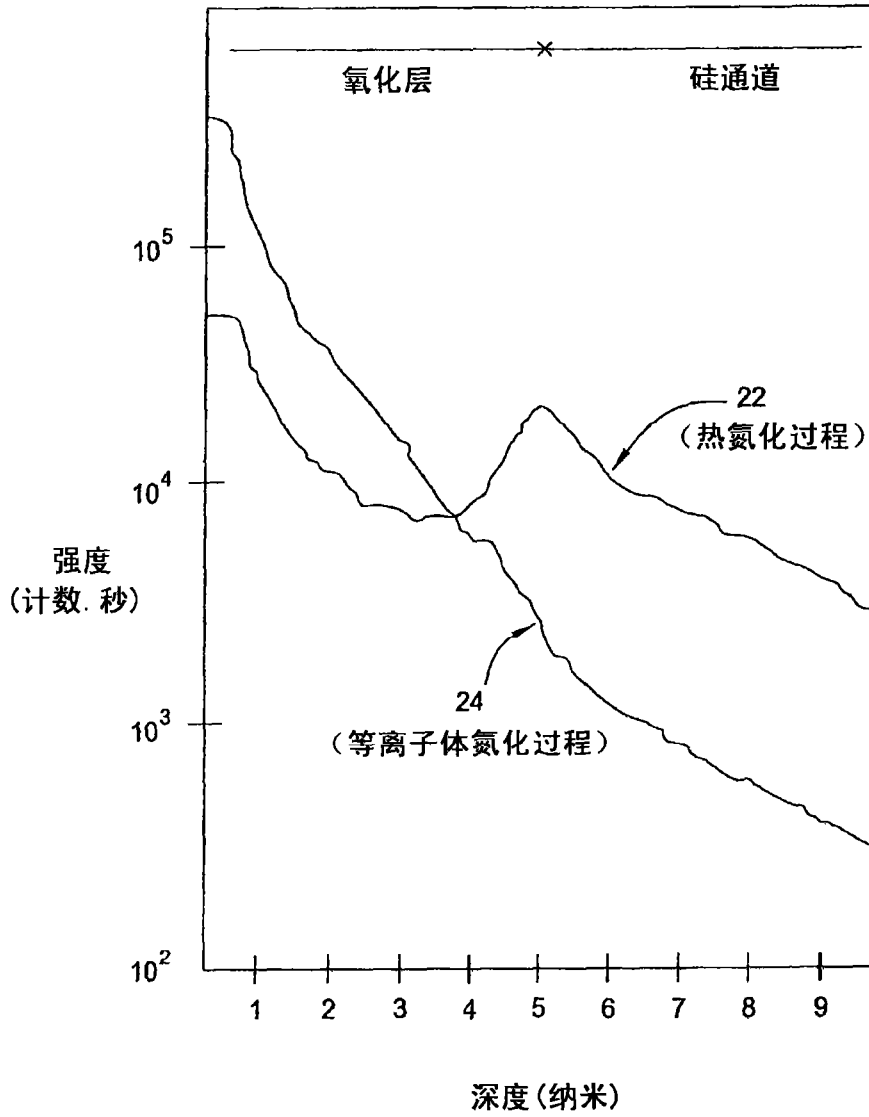


图 1B

现有技术

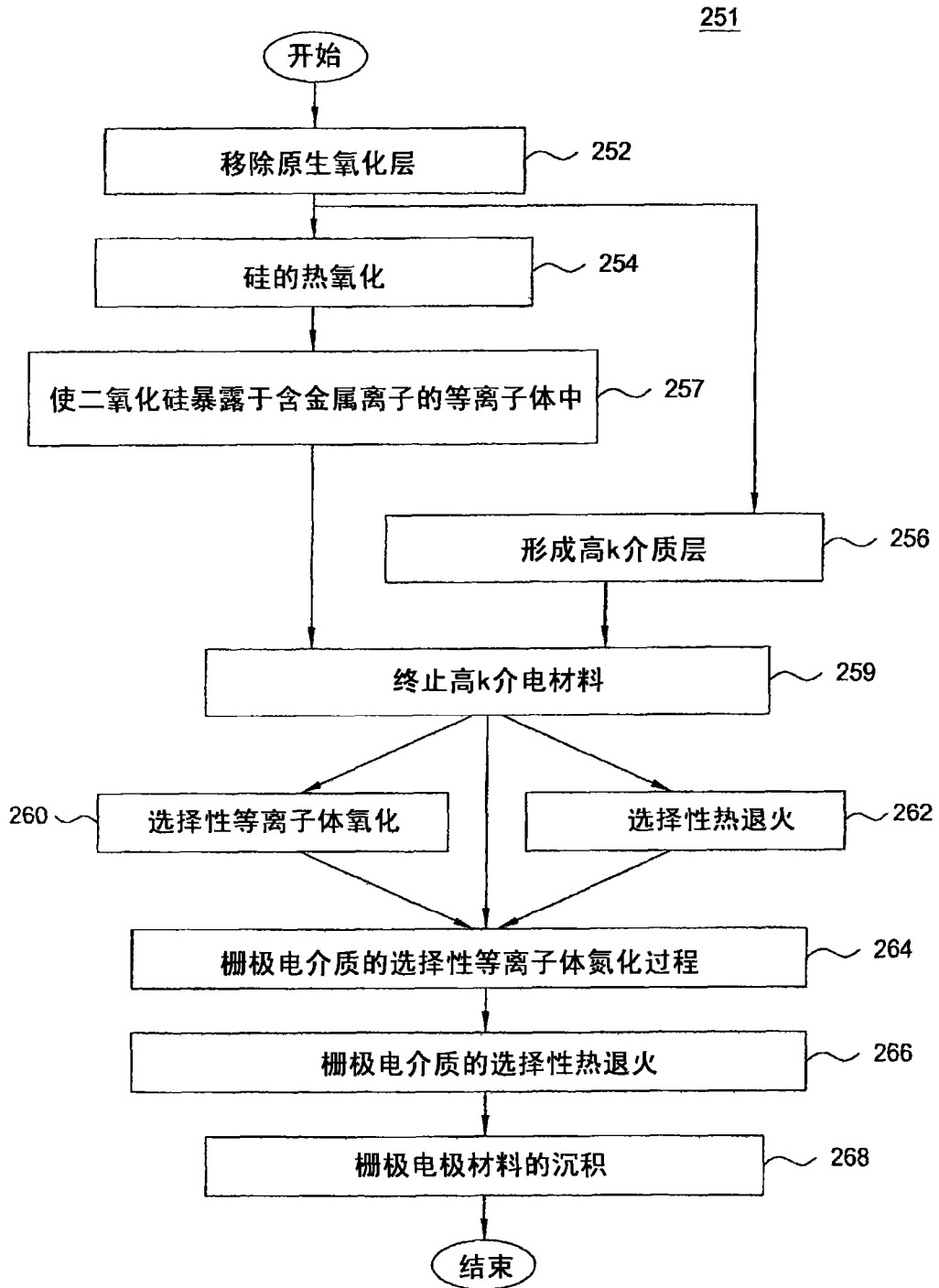


图 2A



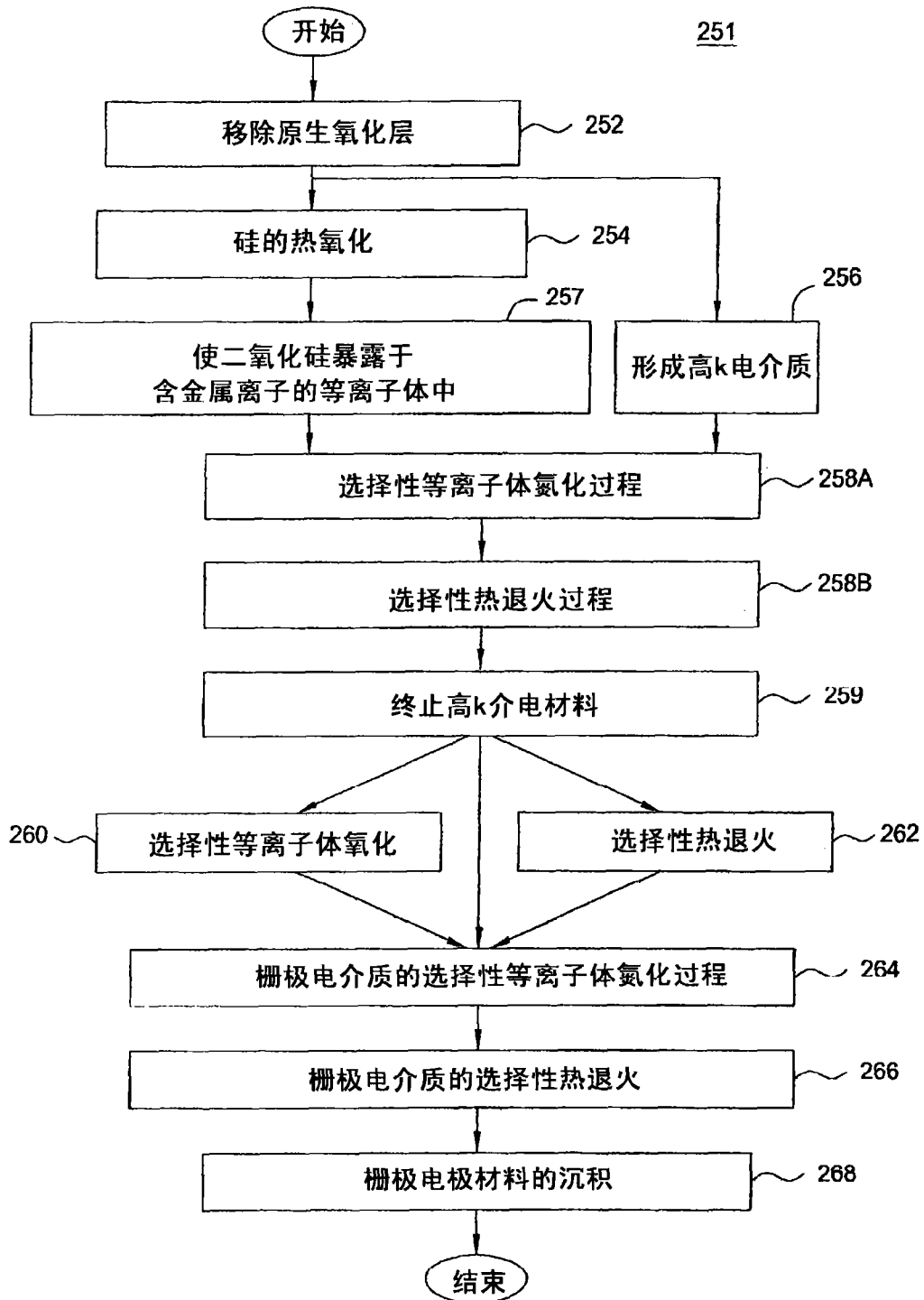


图 2B

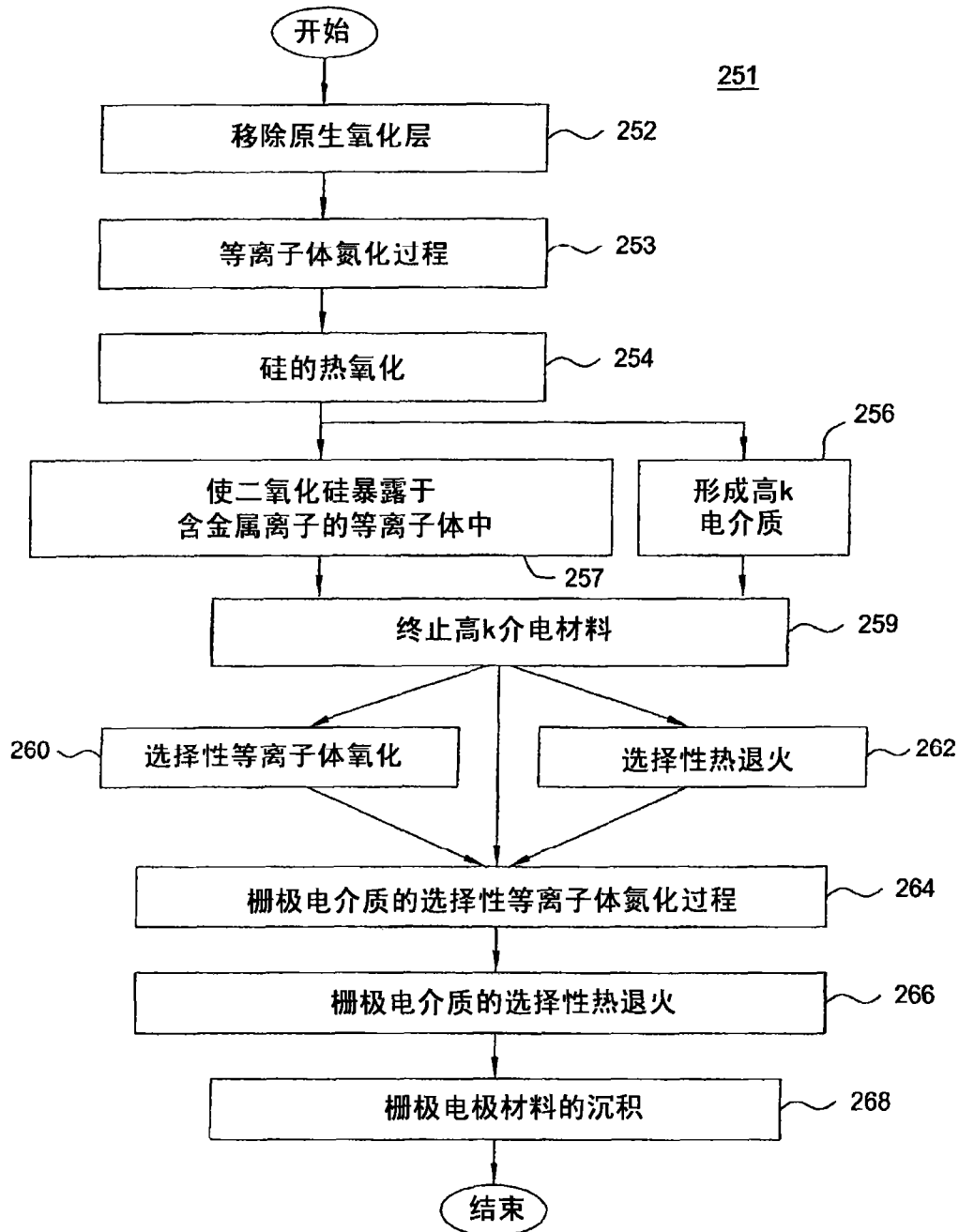


图 20

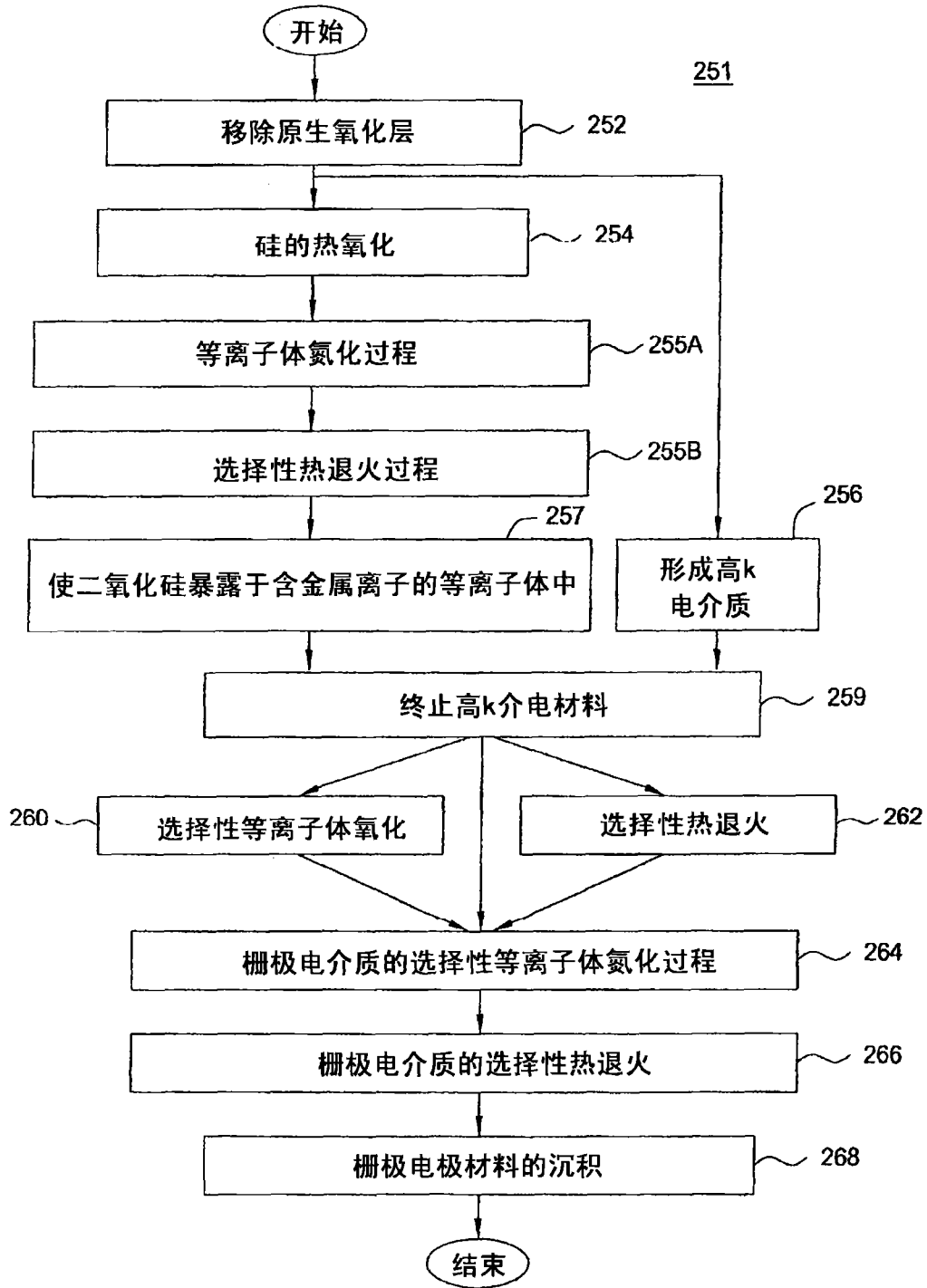


图 2D

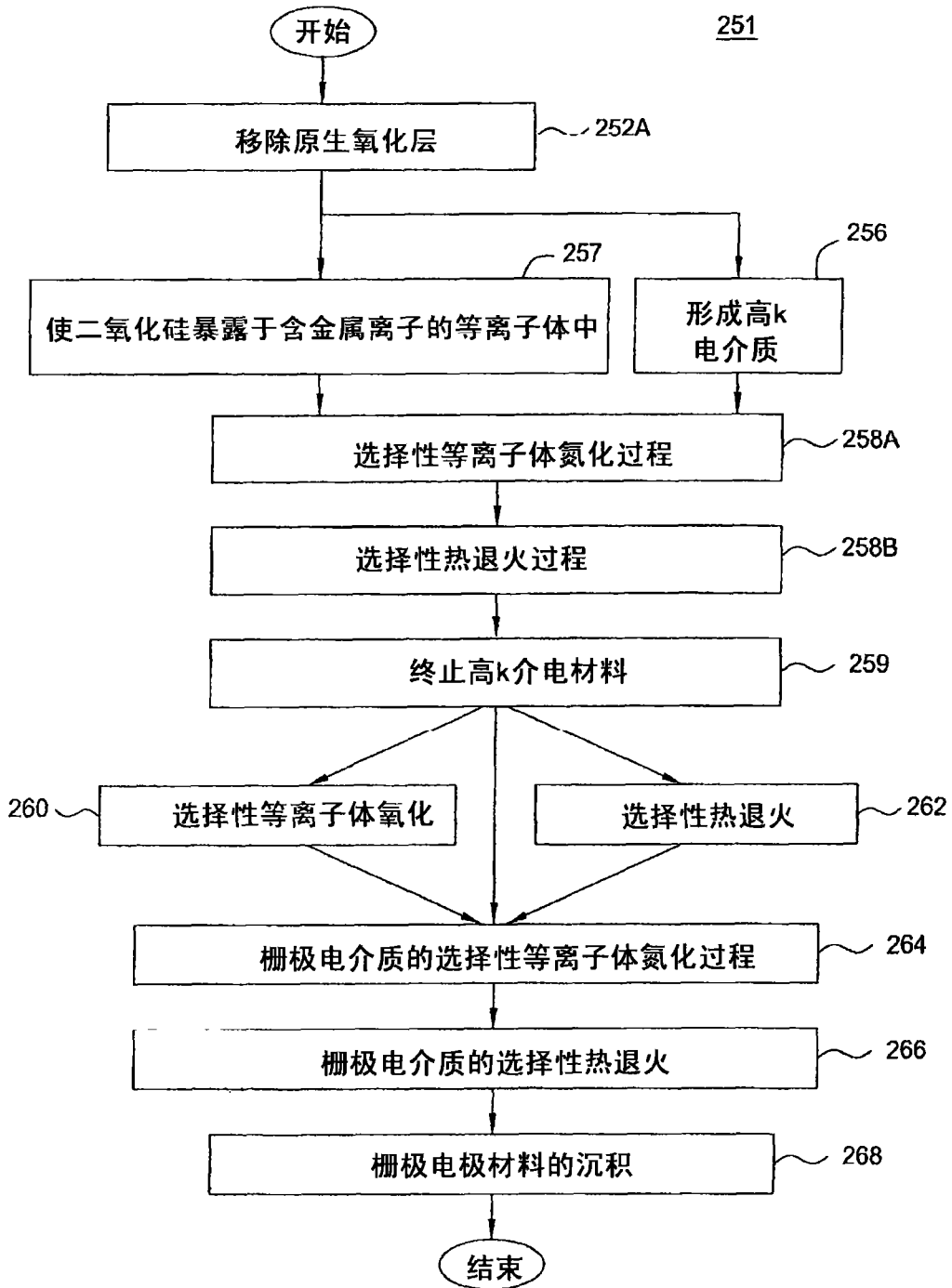


图 2E

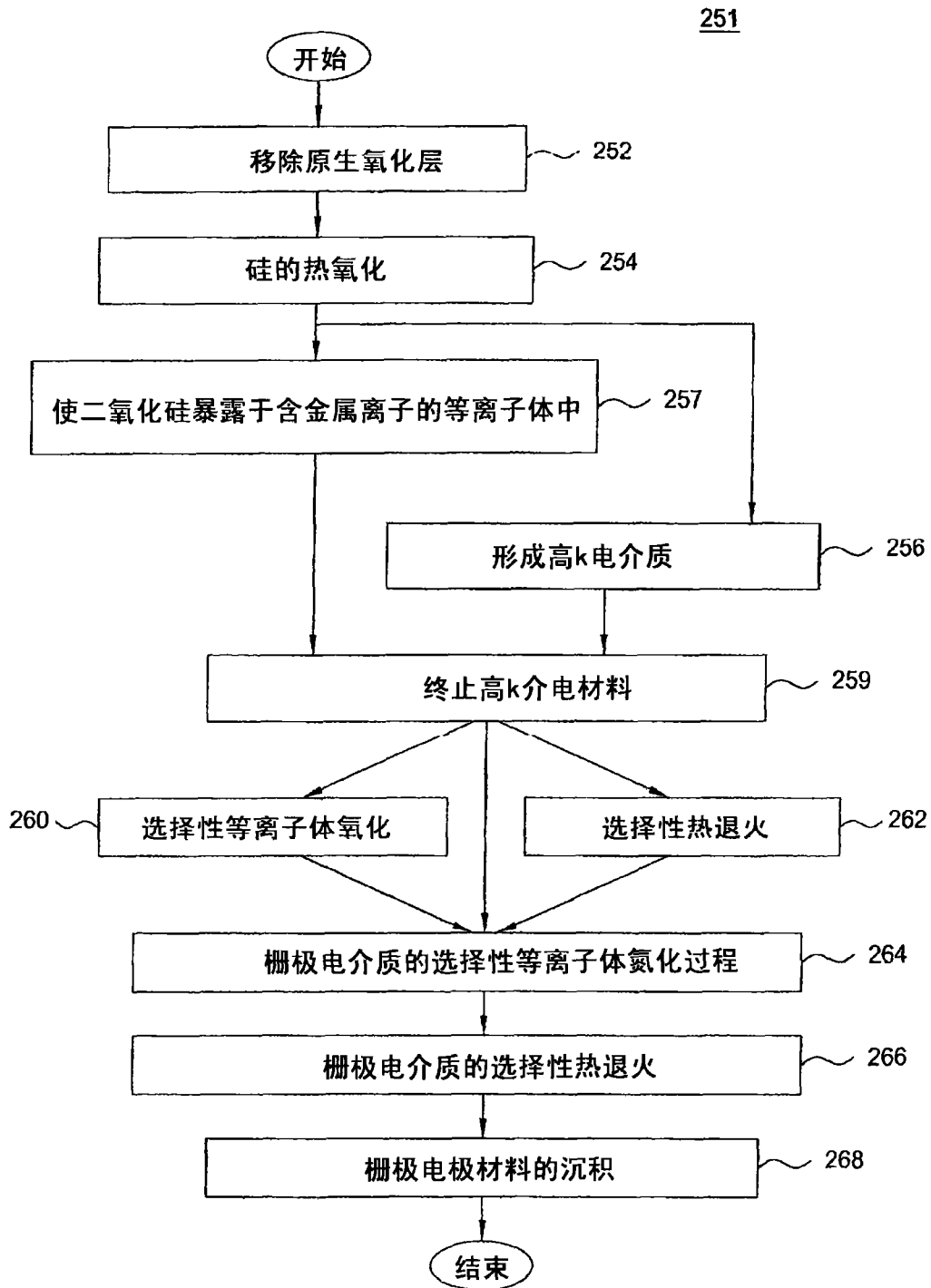
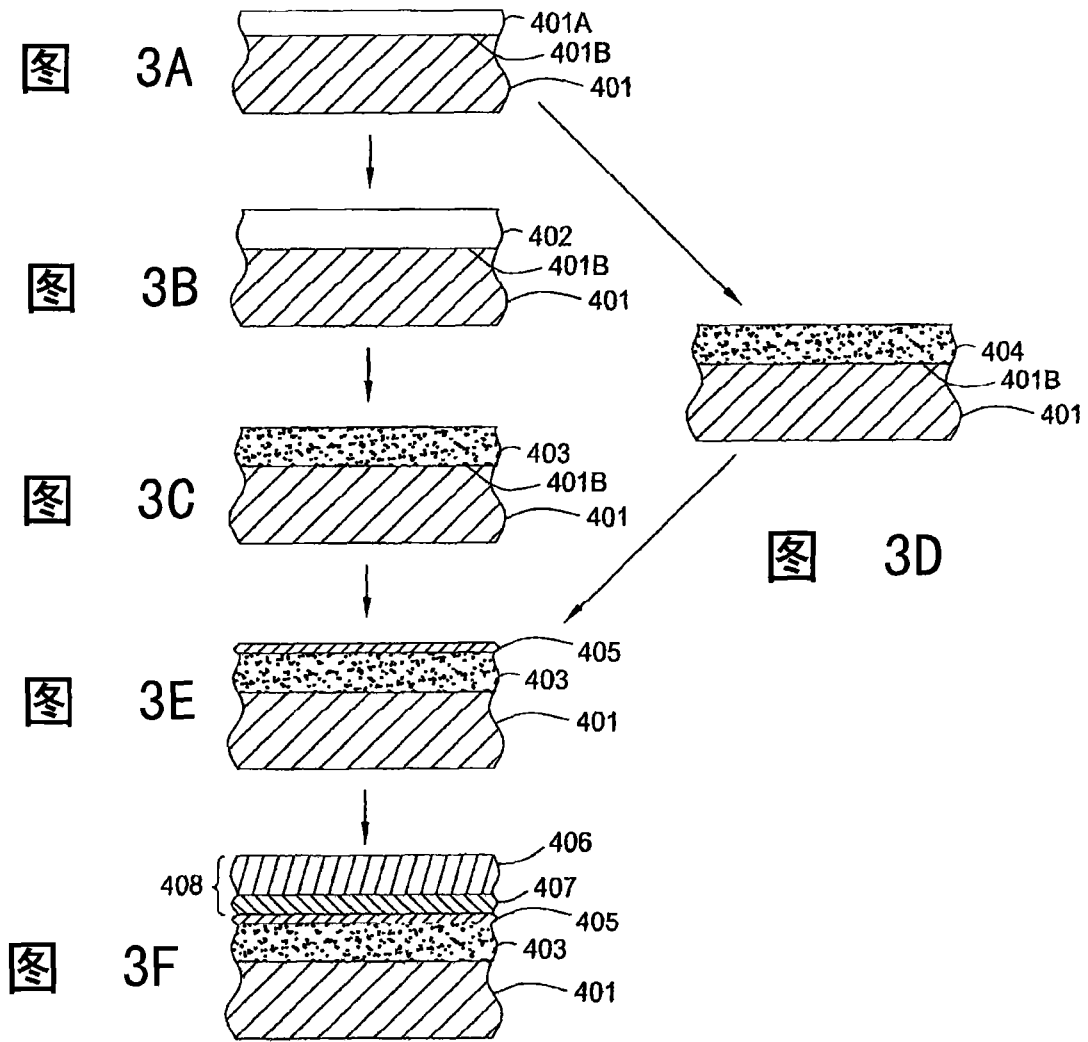


图 2F



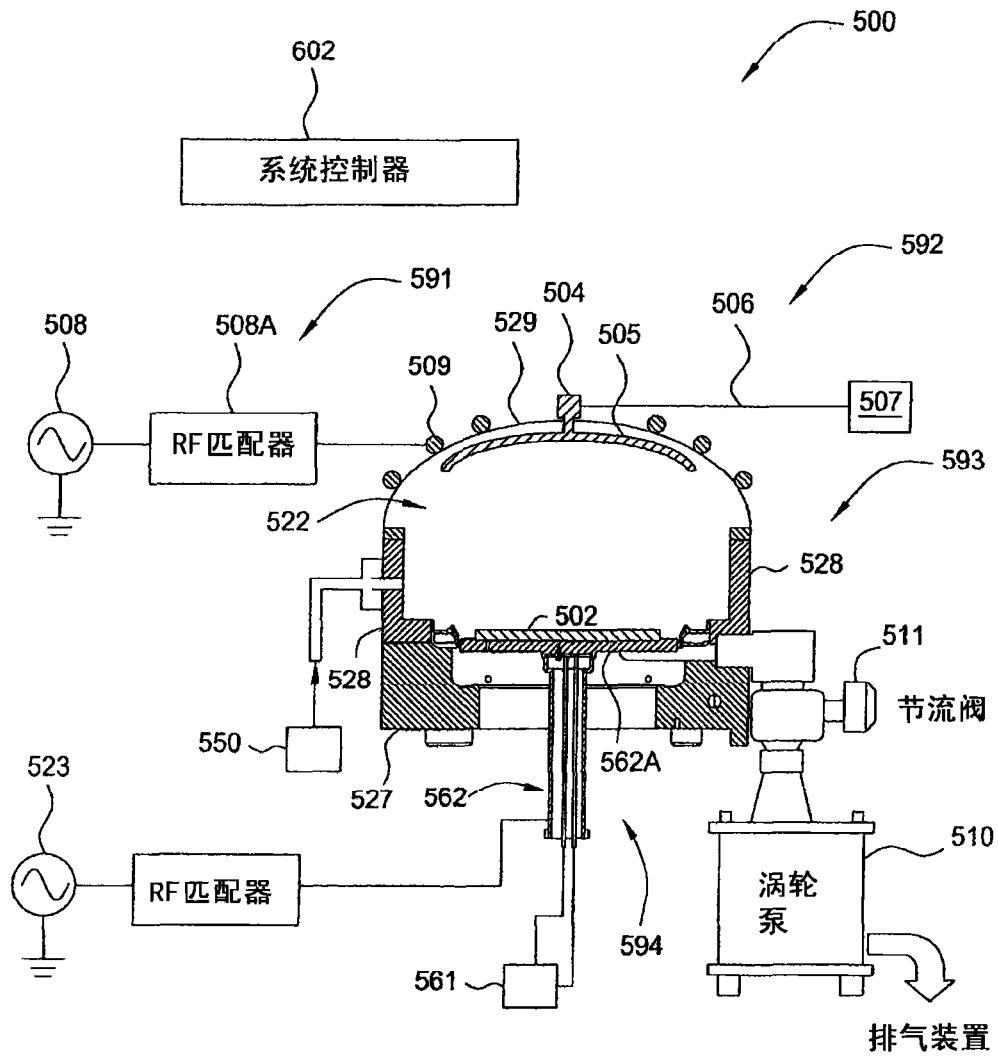


图 4A

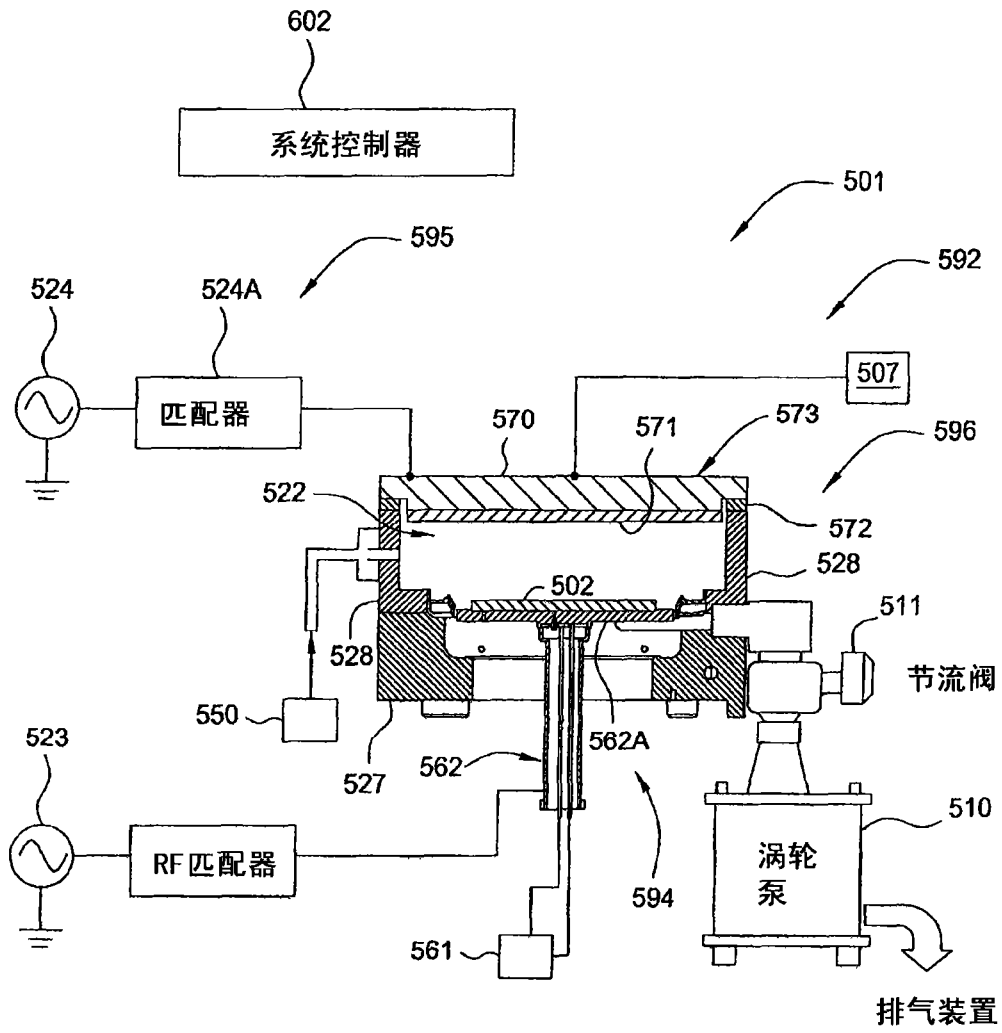


图 4B



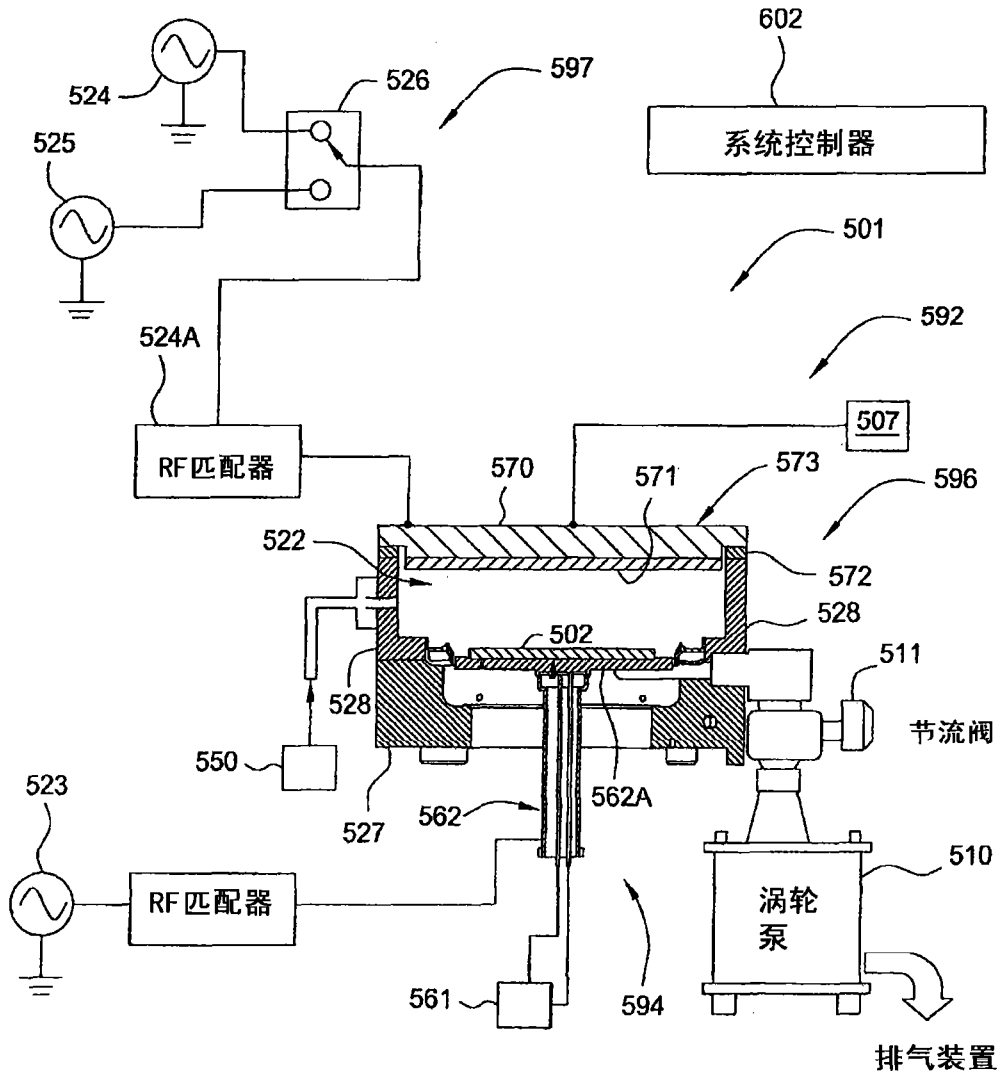


图 4C

| 使用的气体 | 铪标靶   |        |             | 铜标靶    |             |
|-------|-------|--------|-------------|--------|-------------|
|       | 质量    | 能量质传因子 | 溅射临界能量 (eV) | 能量质传因子 | 溅射临界能量 (eV) |
| Ar    | 40    | 0.599  | 42.3        | 0.694  | 25.5        |
| Kr    | 83.8  | 0.871  | 29.12       | 0.939  | 18.8        |
| Xe    | 131.3 | 0.977  | 25.85       | 0.999  | 17.7        |

图 4D

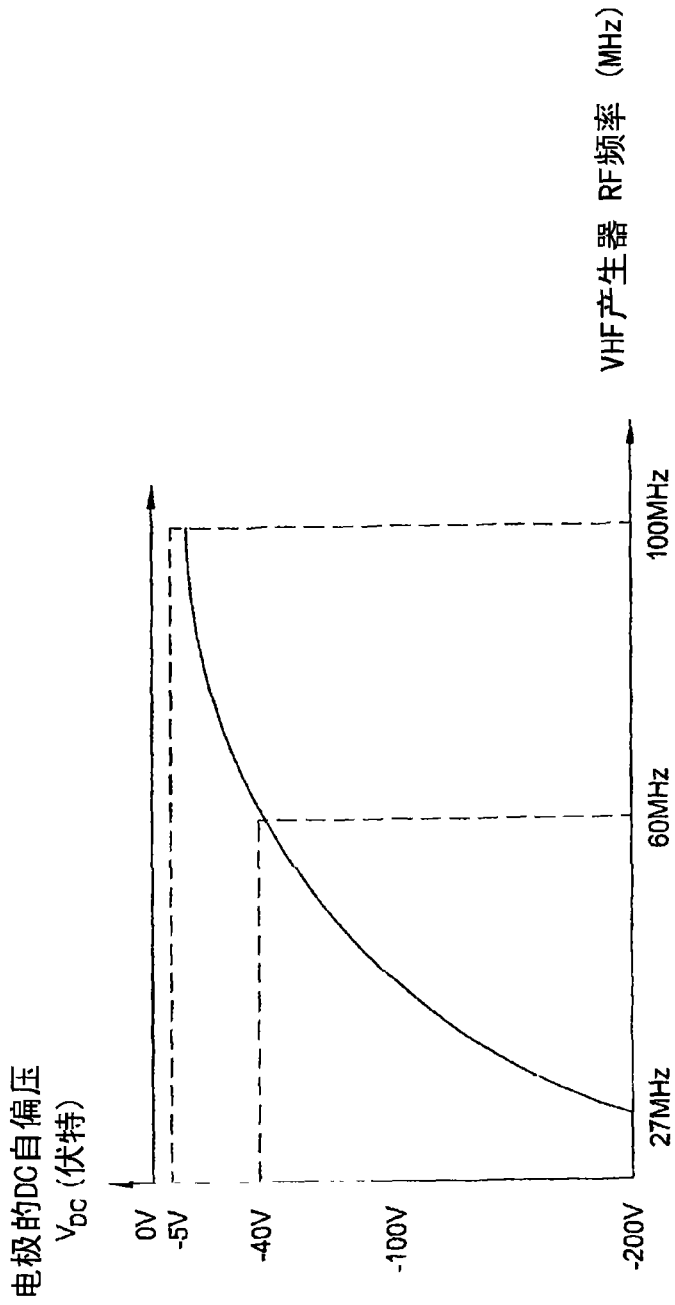


图 4E

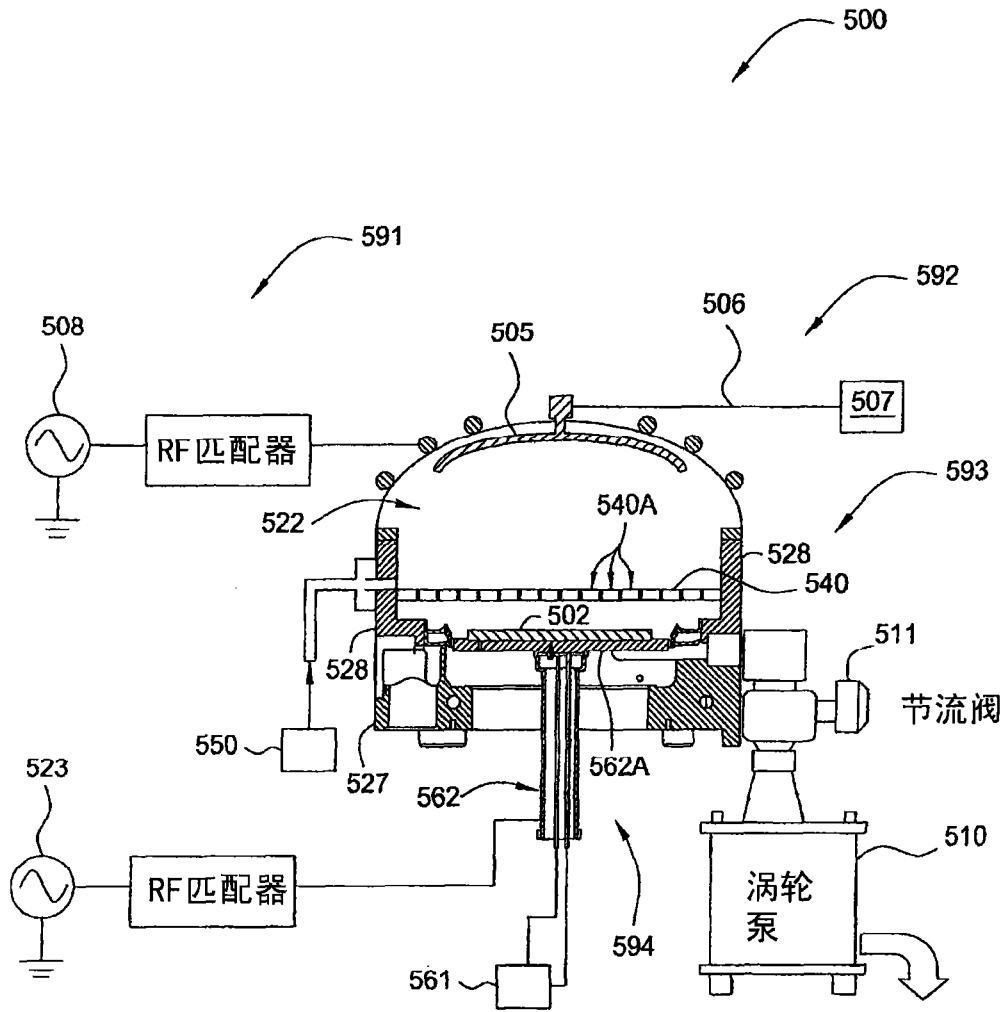


图 4F

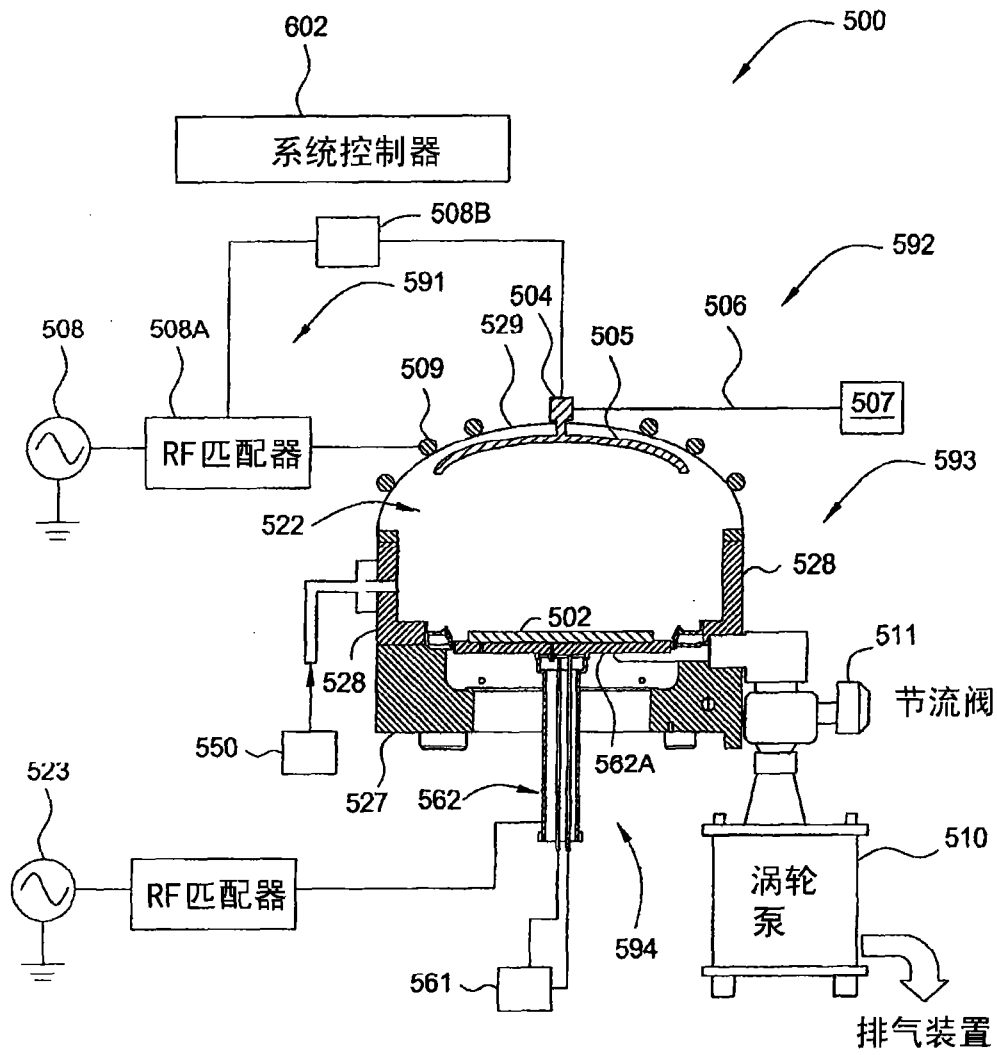


图 4G

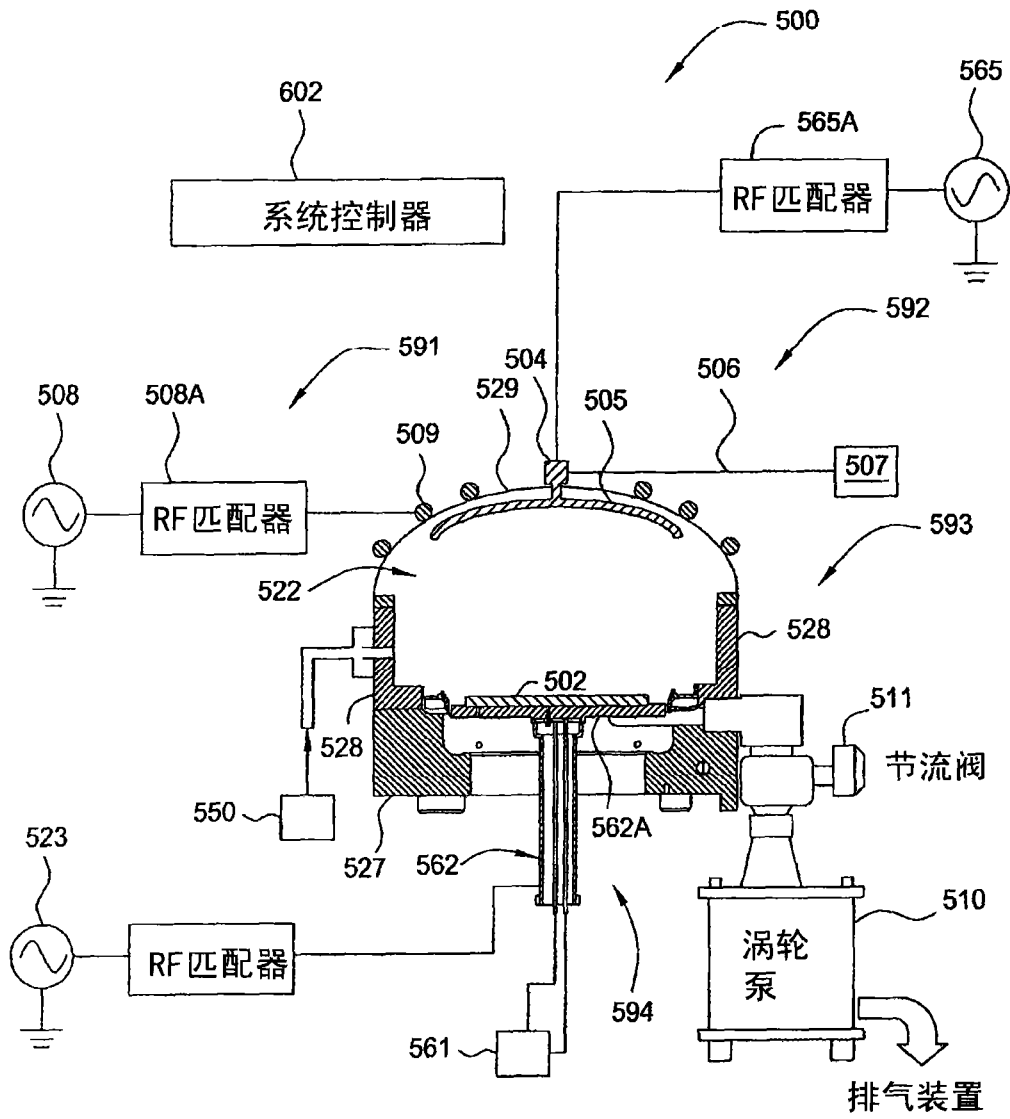


图 4H

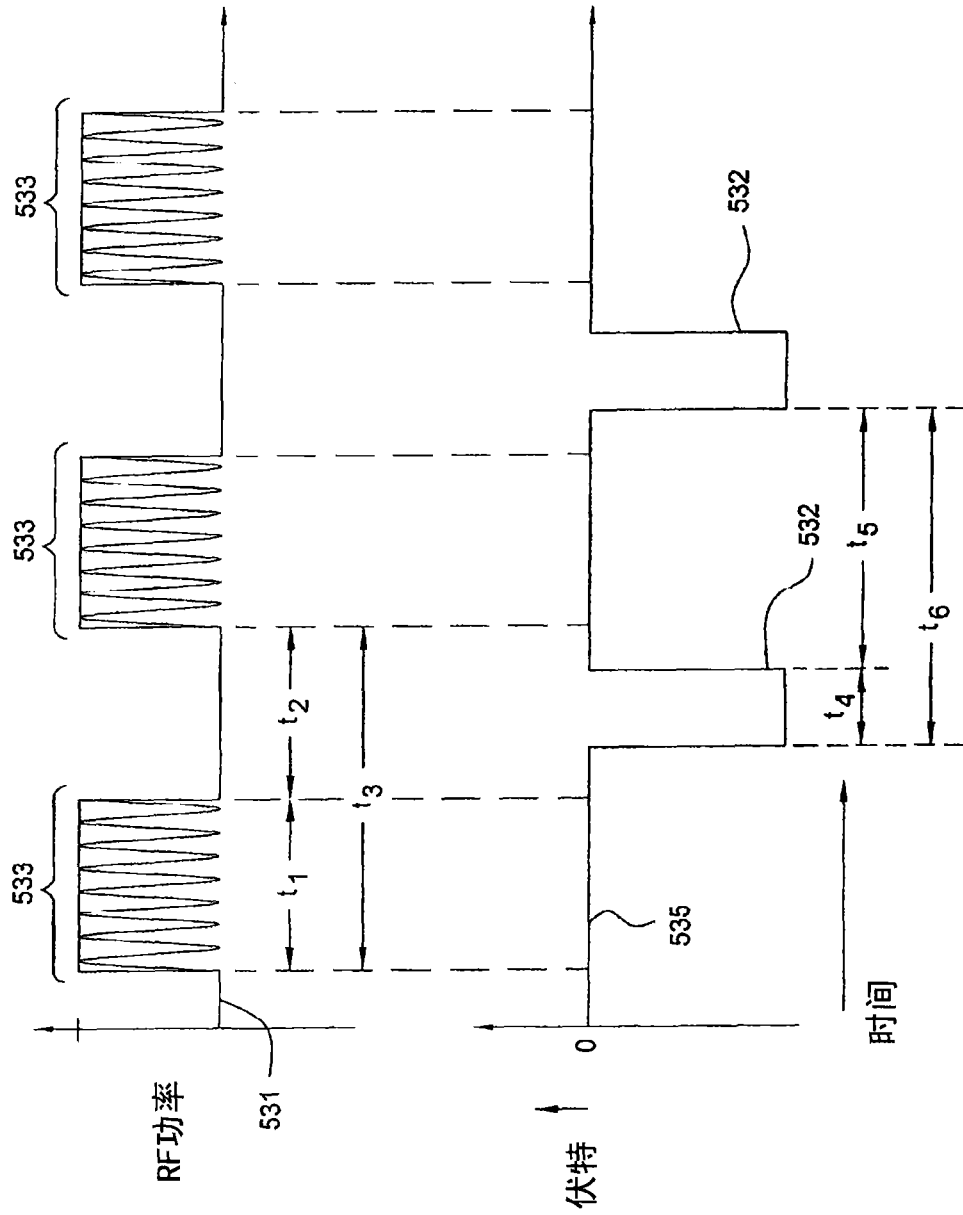


图 5A

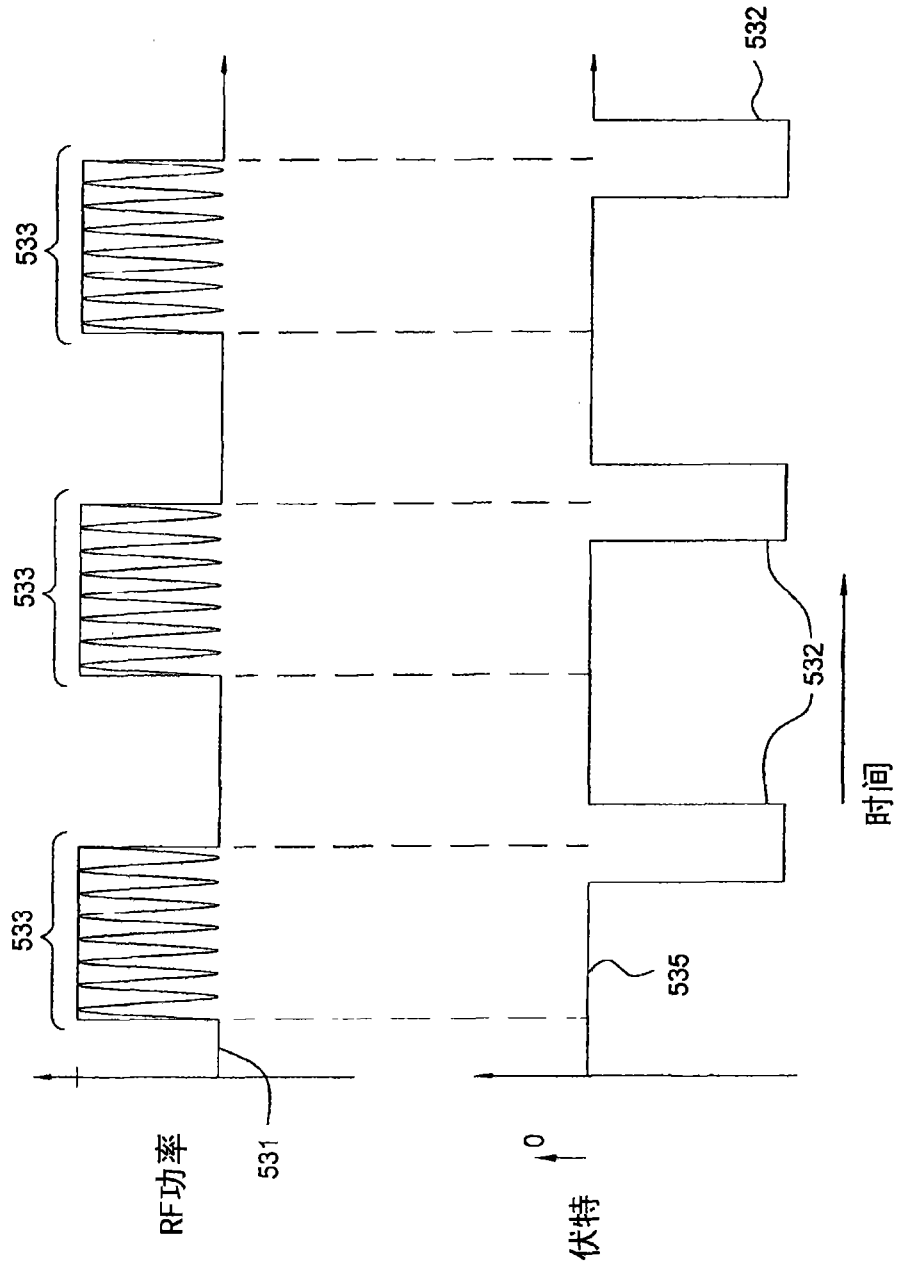


图 5B



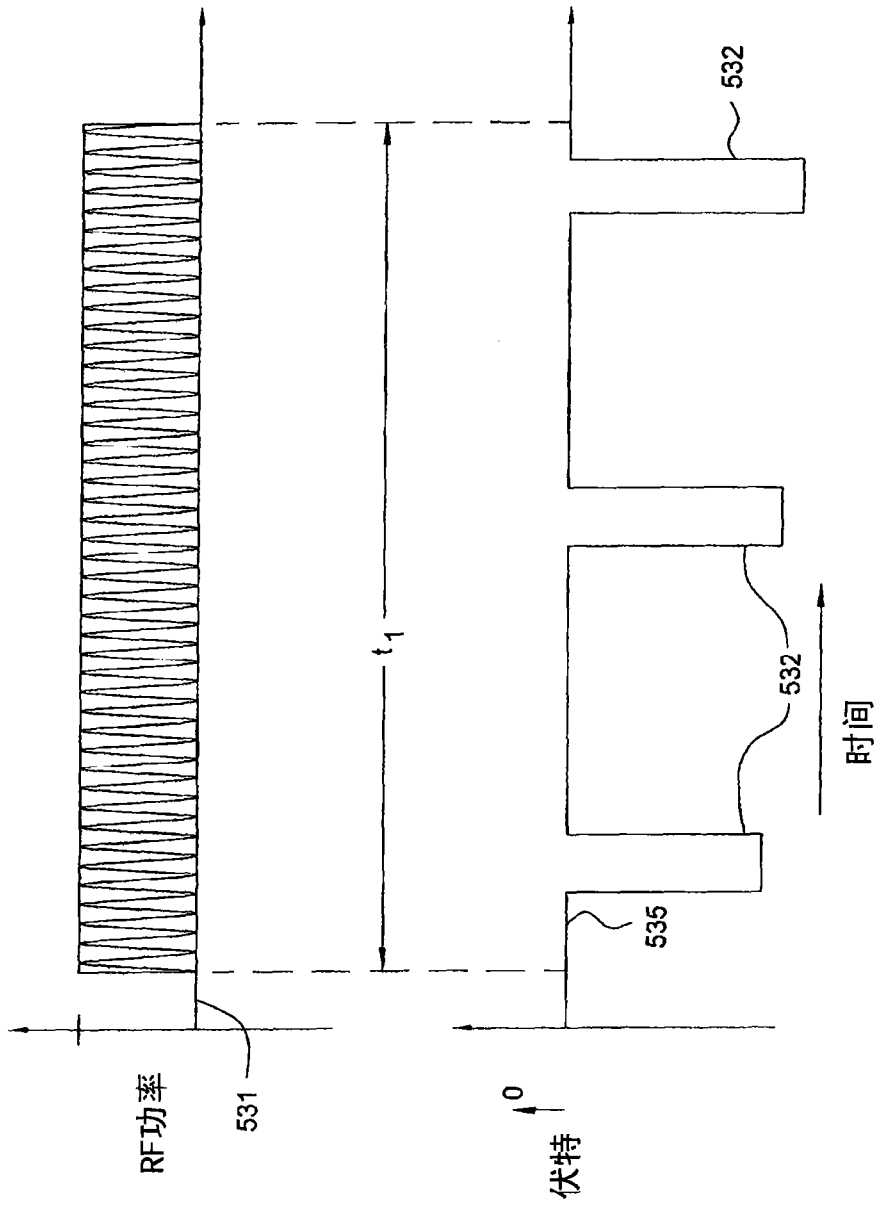


图 50

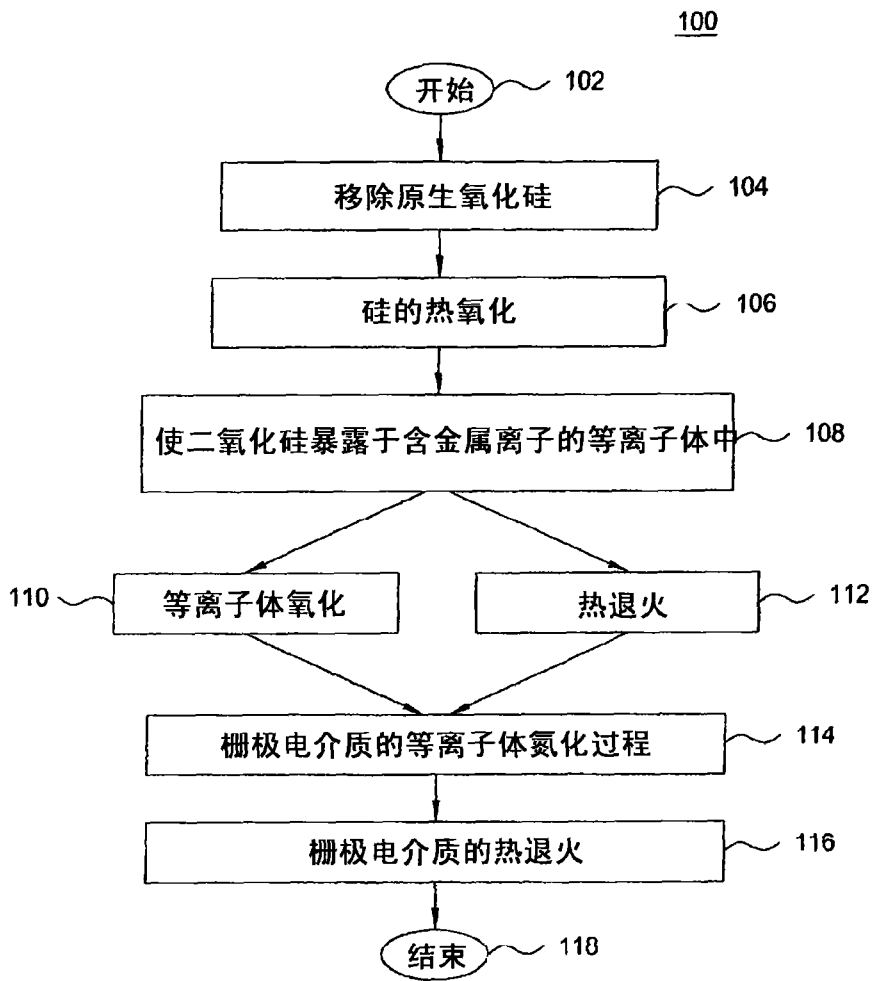


图 6A

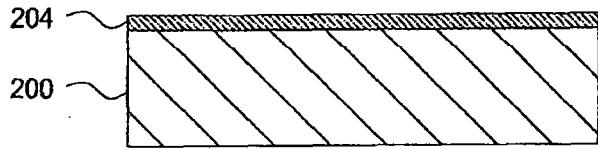


图 6B

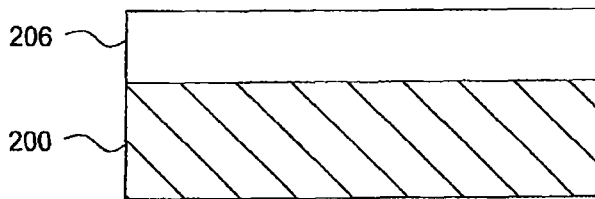


图 6C

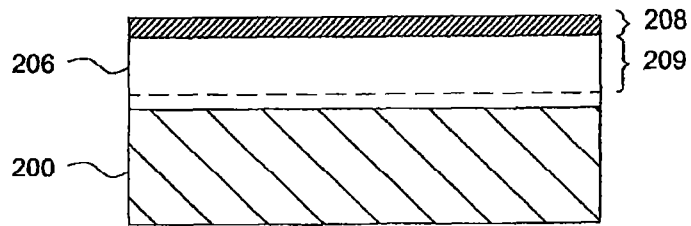


图 6D

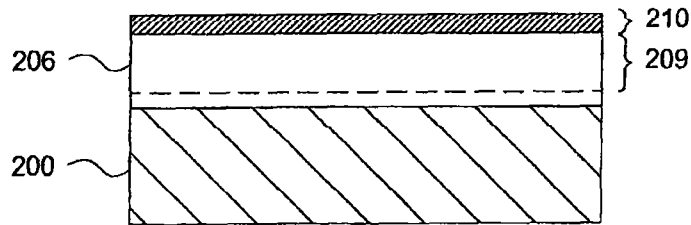


图 6E

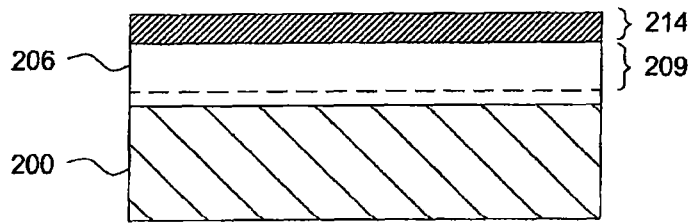


图 6F

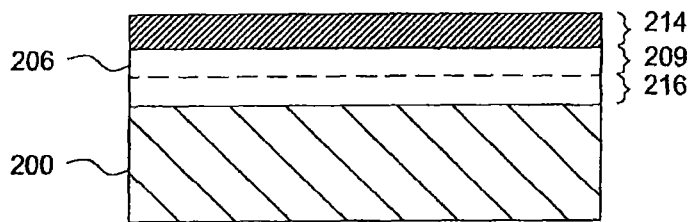


图 6G

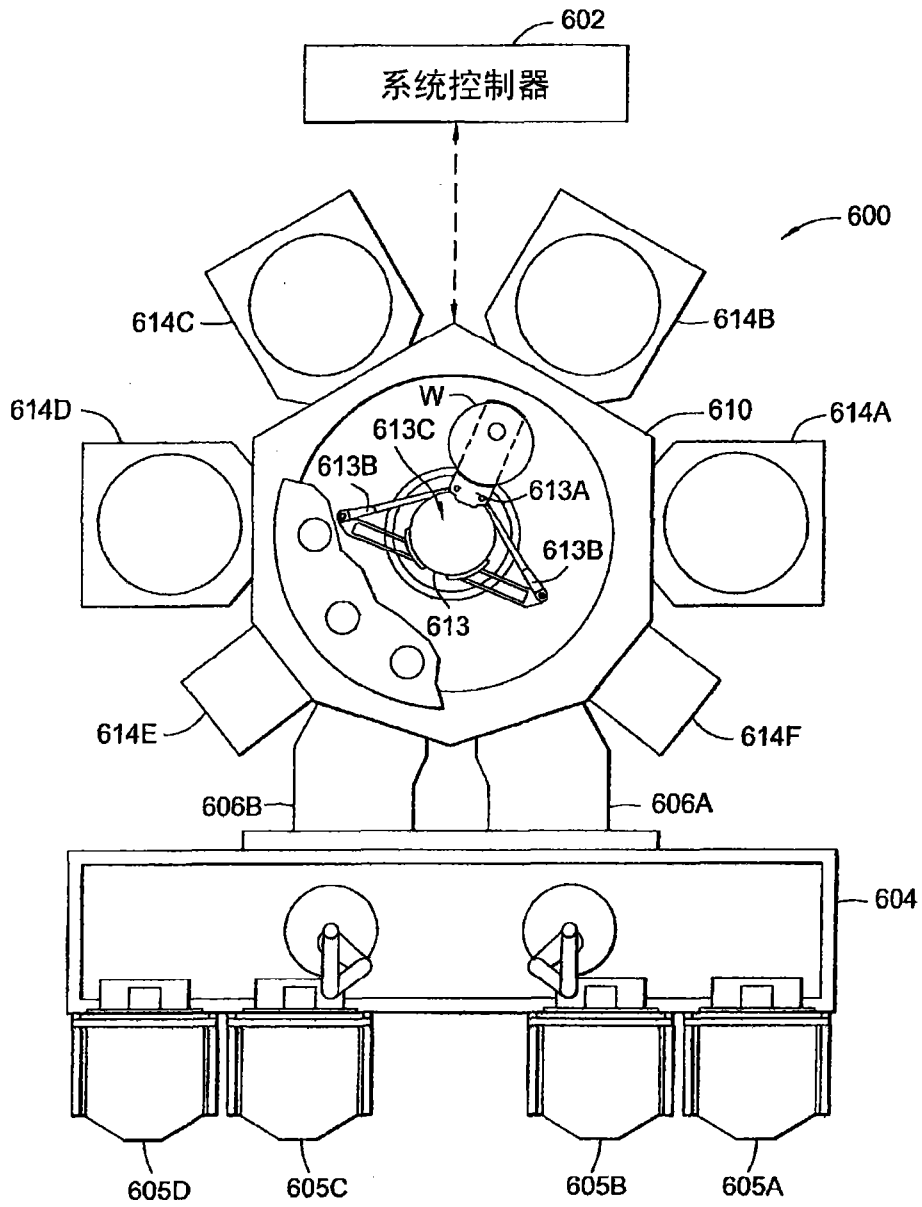


图 7