



SCHWEIZERISCHE EIDGENOSSENSCHAFT
BUNDESAMT FÜR GEISTIGES EIGENTUM

51 Int. Cl.³: H 01 L 21/308
H 01 L 21/18

Erfindungspatent für die Schweiz und Liechtenstein

Schweizerisch-liechtensteinischer Patentschutzvertrag vom 22. Dezember 1978



12 **PATENTSCHRIFT** A5

11

628 756

21 Gesuchsnummer: 6651/78

22 Anmeldungsdatum: 19.06.1978

30 Priorität(en): 21.06.1977 NL 7706802

24 Patent erteilt: 15.03.1982

45 Patentschrift
veröffentlicht: 15.03.1982

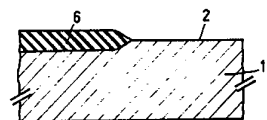
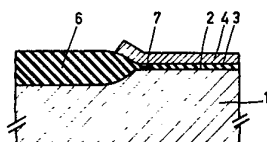
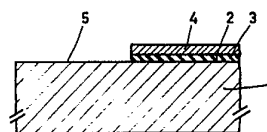
73 Inhaber:
Faselec AG, Zürich

72 Erfinder:
Hans Rudolf Neukomm, Thalwil

74 Vertreter:
Patentanwaltsbureau Isler & Schmid, Zürich

54 Verfahren zur Herstellung einer Halbleiteranordnung und durch dieses Verfahren hergestellte Halbleiteranordnung.

57 Die Oberfläche (2) eines Siliciumkörpers (1) wird nacheinander mit einer Siliciumoxidschicht (3) und mit einer Siliciumnitridschicht (4) versehen. Hierauf werden Teile (5) der Oberfläche (2) freigelegt und zur Erzeugung eines versenkten Oxidmusters (6) einer Oxidationsbehandlung ausgesetzt. Darnach erfolgt ein Wegätzen der auf der Oberfläche (2) verbleibenden Teile der Siliciumnitridschicht (4) und der Siliciumoxidschicht (3) unter Bedingungen, bei denen Siliciumnitrid schneller als Siliciumoxid und Silicium, und Siliciumoxid etwa gleich schnell wie Silicium geätzt wird. Dadurch zeigt die Oberfläche (2) nach dem Ätzen eine Form, die auch am Rand des Oxidmusters (6) eben ist, was zur Folge hat, dass eine bei gekrümmter Oberfläche am Rand des Oxidmusters (6) auftretende, abweichende Konzentration an Oberflächenzuständen weitgehend vermieden ist.



PATENTANSPRÜCHE

1. Verfahren zur Herstellung einer Halbleiteranordnung, bei dem eine Oberfläche eines Siliciumkörpers nacheinander mit einer Siliciumoxidschicht und mit einer Siliciumnitridschicht versehen wird, wonach Teile der Oberfläche freigelegt und einer Oxidationsbehandlung zum Erhalten eines versenkten Oxidmusters ausgesetzt werden, wonach verbleibende Teile der Siliciumnitrid- und der darunterliegenden Siliciumoxidschicht weggeätzt werden, dadurch gekennzeichnet, dass das Ätzen unter Bedingungen durchgeführt wird, unter denen Siliciumnitrid schneller als Siliciumoxid und Silicium, und Siliciumoxid etwa gleich schnell wie Silicium geätzt wird.

2. Verfahren nach Anspruch 1, dadurch gekennzeichnet, dass ein durch das Ätzen freigelegter Teil der Siliciumoberfläche mit einer aus versenkte Oxidmuster grenzenden Schicht aus isolierendem Material zum Erhalten der Gate-Isolation eines Feldeffekttransistors versehen wird.

3. Verfahren nach Anspruch 1 oder 2, dadurch gekennzeichnet, dass als Oberfläche eine (100)-Fläche gewählt wird.

4. Verfahren nach einem der Ansprüche 1 bis 3, dadurch gekennzeichnet, dass die Oxidationsbehandlung in einer Wasserdampf-atmosphäre durchgeführt wird.

5. Verfahren nach einem der vorangehenden Ansprüche, dadurch gekennzeichnet, dass die Schichten mit Hilfe eines Plasmas geätzt werden.

6. Verfahren nach Anspruch 5, dadurch gekennzeichnet, dass das Plasma in einem Sauerstoff und Tetrafluormethan enthaltenden Gasgemisch aufrechterhalten wird.

7. Halbleiteranordnung, die mit Hilfe des Verfahrens nach einem der Ansprüche 1 bis 6 hergestellt ist.

Die Erfindung bezieht sich auf ein Verfahren zur Herstellung einer Halbleiteranordnung, bei dem eine Oberfläche eines Siliciumkörpers nacheinander mit einer Siliciumoxidschicht und mit einer Siliciumnitridschicht versehen wird, wonach Teile der Oberfläche freigelegt und einer Oxidationsbehandlung zum Erhalten eines versenkten Oxidmusters ausgesetzt werden, wonach verbleibende Teile der Siliciumnitrid- und der darunterliegenden Siliciumoxidschicht weggeätzt werden.

Ein Verfahren eingangs erwähnter Art kann der Veröffentlichung von Kooi, van Lierop und Appels in «Journal Electrochemical Society», Bd. 123, Seiten 1117 bis 1120 (1976) entnommen werden. Es wird dort ausführlich beschrieben, wie sich infolge der Oxidation mit Wasserdampf am Rand des Oxidmusters unter der Siliciumnitridschicht an der Grenzfläche zwischen Siliciumoxidschicht und Siliciumkörper ein schmaler Streifen bilden kann, der aus Siliciumnitrid besteht. Dieser Streifen wird als weisses Band bezeichnet («white ribbon»-Effekt).

Werden danach verbleibende Teile der bei der Oxidation maskierenden Nitrid- und Oxidschichten entfernt, damit z. B. an den freigelegten Stellen der Siliciumoberfläche durch Oxidation die Gate-Isolation eines MOS-Transistors gebildet werden kann, so besteht die Möglichkeit, dass an der Stelle des weissen Bandes ein zu dünnes Gate-Oxid oder überhaupt keines gebildet wird, da auch das Nitrid des weissen Bandes gegen Oxidation maskiert.

Das weisse Band kann z. B. durch Ätzen beseitigt werden, wobei oft auch die versenkte Oxidschicht teilweise entfernt wird. Wie später noch näher erörtert wird, entsteht dabei am Rande des versenkten Siliciumoxidmusters ein Oberflächenteil, der in bezug auf die ursprüngliche und die vom Oxidmuster- rand entfernte Oberfläche unterschiedlich orientiert ist und eine unterschiedliche Konzentration Q_{ss} an Oberflächenzustän-

den («Surface states») aufweist.

Dadurch kann z. B. der Schwellenwert eines MOS-Transistors erheblich vom gewünschten Wert abweichen.

Mit der Erfindung wird unter anderem beabsichtigt, die beschriebene Problematik zumindest in erheblichem Masse zu vermeiden. Sie beruht unter anderem auf dem Gedanken, dass durch geeignetes Ätzen der Siliciumnitrid- und der Siliciumoxidschichten eine praktisch ebene Siliciumoberfläche erhalten werden kann.

Das eingangs erwähnte Verfahren ist nach der Erfindung deshalb dadurch gekennzeichnet, dass das Ätzen unter Bedingungen durchgeführt wird, unter denen Siliciumnitrid schneller als Siliciumoxid und Silicium und Siliciumoxid etwa gleich schnell wie Silicium geätzt wird.

Bei dem Verfahren nach der Erfindung weicht nach dem Ätzen die Orientierung am Rande des freien Oberflächenteils nicht oder nahezu nicht von der Orientierung der ursprünglichen Oberfläche ab. Auch braucht das versenkte Oxidmuster zur Entfernung des weissen Bandes nahezu nicht angegriffen zu werden.

Vorzugsweise wird beim erfindungsgemässen Verfahren ein durch das Ätzen freigelegter Teil der Siliciumoberfläche mit einer aus versenkte Oxidmuster grenzenden Schicht aus isolierendem Material versehen, um die Gate-Isolation eines Feldeffekttransistors zu erhalten.

In diesem Falle ist es wichtig, dass die Gate-Isolation auf einer Oberfläche gebildet wird, die möglichst eben ist, damit der gewünschte Schwellenwert erreicht wird.

Vorzugsweise wird als Oberfläche eine (100)-Fläche gewählt. Die Schichten werden vorzugsweise in einer Atmosphäre geätzt, die mit Hilfe eines Plasmas erhalten wird. Ein derartiges Ätzverfahren hat den Vorteil, dass das Ätzen mehrerer Schichten in einem Arbeitsgang stattfinden kann.

Die erforderlichen Ätzgeschwindigkeiten werden relativ einfach erhalten, wenn das Plasma in einem Sauerstoff und Tetrafluormethan enthaltenden Gasgemisch aufrechterhalten wird.

Die Erfindung bezieht sich auch auf eine Halbleiteranordnung, die mit Hilfe des Verfahrens nach der Erfindung hergestellt ist.

Die Erfindung wird nachstehend anhand der Zeichnung und eines Beispiels erläutert werden. Es zeigen: Figuren 1 bis 3 einen schematischen Querschnitt durch einen Teil einer Halbleiteranordnung in aufeinanderfolgenden Stufen eines bekannten Herstellungsverfahrens, und Figuren 4 und 5 einen schematischen Querschnitt durch einen Teil einer Halbleiteranordnung in aufeinanderfolgenden Stufen des erfindungsgemässen Herstellungsverfahrens.

Im Beispiel wird eine Halbleiteranordnung hergestellt, wobei eine Oberfläche 2 eines Siliciumkörpers 1 nacheinander mit einer Siliciumoxidschicht 3 und mit einer Siliciumnitridschicht 4 versehen wird (siehe Figur 1). Danach werden Teile 5 der Oberfläche 2 freigelegt, die einer Oxidationsbehandlung zum Erhalten eines versenkten Oxidmusters 6 ausgesetzt werden (siehe Figur 2). Darauf werden verbleibende Teile der Siliciumnitridschicht 4 und der darunterliegenden Siliciumoxidschicht 3 weggeätzt.

Wenn beim Ätzen der Siliciumoxidschicht 3 der Siliciumkörper 1 nicht angegriffen wird, so entsteht leicht die Form des Musters 6 und der Oberfläche 2, wie in Figur 3 dargestellt ist.

Diese Form ist um so ausgeprägter, je länger der Ätzprozess gedauert hat, z. B. wenn auch ein während der Oxidation entstandener Siliciumnitridstreifen 7 entfernt werden muss. Die am Rande des Musters 6 gekrümmte Oberfläche 2 weist eine Konzentration Q_{ss} an Oberflächenzuständen auf, die von der an freien vom Rande entfernten Teilen der Oberfläche abweicht.

Dies wird nach der Erfindung in erheblichem Masse vermieden, indem das Ätzen so ausgeführt wird, dass Siliciumnitrid

schneller als Siliciumoxid und Silicium und Siliciumoxid etwa gleich schnell wie Silicium geätzt wird.

Die Oberfläche 2 zeigt nach dem Ätzen eine Form, die auch am Rande des Oxidmusters 6 praktisch eben ist (siehe Figur 4).

Es kann ein durch das Ätzen freigelegter Teil der Silicium-
oberfläche 2 mit einer an das versenkte Oxidmuster 6 grenzen-
den Schicht 8 aus isolierendem Material zum Erhalten der
Gate-Isolation eines Feldeffekttransistors versehen werden
(siehe Figur 5). Durch die ebene Form der Oberfläche wird eine
auf der ganzen Oberfläche konstante Konzentration der Ober-
flächenzustände und damit ein konstanter Schwellwert des
Feldeffekttransistors, erhalten. Wäre die in Figur 3 gezeigte
gekrümmte Oberfläche mit einer Gate-Isolation versehen, so
hätten am Rande des Oxidmusters 6 parasitäre Feldeffekttran-
sistoren mit verschiedenen Schwellwerten entstehen können.

Für die erfindungsgemäße Herstellung des Halbleiterbau-
elements können viele an sich übliche Techniken verwendet
werden.

Vorzugsweise wird für die Oberfläche 2 eine (100)-Fläche
gewählt, weil Flächen dieser Orientierung die kleinste Konzen-
tration an Oberflächenzuständen aufweisen.

Die Schichten 3 und 4 werden in üblicher Weise auf den
Körper 1 in inverser Form des Musters 6 aufgebracht.

Vorzugsweise wird die Oxidationsbehandlung in einer Was-
serdampfatmosfera ausgeführt.

Bei der Oxidation mit Wasserdampf entsteht der Siliciumni-
tridstreifen 7 und die Entfernung dieses Streifens führt bei Ver-
wendung bekannter Ätzverfahren oft zu einer Überätzung des
Oxidmusters 6, wie sie anhand von Figur 3 erläutert wurde.

Die Entfernung von verbleibenden Teilen der Schichten
geschieht durch Ätzen mit Hilfe eines Plasmas. Das Plasma
wird in einem Sauerstoff und Tetrafluormethan enthaltenden
Gasgemisch aufrechterhalten.

Das Gasgemisch enthält zum Beispiel 4 bis 50 Volumenpro-
zent O₂ und 96 bis 50 Volumenprozent CF₄.

Die Gate-Isolation 8 kann auch in an sich bekannter Weise
durch Oxidation mit Sauerstoff erhalten werden.

Die weiteren Verfahrensschritte zum Erhalten eines Feld-
effekttransistors sind die in der Halbleitertechnik üblichen. Im
gegebenen Beispiel wird die Gate-Isolation 8 teilweise durch
das Oxidmuster 6 und teilweise durch Source- und Drainge-
biete begrenzt.

Die Erfindung ist selbstverständlich nicht auf das gegebene
Beispiel beschränkt. Es wird einleuchten, dass dem Fachmann
im Rahmen der Erfindung etliche Varianten zu Diensten ste-
hen.

Das Verfahren nach der Erfindung kann auch zur Herstel-
lung integrierter Schaltungen mit mehreren Feldeffekttransi-
storen mit unterschiedlichen Schwellwerten, z. B. von komple-
mentären Feldeffekttransistoren verwendet werden.

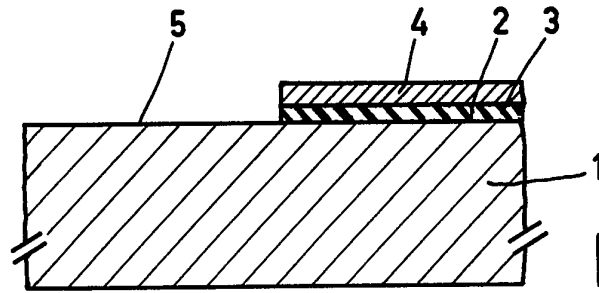


Fig.1

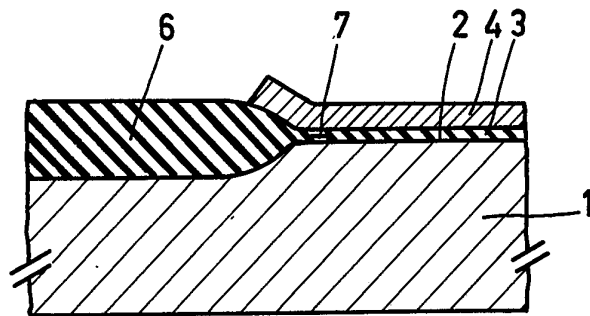


Fig.2

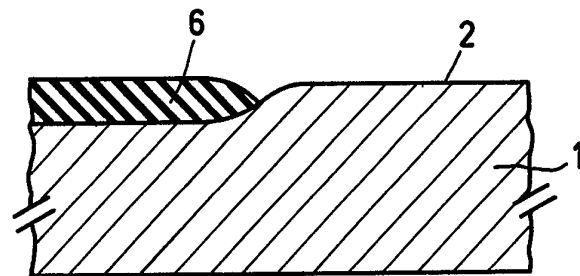


Fig.3

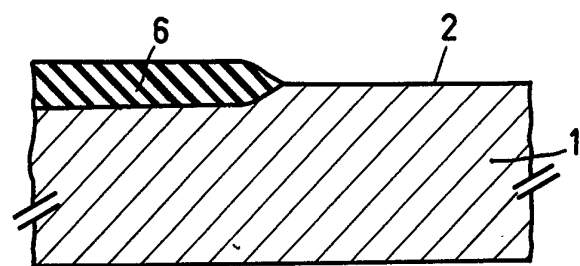


Fig.4

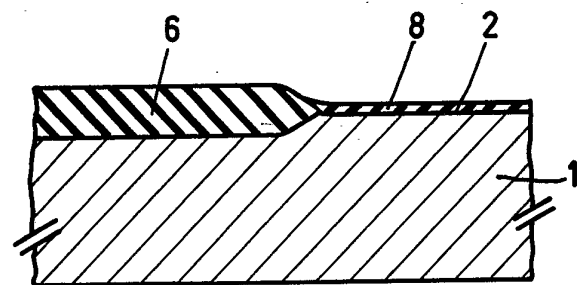


Fig.5