



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU

K AUTORSKÉMU OSVĚDČENÍ

213 835

(11)

(B1)

(61)

(23) Výstavní priorita
(22) Přihlášeno 27 12 79
(21) PV 9446 - 79

(51) Int. Cl.³ G 05 B 19/02
G 06 F 9/36
G 06 F 9/46

(40) Zveřejněno 15 09 81
(45) Vydáno 01 05 84

(75)

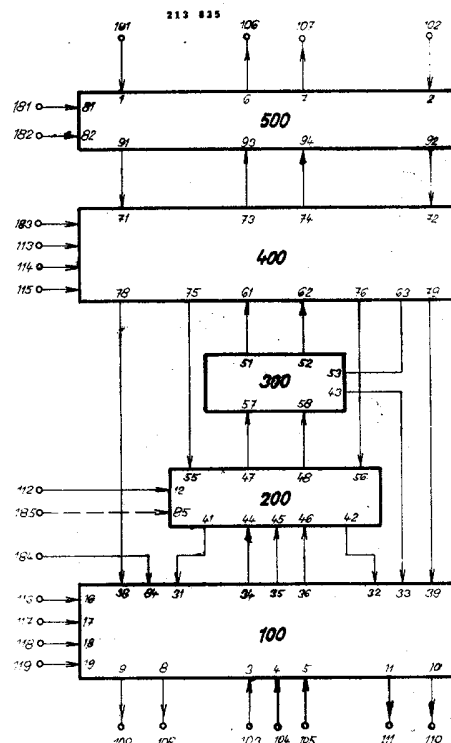
Autor vynálezu ČERVENÝ JINDŘICH ing., KOUBA JAN ing., KROUPA JAN ing., LEPIČ JOSEF , PRAHA

(54) Zapojení koncového členu s přímým adresováním

Vynález se týká bloku koncových členů přímo řízených procesem a řeší jeho zapojení. Je vytvořeno z vazebního bloku, který slouží jako spínač logických signálů. V paměťovém bloku se zaznamenávají povelové signály z procesorů nebo z ovládacích tlačítek. V časovém bloku se zpožďuje začátek logického signálu o nastavený čas. Řídicí blok, doplněný signálními, ovládacími a předvolovacími prvky pro dva provozní stavy, slouží pro ruční řízení a pro úpravu logických signálů. Převodní blok zajišťuje vazbu mezi řízeným pohonem a servopohonem a zajišťuje změnu napěťové a výkonové úrovně logických signálů a jejich galvanické oddělení.

Vynálezu se využije při automatizaci technologických procesů s volně programovatelnými řídicími systémy.

Předmět je definován ve dvou bodech, z nichž první vystihuje podstatu. Popis je doplněn jedním obrázkem.



Vynález se týká zapojení koncového členu s přímým adresováním, určeného pro sestavení bloků koncových členů přímo řízených procesorem.

Dosud se běžně užívají zapojení koncových členů řízených individuálně logickými automaty nebo procesory pomocí speciálních výstupních jednotek v procesoru.

Nevýhodou těchto zapojení jest jednak jejich podstatně větší složitost a tudíž vyšší poruchovost a dále vyšší náklady na instalaci i údržbu.

Uvedené navýhody odstraňuje zapojení koncového členu s přímým adresováním podle vynálezu. Jeho podstata spočívá v tom, že čtvrtý informační vstup vazebního bloku je spojen s prvním informačním výstupem řídicího bloku, jehož čtvrtý povelový výstup je spojen s pátým povelovým vstupem paměťového bloku. Čtvrtý povelový vstup paměťového bloku je spojen se třetím povelovým výstupem řídicího bloku, jehož druhý informační výstup je spojen s pátým informačním vstupem vazebního bloku. Prioritní vstup vazebního bloku je spojen s prvním vstupem zapojení, jehož každý vazební vstup je spojen vždy s odpovídajícím vazebním vstupem vazebního bloku. Každý vazební výstup vazebního bloku je spojen vždy s odpovídajícím vazebním výstupem zapojení, jehož každý povelový výstup je spojen vždy s odpovídajícím povelovým výstupem převodního bloku. Každý informační vstup převodního bloku je spojen vždy s odpovídajícím informačním vstupem zapojení, jehož druhý a první napájecí vstup je spojen vždy s odpovídajícím prvním a druhým napájecím vstupem převodního bloku. První a druhý informační výstup je spojen vždy s odpovídajícím vstupem řídicího bloku, jehož napájecí vstup je spojen se třetím napájecím vstupem zapojení. Druhý sběrníkový vstup zapojení je spojen s prvním sběrníkovým vstupem řídicího bloku, jehož druhý sběrníkový vstup je spojen se třetím sběrníkovým vstupem zapojení. Čtvrtý sběrníkový vstup zapojení je spojen se třetím sběrníkovým vstupem řídicího bloku, jehož informační výstup je spojen s informačním vstupem časového bloku. Informační výstup časového bloku je spojen se třetím informačním vstupem vazebního bloku, jehož každý povelový výstup je vždy spojen s odpovídajícím povelovým vstupem paměťového bloku. Sběrníkový vstup paměťového bloku je spojen s prvním sběrníkovým vstupem zapojení, jehož pátý sběrníkový vstup je spojen s prvním sběrníkovým vstupem vazebního bloku. Druhý sběrníkový vstup vazebního bloku je spojen s šestým sběrníkovým vstupem zapojení, jehož sedmý sběrníkový vstup je spojen se třetím sběrníkovým vstupem vazebního bloku. Čtvrtý sběrníkový vstup vazebního bloku je spojen s osmým sběrníkovým vstupem zapojení a první a druhý informační vstup vazebního bloku je spojen vždy s odpovídajícím prvním a druhým informačním vstupem paměťového bloku. První a druhý povelový výstup paměťového bloku je spojen vždy s odpovídajícím prvním a druhým povelovým vstupem časového bloku, jehož první a druhý povelový výstup je spojen vždy s odpovídajícím prvním a druhým povelovým vstupem řídicího bloku. První a druhý povelový výstup řídicího bloku je spojen vždy s odpovídajícím prvním a druhým povelovým vstupem převodního bloku.

Výhodou zapojení koncového členu s přímým adresováním podle vynálezu jest, že lze použít pro většinu aplikací, že je velmi jednoduché, takže lze několik koncových členů podle vynálezu konstrukčně spojit do jednoho bloku a tím dále zjednodušit jeho řízení a celkové zapojení. Další výhodou jest, že odpadnou vstupní a výstupní převodníky

jak v řídicím procesoru tak v koncových členech. Tím se docílí zejména vyšší spolehlivosti, značné úspory prostoru, materiálu a součástí, kabeláže, ranžirování a propojovacích vodičů a tedy se podstatně sníží náklady na instalaci i údržbu.

Příklad zapojení koncového členu s přímým adresováním podle vynálezu je na připojeném blokovém schématu. Jednotlivé bloky zapojení je možno charakterizovat takto :

Vazební blok 100 je v podstatě vícenásobný obousměrný bezkontaktně řízený spínač logických signálů. Zajišťuje pomocí jednoduchých logických operací připojení koncového členu na vstupní a výstupní sběrnice procesoru. Lze jej s výhodou realizovat s použitím dvouvstupových integrovaných hradel s negovaným výstupem a integrovaných invertorů.

Paměťový blok 200 je sekvenční logický obvod, obsahující dva RS klopné obvody a jednoduchý kombinační logický obvod pro zajištění priority pro jeden řízený stav. Slouží k záznamu povelových signálů buď z procesoru nebo z ovládacího tlačítka, vestavěného v řídicím bloku 400, anebo z priorityvního vstupu 85 paměťového bloku 200. Lze jej realizovat s použitím dvou a třívstupových integrovaných hradel s negovaným výstupem a integrovaných invertorů.

Časový blok 300 obsahuje tři vzájemně nezávislé časové členy, zpožďující začátek logického signálu o nastavený čas. Dva z nich jsou nastaveny pevně a slouží pro vytvoření t.zv. mezireverzačních prodlev řádu desetin vteřiny a třetí slouží pro hlídání časové prodlevy mezi vydaným povelom a odezvou a je s výhodou nastavitelný v několika stupních řádu jednotek až desítek vteřin. Časový blok 300 neprovádí žádné logické operace a lze jej realizovat RC obvody ve spojení s tranzistory.

Řídicí blok 400 je kombinačně logický obvod, doplněný o signální, ovládací a předvolovací prvky pro dva provozní stavy. Slouží jednak pro ruční řízení z desky koncového členu a jednak pro úpravu logických signálů mezi řídicím blokem 400 a ostatními bloky zapojení. Lze jej s výhodou realizovat s použitím integrovaných dvou a třívstupových hradel s negovaným výstupem, integrovaných invertorů, svítivých diod, aretačního tlačítka a nožového přepojovače pro předvolbu trvalých či impulzivních povelových signálů.

Převodní blok 500 je v podstatě vazební blok, zajišťující vazby mezi řízeným pohonem či servopohonem, který není na přiloženém blokovém schématu naznačen a koncovým členem, který navíc zajišťuje změnu napěťové a výkonové úrovně logických signálů a jejich galvanické oddělení. Lze jej realizovat s použitím integrovaných převodníků v hybridním provedení a toroidních transformátorů.

Pojení jednotlivých bloků zapojení je provedeno takto :

Čtvrtý informační vstup 38 vazebního bloku 100 je spojen s prvním informačním výstupem 78 řídicího bloku 400, jehož čtvrtý povelový výstup 76 je spojen s pátým povelovým vstupem 56 paměťového bloku 200. Čtvrtý povelový vstup 55 paměťového bloku 200 je spojen se třetím povelovým výstupem 75 řídicího bloku 400, jehož druhý informační výstup 79 je spojen s pátým informačním vstupem 39 vazebního bloku 100. Prioritní vstup 84 vazebního bloku 100 je spojen s prvním vstupem 184 zapojení, jehož každý vazební vstup 103, 104, 105 je spojen vždy s odpovídajícím vazebním vstupem 3, 4, 5 vazebního bloku 100. Každý vazební výstup 8, 9, 10, 11 vazebního bloku 100 je spojen vždy s odpovídajícím vazebním

výstupem 108, 109, 110, 111 zapojení, jehož každý povelový výstup 106, 107 je spojen vždy s odpovídajícím povelovým výstupem 6, 7 převodního bloku 500. Každý informační vstup 1, 2 převodního bloku 500 je spojen vždy s odpovídajícím informačním vstupem 101, 102 zapojení, jehož první a druhý napájecí vstup 181, 182 je spojen vždy s odpovídajícím prvním a druhým napájecím vstupem 81, 82 převodního bloku 500. První a druhý informační výstup 91, 92 převodního bloku 500 je spojen vždy s odpovídajícím prvním a druhým informačním vstupem 71, 72 řídicího bloku 400, jehož napájecí vstup 83 je spojen se třetím napájecím vstupem 183 zapojení. Druhý sběrníkový vstup 113 zapojení je spojen s prvním sběrníkovým vstupem 13 řídicího bloku 400, jehož druhý směrníkový vstup 14 je spojen se třetím sběrníkovým vstupem 114 zapojení. Čtvrtý sběrníkový vstup 115 zapojení je spojen se třetím sběrníkovým vstupem 15 řídicího bloku 400, jehož informační výstup 63 je spojen s informačním vstupem 53 časového bloku 300. Informační výstup 43 časového bloku 300 je spojen se třetím informačním vstupem 33 vazebního bloku 100, jehož každý povelový výstup 34, 35, 36 je spojen vždy s odpovídajícím povelovým vstupem 44, 45, 46 paměťového bloku 200. Sběrníkový vstup 12 paměťového bloku 200 je spojen s prvním sběrníkovým vstupem 112 zapojení, jehož pátý sběrníkový vstup 116 je spojen s prvním sběrníkovým vstupem 16 vazebního bloku 100. Druhý sběrníkový vstup 17 vazebního bloku 100 je spojen se šestým sběrníkovým vstupem 117 zapojení, jehož sedmý sběrníkový vstup 118 je spojen se třetím sběrníkovým vstupem 18 vazebního bloku 100. Čtvrtý sběrníkový vstup 19 vazebního bloku 100 je spojen s osmým sběrníkovým vstupem 118 zapojení a první a druhý informační vstup 31, 32 vazebního bloku 100 je spojen vždy s odpovídajícím prvním a druhým informačním vstupem 41, 42 paměťového bloku 200. První a druhý povelový výstup 47, 48 je spojen vždy s odpovídajícím prvním a druhým povelovým vstupem 57, 58 časového bloku 300, jehož první a druhý povelový výstup 51, 52 je spojen vždy s odpovídajícím prvním a druhým povelovým vstupem 61, 62 řídicího bloku 400. První a druhý povelový výstup 73, 74 řídicího bloku 400 je spojen vždy s odpovídajícím prvním a druhým povelovým vstupem 93, 94 převodního bloku 500.

Funkce koncového členu s přímým adresováním podle vynálezu je následující :

Řízený pohon či servopohon je prostřednictvím koncového členu s přímým adresováním možno řídit buďto nadřazeným procesorem, nebo ručně pomocí aretačního tlačítka vestavěného v řídicím bloku 400, anebo prioritně ručně či automaticky pomocí prvního a druhého prioritního vstupu 184, 185 zapojení.

Při řízení nadřazeným procesorem, který není na přiloženém blokovém schématu naznačen, se povelové signály přivádějí z procesoru do koncového členu sběrníkově na první až třetí vazební vstup 103, 104, 105 zapojení, odkud se vedou na první až třetí vazební vstup 3, 4, 5 vazebního bloku 100. Jde o povelové signály "zapnout" a "stop". Tyto povelové signály se v závislosti na řídicím signálu, přiváděném z osmého sběrníkového vstupu 119 zapojení na čtvrtý sběrníkový vstup 19 vazebního bloku 100, předávají z prvního až třetího povelového výstupu 34, 35, 36 vazebního bloku 100 na první až třetí povelový vstup 44, 45, 46 paměťového bloku 200. Zde se v klopných obvodech typu RS zaznamenávají. Odtud pokračují již jen jako dva trvalé povelové signály "zapnout", "vypnout", které přecházejí z prvního a druhého povelového výstupu 47, 48 paměťového bloku 200 na první

a druhý povelový vstup 57, 58 časového bloku 300, kde se zpožďují o mezireverzační čas servopohonů řadu desetin vteřiny. Dále tyto signály přecházejí z prvního a druhého povelového výstupu 51, 52 časového bloku 300 na první a druhý povelový vstup 61, 62 řídicího bloku 400. Zde se tyto povelové signály jednak směšují s kmitočtem řadu megahertzů. přiváděným na první sběrniceový vstup 13 řídicího bloku 400 z druhého sběrniceového vstupu 113 zapojení a jednak se podle předvolby buď časově omezují vazbou na dosažení odpovídajícího stavu řízeného pohonu či servopohonu, nebo prochází jako trvalé na první a druhý povelový výstup 73, 74 řídicího bloku 400. Odtud jdou na první a druhý povelový vstup 93, 94 převodného bloku 500. Z něho vystupují povelové signály napěťové a výkonově zesílené a galvanicky oddělené z jeho prvního a druhého povelového výstupu 6, 7 na první a druhý povelový výstup 106, 107 zapojení a z nich již přímo na převodová povelová relé řízeného pohonu či servopohonu, která nejsou na přiloženém blokovém schématu naznačena.

Obdobně z převodových relé stavů řízeného pohonu či servopohonu, která nejsou rovněž na přiloženém blokovém schématu naznačena, se přivádí informační signály "zapnuto", "vypnuto" na první a druhý informační vstup 101, 102 zapojení a z nich na první a druhý informační vstup 1, 2 převodního bloku 500. Odtud po galvanickém oddělení a napěťové úpravě pokračují z prvního a druhého informačního výstupu 91, 92 převodního bloku 500 na první a druhý informační vstup 71, 72 řídicího bloku 400. Zde se jednak využívají pro účely signalizace prostřednictvím vestavěných signálních prvků, a to buď trvalé nebo kmitavé po smíšení s kmitavým napětím řadu hertzů, přiváděným z třetího sběrniceového vstupu 114 zapojení na druhý sběrniceový vstup 14 řídicího bloku 400, jednak se využívají pro účely zkrácení povelových signálů podle předvolby, jak je uvedeno výše, jednak se logicky zpracovávají pro účely řízení časového členu pro hlášení časového limitu v časovém bloku 300 prostřednictvím informačního výstupu 63 řídicího bloku 400 a jednak se předávají z jeho prvního a druhého informačního výstupu 78, 79 na čtvrtý a pátý informační vstup 38, 39 vazebního bloku 100. Odtud v závislosti na řídicích signálech, přiváděných z pátého až sedmého sběrniceového vstupu 116, 117, 118 zapojení na první až třetí sběrniceový vstup 16, 17, 18 vazebního bloku 100, pokračují dále z jeho druhého a třetího vazebního výstupu 9, 10 na druhý a třetí vazební výstup 109, 110 zapojení, odkud jsou vedeny sběrniceovým způsobem do nadřazeného procesoru, který není na přiloženém blokovém schématu naznačen.

Ruční aretačním tlačítkem, vestavěným v řídicím bloku 400 je možné, je-li signál na jeho třetím sběrniceovém vstupu 15, kam se přivádí ze čtvrtého sběrniceového vstupu 115 zapojení. Povelové signály "zapnout", "vypnout" pak z aretačního tlačítka přicházejí na třetí a čtvrtý povelový výstup 75, 76 řídicího bloku 400, odtud na čtvrtý a pátý povelový vstup 55, 56 paměťového bloku 200, odtud již pokračují stejnou cestou jako při řízení z procesoru.

Při řízení prioritním předává se pouze jediný povel, obvykle "vypnout", a to signálem z prvního a druhého prioritního vstupu 184, 185 zapojení na prioritní vstup 84 vazebního bloku 100 a na prioritytní vstup 85 paměťového bloku 200. Signál prioritního vypnutí je účinný vždy a je nadřazen všem ostatním povelovým signálům ručním i automa-

tickým .

Při řízení procesorem, ručním i prioritním, se do řídicího procesoru v závislosti na řídicích signálech na pátém až sedmém sběrnicovém vstupu 116, 117, 118 zapojení, odkud přichází na první až třetí sběrnicový vstup 16, 17, 18 vazebního bloku 100, předávají další informační signály. Jsou to jednak dva informační signály o stavu RS klopných obvodů paměťového bloku 200 z jeho prvního a druhého informačního výstupu 41, 42, vedených na první a druhý informační vstup 31, 32 vazebního bloku 100, které postupují dále na jeho první a čtvrtý vazební výstup 8, 11. Odtud pokračují na první a čtvrtý vazební výstup 108, 111 zapojení a dále sběrnicovým způsobem do procesoru. Po stejných vazebních výstupech 108, 111 zapojení se předávají i informační signály o časové prodlevě a prioritním vypnutí, a to z informačního výstupu 43 časového bloku 300 přes třetí vstup 33 vazebního bloku 100 na jeho první vazební výstup 8 a z prvního prioritního vstupu 184 zapojení přes prioritní vstup 84 vazebního bloku 100 na jeho čtvrtý vazební výstup 11.

Klopné obvody typu RS v paměťovém bloku 200 se nulují vždy při připojení napájecích napětí koncového členu, a to signálem, přiváděným z prvního sběrnicového vstupu 112 zapojení na sběrnicový vstup 12 paměťového bloku 200. Na první napájecí vstup 81 převodního bloku 500 se přivádí společné napájecí napětí výstupních převodníků z prvního napájecího vstupu 181 zapojení. Na druhý napájecí vstup 82 převodního bloku 500 se přivádí společné napájecí napětí vstupních převodníků převodního bloku 500 z druhého napájecího vstupu 182 zapojení. Na napájecí vstup 83 řídicího bloku 400 se přivádí napájecí napětí signálních prvků řídicího bloku 400 z třetího napájecího vstupu 183 zapojení. Toto napětí se používá i pro napájení logických integrovaných obvodů všech bloků zapojení.

Zapojení koncového členu s přímým adresováním podle vynálezu se využije při automatizaci technologických procesů, prováděnou s použitím volně programovatelných řídicích automatizačních systémů.

P Ř E D M Ě T V Y N Á L E Z U

1. Zapojení koncového členu s přímým adresováním, sestávající z pěti bloků, vyznačené tím, že čtvrtý informační vstup (38) vazebního bloku (100) je spojen s prvním informačním výstupem (78) řídicího bloku (400), jehož čtvrtý povelový výstup (76) je spojen s pátým povelovým vstupem (56) paměťového bloku (200) jehož čtvrtý povelový vstup je spojen se třetím povelovým výstupem (75) řídicího bloku (400) jehož druhý informační výstup (79) je spojen s pátým informačním vstupem (39) vazebního bloku (100), jehož prioritní vstup (84) je spojen s prvním vstupem (184) zapojení, jehož každý vazební vstup (103, 104, 105) je spojen vždy s vazebním vstupem (3, 4, 5) vazebního bloku (100) jehož každý vazební výstup (8, 9, 10, 11) je spojen vždy s odpovídajícím vazebním výstupem (108, 109, 110, 111,) zapojení, jehož každý povelový výstup (106, 107) je spojen vždy s odpovídajícím povelovým výstupem (6, 7,) převodního bloku (500), jehož každý informační vstup (1, 2,) je spojen vždy s odpoví-

dajícím informačním vstupem) 101, 102,) zapojení, jehož první a druhý napájecí vstup (181, 182,) je spojen s odpovídajícím prvním a druhým napájecím vstupem (81, 82,) převodního bloku (500) jehož první a druhý informační vstup (91, 92,) je spojen vždy s odpovídajícím prvním a druhým informačním vstupem (71, 72) řídicího bloku (400), jehož napájecí vstup (83) je spojen se třetím napájecím vstupem (183) zapojení, jehož druhý sběrníkový vstup (113) je spojen s prvním sběrníkovým vstupem (13) řídicího bloku (400), jehož druhý sběrníkový vstup (14) je spojen se třetím sběrníkovým vstupem (114) zapojení, jehož čtvrtý sběrníkový vstup (115) je spojen se třetím sběrníkovým vstupem (15) řídicího bloku (400), jehož informační výstup (63) je spojen s informačním vstupem (53) časového bloku (300), jehož informační výstup (43) je spojen se třetím informačním vstupem (33) vazebního bloku (100), jehož každý povelový výstup (34, 35, 36,) je spojen vždy s odpovídajícím povelovým vstupem (44, 45, 46,) paměťového bloku (200), jehož sběrníkový vstup (12) je spojen s prvním sběrníkovým vstupem (112) zapojení, jehož pátý sběrníkový vstup (116) je spojen s prvním sběrníkovým vstupem (16) vazebního bloku (100), jehož druhý sběrníkový vstup (17) je spojen se šestým sběrníkovým vstupem (117) zapojení, jehož sedmý sběrníkový vstup (118) je spojen se třetím sběrníkovým vstupem (18) vazebního bloku (100), jehož čtvrtý sběrníkový vstup (19) je spojen s osmým sběrníkovým vstupem (118) zapojení, přičemž první a druhý informační vstup (31, 32,) vazebního bloku (100) je spojen vždy s odpovídajícím prvním a druhým informačním vstupem (41, 42,) paměťového bloku (200), jehož první a druhý povelový výstup (47, 48,) je spojen vždy s odpovídajícím prvním a druhým povelovým vstupem (57, 58,) časového bloku (300), jehož první a druhý povelový výstup (51, 52,) je spojen vždy s odpovídajícím prvním a druhým povelovým vstupem (61, 62,) řídicího bloku (400), jehož první a druhý povelový výstup (73, 74,) je spojen vždy s odpovídajícím prvním a druhým povelovým vstupem (93, 94) převodního bloku (500).

2. Zapojení podle bodu 1 vyznačené tím, že prioritní vstup (85) paměťového bloku (200) je spojen s druhým prioritním vstupem (185) zapojení.

1 výkres

213 835

