



[12] 发明专利申请公开说明书

[21] 申请号 00810109.4

[43] 公开日 2005 年 7 月 6 日

[11] 公开号 CN 1636322A

[22] 申请日 2000.7.10 [21] 申请号 00810109.4

[30] 优先权

[32] 1999.7.9 [33] DK [31] PA199901006

[86] 国际申请 PCT/DK2000/000381 2000.7.10

[87] 国际公布 WO2001/005036 英 2001.1.18

[85] 进入国家阶段日期 2002.1.9

[71] 申请人 特利泰尔 R&D 丹麦有限公司

地址 丹麦斯特乌灵

[72] 发明人 托尔本·阿姆托夫特

[74] 专利代理机构 中国国际贸易促进委员会专利商
标事务所

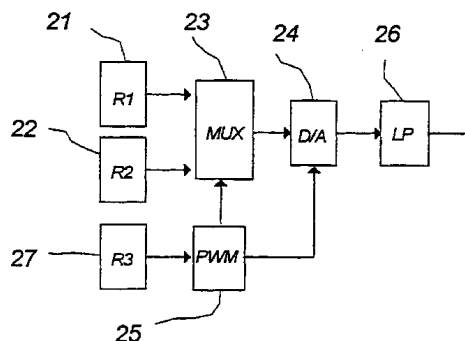
代理人 李 强

权利要求书 5 页 说明书 10 页 附图 3 页

[54] 发明名称 数模转换装置

[57] 摘要

本发明涉及一种数模转换装置,该装置包括一个至少根据一个数字输入信号(DIS)来产生一个高电压电平(UL)和一个低电压电平(LL)的转换步骤,所述高电压电平(UL)和低电压电平(LL)至少根据所述数字输入信号(DIS)被时间调制为一个时间调制输出信号(TMOS),所述时间调制输出信号具有一个周期(T),所述时间调制输出信号通过一个包括至少一个积分器(I)的输出级馈送,所述积分器(I)以这样的方式来设置,使得所述时间调制输出信号被滤波并被转换为所述数字输入信号(DIS)的一种模拟表示。根据本发明可实现一种具有较小非线性的高位、低成本 D/A 转换器。



1. 一种数模转换装置，该数模转换装置包括：

至少根据一个数字输入信号（DIS）来产生高电压电平（UL）和低电压电平（LL）的转换步骤；

至少根据所述数字输入信号（DIS），将所述高电压电平（UL）和低电压电平（LL）时间调制为时间调制输出信号（TMOS）；

所述时间调制输出信号具有周期（T）；

通过至少包括一个积分器（26，34）的输出级，馈送所述时间调制输出信号；

以这样的方式设置所述积分器（26，34），以致对所述时间调制输出信号进行滤波并将它转换为所述数字输入信号（DIS）的模拟表示。

2. 根据权利要求1所述的数模转换装置，其中所述时间调制输出信号（TMOS）是PWM信号。

3. 根据权利要求1或2所述的数模转换装置，其中利用控制DAC（24）的数字MUX（23）产生所述高电平（UL）和低电平（LL），以这样的方式与数字输入信号（DIS）并联或串联馈送所述MUX，即MUX的数字输出连续控制DAC并产生包括DAC输出的高电平（UL）和低电平（LL）的时间调制输出信号（TMOS）。

4. 根据权利要求1或2所述的数模转换装置，其中利用专用数模转换器（36，37）产生所述高电平（UL）和低电平（LL），每次根据馈送到所述专用DAC的数字信号产生模拟输出信号（UL，LL），利用开关（39）模拟复用所述模拟信号以产生所述时间调制输出信号（TMOS）。

5. 根据权利要求1至4所述的数模转换装置，其中产生高电平信号和低电平信号（UL，LL）作为模拟值， $UL = LL + nLSB$ ，其中 $n = 1, 2, 3, \dots$ 。

6. 根据权利要求1至5所述的数模转换装置，其中MUX与DAC同步。

7. 根据权利要求1至6所述的数模转换装置，其中所述积分器（I）

包括带通滤波器。

8. 根据权利要求 1 至 7 所述的数模转换装置, 其中产生所述时间调制输出信号 (TMOS) 作为 N 分频信号。

9. 根据权利要求 8 所述的数模转换装置, 其中将所述积分器 (I) 设置为周期 $T < 5$, 优先地 $T \approx \tau$ 的带通滤波器, 其中 τ 是积分器的时间常数 RC , R 是电阻, C 是电容。

10. 一种数模转换装置, 该数模转换装置包括:

至少根据一个数字输入信号 (DIS) 来产生高电压电平 (UL) 和低电压电平 (LL) 的转换步骤;

将所述高电压电平 (UL) 馈送到第一 DAC 的输入端, 并将所述低电压电平 (LL) 馈送到第二 DAC 的输入端;

其中将所述第一 DAC 的输出信号馈送到时间调制输出级的第一输入端, 将所述第二 DAC 的输出信号馈送到所述时间调制输出级的第二输入端, 并且

其中所述输出级的所述第一输入端和第二输入端的输入阻抗基本相同。

11. 根据权利要求 10 所述的数模转换装置, 其中所述输出级的所述第一输入端和第二输入端的输入阻抗相同。

12. 一种数模转换装置, 该数模转换装置包括:

至少根据一个数字输入信号 (DIS), 产生高电压电平 (UL) 和低电压电平 (LL) 的转换步骤;

将所述高电压电平 (UL) 馈送到第一 DAC 的输入端, 将所述低电压电平 (LL) 馈送到第二 DAC 的输入端;

其中将所述第一 DAC 的输出信号馈送到时间调制输出级的第一输入端, 将所述第二 DAC 的输出信号馈送到所述时间调制输出级的第二输入端, 并且

其中所述输出级的所述第一输入端与第二输入端的输入阻抗之间的差值小于 $\pm 40\%$, 并且优先小于 $\pm 5\%$ 。

13. 根据权利要求 12 所述的数模转换装置, 其中所述输出级的所述

第一输出端和第二输出端的输入阻抗的差值为 0。

14. 一种数模转换装置, 该数模转换装置包括:

至少根据一个数字输入信号 (DIS) 产生高电压电平 (UL) 和低电压电平 (LL) 的转换步骤;

将所述高电压电平 (UL) 馈送到第一 DAC 的输入端, 并将所述低电压电平 (LL) 馈送到第二 DAC 的输入端,

其中将所述第一 DAC 的输出信号馈送到电阻网络的输入端, 将所述第二 DAC 的输出信号馈送到所述电阻网络的输入端。并且

其中所述电阻网络的输入端为所述第一 DAC 和第二 DAC 的输出信号所公用。

15. 一种至少根据一个数字输入信号、所述数字输入信号 (DIS) 以及所述输出信号, 至少产生一个时间调制输出信号 (TMOS) 的方法,

所述输出信号包括基本固定周期 (T_p), 在该固定周期内, 产生输出振幅至少作为高电压电平 (UL) 或低电压电平 (LL) 或其它电压电平,

由所述输入数字信号 (DIS) 来确定具有输出振幅 (OA) 的时间调制输出信号 (TMOS),

并且在特定转换时间 (T_s), 根据所述数字输入信号 (DIS), 至少在所述高电压电平 (UL) 与低电压电平 (LL) 之间, 转换所述时间调制输出信号 (TMOS)。

16. 根据权利要求 15 所述的至少产生一个输出信号的方法, 其中所述数字输入信号 (DIS) 具有总位数 (TN), 其中

所述数字输入信号 (DIS) 的多个 (N 个) 最高有效位的内容确定所述低电平 (LL), 并且

其中将一个最低有效位附加到确定所述高电平 (UL) 的所述内容, 并且其中

其余位 ($M = TN - N$) 的内容产生 M 位时间调制过程。

17. 根据权利要求 15 或 16 所述的至少产生一个输出信号的方法, 其中所述一个最低有效位是用于确定所述高电平 (UL) 的内容的最低有效位。

18. 一种至少根据一个数字输入信号，至少产生一个输出信号的方法，所述数字输入信号（DIS）包括

基本固定周期（ T_p ），在该固定周期内，在高电压电平（UL）与低电压电平（LL）之间，产生输出振幅，或者作为所述高电压电平（UL）或所述低电压电平（LL）；

利用所述输入数字信号（DIS）确定具有输出振幅（OA）的时间调制输出信号（TMOS）；

并且在特定转换时间（ T_s ），根据所述数字输入信号（DIS），至少在所述高电压电平（UL）与低电压电平（LL）之间，转换所述时间调制输出信号（TMOS）。

19. 根据权利要求 15 至 18 所述的至少产生一个输出信号的方法，其中通过至少一个周期（ T_p ）对所述输出信号进行积分，所述积分信号是所述数字输入信号（DIS）的模拟表示。

20. 一种多级数模转换器，该多级数模转换器包括：

用于将数字输入信号转换为时间调制信号的装置；

用于将所述时间调制信号积分计算为模拟输出信号的装置；

用于将数字输入信号转换为时间调制信号的所述装置包括以这样的方式产生所述时间调制信号的装置，即将所述时间调制信号的低频分量降低到最小的装置。

21. 根据权利要求 20 所述的多级数模转换器，其中以这样方式产生所述时间调制信号的所述装置，即将所述时间调制信号的低频分量降低到最小的装置包括 N 分配器。

22. 在在音频应用中使用根据权利要求 1 至 14 所述的数模转换装置，根据权利要求 15 至 19 中的一个或多个权利要求，至少产生一个时间调制输出信号的方法和/或根据权利要求 20 至 21 中的一个或多个权利要求的多级数模转换器。

23. 在诸如移动电话的通信设备内使用根据权利要求 1 至 14 所述的数模转换装置，根据权利要求 15 至 19 中的一个或多个权利要求，至少产生一个时间调制输出信号的方法和/或根据权利要求 20 至 21 中的一个

或多个权利要求的多级数模转换器。

数模转换装置

技术领域

本发明涉及根据权利要求 1、10、12 以及 14 的一种数模转换器、根据权利要求 15 和 18 产生至少一个时间调制输出信号的一种方法、根据权利要求 20 的一种多级数模转换器以及根据权利要求 22 和 23 的用途。

背景技术

在例如仪器仪表或电信领域内，高分解力数模转换器必须具有低差分非线性和积分非线性。在高温下必须保持这些线性要求。

传统的快速、低成本数模转换器的问题在于，非线性问题相当突出，而且这些非线性性质实际上限制了高比特转换器的使用，因为比特数的增加会提高最低有效位的差分非线性。在为获得高分解力、快速的数模转换器而引入的几种技术中，有一种技术主要包括两个独立数模转换器，其中一个用于产生数字输入信号的最高有效模拟部分，另一个用于产生模拟信号的较低有效部分。最后，两个模拟信号在模拟相加级叠加在一起。自然，这种方法会带来转换器匹配问题并导致转换器的差分非线性更加严重。

本发明的目的是提供一种具有较小非线性的高比特、低成本的数模转换器。

本发明概述

正如权利要求 1 所述，一种数模转换装置包括：

一个至少根据一个数字输入信号 (DIS) 来产生一个高电压电平 (UL) 和一个低电压电平 (LL) 的转换步骤，

所述高电压电平 (UL) 和低电压电平 (LL) 至少根据所述数字输入信号 (DIS) 被时间调制为一个时间调制输出信号 (TMOS)，

所述时间调制输出信号具有一个周期 (T),

所述时间调制输出信号通过一个包括至少一个积分器 (I) 的输出级馈送,

所述积分器 (I) 以这样的方式来设置, 使得所述时间调制输出信号被滤波并被转换为所述数字输入信号 (DIS) 的模拟表示, 从而实现一种优选数模转换器。

根据本发明, 由于降低了对激光微调 and 专用硅处理过程的要求, 因而可以达到低成本和高集成。

当如权利要求 2 所述, 所述时间调制输出信号 (TMOS) 是一个 PWM 信号时, 可以实现本发明的优选实施例。

若如权利要求 3 所述, 所述高电压电平和低电压电平 (UL, LL) 是通过一个控制 DAC 的数字 MUX 来产生的, 所述 MUX 通过数字输入信号以这样的方式并行或串行地馈送, 使得该 MUX 的一个数字输出连续地控制 DAC, 并根据 DAC 输出产生包括一个高电压电平 (UL) 和一个低电压电平 (LL) 的第一模拟信号, 则可以实现本发明的另一个优选实施例。

若如权利要求 4 所述, 所述高电压电平和低电压电平 (UL, LL) 通过专用 DAC (DAC1、DAC2) 来产生, 每个专用 DAC 根据馈送到所述专用 DAC 的数字信号来产生模拟输出信号 (UL、LL), 所述模拟信号为模拟表示, 通过一个开关进行复用以形成所述第一模拟信号 (AS1), 可以实现本发明的另一个优选实施例。

若如权利要求 5 所述, 高电平和低电平信号 (UL、LL) 被创建为模拟值 $UL = LL + nLSB$, 其中 $n=1, 2, 3, \dots$, 则可以实现对所述时间调制输出信号 (TMOS) 的一种优选调幅, 因为可以在两个可比调制电平之间对该输出信号进行调制。这样, 时间调制可基于 LSB 偏差产生一种次分解过程。这种次分解过程可以通过例如一种相对低位 PWM 调制来产生, 因为已经利用低电压电平 LL 产生了该信号的第一部分。这样, 由于对于通过产生高电平和低电平信号而产生的每个位分解过程所需的 PWM 调制器时钟周期被压缩了 2^n 倍, 从而可以非常快速地执行 PWM 调制过

程。

如果对产生高电平和低电平的相对快速的数模转换器的最低有效位，根据低非线性进行慎重选择，则相对较慢但为线性的 PWM 调制器可以产生次分解过程。

这样，根据本发明的一种 13 位实施例，通过一种传统的 10 位 D/A 转换器产生高电平和低电平，在该 10 位 D/A 转换器中只有 8 位用于产生所需的电平。两个最低有效位由于不可接受的非线性而被删除。所获得的 8 位信号如下两个信号之间对进行 PWM 调制：一个低电平信号，即最可能接近 8 位转换器的近似值；加上最低有效位的该信号，即加上第 8 位。PWM 产生一个 5 位分解信号并将它加到该低电平信号上。因此，明显提高了高位精密转换器所达到的线性度。

显然，应该根据当前的应用情况对根据本发明的一种 D/A 转换器慎重地进行设置，因为这种设置是在诸如可接受非线性、分解力、动态范围以及转换速度这些参数之间的一种权衡。

甚至要慎重选择实现调幅的数模转换器，因为例如可以采用一种高质量数模转换器，来完全取代进行上述最低有效位的删除过程。

若如权利要求 6 所述，MUX 与 DAC 同步，则可以实现本发明的另一个优选实施例。复用器与数模转换器之间同步可以明显提高线性度。

若如权利要求 7 所述，所述积分器 (I) 包括一个低通滤波器，可以实现本发明的另一个优选实施例。因此，可以产生物美价廉的低通滤波器。

应该注意，在本发明范围内，还可以使用其它类型的滤波器作为输出级，或对一种滤波器进行多种修改。。

若如权利要求 8 所述，所述时间调制输出信号 (TMOS) 被创建为 N 分频信号时，则可以实现本发明的另一个优选实施例，因为可以将对时间调制输出信号的低频调制转换为更高频。

若如权利要求 9 所述，所述积分器 (I) 被设置为一个具有周期 (T) $\approx \tau$ 的低通滤波器，其中 τ 是积分器 (I) 的时间常数 RC，R 是电阻，C 是电容，则可以实现本发明的另一个优选实施例，这得益于由编码引起

的调制已被转移到更高频。因此，输出滤波器的时间常数可以从例如 10 倍的时间调制周期缩短为大约 1 个周期。

应该注意，本发明范围内的积分器是具有预期积分特性的一种滤波器，因为不可能实现理想的积分器。

利用具有积分特性的滤波器，例如一个低通滤波器或带通滤波器），可以实现根据本发明的一种积分器。

如果不以这样的方式对所述时间调制输出信号进行调节，使得所述时间调制信号的低频部分被降低到最小，则时间常数最好接近小于时间周期的 10 倍。

若如权利要求 10 所述，一种数模转换装置包括至少根据一个数字输入信号（DIS）产生一个高电压电平（UL）和一个低电压电平（LL）的转换步骤，将所述高电压电平（UL）馈送到第一 DAC 的输入端，将所述低电压电平（LL）馈送到第二 DAC 的输入端，其中将所述第一 DAC 的输出信号馈送到时间调制输出级的第一输入端，将所述第二 DAC 的输出信号馈送到所述时间调制输出级的第二输入端，并且其中所述输出级的所述第一输入端和第二输入端的输入阻抗基本相同，则可以实现根据本发明的一个优选实施例。

术语“输出级”意味着可以馈送 DAC 的任何类型的输出电路。一个例子是一个或多个包括电阻元件和/或电容元件的滤波器。另一个例子是任何类型的时间调制开关电路。

若如权利要求 11 所述，所述输出级的所述第一输入端和第二输入端的输入阻抗相同，则可以产生其输出信号始终保持单调的数模转换器。

若如权利要求 12 所述，数模转换装置包括至少根据一个数字输入信号（DIS）产生高电压电平（UL）和低电压电平（LL）的转换步骤，将所述高电压电平（UL）馈送到第一 DAC 的输入端，将所述低电压电平（LL）馈送到第二 DAC 的输入端，其中将所述第一 DAC 的输出信号馈送到时间调制输出级的第一输入端，将所述第二 DAC 的输出信号馈送到所述时间调制输出级的第二输入端，并且其中所述输出级的所述第一输入端与第二输入端的输入阻抗之间的差值小于 $\pm 40\%$ ，且最好小于 $\pm$

- 5%，则可以实现根据本发明的另一个优选实施例。尤其是，最好将输出信号的断续性降低到最小。

术语“40%”和“5%”意味着对应于所用阻抗之一（最好是阻抗值较小的阻抗）的阻抗之间的相对差值。

若如权利要求 13 所述，所述输出级的所述第一输入端和第二输入端之间的阻抗差值是 0，则可以产生其输出信号始终保持单调的数模转换器。

若如权利要求 14 所述，数模转换装置包括至少根据有关数字输入信号（DIS）产生高电压电平（UL）和低电压电平（LL）的转换步骤，将所述高电压电平（UL）馈送到第一 DAC 的输入端，将所述低电压电平（LL）馈送到第二 DAC 的输入端，其中将所述第一 DAC 的输出信号馈送到电阻网络的输入端，将所述第二 DAC 的输出信号馈送到所述电阻网络的输入端，将所述电阻网络的输入端为所述第一 DAC 和第二 DAC 的输出信号所公用时，可以产生其输出信号始终保持单调的数模转换器。这是因为，两个 DAC 的视在阻抗相同。

术语“公用”意味着，两个 DAC 的输出信号被连接到电阻网络内的一个共同输入节点，或者被连接到以已知方式短路的或基本短路的两个独立节点。

术语“电阻”意味着一个或多个电阻，或者电阻、电容和/或电感的组合。

若如权利要求 15 所述，一种方法至少根据一个数字输入信号、所述数字输入信号（DIS）以及所述输出信号产生至少一个时间调制输出信号（TMOS），可以获得利用具有商业价值分量的时间调制输出信号的优选实施例。所述输出信号包括基本固定周期（Tp），在该固定周期内，至少产生输出振幅作为高电压电平（UL）或低电压电平（LL）或其它电压电平，由所述输入数字信号（DIS）来确定具有输出振幅（OA）的时间调制输出信号（TMOS），并且在特定转换时间（Ts），根据所述数字输入信号（DIS），至少在所述高电压电平（UL）与低电压电平（LL）之间，转换所述时间调制输出信号（TMOS），该方法提供了产生具有

非常低的非线性的高分解力数模转换器的可能性。

附图的简要说明

以下将参照附图详细说明本发明，其中：

图 1 示出了现有技术的线性数模转换器；

图 2 示出了根据本发明的一种 D/A 转换器的第一及优选实施例；

图 3 示出了根据本发明的一种数模转换器的另一个实施例；

图 4 示出了图 2 所示的数模转换器的输出波形图；

图 5 示出了数字输入的馈送过程；

图 6 示出了模拟输出信号的组成；

图 7a 至图 7c 示出了转换输出信号的一种方法。

详细说明

图 1 示出了现有技术的高 n 位数模转换器的实例。

通过所示的数模转换器获得大量比特的方法可用于仪器仪表转换应用中。

该转换器包括两个数模转换器，即 10 位数模转换器 11 和 5 位数模转换器 12。这两个数模转换器以这样的方式互相校准，即转换器 11 确定信号的最高有效位分量，而转换器 12 产生信号的最低有效位分量。利用放大器使两个信号匹配并最终在求和单元 15 内求和。

上述技术的优势在于，分解力高，转换速度快并且没有时间延迟。

上述现有技术转换器的问题在于，必须非常小心地使那两个转换器互相匹配，并且此匹配过程意味着耗时的校准过程。此外，仔细校准过程不对各转换器的非线性进行估计并且采用高成本装置。

图 2 示出包括两个并联数字输入寄存器 REG H 21 和 REG L 22 的本发明优选实施例。寄存器 21 和 22 输出的数字和信号馈送到数字 MUX 23。将 MUX 23 的数字输出馈送到 DAC 24。根据输入到模拟带通滤波器 26 的数字输入，DAC 24 输出模拟信号。

此外，该转换器还包括寄存器 27，寄存器 27 控制 PWM 调制器 25，

PWM 调制器 25 控制 MUX 和 DAC 24。

数模转换装置的功能在于，将给定数字多位信号馈送到寄存器 27、21 和 22。以这样的方式将多位信号划分为子分段，以致可以获得特定要求分解力。REG 21 确定数模转换器 24 所产生脉冲的高电压电平（UL），而 REG 22 确定根据数模转换器 24 的输出所产生脉冲的低电压电平（LL）。

利用 PWM 25，根据 REG 27 的内容，对高电压电平（UL）信号和低电压电平（LL）信号进行时间调制。以固定时间周期 T_p 进行 PWM 调制过程。

数模转换器的输出波形示于图 4，其中用 T_p 表示 PWM 周期。将周期 T_p 细分为几个时钟周期。根据所示的实施例，PWM 调制过程的固定周期包括 4 个时钟周期 T_{clock} 。因此，PWM 可以实现有效 2 位调制过程。

因此，根据所示实施例，数模转换器 24 的输出包括由 REG 21 和 REG 22 产生确定的调幅高电压电平信号分量和低电压电平信号分量，同时根据 REG 27，利用 PWM 调制器 25 进行时间调制。该调制采用数字方法来控制。

图 3 示出本发明的另一个优选实施例，其中调制过程是模拟调制过程，但是用数字方法进行控制。

该数模转换器包括 3 个数字输入寄存器 REG 31、REG 32 以及 REG 33。REG 31 控制数模转换器 36，REG 32 控制数模转换器 37。

各数模转换器分别产生高电压电平 UL 和低电压电平 LL。

REG 33 控制 PWM 调制器 38，利用模拟开关 39，PWM 调制器 38 控制模拟复用器。

现在，参考图 3 和图 4，在 REG 31 和 REG 32 的控制下，两个数模转换器产生高电压电平 UL 和低电压电平 LL，并且当在 REG 38 的控制下，在高电压电平与低电压电平之间进行转换时，PWM 调制器 38 实现 PWM 时间调制过程。在固定周期 T_p 期间，在高电压电平与低电压电平之间进行转换可以对馈送到输出带通滤波器 34 的信号进行调制，在输出

带通滤波器 34 内产生模拟信号。以这样的方式设置带通滤波器 34，以致它使固定周期 T_p 与可能的信号电平匹配。

在图 4 中，在每个时间转换点 T_s ，在高电压电平 UL 与低电压电平 LL 之间对信号进行调制。

在图 4 中，利用 T_p 表示每个调制周期，并且每个周期 T_p 含有 4 个时钟周期 T_{clk} 。每个调制周期 T_p 基本含有一个、两个、三个或四个高电平时钟周期 T_{clk} ，它们分别产生 25%、50%、75% 以及 100% 的相应调制电平。

应该注意，高电压电平 UL 与低电压电平 LL 非常接近，即例如 2.755 V 和 2.750 V。

现在参考图 5，图 5 示出了根据本发明的数模转换器编码过程的基本步骤。

所示的内容对应于本发明的优选实施例。显然，本发明范围并不局限于所说明的实施例。

13 位数字 51 表示馈送到根据本发明的 13 位数模转换器的数字。然后，将此 13 位信号拆分为两个 8 位信号并馈送到两个寄存器 $R1$ 和 $R2$ 。寄存器 $R2$ 存储 13 位输入 51 的 8 个最高有效位。寄存器 $R1$ 存储 13 位输入 51 的 8 位最高有效位的增量表示，即寄存器 $R1$ 内的数值与寄存器 51 的最低有效位相加。在本发明的另一个优选实施例中，从已经存储到寄存器 $R1$ 内的 8 个最高有效位中取最低有效位。寄存器 $R1$ 内的内容产生高电压电平 UL ，而寄存器 $R2$ 的内容产生低电压电平 LL 。

将 13 位信号的最低 5 位馈送到寄存器 $R3$ 。

现在回到图 6，参考图 5 来说明对本发明的两级调制过程的基本理解。为了说明问题，将 PWM 信号示为 2 位信号，而不示为 5 位信号。

在图 6 中，轴 A 示出，根据 PWM 位，作为 UL 和 LL 的 PWM 调制过程的函数的、根据本发明的数模转换器的模拟输出。

寄存器 $R1$ 和 $R2$ 产生高电压电平 UL 和低电压电平 LL 。可以将低电平看作是对 13 位信号 51 的截断调制，即将 5 位最低有效位置 0。这基本上意味着，事实上可以将这样产生的存储在寄存器 $R2$ 内 8 位信号看作其

5 个最低有效位被删除的 13 位信号。因此，寄存器 R2 的模拟等效信号等于或低于要求的模拟 13 位信号。必须附加寄存器 R3 的 5 个最低有效位的模拟信号以获得要求的模拟信号。

在此实施例中，利用 R2 内的 8 位信号的最低有效位，对 R1 进行“附加”。UL 与 LL 之间的差值表示 13 位信号的高 8 位的最低有效位。利用对高于 LL 的 UL 进行的调制过程，确定附加信号。在图 6 中，将寄存器 R3 内的 5 位减到 2 位，以显示此 PWM 调制过程的功能。

如果寄存器 R3 内的最低 5 位（图示：2 位）为 0，可以将 UL 调制 0%，即已调数值对应于 LL，并且如果最低 5 位（图示：2 位）为 01，则已调数值将对应于 LL 加 UL 与 LL 之间差值的 25%，即模拟输出 = $LL + (UL - LL) / 4$ 。

如果我们回到图 5 所示的 8 位 + 5 位实施例，则在输出滤波器内进行积分时，模拟 PWM 输出 $V_a = LL + (UL - LL) * (r3/R_n)$ ，其中 $r3$ 是寄存器 R3 存储内容的当前值，并且 R_n 为 2^5 。

因此，传统数模转换器产生高电平和低电平，而在传统数模转换器的最低有效位之间，PWM 对高分解力分量进行调制。

现在回到图 7，图 7 示出将传统 PWM 输出信号转换为 N 分频信号的方法。

传统 PWM 信号的基本问题在于，PWM 含有不希望的低频分量，因为对信号进行 PWM 编码。

图 7a 示出脉宽调制 PWM 信号的周期 T_p 。通过具有 6 个时钟周期的周期 T_p 产生此信号。从 1 到 6 对各时钟周期进行编号。

所示的信号含有被馈送到转换器的输出滤波器的 DC 信号。此外，该信号显然可以产生最低调制频率为 $1/T_p$ 的低频调制过程。由于 T_p 较高，所以将在频带的低频范围内进行调制。

当在输出积分器内对信号进行滤波时，截止频率必须非常接近 DC，并且低通特性必须尖锐。

这样就要求输出积分器具有非常高的性能，因此，设置成本高。采取，应该注意，对尖锐滤波器特性的要求导致非常慢的响应时间。

因此，积分器的时间常数 τ 约为 PWM 信号的周期 T_p 的 10 倍。

当利用如下技术时，降低了对输出滤波器频谱要求，并且可以将时间窗口降低到低至 T_p ，即 $\tau \approx T_p$ 。

可以以较小的时间常数确定积分器的输出。

现在，参考图 7a，应该注意，要求的输出值是出现在输出滤波器上的结果 V_{dc} 值。利用虚线 V_{dc} 示出周期 T_p 期间的 V_{dc} 。

图 7b 示出将图 7a 所示的 PWM 信号转换为具有更高频率分量、在 T_p 期间仍保持 DC 值的信号的第一步。

首先，确定高电平数和低电平数。如果低电平信号数少于高电平信号数，则第一步是图 7b 所示的步骤，并且位于位置 11 至 16 的最后 6 个低电平将分别从周期 T_p 的末端移动到位置 2、4、6、8、10 和 12。保持此周期的 DC 值。

该周期仍然在位置 13 至 16 含有高电平脉冲。

在图 7c 内，因为最后 4 个位置 13 至 16 被细分为两个 T_{clock} 的两个时间周期，所以进一步缩短了周期 T_p 的末端对高电平信号进行的低频调制过程。随后，图 7b 所示的位置 13 和 14 移动到新位置 3 和 4，而图 7b 所示的位置 15 和 16 移动到新位置 7 和 8。应该注意，仍需保持周期 T_p 期间的 DC 值。

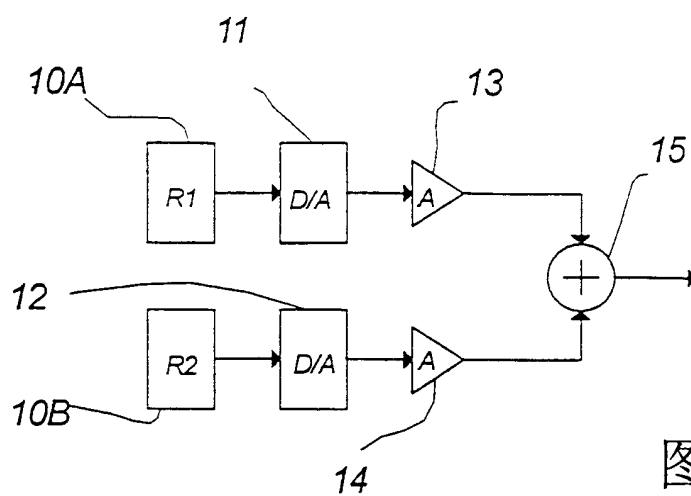


图 1

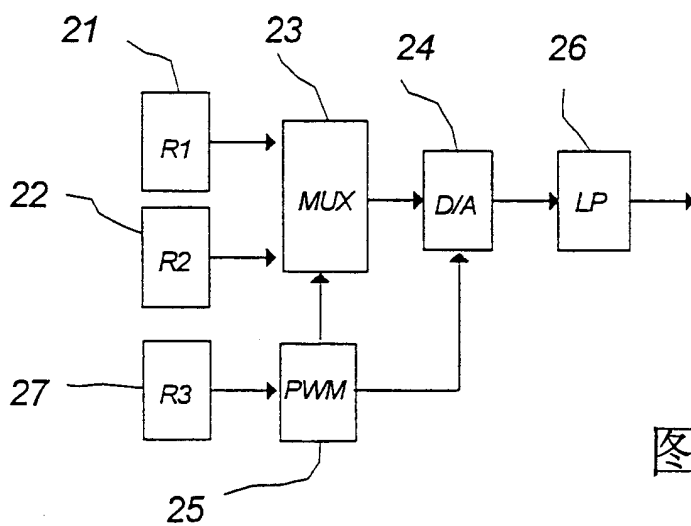


图 2

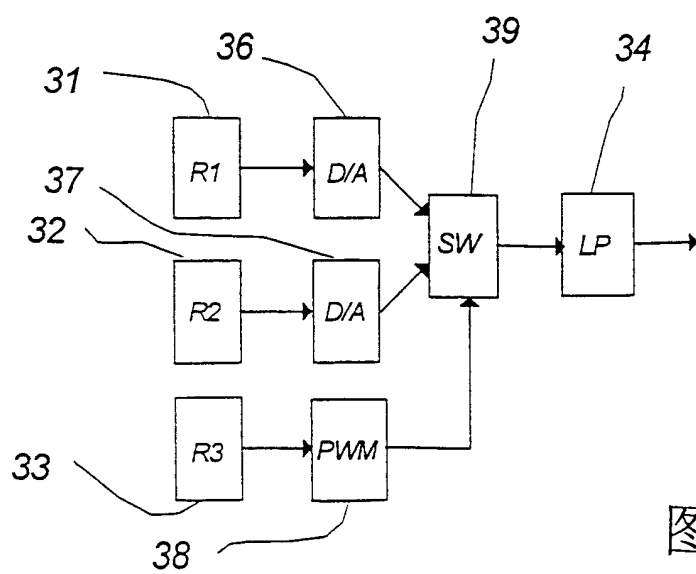


图 3

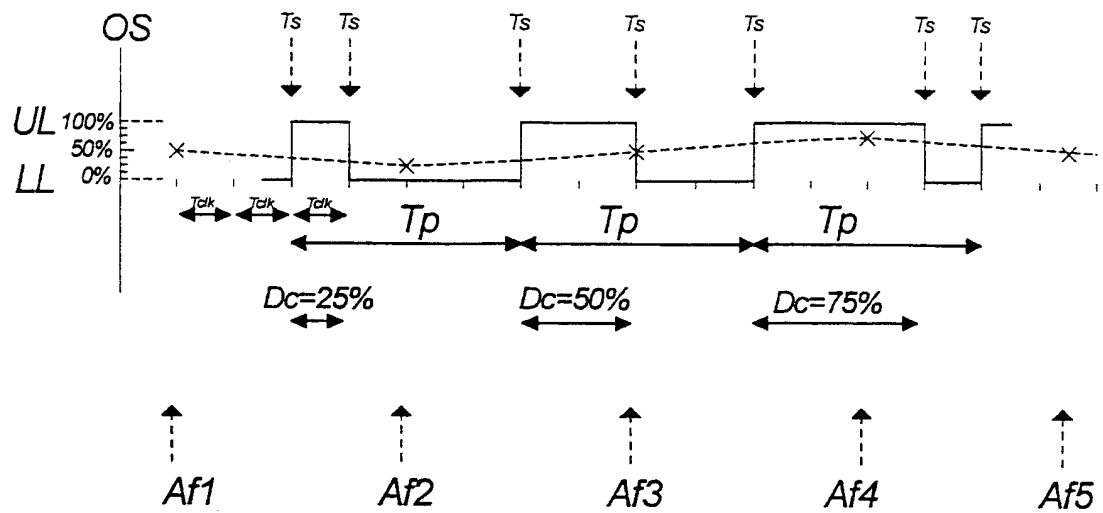


图 4

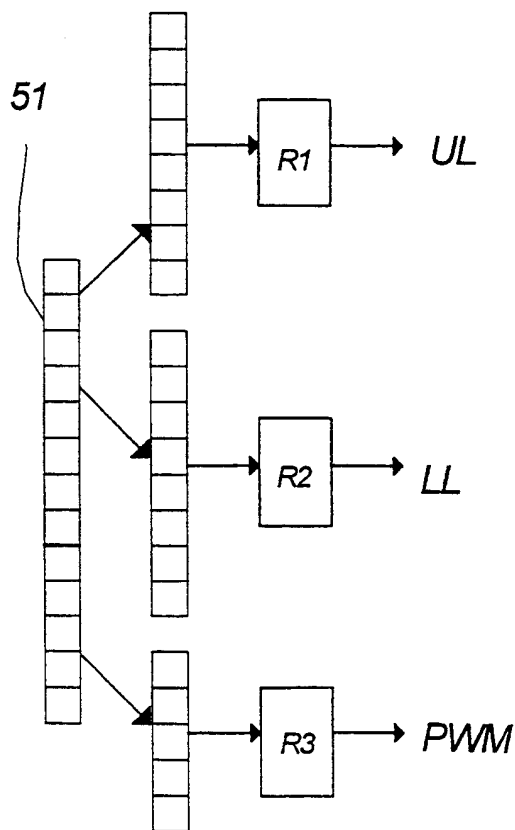


图 5

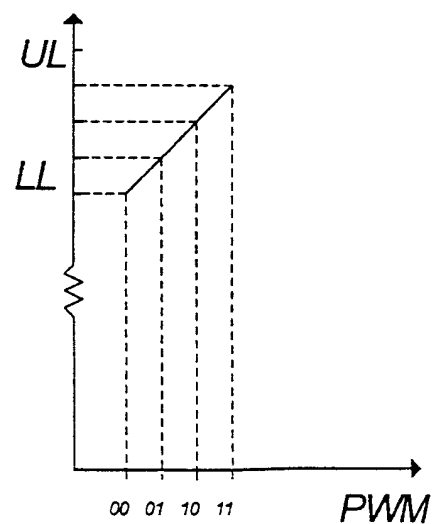


图 6

