

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2016年9月29日(29.09.2016)



(10) 国際公開番号
WO 2016/152059 A1

- (51) 国際特許分類:
H01L 29/78 (2006.01) *H01L 29/12* (2006.01)
H01L 29/06 (2006.01)
- (21) 国際出願番号: PCT/JP2016/001322
- (22) 国際出願日: 2016年3月10日(10.03.2016)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2015-061394 2015年3月24日(24.03.2015) JP
- (71) 出願人: 株式会社デンソー(DENSO CORPORATION) [JP/JP]; 〒4488661 愛知県刈谷市昭和町1丁目1番地 Aichi (JP). トヨタ自動車株式会社(TOYOTA JIDOSHA KABUSHIKI KAISHA) [JP/JP]; 〒4718571 愛知県豊田市トヨタ町1番地 Aichi (JP).
- (72) 発明者: 三村 智博(MIMURA, Tomohiro); 〒4488661 愛知県刈谷市昭和町1丁目1番地株式会社デンソー内 Aichi (JP). 金村 高司(KANEMURA, Takashi); 〒4488661 愛知県刈谷市昭和町1丁目1番地株式会社デンソー内 Aichi (JP). 杉本 雅裕(SUGIMOTO, Masahiro); 〒4718571 愛知県豊田市トヨタ町1番地トヨタ自動車株式会社内 Aichi (JP). 副島 成雅(SOEJIMA, Naru-

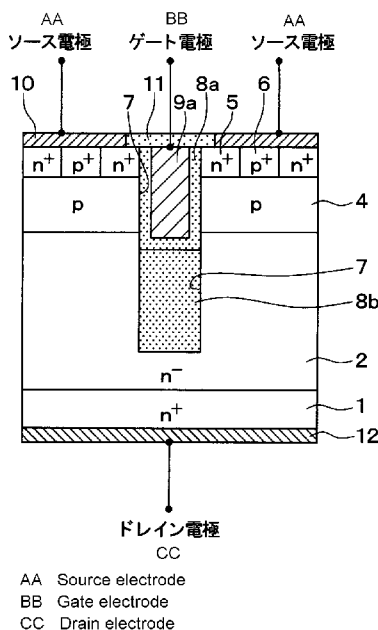
masa); 〒4801192 愛知県長久手市横道4-1番地の1株式会社豊田中央研究所内 Aichi (JP).

- (74) 代理人: 金 順姫(KIN, Junhi); 〒4600003 愛知県名古屋市中区錦2丁目13番19号 瀧定ビル6階 Aichi (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーロピア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ユーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

[続葉有]

(54) Title: SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置



(57) Abstract: A semiconductor device that is provided with: a drain region (1); a drift layer (2) that is configured from a first conductive-type semiconductor that has a lower concentration of impurities than the drain region; a base region (4) that is configured from a second conductive-type semiconductor; a source region (5) that is configured from a high concentration of the first conductive-type semiconductor; a contact region (6) that is configured from a high concentration of the second conductive-type semiconductor; a trench-gate structure that has a first gate insulating film (8a) and a first gate electrode (9a) that are arranged on an inlet side of a trench (7) and go deeper than the base region and that also includes a bottom-part insulating film (8b); a source electrode (10) that is electrically connected to the source region and the contact region; and a drain electrode (12) that is arranged on an undersurface side of the drain region. The trench is arranged so as to go deeper than the base region. The first gate insulating film is configured from an insulating material that has a higher dielectric constant than the bottom-part insulating film.

(57) 要約: 半導体装置は、ドレイン領域(1)と、前記ドレイン領域よりも低不純物濃度の第1導電型半導体で構成されたドリフト層(2)と、第2導電型半導体で構成されたベース領域(4)と、高濃度の第1導電型半導体で構成されたソース領域(5)と、高濃度とされた第2導電型半導体で構成されたコンタクト領域(6)と、トレンチ(7)の入口側に配置され、前記ベース領域よりも深くまで配置された第1ゲート絶縁膜(8a)と第1ゲート電極(9a)とを有すると共に、底部絶縁膜(8b)を含むトレンチゲート構造と、前記ソース領域および前記コンタクト領域に電気的に接続されたソース電極(10)と、前記ドレイン領域の裏面側に配置されたドレイン電極(12)と、を備える。前記トレンチは、前記ベース領域よりも深くまで配置される。また、前記第1ゲート絶縁膜は、前記底部絶縁膜よりも高い誘電率の絶縁材料で構成されている。

添付公開書類:

— 国際調査報告 (条約第 21 条(3))

明 細 書

発明の名称：半導体装置

関連出願の相互参照

[0001] 本出願は、2015年3月24日に出願された日本特許出願番号2015-61394号に基づくもので、ここにその記載内容を援用する。

技術分野

[0002] 本開示は、トレンチゲート構造を有する半導体装置に関し、特に、炭化珪素（以下、SiCという）にて構成される半導体装置に適用されて好適である。

背景技術

[0003] 従来より、大電流が流せるようにチャネル密度を高くした構造としてトレンチゲート構造の縦型MOSFETを有する半導体装置が知られている。このトレンチゲート構造において、ゲート電極が配置されるトレンチ内におけるゲート絶縁膜の下方、つまりトレンチの底部に厚くされた絶縁膜（以下、底部絶縁膜という）を配置した構造がある（例えば、特許文献1参照）。このような構造とすることで、底部絶縁膜によるシールド効果によって寄生容量C_{gd}の低減を図ることが可能となり、底部絶縁膜を形成していないMOSFETと比較して、高速スイッチングを実現することが可能となる。

[0004] 上記のような底部絶縁膜を備える縦型MOSFETにおけるトレンチゲート構造は、例えば次のようにして形成される。まず、n型ドリフト層の上にp型ベース領域を成膜したのち、さらにp型ベース領域の表層部にイオン注入などによってn⁺型ソース領域を形成する。続いて、n⁺型ソース領域からp型ベース領域を貫通してn型ドリフト層に達するトレンチを形成したのち、トレンチ内を埋め込むように底部絶縁膜を構成するために、ゲート絶縁膜と同じ絶縁材料を堆積する。そして、トレンチ内を埋め込んだ絶縁材料をエッチバックして底部絶縁膜を構成する。その後、トレンチおよび底部絶縁膜の表面にゲート絶縁膜を成膜したのち、ゲート絶縁膜上にゲート電極を配置す

る。このようにして、底部絶縁膜を備えた縦型MOSFETのトレンチゲート構造が形成される。

[0005] このような工程によって底部絶縁膜を形成する場合、絶縁材料のエッチバック制御性がMOSFETの性能に大きく影響してくる。

[0006] 具体的には、図5A、図5Bに示すように、n型ドリフト層J1、p型ベース領域J2およびn⁺型ソース領域J3が配置された構造において、n⁺型ソース領域J3からp型ベース領域J2を貫通してn型ドリフト層J1に達するようにトレンチJ4を形成する。そして、トレンチJ4の底部に残るように底部絶縁膜J5を形成する。

[0007] このとき、エッチバック量が少ないと、例えば、図5Aに示すように底部絶縁膜J5の上面がp型ベース領域J2の底部よりもトレンチJ4の浅い位置に位置してしまう。このため、底部絶縁膜J5の上にゲート絶縁膜J6およびゲート電極J7を形成したときに、ゲート電極J7がp型ベース領域J2の厚み方向全域に対向した状態にならない。したがって、チャネル領域をトレンチJ4の側面に位置するp型ベース領域J2の全域に形成することができず、良い特性の縦型MOSFETが得られなくなる。

[0008] 逆に、エッチバック量が多いと、例えば、図5Bに示すように底部絶縁膜J5が薄くなってしまい、底部絶縁膜J5の上に形成されるゲート絶縁膜J6内での電界集中が発生し、ゲート絶縁膜J6の絶縁破壊が懸念される。このため、縦型MOSFETの長期信頼性を低下させる可能性がある。

[0009] このように、底部絶縁膜を備えるトレンチゲート構造の縦型MOSFETでは、底部絶縁膜を形成する際のエッチバックの制御性が求められ、プロセスウィンドウが狭いという問題がある。

先行技術文献

特許文献

[0010] 特許文献1：特開2009-152630号公報

発明の概要

[0011] 本開示は、的確にチャネル領域が形成できるようにしつつ、絶縁耐圧を確

保でき、さらに広いプロセスウィンドウが得られる構造の半導体装置を提供することを目的とする。

[0012] 本開示の一態様に係る半導体装置は、第1または第2導電型半導体にて構成されたドレイン領域と、前記ドレイン領域の上に配置され、前記ドレイン領域よりも低不純物濃度の第1導電型半導体で構成されたドリフト層と、前記ドリフト層の上に配置され、第2導電型半導体で構成されたベース領域と、前記ベース領域の上層部に配置され、前記ドリフト層よりも高濃度の第1導電型半導体で構成されたソース領域と、前記ベース領域の上層部に配置され、前記ベース層よりも高濃度とされた第2導電型半導体で構成されたコンタクト領域と、トレンチ内における入口側に配置され、前記トレンチの入口から前記ベース領域よりも深くまで配置された第1ゲート絶縁膜と該第1ゲート絶縁膜上に配置された第1ゲート電極とを有すると共に、前記トレンチ内における前記第1ゲート絶縁膜の下となる底部に配置された底部絶縁膜を含むトレンチゲート構造と、前記ソース領域および前記コンタクト領域に電氣的に接続されたソース電極と、前記ドレイン領域の裏面側に配置されたドレイン電極と、を備える。前記トレンチは、前記ソース領域の表面から前記ベース領域よりも深くまで配置される。また、前記第1ゲート絶縁膜は、前記底部絶縁膜よりも高い誘電率の絶縁材料で構成されている。

[0013] このように、第1ゲート絶縁膜を底部絶縁膜よりも誘電率の高い絶縁材料で構成している。これにより、第1ゲート絶縁膜内での電界集中を緩和でき、第1ゲート絶縁膜の絶縁破壊を抑制することが可能となる。そして、このように第1ゲート絶縁膜の絶縁破壊を抑制できることから、底部絶縁膜が多少薄くなっても良い。このため、トレンチゲート構造の製造工程中において、トレンチ内に埋め込まれた底部絶縁膜を構成する絶縁材料をエッチバックする際に、エッチバック過多となる設計とすることができる。

[0014] この場合、底部絶縁膜が多少薄くなる可能性があるが、上記のように、底部絶縁膜が多少薄くなっても第1ゲート絶縁膜の絶縁破壊を抑制できる。これにより、第1ゲート電極の底部がベース領域の底部よりも深い位置まで形

成されるようにでき、トレンチの側面においてベース領域の全域にチャネル領域が形成されるようにできる。

[0015] したがって、的確にチャネル領域が形成できるようにしつつ、絶縁耐圧を確保でき、さらに広いプロセスウィンドウが得られる構造の半導体装置とすることが可能となる。

図面の簡単な説明

[0016] 本開示についての上記目的およびその他の目的、特徴や利点は、添付の図面を参照しながら下記の詳細な記述により、より明確になる。その図面は、
[図1]図1は、本開示の第1実施形態にかかるS i C半導体装置の断面構成を示す図であり、
[図2]図2は、本開示の第2実施形態にかかるS i C半導体装置の断面構成を示す図であり、
[図3]図3は、本開示の第3実施形態にかかるS i C半導体装置の断面構成を示す図であり、
[図4]図4は、本開示の第4実施形態にかかるS i C半導体装置の断面構成を示す図であり、
[図5A]図5 Aは、トレンチ内に底部絶縁膜を形成する場合のエッチバックのバラツキに伴うトレンチゲート構造の変化を示した断面図であり、及び、
[図5B]図5 Bは、トレンチ内に底部絶縁膜を形成する場合のエッチバックのバラツキに伴うトレンチゲート構造の変化を示した断面図である。

発明を実施するための形態

[0017] 以下、本開示の実施形態について図に基づいて説明する。なお、以下の各実施形態相互において、互いに同一もしくは均等である部分には、同一符号を付して説明を行う。

[0018] (第1実施形態)

本開示の第1実施形態について説明する。ここでは、半導体装置をS i Cによって形成したS i C半導体装置を例に挙げて説明するが、S iなどの他の半導体材料によって半導体装置を構成しても良い。

[0019] まず、本実施形態にかかる反転型のトレンチゲート構造の縦型MOSFETを有するSiC半導体装置について、図1を参照して説明する。なお、図1では、縦型MOSFETの1セル分しか記載していないが、図1に示す縦型MOSFETと同様の構造のものが複数セル隣り合うように配置されている。ここでいう1セルとは、後述するp⁺型コンタクト領域6の中心からトレンチゲート構造を挟んで隣に位置するp⁺型コンタクト領域6の中心までのことを意味している。

[0020] 図1に示すように、n型不純物（リンもしくは窒素など）が高濃度、例えば $1 \times 10^{19} \sim 1 \times 10^{20} \text{ cm}^{-3}$ の不純物濃度でドーピングされた厚さ300 μm 程度のSiC単結晶からなるn⁺型半導体基板1を用いてSiC半導体装置を形成している。このn⁺型半導体基板1の上に、n型不純物が例えば $1 \times 10^{15} \sim 1 \times 10^{16} \text{ cm}^{-3}$ の不純物濃度でドーピングされた厚さが5～15 μm 程度のSiCからなるn型ドリフト層2が形成されている。

[0021] また、n型ドリフト層2の表面上に、SiCからなるp型ベース領域4が形成されている。p型ベース領域4は、縦型MOSFETのチャネル領域を構成する層であり、後述するトレンチゲート構造を構成するトレンチ7の両側において、トレンチ7の側面に接するように形成されている。p型ベース領域4は、p型不純物が例えば $1 \times 10^{15} \sim 1 \times 10^{18} \text{ cm}^{-3}$ の不純物濃度でドーピングされ、厚さが0.7～1.8 μm 程度で構成されている。

[0022] p型ベース領域4の表層部のうちのトレンチ7側には、トレンチゲート構造に接するようにn型不純物が高濃度にドーピングされたn⁺型ソース領域5が形成されている。本実施形態の場合、例えばn⁺型ソース領域5をp型ベース領域4へのイオン注入などによって形成しており、不純物濃度が $1 \times 10^{21} \text{ cm}^{-3}$ 程度、厚さが0.3 μm 程度で形成している。また、p型ベース領域4の表層部のうちn⁺型ソース領域5を挟んでトレンチ7と反対側には、p型不純物が高濃度にドーピングされたp⁺型コンタクト領域6が形成されている。本実施形態の場合、例えばp⁺型コンタクト領域6をp型ベース領域4へのイオン注入などによって形成しており、不純物濃度が $1 \times 10^{21} \text{ cm}^{-3}$ 程度、厚さが0.

3 μ m程度で形成している。

[0023] さらに、p型ベース領域4およびn⁺型ソース領域5を貫通してn型ドリフト層2に達し、かつ、底部がn⁺型半導体基板1の表面から所定距離離れる深さとされたトレンチ7が形成されている。このため、トレンチ7の側面と接するようにp型ベース領域4およびn⁺型ソース領域5が配置された状態になっている。

[0024] そして、このトレンチ7内にトレンチゲート構造が構成されている。具体的には、トレンチ7内におけるトレンチ7の入口側には第1ゲート絶縁膜8aを介して第1ゲート電極9aが形成され、この下、つまりトレンチ7の底部に底部絶縁膜8bが形成されている。換言すれば、トレンチ7の底部に底部絶縁膜8bが形成され、トレンチ7の側面および底部絶縁膜8bの上面を覆うように第1ゲート絶縁膜8aが形成されている。そして、第1ゲート絶縁膜8aの表面に第1ゲート電極9aが配置されることで、トレンチ7内が埋め尽くされている。このように、トレンチ7内に第1ゲート絶縁膜8aや第1ゲート電極9aおよび底部絶縁膜8bを備えた構造により、トレンチゲート構造が構成されている。

[0025] 第1ゲート絶縁膜8aは、底部絶縁膜8bよりも高い誘電率の絶縁材料によって構成されている。例えば、第1ゲート絶縁膜8aは、窒化珪素、窒化珪素、酸化アルミニウム、窒化アルミニウム、酸化ハフニウム、窒化ハフニウム、酸化チタニウム、酸化ジルコニウム、希土類酸化物（例えば、酸化ランタン、酸化セリウム、酸化イットリウム）のいずれか1つ、もしくはいずれか2つ以上の混合、もしくはいずれか2つ以上の積層によって形成され、例えば50～200nm程度の膜厚とされている。第1ゲート電極9aは、トレンチ7の表面からp型ベース領域4の底部よりも深い位置まで形成されている。第1ゲート電極9aは、不純物がドーパされたPoly-Siにて構成されており、図示しないゲート配線に接続されることでゲート電圧が印加可能とされている。これにより、ゲート電圧印加時には、p型ベース領域4のうちトレンチ7の側面、つまり第1ゲート電極9aと対向する部分の

全域にチャネル領域が形成可能とされている。第1ゲート絶縁膜8aおよび第1ゲート電極9aの全体を含めた部分の深さについては、第1ゲート電極9aの底部がp型ベース領域4の底部よりも深い位置となっていれば良いが、例えば0.8〜2μmの深さに設定してある。

[0026] トレンチ7の底部に備えられる底部絶縁膜8bは、第1ゲート絶縁膜8aよりも低い誘電率の材料、例えばシリコン酸化膜(SiO₂)などによって構成されている。底部絶縁膜8bの厚みについては、底部絶縁膜8bがn型ドリフト層2の厚み内に形成されていれば任意であるが、本実施形態では例えば底部絶縁膜8bは0.8〜2μm程度とされている。

[0027] なお、図1では示されていないが、トレンチゲート構造は、例えば紙面垂直方向を長手方向とした短冊状とされており、複数本のトレンチゲート構造が紙面左右方向に等間隔にストライプ状に並べられることで複数セルが備えられた構造とされている。

[0028] また、n⁺型ソース領域5およびp⁺型コンタクト領域6の表面には、ソース電極10が形成されている。ソース電極10は、複数の金属（例えばNi／Al等）にて構成されている。具体的には、n⁺型ソース領域5に接続される部分はn型SiCとオーミック接触可能な金属で構成され、p⁺型コンタクト領域6を介してp型ベース領域4に接続される部分はp型SiCとオーミック接触可能な金属で構成されている。なお、ソース電極10は、層間絶縁膜11を介して、第1ゲート電極9aに電氣的に接続される図示しないゲート配線と電氣的に分離されている。そして、層間絶縁膜11に形成されたコンタクトホールを通じて、ソース電極10はn⁺型ソース領域5およびp⁺型コンタクト領域6と電氣的に接触させられている。

[0029] さらに、n⁺型半導体基板1の裏面側にはn⁺型半導体基板1と電氣的に接続されたドレイン電極12が形成されている。このような構造により、nチャネルタイプの反転型のトレンチゲート構造の縦型MOSFETが構成されている。

[0030] このように構成された縦型MOSFETは、第1ゲート電極9aに対して

ゲート電圧を印加すると、p型ベース領域4のうちトレンチ7の側面に接する部分が反転型チャネルとなり、ソース電極10とドレイン電極12との間に電流を流す。

[0031] 一方、ゲート電圧を印加しない場合はドレイン電圧として高電圧（例えば1200V）が印加される。シリコンデバイスの10倍近い電界破壊強度を有するSiCでは、この電圧の影響によりトレンチゲート構造にもシリコンデバイスの10倍近い電界がかかり、電界集中が発生し得る。

[0032] しかしながら、本実施形態では、第1ゲート絶縁膜8aを誘電率の高い絶縁材料によって構成していることから、オフ時の電界集中を緩和できる。すなわち、誘電率の高い絶縁材料によって第1ゲート絶縁膜8aを構成すると、誘電率の低い絶縁材料で構成する場合と比較して、第1ゲート絶縁膜8a内への高電圧の入り込みを抑制できる。これにより、上側の第1ゲート絶縁膜8aへの電界の入り込みが抑制され、第1ゲート絶縁膜8a内における等電位線の間隔が広がって、第1ゲート絶縁膜8a内、特にトレンチ7のコーナー部の位置での電界集中が緩和される。したがって、第1ゲート電極9aとドレインとの間の絶縁を図るべき第1ゲート絶縁膜8aの絶縁破壊を抑制することが可能となる。

[0033] このように、第1ゲート絶縁膜8aを底部絶縁膜8bよりも誘電率の高い絶縁材料で構成している。これにより、第1ゲート絶縁膜8a内での電界集中を緩和でき、第1ゲート絶縁膜8aの絶縁破壊を抑制することが可能となる。そして、このように第1ゲート絶縁膜8aの絶縁破壊を抑制できることから、底部絶縁膜8bが多少薄くなっても良い。このため、トレンチゲート構造の製造工程において、トレンチ7内に埋め込まれた底部絶縁膜8bを構成する絶縁材料をエッチバックする際に、エッチバック過多となる設計とすることができる。

[0034] 具体的には、トレンチゲート構造の製造工程は次のようにして行われる。まず、p型ベース領域4およびn⁺型ソース領域5を貫通してn型ドリフト層2に達するようにトレンチ7を形成したのち、底部絶縁膜8bを構成する絶

縁材料でトレンチ 7 を埋め込む。例えば、CVD (chemical vapor deposition) またはALD (atomic layer deposition) 等によって底部絶縁膜 8 b を構成する絶縁材料でトレンチ 7 内を埋め込んでいる。続いて、トレンチ 7 に埋め込まれた底部絶縁膜 8 b を構成する絶縁材料をエッチバックし、底部絶縁膜 8 b を形成する。その後、トレンチ 7 および底部絶縁膜 8 b の表面にCVDやALD等によって第 1 ゲート絶縁膜 8 a を成膜したのち、第 1 ゲート絶縁膜 8 a 上に第 1 ゲート電極 9 a を配置する。このようにして、底部絶縁膜を備えた縦型MOSFETのトレンチゲート構造が形成される。

[0035] このような製造工程によってトレンチゲート構造を形成にあたり、トレンチ 7 に埋め込まれた底部絶縁膜 8 b を構成する絶縁材料をエッチバックする際に、底部絶縁膜 8 b の上面が確実に p 型ベース領域 4 の底部よりも深くに位置するようにエッチバックを多めに行う。この場合、底部絶縁膜 8 b が多少薄くなる可能性があるが、底部絶縁膜 8 b が多少薄くなっても第 1 ゲート絶縁膜 8 a を誘電率の高い絶縁材料で構成しているため、第 1 ゲート絶縁膜 8 a の絶縁破壊を抑制できる。これにより、第 1 ゲート電極 9 a の底部が p 型ベース領域 4 の底部よりも深い位置まで形成されるようにでき、トレンチ 7 の側面において p 型ベース領域 4 の全域にチャネル領域が形成されるようにできる。

[0036] したがって、的確にチャネル領域が形成できるようにしつつ、絶縁耐圧を確保でき、さらに広いプロセスウィンドウが得られる構造の半導体装置とすることが可能となる。

[0037] また、底部絶縁膜 8 b を従来と同様に、第 1 ゲート絶縁膜 8 a と同じ絶縁材料で構成すると、底部絶縁膜 8 b が薄く形成された場合に、寄生容量 C_{gd} が大きくなってスイッチング速度の低下を招きかねない。しかしながら、本実施形態の場合、底部絶縁膜 8 b を第 1 ゲート絶縁膜よりも誘電率の低い絶縁材料で構成していることから、仮に底部絶縁膜 8 b が薄くなったとしても寄生容量 C_{gd} を小さくできる。このため、スイッチング速度の低下を抑制することも可能となる。

[0038] (第2実施形態)

本開示の第2実施形態について説明する。本実施形態は、第1実施形態に対してトレンチゲート構造を変更したものであり、その他については第1実施形態と同様であるため、第1実施形態と異なる部分についてのみ説明する。

[0039] 図2に示すように、本実施形態では、トレンチゲート構造を上段側ゲート構造と下段側ゲート構造とを備えたダブルゲート構造としている。具体的には、トレンチ7内において、トレンチ7の入口側となる上段側に、第1ゲート絶縁膜8aと第1ゲート電極9aを有する上段側ゲート構造が備えられている。また、その上段側ゲート構造の下となる下段側に、底部絶縁膜8bと第2ゲート電極9bを有する下段側ゲート構造が備えられている。つまり、底部絶縁膜8bによって第2ゲート絶縁膜を構成し、底部絶縁膜8b内に第2ゲート電極9bを配置している。第2ゲート電極9bは、不純物がドーピングされたP o l y - S iにて構成されており、図2とは別断面においてソース電極10に接続されてソース電位とされる。

[0040] このような構造により、トレンチ7内において上段側ゲート構造および下段側ゲート構造のダブルゲート構造が形成されたトレンチゲート構造が構成されている。

[0041] このように、トレンチゲート構造がダブルゲート構造とされる場合においても、第1実施形態と同様に、第1ゲート絶縁膜8aを誘電率の高い絶縁材料で構成し、第2ゲート絶縁膜を構成する底部絶縁膜8bをそれよりも誘電率の低い絶縁材料で構成できる。このような構成とすることで、第1実施形態と同様の効果を得ることが可能となる。また、第2ゲート電極9bをソース電位にすることで、より寄生容量C g dの低減やトレンチゲート底部での電界緩和を図ることが可能となり、さらにスイッチング速度および絶縁耐圧の向上を図ることが可能となる。

[0042] (第3実施形態)

本開示の第3実施形態について説明する。本実施形態は、第1、第2実施

形態に対して更に高耐圧化できる構造としたものであり、その他については第1、第2実施形態と同様であるため、第1、第2実施形態と異なる部分についてのみ説明する。なお、ここでは第1実施形態の構造に対して本実施形態の構造を適用する場合について説明するが、第2実施形態についても同様の構造を適用できる。

[0043] 図3に示すように、本実施形態のSiC半導体装置では、トレンチゲート構造の両側において、トレンチ7から所定距離離れるようにp型ディープ層3が形成されている。本実施形態の場合、p型ディープ層3は、トレンチ7と平行に、つまり図3の紙面垂直方向を長手方向とした短冊状とされ、複数本のp型ディープ層3がストライプ状に並べられ、各p型ディープ層3の間にトレンチ7が配置されたレイアウトとされている。具体的には、トレンチ7が形成される位置の両側において、n型ドリフト層2には部分的に凹まされた凹部（第1凹部）2aが形成されており、この凹部2a内にp型不純物がドーピングされたp型層が埋め込まれることによってp型ディープ層3が形成されている。p型ディープ層3は、p型ベース領域4よりもp型不純物濃度が高濃度とされており、例えば $1 \times 10^{17} \sim 1 \times 10^{19} \text{ cm}^{-3}$ 程度とされている。

[0044] このように、本実施形態にかかるSiC半導体装置では、p型ディープ層3を備えた構造としている。このため、p型ディープ層3とn型ドリフト層2とのPN接合部での空乏層がn型ドリフト層2側に大きく伸びることになり、ドレイン電圧の影響による高電圧が底部絶縁膜8bに入り込み難くなる。

[0045] したがって、第1ゲート絶縁膜8aへは更に高電圧が入り込み難くなり、第1ゲート絶縁膜8a内での電界集中、特に第1ゲート絶縁膜8aのうちのトレンチ7の底部での電界集中を緩和することが可能となる。これにより、より第1ゲート絶縁膜8aの絶縁破壊が抑制され、高耐圧のSiC半導体装置となる。

[0046] （第4実施形態）

本開示の第4実施形態について説明する。本実施形態も、第1、第2実施形態に対して更に高耐圧化できる構造としたものであり、その他については第1、第2実施形態と同様であるため、第1、第2実施形態と異なる部分についてのみ説明する。なお、ここでは第1実施形態の構造に対して本実施形態の構造を適用する場合について説明するが、第2実施形態についても同様の構造を適用できる。

[0047] 図4に示すように、本実施形態のSiC半導体装置では、トレンチゲート構造の底部におけるn型ドリフト層2の表層部に、p型ボトム層20が形成されている。本実施形態の場合、p型ボトム層20は、トレンチ7の底部の全域、つまり図4の紙面垂直方向を長手方向とした短冊状に形成されている。例えば、p型ボトム層20は、トレンチ7を形成したのち、トレンチ7以外の部分をマスクで覆った状態でp型不純物をイオン注入することで形成される。p型ボトム層20は、p型ベース領域4よりもp型不純物濃度が高濃度とされており、例えば $1 \times 10^{17} \sim 1 \times 10^{19} \text{ cm}^{-3}$ 程度とされている。

[0048] このように、本実施形態にかかるSiC半導体装置では、p型ボトム層20を備えた構造としている。このため、p型ボトム層20とn型ドリフト層2とのPN接合部での空乏層がn型ドリフト層2側に大きく伸びることになり、ドレイン電圧の影響による高電圧が底部絶縁膜8bに入り込み難くなる。

[0049] したがって、第1ゲート絶縁膜8aへは更に高電圧が入り込み難くなり、第1ゲート絶縁膜8a内での電界集中、特に第1ゲート絶縁膜8aのうちのトレンチ7の底部での電界集中を緩和することが可能となる。これにより、より第1ゲート絶縁膜8aの絶縁破壊が抑制され、高耐圧のSiC半導体装置となる。

[0050] なお、本実施形態のようなトレンチ7の底部に形成されるp型ボトム層20をイオン注入によって形成する場合、トレンチ7の側面が基板に対して垂直もしくはトレンチ7の底部の方が入口側よりも幅広となることで側面が逆テーパ状とされるのが好ましい。これは、トレンチ7の側面が傾斜している

と、その側面にもイオン注入が行われることになり、縦型MOSFETの素子特性を変動させる可能性があるためである。

[0051] (他の実施形態)

本開示は上記した実施形態に限定されるものではなく、本開示に記載された技術の範囲において適宜変更が可能である。

[0052] 例えば、第3実施形態で説明したp型ディープ層3のレイアウトは一例であり、トレンチ7に対して平行に形成されている場合に限らず、トレンチ7と交差するように形成されていたり、ドット状や網目状に形成されていても良い。また、トレンチ7についてもストライプ状に限らず、ドット状とされていたり、網目状とされていても良い。

[0053] また、第3実施形態で説明したp型ディープ層3と第4実施形態で説明したp型ボトム層20の両方を備えた構造としても良い。

[0054] また、上記実施形態では、SiC半導体装置を例に挙げて説明したが、Siなどの他の半導体材料によって半導体装置を構成しても良い。上記各実施形態で説明したSiC半導体装置の場合、ドレイン領域を構成するn⁺型半導体基板1の上にn型ドリフト層2を成膜するようにしている。これに対して、n型ドリフト層2をn型基板で構成し、n型基板の裏面側にn型不純物イオン注入を行うことなどにより、n⁺型層にて構成されるドレイン領域が形成されるようにしても良い。

[0055] また、上記第3実施形態では、p型ディープ層3をトレンチ7よりも深くまで形成しているが、少なくとも第1ゲート絶縁膜8aの底部よりも深くまで形成されていれば良い。すなわち、p型ディープ層3にて絶縁破壊から保護するのは第1ゲート絶縁膜8aであることから、第1ゲート絶縁膜8a内での電界緩和が図れれば良い。したがって、少なくともp型ディープ層3を第1ゲート絶縁膜8aの底部よりも深くすることで、第1ゲート絶縁膜8a内での電界緩和の効果を得ることができる。

[0056] また、上記各実施形態では、第1導電型をn型、第2導電型をp型としたnチャネルタイプのMOSFETを例に挙げて説明したが、各構成要素の導

電型を反転させたpチャネルタイプのMOSFETに対しても本開示を適用することができる。また、上記説明では、トレンチゲート構造のMOSFETを例に挙げて説明したが、同様のトレンチゲート構造のIGBTに対しても本開示を適用することができる。IGBTは、上記各実施形態に対して基板1の導電型をn型からp型に変更するだけであり、その他の構造や製造方法に関しては上記各実施形態と同様である。

[0057] 本開示は、実施例に準拠して記述されたが、本開示は当該実施例や構造に限定されるものではないと理解される。本開示は、様々な変形例や均等範囲内の変形をも包含する。加えて、様々な組み合わせや形態、さらには、それらに一要素のみ、それ以上、あるいはそれ以下、を含む他の組み合わせや形態をも、本開示の範疇や思想範囲に入るものである。

請求の範囲

- [請求項1] 第1または第2導電型半導体にて構成されたドレイン領域（1）と、
、
 前記ドレイン領域の上に配置され、前記ドレイン領域よりも低不純物濃度の第1導電型半導体で構成されたドリフト層（2）と、
 前記ドリフト層の上に配置され、第2導電型半導体で構成されたベース領域（4）と、
 前記ベース領域の上層部に配置され、前記ドリフト層よりも高濃度の第1導電型半導体で構成されたソース領域（5）と、
 前記ベース領域の上層部に配置され、前記ベース層よりも高濃度とされた第2導電型半導体で構成されたコンタクト領域（6）と、
 トレンチ（7）内における入口側に配置され、前記トレンチの入口から前記ベース領域よりも深くまで配置された第1ゲート絶縁膜（8a）と該第1ゲート絶縁膜上に配置された第1ゲート電極（9a）とを有すると共に、前記トレンチ内における前記第1ゲート絶縁膜の下となる底部に配置された底部絶縁膜（8b）を含むトレンチゲート構造と、
 前記ソース領域および前記コンタクト領域に電氣的に接続されたソース電極（10）と、
 前記ドレイン領域の裏面側に配置されたドレイン電極（12）と、
 を備え、
 前記トレンチは、前記ソース領域の表面から前記ベース領域よりも深くまで配置され、
 前記第1ゲート絶縁膜は、前記底部絶縁膜よりも高い誘電率の絶縁材料で構成されている半導体装置。
- [請求項2] 前記第1ゲート絶縁膜および前記第1ゲート電極は、前記トレンチ内における上段側に配置された上段側ゲート構造を構成しており、
 前記トレンチ内における前記上段側ゲート構造の下となる下段側に

、前記底部絶縁膜によって構成される第2ゲート絶縁膜と、該第2ゲート絶縁膜上に配置された第2ゲート電極（9b）とを有する下段側ゲート構造が構成され、

前記上段側ゲート構造と前記下段側ゲート構造によってダブルゲート構造によるトレンチゲート構造が構成されている請求項1に記載の半導体装置。

[請求項3] 前記第2ゲート電極は、前記ソース電極と接続されてソース電位とされている請求項2に記載の半導体装置。

[請求項4] 前記底部絶縁膜はシリコン酸化膜によって構成されており、
前記第1ゲート絶縁膜はシリコン酸化膜よりも誘電率の高い絶縁材料によって構成されている請求項1ないし3のいずれか1つに記載の半導体装置。

[請求項5] 前記第1ゲート絶縁膜は酸窒化珪素、窒化珪素、酸化アルミニウム、窒化アルミニウム、酸化ハフニウム、窒化ハフニウム、酸化チタニウム、酸化ジルコニウム、希土類酸化物のいずれか1つによって構成されている請求項4に記載の半導体装置。

[請求項6] 前記第1ゲート絶縁膜は酸窒化珪素、窒化珪素、酸化アルミニウム、窒化アルミニウム、酸化ハフニウム、窒化ハフニウム、酸化チタニウム、酸化ジルコニウム、希土類酸化物のいずれか2つ以上の混合材料によって構成されている請求項4に記載の半導体装置。

[請求項7] 前記第1ゲート絶縁膜は酸窒化珪素、窒化珪素、酸化アルミニウム、窒化アルミニウム、酸化ハフニウム、窒化ハフニウム、酸化チタニウム、酸化ジルコニウム、希土類酸化物のいずれか2つ以上の積層によって構成されている請求項4に記載の半導体装置。

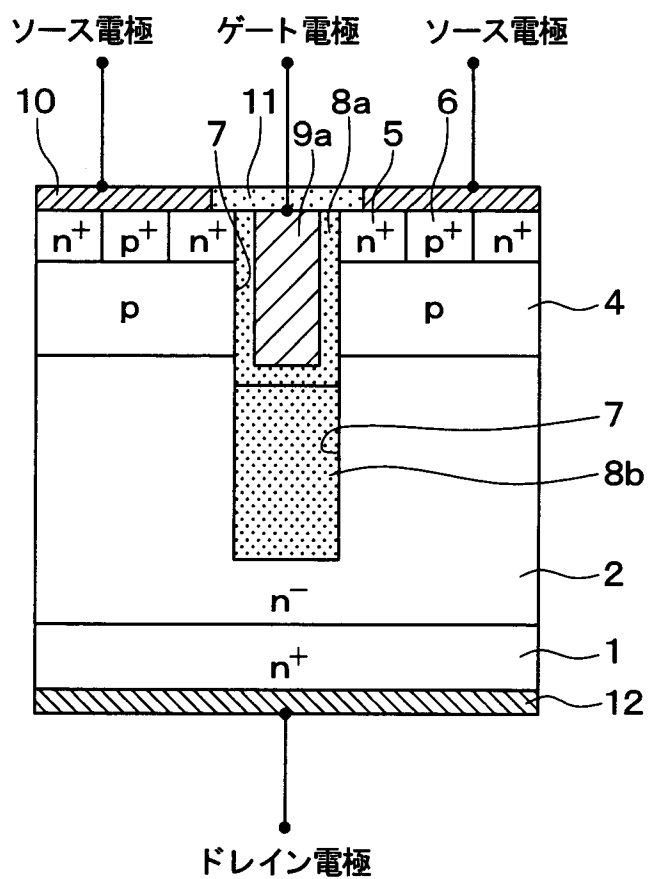
[請求項8] 前記ベース領域よりも下方に位置する前記ドリフト層内において、前記第1ゲート絶縁膜の底部よりも深くまで配置され、前記ベース領域よりも第2導電型の不純物濃度が高濃度とされた第2導電型のディープ層（3）を有している請求項1ないし7のいずれか1つに記載の

半導体装置。

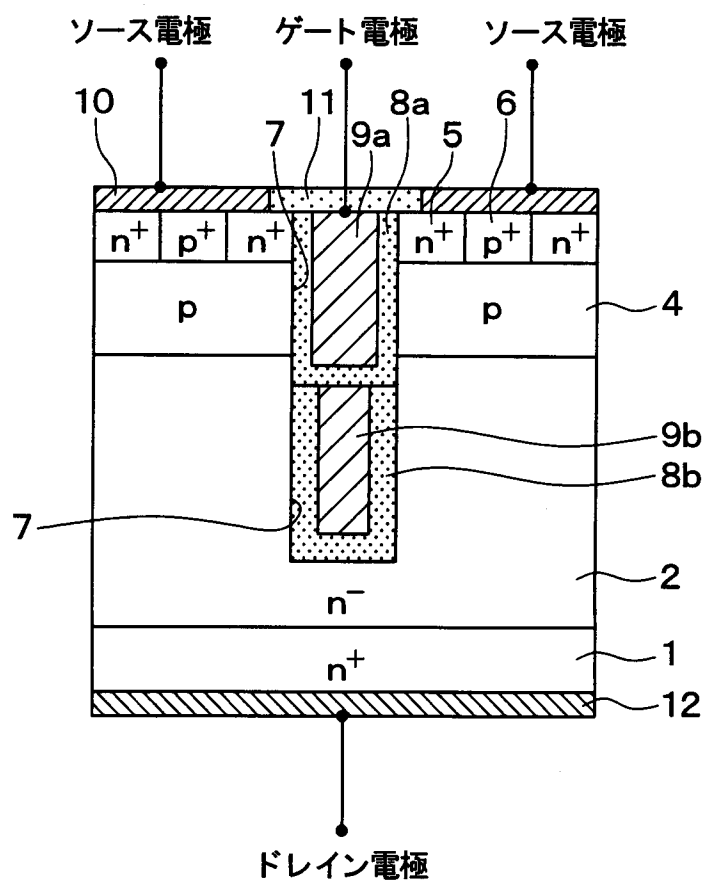
[請求項9] 前記トレンチの底部における前記ドリフト層内において、前記ベース領域よりも第2導電型の不純物濃度が高濃度とされた第2導電型のボトム層(20)を有している請求項1ないし8のいずれか1つに記載の半導体装置。

[請求項10] 請求項1ないし9のいずれか1つに記載の半導体装置を構成する半導体が炭化珪素によって構成されている炭化珪素半導体装置。

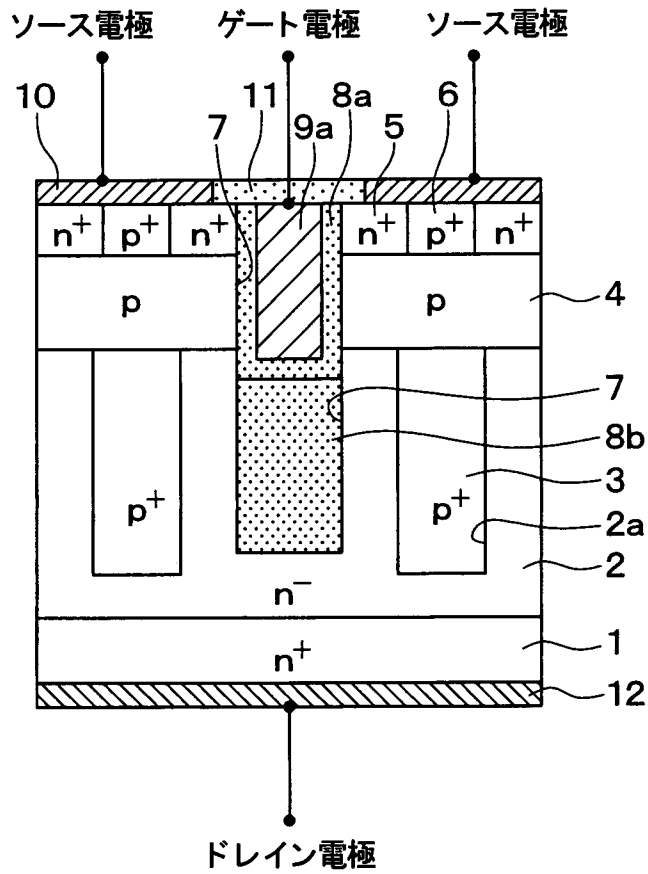
[図1]



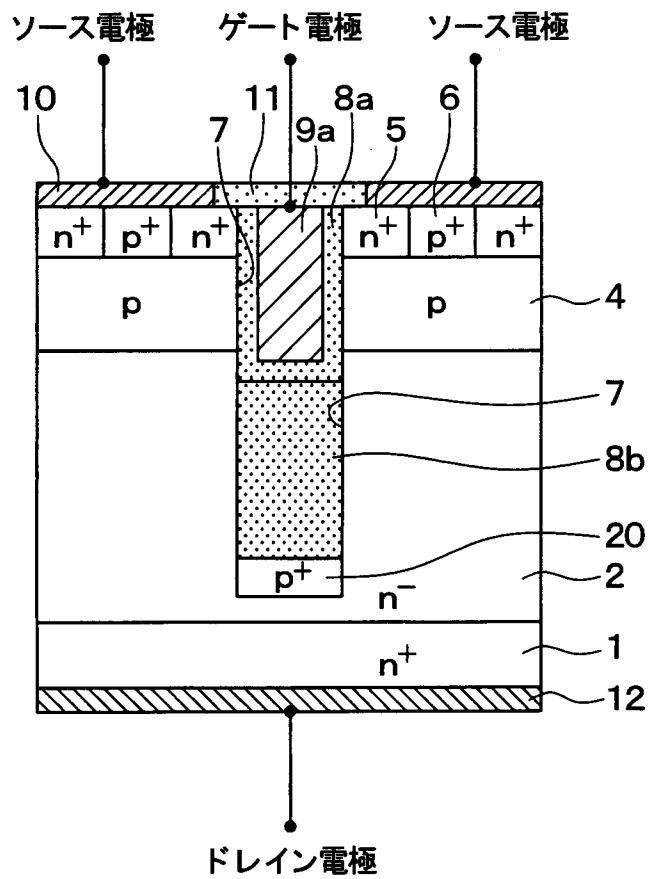
[図2]



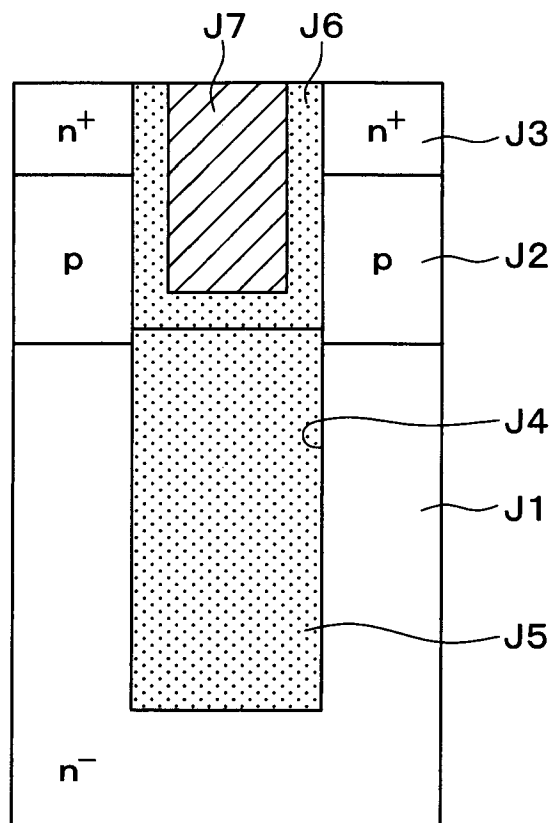
[図3]



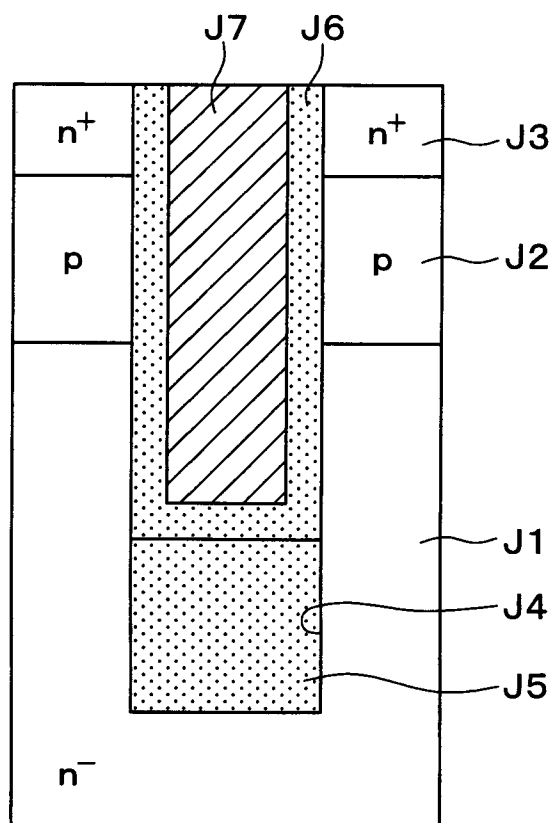
[図4]



[図5A]



[図5B]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2016/001322

A. CLASSIFICATION OF SUBJECT MATTER

H01L29/78(2006.01)i, H01L29/06(2006.01)i, H01L29/12(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L29/78, H01L29/06, H01L29/12

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2016
Kokai Jitsuyo Shinan Koho	1971-2016	Toroku Jitsuyo Shinan Koho	1994-2016

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 2011-159763 A (Toshiba Corp.), 18 August 2011 (18.08.2011), paragraphs [0014], [0028] to [0039]; fig. 3, 4 & US 2011/0186927 A1 paragraphs [0014], [0037] to [0040]; fig. 3, 4	1-5 6-10
Y	JP 2004-039813 A (Fujitsu Ltd.), 05 February 2004 (05.02.2004), paragraphs [0008] to [0010] (Family: none)	6, 8-10

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
26 May 2016 (26.05.16)

Date of mailing of the international search report
07 June 2016 (07.06.16)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2016/001322

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2002-319583 A (Samsung Electronics Co., Ltd.), 31 October 2002 (31.10.2002), paragraph [0020] & JP 2005-217409 A & US 2002/0106536 A1 paragraph [0021] & US 2005/0074982 A1 & KR 10-2004-0002818 A	7-10
Y	JP 2011-108701 A (Renesas Electronics Corp.), 02 June 2011 (02.06.2011), paragraph [0033]; fig. 3 (Family: none)	8-10
Y	JP 2010-129973 A (Toyota Motor Corp.), 10 June 2010 (10.06.2010), paragraph [0018]; fig. 1 (Family: none)	9, 10

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. H01L29/78(2006.01)i, H01L29/06(2006.01)i, H01L29/12(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. H01L29/78, H01L29/06, H01L29/12

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2016年
日本国実用新案登録公報	1996-2016年
日本国登録実用新案公報	1994-2016年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y	JP 2011-159763 A（株式会社東芝）2011.08.18, 0014 段落、0028 段落ないし 0039 段落、図 3 及び図 4 & US 2011/0186927 A1, 0014 段落、0037 段落ないし 0040 段落、図 3 及び図 4	1-5 6-10
Y	JP 2004-039813 A（富士通株式会社）2004.02.05, 0008 段落ないし 0010 段落（ファミリーなし）	6, 8-10

☒ C 欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの	「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	「Y」 特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「O」 口頭による開示、使用、展示等に言及する文献	「&」 同一パテントファミリー文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願	

国際調査を完了した日

26.05.2016

国際調査報告の発送日

07.06.2016

国際調査機関の名称及びあて先

日本国特許庁（ISA/J P）

郵便番号 100-8915

東京都千代田区霞が関三丁目 4 番 3 号

特許庁審査官（権限のある職員）

棚田 一也

5 F

9361

電話番号 03-3581-1101 内線 3516

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2002-319583 A (三星電子株式会社) 2002. 10. 31, 0020 段落 & JP 2005-217409 A & US 2002/0106536 A1, 0021 段落 & US 2005/0074982 A1 & KR 10-2004-0002818 A	7-10
Y	JP 2011-108701 A (ルネサスエレクトロニクス株式会社) 2011. 06. 02, 0033 段落、図 3 (ファミリーなし)	8-10
Y	JP 2010-129973 A (トヨタ自動車株式会社) 2010. 06. 10, 0018 段落、 図 1 (ファミリーなし)	9, 10