



(12) 发明专利

(10) 授权公告号 CN 102668063 B

(45) 授权公告日 2015. 02. 18

(21) 申请号 201080052905. 3

(22) 申请日 2010. 10. 28

(30) 优先权数据

2009-264552 2009. 11. 20 JP

(85) PCT国际申请进入国家阶段日

2012. 05. 18

(86) PCT国际申请的申请数据

PCT/JP2010/069652 2010. 10. 28

(87) PCT国际申请的公布数据

W02011/062068 EN 2011. 05. 26

(73) 专利权人 株式会社半导体能源研究所

地址 日本神奈川县

(72) 发明人 山崎舜平 小山润 加藤清

(74) 专利代理机构 中国专利代理(香港)有限公

司 72001

代理人 何欣亭 李浩

(51) Int. Cl.

H01L 21/8242(2006. 01)

H01L 21/8238(2006. 01)

H01L 21/8247(2006. 01)

H01L 27/08(2006. 01)

H01L 27/092(2006. 01)

H01L 27/108(2006. 01)

H01L 27/115(2006. 01)

H01L 29/786(2006. 01)

H01L 29/788(2006. 01)

H01L 29/792(2006. 01)

(56) 对比文件

US 6787835 B2, 2004. 09. 07, 说明书第 9 栏第 4 段 - 第 10 栏第 3 段、第 18 栏第 3 段 - 第 19 栏第 3 段, 图 10.

US 2009/0045397 A1, 2009. 02. 19, 说明书第 140-154 段, 图 1.

CN 1695254 A, 2005. 11. 09, 全文.

审查员 周文龙

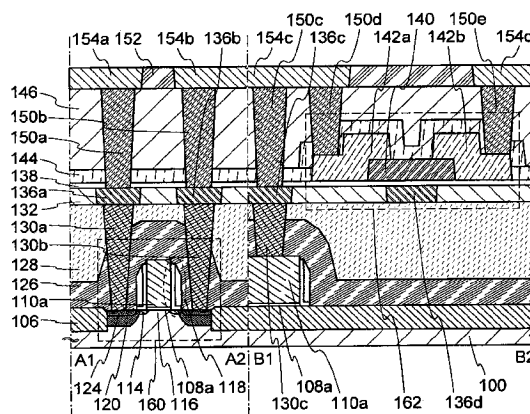
权利要求书3页 说明书29页 附图19页

(54) 发明名称

半导体装置

(57) 摘要

一个目的是提供一种具有新的结构的半导体装置。该半导体装置包括:第一布线;第二布线;第三布线;第四布线;具有第一栅电极、第一源电极以及第一漏电极的第一晶体管;具有第二栅电极、第二源电极以及第二漏电极的第二晶体管。第一晶体管设置在包括半导体材料的衬底上,并且,第二晶体管包括氧化物半导体层。



1. 一种半导体装置,包括:

源极线;

位线;

信号线;以及

字线,

其中,在所述源极线和所述位线之间并联连接有多个存储器单元,

其中,所述多个存储器单元之一包括:具有第一栅电极、第一源电极以及第一漏电极的第一晶体管;具有第二栅电极、第二源电极以及第二漏电极的第二晶体管;以及电容器,

其中,所述第一晶体管的沟道形成区域设置在包括半导体材料的衬底上,

其中,所述第二晶体管包括氧化物半导体层,

其中,所述第一栅电极、所述第二源电极和所述第二漏电极中的一个、以及所述电容器的一个电极彼此电连接,

其中,所述源极线与所述第一源电极和所述第一漏电极中的一个彼此直接连接,以及

其中,所述位线与所述第一源电极和所述第一漏电极中的另一个彼此直接连接。

2. 一种半导体装置,包括:

源极线;

位线;

信号线;

字线;

第一选择线;

第二选择线;

第三晶体管,在第三栅电极中电连接至所述第一选择线;以及

第四晶体管,在第四栅电极中电连接至所述第二选择线,

其中,在所述源极线和所述位线之间并联连接有多个存储器单元,

其中,所述多个存储器单元之一包括:具有第一栅电极、第一源电极以及第一漏电极的第一晶体管;具有第二栅电极、第二源电极以及第二漏电极的第二晶体管;以及电容器,

其中,所述第一晶体管的沟道形成区域设置在包括半导体材料的衬底上,

其中,所述第二晶体管包括氧化物半导体层,

其中,所述第一栅电极、所述第二源电极和所述第二漏电极中的一个、以及所述电容器的一个电极彼此电连接,

其中,所述位线通过所述第三晶体管与所述第一漏电极电连接,

其中,所述源极线通过所述第四晶体管与所述第一源电极电连接,以及

其中,所述第二源电极和所述第二漏电极中的另一个以及所述电容器的另一个电极直接连接到所述字线。

3. 一种半导体装置,包括:

源极线;

位线;

信号线;以及

字线,

其中,在所述源极线和所述位线之间并联连接有多个存储器单元,

其中,所述多个存储器单元之一包括:具有第一栅电极、第一源电极以及第一漏电极的第一晶体管;具有第二栅电极、第二源电极以及第二漏电极的第二晶体管;以及电容器,

其中,所述第二晶体管包括氧化物半导体层,

其中,所述第一栅电极、所述第二源电极和所述第二漏电极中的一个、以及所述电容器的一个电极彼此电连接,

其中,所述源极线与所述第一源电极和所述第一漏电极中的一个彼此直接连接,

其中,所述位线与所述第一源电极和所述第一漏电极中的另一个彼此直接连接,以及

其中,所述第一晶体管包括:设置于包含半导体材料的衬底中的沟道形成区域、夹着所述沟道形成区域而设置的杂质区域、所述沟道形成区域上的第一栅极绝缘层、所述第一栅极绝缘层上的所述第一栅电极、以及电连接至所述杂质区域的所述第一源电极和所述第一漏电极。

4. 根据权利要求 1 或 3 所述的半导体装置,

其中,所述信号线与所述第二栅电极彼此电连接;以及

其中,所述字线、所述第二源电极和所述第二漏电极中的另一个、以及所述电容器的另一个电极彼此电连接。

5. 根据权利要求 1 或 3 所述的半导体装置,

其中,所述信号线与所述第二源电极和所述第二漏电极中的另一个彼此电连接;以及

其中,所述字线、所述第二栅电极、以及所述电容器的另一个电极彼此电连接。

6. 一种半导体装置,包括:

源极线;

位线;

信号线;

字线;

第一选择线;

第二选择线;

第三晶体管,在第三栅电极中电连接至所述第一选择线;以及

第四晶体管,在第四栅电极中电连接至所述第二选择线,

其中,在所述源极线和所述位线之间并联连接有多个存储器单元,

其中,所述多个存储器单元之一包括:具有第一栅电极、第一源电极以及第一漏电极的第一晶体管;具有第二栅电极、第二源电极以及第二漏电极的第二晶体管;以及电容器,

其中,所述第二晶体管包括氧化物半导体层,

其中,所述第一栅电极、所述第二源电极和所述第二漏电极中的一个、以及所述电容器的一个电极彼此电连接,

其中,所述位线通过所述第三晶体管与所述第一漏电极电连接,

其中,所述源极线通过所述第四晶体管与所述第一源电极电连接,

其中,所述第二源电极和所述第二漏电极中的另一个和所述电容器的另一个电极直接连接到所述字线,以及

其中,所述第一晶体管包括:设置于包含半导体材料的衬底中的沟道形成区域、夹着所

述沟道形成区域而设置的杂质区域、所述沟道形成区域上的第一栅极绝缘层、所述第一栅极绝缘层上的所述第一栅电极、以及电连接至所述杂质区域的所述第一源电极和所述第一漏电极。

7. 根据权利要求 1、2、3、6 中的任一项所述的半导体装置,其中,所述第二晶体管包括:包括所述半导体材料的所述衬底上的所述第二栅电极、所述第二栅电极上的第二栅极绝缘层、所述第二栅极绝缘层上的所述氧化物半导体层、以及电连接到所述氧化物半导体层的所述第二源电极及所述第二漏电极。

8. 根据权利要求 1、2、3、6 中的任一项所述的半导体装置,其中,包括所述半导体材料的所述衬底为单晶半导体衬底或 SOI 衬底。

9. 根据权利要求 1、2、3、6 中的任一项所述的半导体装置,其中,所述半导体材料为硅。

10. 根据权利要求 1、2、3、6 中的任一项所述的半导体装置,其中,所述氧化物半导体层包括 In-Ga-Zn-O 基氧化物半导体材料。

11. 根据权利要求 1、2、3、6 中的任一项所述的半导体装置,其中,所述氧化物半导体层包括 $\text{In}_2\text{Ga}_2\text{ZnO}_7$ 的结晶。

12. 根据权利要求 1、2、3、6 中的任一项所述的半导体装置,其中,所述氧化物半导体层的氢浓度为 $5 \times 10^{19} \text{atoms/cm}^3$ 以下。

13. 根据权利要求 1、2、3、6 中的任一项所述的半导体装置,其中,所述第二晶体管的截止状态电流为 $1 \times 10^{-13} \text{A}$ 以下。

14. 根据权利要求 2 或 6 所述的半导体装置,其中所述信号线和所述第二栅电极彼此电连接。

半导体装置

技术领域

[0001] 在此所公开的发明涉及一种利用半导体元件的半导体装置及该半导体装置的制造方法。

背景技术

[0002] 利用半导体元件的存储装置粗分为两个类别：当电力供给停止时丢失存储数据的易失性存储装置和当电力停止时也保持存储数据的非易失性存储装置。

[0003] 作为易失性存储装置的典型例子，有 DRAM(Dynamic Random Access Memory：动态随机存取存储器)。DRAM 以选择包含于存储元件的晶体管并将电荷存储在电容器中的方式来储存信息。

[0004] 由于上述原理，因为当从 DRAM 读取数据时丢失电容器中的电荷，所以在读取数据后，就需要再次进行写入以便再次存储数据。另外，因为在包含于存储元件的晶体管中具有漏电流，而即使未选择晶体管时电荷也流出或流入电容器，所以数据的保持时间较短。由此，需要按预定的间隔进行另一写入操作（刷新操作），而难以充分降低耗电量。另外，因为当电力供给停止时丢失存储数据，所以为了长时间保持数据，需要利用磁性材料或光学材料的额外存储装置。

[0005] 作为易失性存储装置的另一例子，有 SRAM(Static Random Access Memory：静态随机存取存储器)。SRAM 使用触发器等电路保持存储数据，而不需要进行刷新操作，这意味着 SRAM 优越于 DRAM。但是，因为使用触发器等电路，所以每个存储容量的单价变高。另外，与 DRAM 相同，当停止电力供给时 SRAM 中存储的数据丢失。

[0006] 非易失性存储装置的典型例子是快闪存储器。快闪存储器在晶体管的栅电极和沟道形成区域之间具有浮动栅极，并在该浮动栅极保持电荷而储存数据，因此，快闪存储器具有其数据保持期间极长（几乎永久）而且不需要易失性存储装置所需要的刷新操作的优点（例如，参照专利文献 1）。

[0007] 但是，由于在进行写入时产生的隧道电流而包含于存储元件的栅极绝缘层退化，因此在进行指定数量的写入操作之后，存储元件停止其作用。为了减小上述问题的不利影响，例如，采用使存储元件的写入操作的次数均匀化的方法。但是，为了实现该方法，需要复杂的外围电路。另外，即使使用上述方法，也不能解决使用寿命的根本问题。就是说，快闪存储器不适宜于信息的频繁重写的用途。

[0008] 另外，为了使浮动栅极保持电荷或者去除该电荷，需要高电压。再者，还有电荷的保持或去除需要较长时间而不容易以更高速度进行写入和擦除的问题。

[0009] 专利文件 1：日本专利申请公开 S57-105889 号

发明内容

[0010] 鉴于上述问题，本文所公开的发明的一个实施方式的目的是提供一种即使当没有电力供给时也能够保持存储数据并且对写入次数也没有限制的新的结构的半导体装置。

[0011] 本发明的一个实施方式是一种具有使用氧化物半导体形成的晶体管和使用除氧化物半导体以外的材料形成的晶体管的分层结构的半导体装置。例如,可以采用如下结构。

[0012] 本发明的实施方式是一种半导体装置,包括:源极线;位线;信号线;和字线。在源极线和位线之间彼此并联连接有多个存储器单元,并且,多个存储器单元之一包括:具有第一栅电极、第一源电极以及第一漏电极的第一晶体管;具有第二栅电极、第二源电极以及第二漏电极的第二晶体管;以及电容器。第一晶体管设置在包括半导体材料的衬底上,并且,第二晶体管包括氧化物半导体层。第一栅电极与第二源电极和第二漏电极中的一个、电容器的一个电极彼此电连接。源极线与第一源电极和第一漏电极中的一个彼此电连接。位线与第一源电极和第一漏电极中的另一个彼此电连接。信号线与第二栅电极彼此电连接。字线与第二源电极和第二漏电极中的另一个、电容器的另一个电极彼此电连接。

[0013] 本发明的另一个实施方式是一种半导体装置,包括:源极线;位线;信号线;以及字线。在源极线和位线之间彼此并联连接有多个存储器单元,并且,多个存储器单元之一包括:具有第一栅电极、第一源电极以及第一漏电极的第一晶体管;具有第二栅电极、第二源电极以及第二漏电极的第二晶体管;以及电容器。第一晶体管设置在包括半导体材料的衬底上,并且,第二晶体管包括氧化物半导体层。第一栅电极与第二源电极和第二漏电极中的一个、电容器的一个电极彼此电连接。源极线与第一源电极和第一漏电极中的一个彼此电连接。位线与第一源电极和第一漏电极中的另一个彼此电连接。信号线与第二源电极和第二漏电极中的另一个彼此电连接。字线与第二栅电极、电容器的另一个电极彼此电连接。

[0014] 在上述中,半导体装置中的第一晶体管包括:设置在包括半导体材料的衬底中的沟道形成区域;夹着沟道形成区域而设置的杂质区域;沟道形成区域上的第一栅极绝缘层;第一栅极绝缘层上的第一栅电极;以及电连接到杂质区域的第一源电极及第一漏电极。

[0015] 在上述中,第二晶体管包括:包括半导体材料的衬底上的第二栅电极;第二栅电极上的第二栅极绝缘层;第二栅极绝缘层上的氧化物半导体层;以及电连接到氧化物半导体层的第二源电极及第二漏电极。

[0016] 在上述中,优选使用单晶半导体衬底或 SOI 衬底作为包括半导体材料的衬底。尤其是,半导体材料优选为硅。

[0017] 在上述中,氧化物半导体层优选使用 In-Ga-Zn-O 基的氧化物半导体材料形成。氧化物半导体层还优选包括 $\text{In}_2\text{Ga}_2\text{ZnO}_7$ 的结晶。再者,氧化物半导体层的氢浓度优选为 $5 \times 10^{19} \text{atoms/cm}^3$ 以下。另外,第二晶体管的截止状态电流优选为 $1 \times 10^{-13} \text{A}$ 以下。

[0018] 在上述任何结构中,第二晶体管可以设置在重叠于第一晶体管的区域中。

[0019] 另外,在本说明书等中,“上”或“下”等术语不应该被解释为一个部件放置在另一个部件的“正上”或“正下”。例如,“栅极绝缘层上的第一栅电极”的表达不排除在栅极绝缘层和第一栅电极之间放置有部件的情况。另外,例如“上”或“下”等术语只是为方便起见而使用的表现,在没有特别的说明时,“上”或“下”还包括其上下倒转的情况。

[0020] 另外,在本说明书等中,“电极”或“布线”的用语不在限定部件的功能。例如,有时将“电极”用作“布线”的一部分,并且,其相反也同样。再者,术语“电极”或“布线”可以包括多个“电极”或“布线”以集成的方式形成的情况。

[0021] 例如,当使用极性相反的晶体管或电路操作中的电流流动的方向变化时,“源极”

和“漏极”的功能有时互相调换。因此,在本说明书中,术语“源极”和“漏极”可以互相调换。

[0022] 注意,在本说明书等中,术语“电连接”包括通过“具有任何电功能的对象”连接的情况。这里,具有任何电功能的对象只要通过该对象连接的部件间可以发送和接收电信号,就对其没有特别的限制。

[0023] 具有任何电功能的对象的例子不仅包括电极和布线,而且还包括例如晶体管等的开关元件、电阻器、电感器、电容器、其他具有各种功能的元件。

[0024] 一般来说,术语“SOI 衬底”是指在绝缘表面上设置有硅半导体层的衬底。在本说明书等中,术语“SOI 衬底”在其类别中还包括在绝缘表面上设置有使用硅以外的材料形成的半导体层的衬底。换言之,“SOI 衬底”中所包括的半导体层不局限于硅半导体层。“SOI 衬底”中的衬底不局限于例如硅片等的半导体衬底,还包括例如玻璃衬底、石英衬底、蓝宝石衬底、金属衬底等的非半导体衬底。就是说,“SOI 衬底”还包括例如非半导体衬底等绝缘衬底,在其上隔着绝缘层而设置有半导体层。再者,在本说明书等中,术语“半导体衬底”不但是指仅使用半导体材料形成的衬底,而且也指包括半导体材料的所有的衬底。就是说,在本说明书等中,在“半导体衬底”的类别中也包括“SOI 衬底”。

[0025] 此外,在本说明书等中,氧化物半导体以外的材料只要是氧化物半导体以外的材料,就可以是任何半导体材料。例如,可以给出硅、锗、硅锗、碳化硅、砷化镓等。此外,可以使用有机半导体材料等。注意,在对包含于半导体装置等的材料没有特别的解释的情况下,可以使用氧化物半导体材料或氧化物半导体以外的材料。

[0026] 本发明的一个实施方式提供一种在其下部放置有使用氧化物半导体以外的材料的晶体管并在其上部放置有包含氧化物半导体的晶体管的半导体装置。

[0027] 因为包含氧化物半导体的晶体管的截止状态电流极小,所以通过使用该晶体管可以在极长时间内存储数据。就是说,因为不需要刷新操作,或者,可以使刷新操作的频度极低,所以可以充分降低耗电量。另外,即使当停止电力供给时,也可以在较长期间内存储数据。

[0028] 另外,在半导体装置中的信息的写入不需要高电压,而且也没有元件退化的问题。例如,不需要如传统的非易失性存储器所进行的对浮动栅极的电子的注入和从浮动栅极的电子的取出,所以不发生栅极绝缘层的退化。就是说,根据本发明的一个实施方式的半导体装置,对作为传统的非易失性存储器中的问题的写入次数没有限制,而其可靠性飞跃提高。再者,根据晶体管的导通状态和截止状态而进行信息的写入,从而可以容易实现高速操作。另外,还有不需要快闪存储器等所需要的用来擦除信息的操作的优点。

[0029] 另外,使用氧化物半导体以外的材料的晶体管可以进行足够的高速操作,因此,通过利用该晶体管,可以进行高速的存储数据的读取。

[0030] 通过包含使用氧化物半导体以外的材料的晶体管和使用氧化物半导体的晶体管,可以实现具有新颖的特征的半导体装置。

附图说明

[0031] 在附图中:

[0032] 图 1 是用来图示半导体装置的电路图;

- [0033] 图 2A 和 2B 是用来图示半导体装置的截面图及平面图；
- [0034] 图 3A 至 3H 是用来图示半导体装置的制造工序的截面图；
- [0035] 图 4A 至 4G 是用来图示半导体装置的制造工序的截面图；
- [0036] 图 5A 至 5D 是用来图示半导体装置的制造工序的截面图；
- [0037] 图 6 是包含氧化物半导体的晶体管的截面图；
- [0038] 图 7 是沿着图 6 的 A-A' 截面的能带图（示意图）；
- [0039] 图 8A 是对栅极 (GE1) 施加正电压 ($V_g > 0$) 的状态的图，并且，图 8B 是对栅极 (GE1) 施加负电压 ($V_g < 0$) 的状态的图；
- [0040] 图 9 是图示真空能级和金属的功函数 (ϕ_m) 之间以及真空能级和氧化物半导体的电子亲和力 (χ) 的关系的图；
- [0041] 图 10 图示 C-V 特性；
- [0042] 图 11 图示 V_g 和 $(1/C)^2$ 的关系；
- [0043] 图 12 是用来图示半导体装置的截面图；
- [0044] 图 13A 和 13B 每一个是用来图示半导体装置的截面图；
- [0045] 图 14A 和 14B 每一个是用来图示半导体装置的截面图；
- [0046] 图 15A 和 15B 每一个是用来图示半导体装置的截面图；
- [0047] 图 16 是用来图示存储器元件的电路图；
- [0048] 图 17 是用来图示半导体装置的电路图；
- [0049] 图 18 是用来图示读取电路的电路图；
- [0050] 图 19 是用来图示存储器元件的电路图；
- [0051] 图 20A 至 20F 每一个是用来图示电子设备的图。

具体实施方式

[0052] 下面，关于本发明的实施方式的例子参照附图将进行描述。但是，本发明并不局限于下面的描述，所属领域的普通技术人员可以很容易地理解本文公开的方式和详细内容可以被修改为各种各样的形式，而不脱离本发明的宗旨及其范围。因此，本发明不应当被看作限制于本文包括的实施方式的内容。

[0053] 注意，为了容易理解，附图中所示出的各结构的位置、大小和范围等有时不精确地表示。因此，本发明的实施方式不一定局限于这样的附图等所公开的位置、大小和范围等。

[0054] 在本说明书等中使用的例如“第一”、“第二”、“第三”等序数是用来避免部件之间的混同的，该术语不是用来在数目方面上限定部件的。

[0055] （实施方式 1）

[0056] 在本实施方式中，参照图 1、图 2A 和 2B、图 3A 至 3H、图 4A 至 4G、图 5A 至 5D、图 6、图 7、图 8A 和 8B、图 9、图 10、图 11、图 12、图 13A 和 13B、图 14A 和 14B、以及图 15A 和 15B 描述根据所公开的发明的一个实施方式的半导体装置的结构及制造方法。

[0057] < 半导体装置的电路结构 >

[0058] 图 1 图示半导体装置的电路结构的一个例子。该半导体装置包含使用氧化物半导体以外的材料的晶体管 160 和使用氧化物半导体的晶体管 162。

[0059] 这里，晶体管 160 的栅电极与晶体管 162 的源电极和漏电极中的一个电连接。分

别地,第一布线(指代为 1st Line:也称为源极线)和晶体管 160 的源电极电连接,第二布线(指代为 2nd Line:也称为位线)和晶体管 160 的漏电极电连接。并且,分别地,第三布线(指代为 3rd Line:也称为第一信号线)与晶体管 162 的源电极和漏电极中的另一个电连接,第四布线(指代为 4th Line:也称为第二信号线)和晶体管 162 的栅电极电连接。

[0060] 使用氧化物半导体以外的材料的晶体管 160 可以以远高于使用氧化物半导体的晶体管的速度进行操作,因此实现高速的存储数据的读取等。另外,使用氧化物半导体的晶体管 162 的截止状态电流极小。因此,当晶体管 162 关闭时,可以在极长时间内保持晶体管 160 的栅电极的电位。

[0061] 在极其长时间内可以保持栅电极的电位的有点使得能够如下所述那样进行信息的写入、保持和读取。

[0062] 首先,对信息的写入及保持进行描述。首先,通过将第四布线的电位设定为使晶体管 162 成为导通状态的电位,由此使晶体管 162 成为导通状态。由此,将第三布线的电位施加到晶体管 160 的栅电极(信息的写入)。然后,通过将第四布线的电位设定为使晶体管 162 成为截止状态的电位,由此使晶体管 162 成为截止状态;由此保持晶体管 160 的栅电极的电位(信息的保持)。

[0063] 因为晶体管 162 的截止状态电流极为小,所以在长时间内保持晶体管 160 的栅电极的电位。例如,当晶体管 160 的栅电极的电位为使晶体管 160 成为导通状态的电位时,在长时间内保持晶体管 160 的导通状态。当晶体管 160 的栅电极的电位为使晶体管 160 成为截止状态的电位时,在长时间内保持晶体管 160 的截止状态。

[0064] 下面,对信息的读取进行描述。如上所述,当保持晶体管 160 的导通状态或截止状态并且将预定的电位(低电位)施加到第一布线时,第二布线的电位值根据晶体管 160 的状态是导通状态或截止状态而变化。例如,当晶体管 160 处于导通状态时,第二布线的电位受第一布线的电位的影响而降低。另一方面,当晶体管 160 处于截止状态时,第二布线的电位不变化。

[0065] 以此方式,通过在保持信息的状态下对第一布线的电位和第二布线的电位进行比较,可以读取信息。

[0066] 下面,对信息的重写进行描述。与上述信息的写入及保持类似的方式进行信息的新写。就是说,通过将第四布线的电位设定为使晶体管 162 成为导通状态的电位,由此使晶体管 162 成为导通状态。由此,将第三布线的电位(有关于新的信息的电位)施加到晶体管 160 的栅电极。然后,通过将第四布线的电位设定为使晶体管 162 成为截止状态的电位,由此使晶体管 162 成为截止状态,因此保持新的信息。

[0067] 如上所述,根据所公开的发明的一个实施方式的半导体装置中,可以通过再次进行信息的写入而直接重写信息。由此,不需要快闪存储器等所需要的擦除操作;因此可以抑制起因于擦除操作的操作速度的降低。就是说,实现半导体装置的高速操作。

[0068] 注意,在以上描述中,使用以电子为载流子的 n 型晶体管(n 沟道晶体管);但是,当然可以使用以空穴为载流子的 p 沟道晶体管代替 n 沟道晶体管。

[0069] < 半导体装置的平面结构及截面结构 >

[0070] 图 2A 和 2B 图示上述半导体装置的结构的一个例子。图 2A 和图 2B 分别是半导体装置的截面图和半导体装置的平面图。这里,图 2A 相当于沿图 2B 的线 A1-A2 及线 B1-B2

的截面。图 2A 和图 2B 所示的半导体装置在其下部包括使用氧化物半导体以外的材料的晶体管 160 并在其上部包括使用氧化物半导体的晶体管 162。注意,尽管作为晶体管 160 及晶体管 162 描述了 n 沟道晶体管,但是也可以采用 p 沟道晶体管。尤其是,作为晶体管 160 容易使用 p 沟道晶体管。

[0071] 晶体管 160 包含:设置在包含半导体材料的衬底 100 的沟道形成区域 116、夹有沟道形成区域 116 的杂质区域 114 及夹有沟道形成区域 116 的高浓度杂质区域 120(也将这些区域总称为杂质区域)、设置在沟道形成区域 116 上的栅极绝缘层 108a、设置在栅极绝缘层 108a 上的栅电极 110a、电连接于杂质区域 114 的源电极或漏电极 130a 以及源电极或漏电极 130b。

[0072] 这里,在栅电极 110a 的侧面设置有侧壁绝缘层 118。另外,在衬底 100 中的在看平面图时不重叠于侧壁绝缘层 118 的区域中设置高浓度杂质区域 120。在高浓度杂质区域 120 上有金属化合物区域 124。在衬底 100 上,围绕晶体管 160 地设置有元件分离绝缘层 106,并且覆盖晶体管 160 地设置有层间绝缘层 126 及层间绝缘层 128。源电极或漏电极 130a 和源电极或漏电极 130b 通过形成在层间绝缘层 126 及层间绝缘层 128 中的开口电连接于金属化合物区域 124。就是说,源电极或漏电极 130a 和源电极或漏电极 130b 经由金属化合物区域 124 电连接于高浓度杂质区域 120 及杂质区域 114。另外,栅电极 110 电连接于与源电极或漏电极 130a 以及源电极或漏电极 130b 类似的方式设置的电极 130c。

[0073] 晶体管 162 包含:设置在层间绝缘层 128 上的栅电极 136d、设置在栅电极 136d 上的栅极绝缘层 138、设置在栅极绝缘层 138 上的氧化物半导体层 140、设置在氧化物半导体层 140 上且电连接于氧化物半导体层 140 的源电极或漏电极 142a 以及源电极或漏电极 142b。

[0074] 这里,栅电极 136d 设置为嵌入形成在层间绝缘层 128 上的绝缘层 132。另外,与栅电极 136d 类似,分别形成接触于源电极或漏电极 130a 的电极 136a、接触于源电极或漏电极 130b 的电极 136b 以及接触于电极 130c 的电极 136c。

[0075] 在晶体管 162 上接触于氧化物半导体层 140 的一部分地设置有保护绝缘层 144。在保护绝缘层 144 上设置有层间绝缘层 146。这里,在保护绝缘层 144 和层间绝缘层 146 中形成有到达源电极或漏电极 142a 以及源电极或漏电极 142b 的开口。在这些开口中,电极 150d 及电极 150e 形成为分别接触于源电极或漏电极 142a 和源电极或漏电极 142b。与电极 150d 及电极 150e 类似,电极 150a、电极 150b 以及电极 150c 形成为在设置于栅极绝缘层 138、保护绝缘层 144 和层间绝缘层 146 中的开口而接触于电极 136a、电极 136b 以及电极 136c。

[0076] 这里,氧化物半导体层 140 优选为通过去除杂质例如氢等而高纯度化的氧化物半导体层。具体地说,氧化物半导体层 140 中的氢浓度为 $5 \times 10^{19} \text{atoms/cm}^3$ 以下,优选为 $5 \times 10^{18} \text{atoms/cm}^3$ 以下,更优选为 $5 \times 10^{17} \text{atoms/cm}^3$ 以下。另外,氧化物半导体层 140 优选为通过包含足够的氧而减少了起因于氧缺乏的缺陷的氧化物半导体层。在氢浓度充分得到降低并且减少了起因于氧缺乏的缺陷的高纯度化氧化物半导体层 140 中,载流子浓度为 $1 \times 10^{12} \text{atoms/cm}^3$ 以下,优选为 $1 \times 10^{11} \text{atoms/cm}^3$ 以下。以此方式,通过使用制成 i 型或实际上 i 型的氧化物半导体,可以获得截止状态电流特性极为优良的晶体管 162。例如,当漏极电压 V_d 为 +1V 或 +10V 且栅极电压 V_g 为 -5V 至 -20V 的范围时,截止状态电流为 $1 \times 10^{-13} \text{A}$

以下。当使用氢浓度充分得到降低并且减少了起因于氧缺乏的缺陷的高纯度氧化物半导体层 140 并且晶体管 162 的截止状态电流降低时,可以实现具有新的结构的半导体装置。注意,通过次级离子质谱法 (SIMS:Secondary Ion Mass Spectroscopy) 测量上述氧化物半导体层 140 中的氢浓度。

[0077] 另外,在层间绝缘层 146 上设置有绝缘层 152。将电极 154a、电极 154b、电极 154c 以及电极 154d 设置为嵌入该绝缘层 152。这里,电极 154a 接触于电极 150a,电极 154b、电极 150b,电极 154c、电极 150c 及电极 150d,并且电极 154d、电极 150e。

[0078] 就是说,在图 2A 和 2B 所示的半导体装置中,晶体管 160 的栅电极 110a 经由电极 130c、电极 136c、电极 150c、电极 154c 以及电极 154d 电连接于晶体管 162 的源电极或漏电极 142a。

[0079] < 半导体装置的制造方法 >

[0080] 接着,将描述上述半导体装置的制造方法的一个例子。首先,将参照图 3A 至 3H 将描述下部的晶体管 160 的制造方法,然后,参照图 4A 至 4G 和图 5A 至 5D 将描述上部的晶体管 162 的制造方法。

[0081] < 下部的晶体管的制造方法 >

[0082] 首先,准备包含半导体材料的衬底 100 (参照图 3A)。作为包含半导体材料的衬底 100,可以使用含有硅或碳化硅等的单晶半导体衬底和多晶半导体衬底、含有硅锗等的化合物半导体衬底、SOI 衬底等。这里,描述了作为包含半导体材料的衬底 100 而使用单晶硅衬底的一个例子。注意,一般来说,术语“SOI 衬底”是指在其绝缘表面上具有硅半导体层的衬底。在本说明书等中,术语“SOI 衬底”也指在其绝缘表面上具有使用硅以外的材料的半导体层的衬底。换言之,“SOI 衬底”所包含的半导体层不局限于硅半导体层。SOI 衬底的例子包含:在其例如玻璃衬底等绝缘衬底上具有半导体层、在半导体层和绝缘衬底之间带有绝缘层的衬底。

[0083] 在衬底 100 上,形成作为用来形成元件分离绝缘层的掩模起作用的保护层 102 (参照图 3A)。作为保护层 102,例如可以使用利用氧化硅、氮化硅、氮氧化硅等形成的绝缘层。注意,在该工序的前后,也可以将赋予 n 型导电性的杂质元素、赋予 p 型导电性的杂质元素添加到衬底 100,以控制晶体管的阈值电压。当包含于衬底 100 的半导体材料为硅时,作为赋予 n 型的导电性的杂质,可以使用磷、砷等。作为赋予 p 型的导电性的杂质,例如可以使用硼、铝、镓等。

[0084] 接着,使用上述保护层 102 作为掩模,通过蚀刻去除不由保护层 102 覆盖的区域 (露出的区域) 的衬底 100 的一部分。由此,形成分离的半导体区域 104 (参照图 3B)。该蚀刻优选使用干蚀刻进行,但是也可以使用湿蚀刻进行。可以根据待蚀刻对象的材料适当地选择蚀刻气体和蚀刻液。

[0085] 接着,覆盖半导体区域 104 地形成绝缘层,并且选择性地去除在重叠于半导体区域 104 的区域的绝缘层,由此形成元件分离绝缘层 106 (参照图 3B)。该绝缘层使用氧化硅、氮化硅、氮氧化硅等而形成。作为绝缘层的去除方法,有 CMP 等抛光处理或蚀刻处理等,可以使用其任一种。注意,在形成半导体区域 104 之后,或者,在形成元件分离绝缘层 106 之后,去除保护层 102。

[0086] 接着,在半导体区域 104 上形成绝缘层,并且在该绝缘层上形成包含导电材料的

层。

[0087] 绝缘层在后面用作栅极绝缘层,并且优选具有通过 CVD 法或溅射法等来得到的包含氧化硅、氮氧化硅、氮化硅、氧化铅、氧化铝、氧化钽等的膜的单层结构或叠层结构。备选地,也可以通过高密度等离子体处理或热氧化处理使半导体区域 104 的表面氧化或氮化,从而形成上述绝缘层。高密度等离子体处理例如可以使用如氦、氩、氦、氙等稀有气体和如氧、氧化氮、氮、氮或氢等气体的混合气体来进行。对绝缘层的厚度没有特别的限制,例如其厚度可以为 1nm 以上并且 100nm 以下。

[0088] 包含导电材料的层可以使用如铝、铜、钛、钽、钨等的金属材料而形成。备选地,也可以通过使用如包含导电材料的多晶硅等的半导体材料而形成包含导电材料的层。对形成包含导电材料的层的方法也没有特别的限制,可使用任何如蒸镀法、CVD 法、溅射法、旋涂法等的所有成膜方法。注意,在本实施方式中,描述使用金属材料形成包含导电材料的层的情况的一个例子。

[0089] 然后,通过选择性地蚀刻绝缘层和包含导电材料的层,形成栅极绝缘层 108a 和栅电极 110a(参照图 3C)。

[0090] 接着,形成覆盖栅电极 110a 的绝缘层 112(参照图 3C)。然后,将磷(P)、砷(As)等添加到半导体区域 104,由此形成具有浅的结深度的杂质区域 114(参照图 3C)。注意,虽然此处添加磷或砷以形成 n 沟道晶体管,但是在形成 p 沟道晶体管的情况下也可以添加如硼(B)或铝(Al)等的杂质元素。也注意,通过形成杂质区域 114,在半导体区域 104 的栅极绝缘层 108a 下形成沟道形成区域 116(参照图 3C)。在此,可以适当地设定所添加的杂质的浓度,在半导体元件的高度小型化的情况下,浓度优选设定得高。另外,虽然此处采用在形成绝缘层 112 之后形成杂质区域 114 的过程,但是可以代替地采用在形成杂质区域 114 之后形成绝缘层 112 的过程。

[0091] 接着,形成侧壁绝缘层 118(参照图 3D)。可以在覆盖绝缘层 112 地形成绝缘层之后,经受各向异性高的蚀刻处理,由此可以以自对准的方式形成侧壁绝缘层 118。此时优选对绝缘层 112 进行部分蚀刻,以使得栅电极 110a 的顶面和杂质区域 114 的顶面暴露。

[0092] 接着,覆盖栅电极 110a、杂质区域 114 和侧壁绝缘层 118 等地形成绝缘层。然后,将磷(P)、砷(As)等添加到该绝缘层接触杂质区域 114 的区域,形成高浓度杂质区域 120(参照图 3E)。然后,去除上述绝缘层,覆盖栅电极 110a、侧壁绝缘层 118 和高浓度杂质区域 120 等地形成金属层 122(参照图 3E)。该金属层 122 可以使用如真空蒸镀法、溅射法和旋涂法等的所有各种方法形成。优选使用与半导体区域 104 包含的半导体材料起反应而形成具有低电阻的金属化合物的金属材料形成金属层 122。上述金属材料的例子包含钛、钽、钨、镍、钴、铂。

[0093] 接着,进行热处理,由此使金属层 122 与半导体材料起反应。由此,形成接触高浓度杂质区域 120 的金属化合物区域 124(参照图 3F)。注意,在使用多晶硅作为栅电极 110a 的情况下,还在栅电极 110a 与金属层 122 接触的部分中具有金属化合物区域。

[0094] 作为上述热处理,可以使用闪光灯的照射。当然,也可以使用其它热处理方法,但是为了提高在形成金属化合物时的化学反应的控制性,优选使用可以在极短的时间内实现热处理的方法。注意,上述金属化合物区域由金属材料与半导体材料的反应而形成,并且该金属化合物区域的导电性充分得到提高。通过形成该金属化合物区域,可以充分降低电阻,

并可以提高元件特性。在形成金属化合物区域 124 之后,去除金属层 122。

[0095] 接着,覆盖通过上述工序形成的部件地形成层间绝缘层 126 和层间绝缘层 128(参照图 3G)。层间绝缘层 126 和层间绝缘层 128 可以使用包含如氧化硅、氮氧化硅、氮化硅、氧化钪、氧化铝或氧化钽等无机绝缘材料形成。备选地,可以使用如聚酰亚胺或丙烯酸等有机绝缘材料。注意,虽然此处层间绝缘层 126 和层间绝缘层 128 形成两层结构,但是层间绝缘层的结构不局限于此。也注意,在形成层间绝缘层 128 之后,优选层间绝缘层 128 的表面经受 CMP 或蚀刻等而平坦化。

[0096] 然后,在上述层间绝缘层中形成到达金属化合物区域 124 的开口,然后在该开口中形成源电极或漏电极 130a 和源电极或漏电极 130b(参照图 3H)。例如,可以如下地形成源电极或漏电极 130a 和源电极或漏电极 130b:在包括开口的区域中使用 PVD 法或 CVD 法形成导电层,然后使用蚀刻或 CMP 等去除上述导电层的一部分。

[0097] 注意,在通过去除上述导电层的一部分而形成源电极或漏电极 130a 和源电极或漏电极 130b 时,优选将其表面加工为平坦。例如,在包含开口的区域中形成厚度小的钛膜或氮化钛膜等,然后将钨膜形成成为嵌入开口中的情况下,可以在去除多余的钨膜、钛膜或氮化钛膜等之后进行 CMP,并且提高其表面的平坦性。如上所述,通过对包含源电极或漏电极 130a 和源电极或漏电极 130b 的表面进行平坦化,可以在之后的工序中形成优良的电极、布线、绝缘层或半导体层等。

[0098] 注意,虽然仅描述了接触金属化合物区域 124 的源电极或漏电极 130a 和源电极或漏电极 130b,但是也可以在该相同工序中形成接触栅电极 110a 的电极(例如,图 2A 的电极 130c)等。对用作源电极或漏电极 130a 和源电极或漏电极 130b 的材料没有特别的限制,并且可以使用任何的各种导电材料。例如,可以使用如钼、钛、铬、钽、钨、铝、铜、钽和铌等导电材料。

[0099] 通过上述过程,形成使用包含半导体材料的衬底 100 的晶体管 160。注意,在进行上述过程之后,还可以形成电极、布线或绝缘层等。当使用由层间绝缘层和导电层的层叠的多层布线结构作为布线的结构时,可以提供高集成化的半导体装置。

[0100] <上部的晶体管的制造方法>

[0101] 接着,参照图 4A 至 4G 及图 5A 至 5D 描述在层间绝缘层 128 上制造晶体管 162 的过程。注意,在图 4A 至 4G 及图 5A 至 5D 图示层间绝缘层 128 上的各种电极或晶体管 162 等的制造过程,而省略晶体管 162 下的晶体管 160 等。

[0102] 首先,在层间绝缘层 128、源电极或漏电极 130a、源电极或漏电极 130b、以及电极 130c 上形成绝缘层 132(参照图 4A)。绝缘层 132 可以使用 PVD 法或 CVD 法等而形成。另外,绝缘层 132 可以使用包含如氧化硅、氮氧化硅、氮化硅、氧化钪、氧化铝、氧化钽等无机绝缘材料形成。

[0103] 接着,在绝缘层 132 中形成到达源电极或漏电极 130a、源电极或漏电极 130b 以及电极 130c 的开口。此时,还在待形成栅电极 136d 的区域中形成另一开口。将导电层 134 形成成为嵌入上述开口中(参照图 4B)。例如,上述开口可以使用掩模通过蚀刻而形成。例如,上述掩模可以通过使用光掩模的曝光而形成。作为蚀刻,可以进行湿蚀刻或干蚀刻,但是从精细构图的观点来看,优选干蚀刻。导电层 134 可以通过如 PVD 法或 CVD 法等沉积法而形成。用来导电层 134 的材料例子包含:如钼、钛、铬、钽、钨、铝、铜、钽和铌等导电材料、

任何这些的合金或包含任何这些的化合物（例如，任何这些的氮化物）。

[0104] 具体地说，可以这样地形成导电层 134：在包括开口的区域中使用 PVD 法形成具有小的厚度的钛膜，并且然后使用 CVD 法形成具有小的厚度的氮化钛膜，然后将钨膜形成为嵌入开口中。这里，通过 PVD 法形成的钛膜具有还原与下部电极（这里，源电极或漏电极 130a、源电极或漏电极 130b、以及电极 130c 等）的界面的氧化膜的功能，从而降低该氧化膜与下部电极的接触电阻。另外，之后形成的氮化钛膜具有抑制导电材料的扩散的阻挡性质。另外，也可以在使用钛或氮化钛等形成阻挡膜之后，使用电镀法形成铜膜。

[0105] 在形成导电层 134 之后，通过使用蚀刻或 CMP 等去除导电层 134 的一部分，从而暴露绝缘层 132，以形成电极 136a、电极 136b、电极 136c 以及栅电极 136d（参照图 4C）。注意，在去除上述导电层 134 的一部分以形成电极 136a、电极 136b、电极 136c 以及栅电极 136d 时，优选进行处理从而获得平坦表面。如此，通过将绝缘层 132、电极 136a、电极 136b、电极 136c 以及栅电极 136d 的表面平坦化，可以在之后的工序中形成优良的电极、布线、绝缘层以及半导体层等。

[0106] 接着，覆盖绝缘层 132、电极 136a、电极 136b、电极 136c 以及栅电极 136d 地形成栅极绝缘层 138（参照图 4D）。栅极绝缘层 138 可以通过 CVD 法或溅射法等形成。栅极绝缘层 138 优选包含氧化硅、氮化硅、氧氮化硅、氮氧化硅、氧化铝、氧化钪或氧化钽等。注意，栅极绝缘层 138 可以具有单层结构或者叠层结构。例如，通过使用作为原料气体使用硅烷（ SiH_4 ）、氧和氮的等离子体 CVD 法，可以形成氧氮化硅的栅极绝缘层 138。对栅极绝缘层 138 的厚度没有特别的限制，例如其厚度可以为 10nm 以上且 500nm 以下。当使用叠层结构时，优选通过层叠厚度为 50nm 以上且 200nm 以下的第一栅极绝缘层和第一栅极绝缘层上的厚度为 5nm 以上且 300nm 以下的第二栅极绝缘层而形成的栅极绝缘层 138。

[0107] 注意，因为通过去除杂质而做成 i 型的氧化物半导体或者实际上 i 型的氧化物半导体的氧化物半导体（高纯度化的氧化物半导体）对界面态或界面电荷极为敏感，所以当该氧化物半导体用于氧化物半导体层时，氧化物半导体层与栅极绝缘层之间的界面是重要的。就是说，接触高纯度化的氧化物半导体层的栅极绝缘层 138 被要求高质量化。

[0108] 例如，可以通过使用微波（2.45GHz）的高密度等离子体 CVD 法而形成致密且具有高承受电压的高质量的栅极绝缘层 138，因此该方法是优选的。以此方式，当高纯度化的氧化物半导体层与高质量栅极绝缘层彼此接触时，可以降低界面态而界面特性可以优良。

[0109] 当然，只要能够作为栅极绝缘层形成具有优质的绝缘层，即使在使用高纯度化的氧化物半导体层时也可以使用如溅射法或等离子体 CVD 法等其他方法。备选地，可以使用通过其形成后的热处理而使其膜质量和与氧化物半导体层的界面态修改的绝缘层。无论在哪种情况下，只要是作为栅极绝缘层 138 的质量优良且降低栅极绝缘层与氧化物半导体层的界面态密度从而形成优良的界面的层是可接收的。

[0110] 再者，在 85℃，电场强度为 $2 \times 10^6 \text{V/cm}$ 进行 12 小时的偏压温度试验（BT 试验）中，当氧化物半导体中含有杂质时，杂质和氧化物半导体的主要成分之间的键由强电场（B：偏压）和高温（T：温度）切断，由所生成的悬空键而引起阈值电压（ V_{th} ）的偏移。

[0111] 另一方面，根据所公开的发明的一个实施方式，通过去除氧化物半导体的中杂质，尤其是氢或水等，如上所述那样得到氧化物半导体层与栅极绝缘层的优良的界面特性，而可以提供对 BT 试验也稳定的晶体管。

[0112] 接着,在栅极绝缘层 138 上形成氧化物半导体层,并且通过如使用掩模的蚀刻等方法而加工该氧化物半导体层,从而以形成具有岛状的氧化物半导体层 140(参照图 4E)。

[0113] 作为氧化物半导体层,优选采用 In-Ga-Zn-O 基氧化物半导体层、In-Sn-Zn-O 基氧化物半导体层、In-Al-Zn-O 基氧化物半导体层、Sn-Ga-Zn-O 基氧化物半导体层、Al-Ga-Zn-O 基氧化物半导体层、Sn-Al-Zn-O 基氧化物半导体层、In-Zn-O 基氧化物半导体层、Sn-Zn-O 基氧化物半导体层、Al-Zn-O 基氧化物半导体层、In-O 基氧化物半导体层、Sn-O 基氧化物半导体层、Zn-O 基氧化物半导体层,尤其优选非晶。在本实施方式中,作为氧化物半导体层,使用用于成膜的 In-Ga-Zn-O 基氧化物半导体靶材通过溅射法形成非晶氧化物半导体层。注意,通过将硅添加到非晶氧化物半导体层中可以抑制结晶化;所以可以使用包含 2wt. % 以上且 10wt. % 以下的 SiO_2 的靶材形成氧化物半导体层。

[0114] 作为用来使用溅射法形成氧化物半导体层的靶材,例如,可以使用包含氧化锌作为主要成分的金属氧化物的靶材。例如,可以使用包含 In、Ga 和 Zn 的用于沉积氧化物半导体的靶材(组成比为 $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 1$ [摩尔比]、或者 $\text{In} : \text{Ga} : \text{Zn} = 1 : 1 : 0.5$ [原子比])等。另外,可以使用包含 In、Ga 和 Zn 用于沉积氧化物半导体的靶材(具有的组成比为 $\text{In} : \text{Ga} : \text{Zn} = 1 : 1 : 1$ [原子比]、或者组成比为 $\text{In} : \text{Ga} : \text{Zn} = 1 : 1 : 2$ [原子比])。用于沉积氧化物半导体的靶材的填充率为 90% 以上且 100% 以下,优选为 95% 以上(例如,99.9%)。通过使用填充率高的用于沉积氧化物半导体的靶材,形成致密的氧化物半导体层。

[0115] 氧化物半导体层的形成气氛优选为稀有气体(典型为氩)气氛、氧气氛或稀有气体(典型为氩)和氧的混合气氛。具体地说,例如,优选使用氢、水、羟基或氢化物等的杂质的浓度降低到几 ppm(parts per million;百万分之几)左右(优选为几 ppb(parts per billion;十亿分之几)左右)的高纯度气体。

[0116] 在形成氧化物半导体层时,在保持为减压状态的处理室内固定衬底,并且将衬底温度为 100°C 以上且 600°C 以下,优选为 200°C 以上且 400°C 以下。通过在加热衬底时形成氧化物半导体层,可以降低氧化物半导体层所包含的杂质的浓度。另外,可以减轻由溅射导致的损伤。然后,在去除处理室内的残留水分的同时引入氢和水得到去除的溅射气体,并且使用金属氧化物作为靶材而形成氧化物半导体层。优选使用截留式真空泵,以去除处理室内的残留的水分。例如,可以使用低温泵、离子泵或钛升华泵。另外,作为排气单元,也可以使用设置有冷阱的涡轮泵。在使用低温泵进行了排气的沉积室中,对氢原子、水(H_2O)等包含氢原子的化合物(优选包含碳原子的化合物)等进行去除,因此可以降低在该沉积室中形成的氧化物半导体层所包含的杂质的浓度。

[0117] 沉积条件,例如,可以如下地设定:衬底和靶材之间的距离为 100mm,压力为 0.6Pa,直流(DC)电力为 0.5kW,并且气氛为氧(氧流量比率为 100%)气氛。优选使用脉冲直流(DC)电源,因为这可以减少粉状物质(也称为微粒、尘屑),并且膜厚度的变化也可以小。氧化物半导体层的厚度为 2nm 以上且 200nm 以下,优选为 5nm 以上且 30nm 以下。注意,因为氧化物半导体层的适当的厚度依赖于施加的氧化物半导体材料,所以可以根据材料适当地设定其厚度。

[0118] 注意,优选在通过溅射法形成氧化物半导体层之前,进行导入氩气体并且产生等离子体的反溅射,以去除附着在栅极绝缘层 138 的表面上的尘屑。这里,通常的溅射将离子

碰撞到溅射靶材而达到,而反溅射是指将离子碰撞到表面上以改进对象的表面的质量的方法。将离子碰撞到待处理的对象的表面的方法,包含在氩气氛中将高频电压施加到表面而在衬底附近生成等离子体的方法。注意,也可以使用氮气氛、氦气氛或氧气氛等代替氩气氛。

[0119] 作为上述氧化物半导体层的蚀刻,可以使用干蚀刻或湿蚀刻。当然,也可以组合干蚀刻和湿蚀刻而使用。根据材料适当地设定蚀刻条件(蚀刻气体、蚀刻溶液、蚀刻时间、温度等),以将氧化物半导体层蚀刻成所希望的形状。

[0120] 作为干蚀刻所使用的蚀刻气体的例子,有含有氯的气体(氯基气体,例如氯(Cl_2)、三氯化硼(BCl_3)、四氯化硅(SiCl_4)、或四氯化碳(CCl_4)等)等。备选地,可以使用含有氟的气体(氟基气体,例如四氟化碳(CF_4)、六氟化硫(SF_6)、三氟化氮(NF_3)、三氟甲烷(CHF_3)等)、溴化氢(HBr)、氧(O_2)或对这些气体添加了如氦(He)或氩(Ar)等的稀有气体的气体等。

[0121] 作为干蚀刻法,可以使用平行平板型RIE(反应性离子蚀刻:Reactive Ion Etching)法或ICP(感应耦合等离子体:Inductively Coupled Plasma)蚀刻法。适当地设定蚀刻条件(施加到线圈形电极的电力量、施加到衬底侧的电极的电力量、衬底侧的电极的温度等),以便将该层蚀刻为所希望的形状。

[0122] 作为用于湿蚀刻的蚀刻液,可以使用将磷酸、醋酸以及硝酸混合的溶液、氨水过氧化物混合物(31wt%过氧化氢水:28wt%氨水:水=5:2:2)等。备选地,可以使用如IT007N(由Kanto Chemical Co., Inc制造)等。

[0123] 接着,优选氧化物半导体层经受第一热处理。通过该第一热处理,氧化物半导体层可以脱水化或脱氢化。第一热处理在 300°C 以上且 750°C 以下的温度进行,优选为 400°C 以上且低于衬底的应变点。例如,将衬底引入到使用电阻加热元件等的电炉中,在氮气氛中且在 450°C 的温度下氧化物半导体层140经受热处理1小时。在此时,不使氧化物半导体层140露出于空气,以避免水或氢的进入。

[0124] 注意,热处理器件不局限于电炉,且可以包含利用来自如热的气体等介质的导热或热辐射对待处理对象进行加热的装置。例如,可以使用如GRTA(Gas Rapid Thermal Anneal:气体快速热退火)器件或LRTA(Lamp Rapid Thermal Anneal:灯快速热退火)器件等RTA(Rapid Thermal Anneal:快速热退火)器件。LRTA器件是利用从灯如卤素灯、金卤灯、氙弧灯、碳弧灯、高压钠灯或高压汞灯等发出的光(电磁波)的辐射加热待处理对象的器件。GRTA器件是利用高温气体进行热处理的器件。作为气体,使用不通过加热处理与待处理对象起反应的惰性气体,例如使用如氩等稀有气体或氮。

[0125] 另外,作为第一热处理,可以进行如下GRTA处理。将衬底放置在被加热到 650°C 至 700°C 的高温的惰性气体中,进行加热几分钟,然后从该惰性气体取出。GRTA处理使得可以在短时间内进行高温热处理。另外,因为其仅占用短的时间,所以即使在超过衬底的应变点的温度下也可以使用这样的热处理。

[0126] 注意,优选在以氮或稀有气体(如氦、氖或氩等)为主要成分且不包含水或氢等的气氛中进行第一热处理。例如,优选导入热处理器件中的氮或稀有气体(如氦、氖、氩等)的纯度为6N(99.9999%)以上,优选为7N(99.99999%)以上(即,杂质浓度为1ppm以下,优选为0.1ppm以下)。

[0127] 在一些情况下,根据第一热处理的条件或氧化物半导体层的材料,氧化物半导体层可能晶化为微晶层或多晶层。例如,氧化物半导体层可能晶化成为具有结晶化度为 90% 以上或 80% 以上的微晶氧化物半导体层。另外,根据第一热处理的条件或氧化物半导体层的材料,氧化物半导体层可能成为不包含结晶成分的非晶氧化物半导体层。

[0128] 氧化物半导体层可能成为在非晶氧化物半导体(例如,氧化物半导体层的表面)中混入结晶(粒径为 1nm 以上且 20nm 以下,典型为 2nm 以上且 4nm 以下)的氧化物半导体层。

[0129] 另外,通过在氧化物半导体层的非晶表面中设置结晶层,可以改变氧化物半导体层的电特性。例如,在使用用于成膜的 In-Ga-Zn-O 基氧化物半导体靶材形成氧化物半导体层的情况下,通过形成以具有电各向异性的 $\text{In}_2\text{Ga}_2\text{ZnO}_7$ 为代表的晶粒取向的结晶部,可以改变氧化物半导体层的电特性。

[0130] 更具体地说,例如,通过以此方式将 $\text{In}_2\text{Ga}_2\text{ZnO}_7$ 的晶粒取向为其 c 轴垂直于氧化物半导体层的表面的方向,可以提高平行于氧化物半导体层表面的方向上的导电性,由此可以提高垂直于氧化物半导体层表面的方向上的绝缘性。另外,上述结晶部具有抑制如水或氢等杂质进入到氧化物半导体层中的功能。

[0131] 注意,具有结晶部的以上氧化物半导体层可以通过 GRTA 对氧化物半导体层进行表面加热而形成。另外,当使用 Zn 的数量小于 In 或 Ga 的数量的溅射靶材时,可以获得更好的形成。

[0132] 也可以对尚未被加工为岛状的层的氧化物半导体层进行对氧化物半导体层 140 的第一热处理。在此情况下,在第一热处理之后从加热器件取出衬底,并进行光刻工序。

[0133] 注意,上述热处理可以对氧化物半导体层 140 脱水或脱氢,所以也可以被称为脱水处理或脱氢处理。例如在形成氧化物半导体层之后,在将源电极或漏电极层叠在氧化物半导体层 140 上之后,或者在将保护绝缘层形成在源电极或漏电极上之后等,可以在任何时刻进行上述脱水处理或脱氢处理。可以进行该脱水处理或脱氢处理多于一次。

[0134] 接着,接触氧化物半导体层 140 地形成源电极或漏电极 142a 和源电极或漏电极 142b(参照图 4F)。通过在覆盖氧化物半导体层 140 地形成导电层之后对该导电层选择性地蚀刻的方式,可以形成源电极或漏电极 142a 和源电极或漏电极 142b。

[0135] 导电层可以使用如溅射法等 PVD 法或如等离子体 CVD 法等 CVD 法而形成。另外,作为导电层的材料,可以使用选自铝、铬、铜、钽、钛、钼和钨的元素或以包含上述任何元素作为其成分的合金等。另外,可以使用选自锰、镁、锆、铍和钪的一种或多种材料。另外,也可以组合铝与选自钛、钽、钨、钼、铬、钆和铪的一种元素或多种元素而成的材料用于导电层的材料。导电层既可为单层结构,又可为两层以上的叠层结构。例如,可以举出包含硅的铝膜的单层结构、在铝膜上层叠有钛膜的两层结构、以及以此顺序层叠有钛膜、铝膜和钛膜的三层结构等。

[0136] 备选地,导电层也可以使用导电金属氧化物来形成。作为导电金属氧化物,可以使用氧化铟(In_2O_3)、氧化锡(SnO_2)、氧化锌(ZnO)、氧化铟氧化锡合金($\text{In}_2\text{O}_3\text{-SnO}_2$,有时简略为 ITO)、氧化铟氧化锌合金($\text{In}_2\text{O}_3\text{-ZnO}$)、或者将硅或氧化硅包含于这些金属氧化物材料中的任何材料。

[0137] 这里,在进行曝光以形成蚀刻掩模时,优选使用紫外线、KrF 激光束或 ArF 激光束。

[0138] 根据源电极或漏电极 142a 和源电极或漏电极 142b 的距离, 决定晶体管的沟道长度 (L)。另外, 在沟道长度 (L) 短于 25nm 的情况下, 使用波长极短, 即几 nm 至几十 nm 的超紫外线 (Extreme Ultraviolet) 范围进行用来制作掩模的曝光。在利用超紫外线光的曝光中, 分辨率高, 并且聚焦深度也大。因此, 之后形成的晶体管的沟道长度 (L) 也可以为 10nm 以上且 1000nm 以下, 由此可以增加电路的操作速度。再者, 因为晶体管的截止状态电流极小, 这防止耗电量的增加。

[0139] 另外, 在对导电层进行蚀刻时, 适当地调节这些层的材料和蚀刻条件, 以避免氧化物半导体层 140 得到去除。注意, 在一些情况下, 根据材料和蚀刻条件, 在蚀刻工序中氧化物半导体层 140 的一部分被进行蚀刻, 而具有槽部 (凹部)。

[0140] 可以在氧化物半导体层 140 和源电极或漏电极 142a 之间, 以及在氧化物半导体层 140 和源电极或漏电极 142b 之间形成氧化物导电层。可以连续形成 (连续沉积) 氧化物导电层和用来形成源电极或漏电极 142a 和源电极或漏电极 142b 的金属层。氧化物导电层可以用作源区或漏区。通过设置该氧化物导电层, 可以实现源区或漏区的低电阻化, 并且可以实现晶体管的高速操作。

[0141] 另外, 为了减少上述掩模或工序的数量, 也可以使用光透过以具有多种强度的曝光掩模的多级灰度掩模形成抗蚀剂掩模, 并使用该抗蚀剂掩模进行蚀刻。使用多级灰度掩模形成的抗蚀剂掩模具有多种厚度的形状 (阶梯状), 并通过灰化来可以进一步改变形状, 所以该抗蚀剂掩模可以用于加工为不同的图案的多个蚀刻工序。就是说, 利用一个多级灰度掩模, 可以形成对应于至少两种以上的不同图案的抗蚀剂掩模。因此, 可以减小曝光掩模数, 并且也可以减小所对应的光刻工序数, 所以可以实现过程的简化。

[0142] 注意, 在上述工序之后, 优选进行使用如 N_2O 、 N_2 或 Ar 等的气体的等离子体处理。通过该等离子体处理, 去除附着于露出的氧化物半导体层的表面的水。备选地, 也可以使用如氧和氩的混合气体等含有氧的气体进行等离子体处理。由此, 可以对氧化物半导体层供给氧, 并且降低起因于氧缺乏的缺陷。

[0143] 接着, 不露出于空气地形成接触氧化物半导体层 140 的一部分的保护绝缘层 144 (参照图 4G)。

[0144] 保护绝缘层 144 可以通过适当地使用如溅射法等防止如水或氢等的杂质进入到保护绝缘层 144 的方法而形成。保护绝缘层的厚度至少为 1nm。作为可以用于保护绝缘层 144 的材料, 有氧化硅、氮化硅、氧氮化硅或氮氧化硅等。保护绝缘层 144 可以具有单层结构或者叠层结构。优选用于形成保护绝缘层 144 的衬底温度为室温以上且 300℃ 以下。优选用于形成保护绝缘层 144 的气氛为稀有气体 (典型为氩) 气氛、氧气氛或稀有气体 (典型为氩) 和氧的混合气氛。

[0145] 当保护绝缘层 144 包含氢时, 引起该氢进入氧化物半导体层或者由该氢从氧化物半导体层中抽出氧、等等, 这使得氧化物半导体层的背沟道侧的低电阻化, 这可以形成寄生沟道。因此, 在保护绝缘层 144 的形成中不使用氢是重要的, 以尽量使氧化物绝缘层 144 包含少的氢。

[0146] 另外, 优选在去除处理室内的残留水分时形成保护绝缘层 144。这是为了防止氧化物半导体层 140 和保护绝缘层 144 包含氢、水、羟基或氢化物。

[0147] 优选使用截留式真空泵, 以去除处理室内的残留水分。例如, 优选使用低温泵、离

子泵或钛升华泵。排气单元也可以使用提供有冷阱的涡轮泵。在使用低温泵进行排气时,氢原子、如水 (H_2O) 等包含氢原子的化合物等从沉积室去除,因此可以降低在该沉积室中形成的保护绝缘层 144 所包含的杂质的浓度。

[0148] 作为用于形成保护绝缘层 144 的溅射气体,优选使用如氢、水、羟基或氢化物等杂质降低到几 ppm 左右(优选为几 ppb 左右)的高纯度气体。

[0149] 接着,优选在惰性气体气氛中或在氧气体气氛中进行第二热处理(优选为 200°C 以上且 400°C 以下的温度,例如 250°C 以上且 350°C 以下)。例如,在氮气氛下以 250°C 进行一个小时的第二热处理。第二热处理可以降低晶体管的电特性的变化。此外,通过第二热处理,可以对氧化物半导体层供给氧。

[0150] 另外,也可以在空气中并在 100°C 以上且 200°C 以下的温度进行热处理 1 小时以上且 30 小时以下。该热处理可在固定的加热温度进行。备选地,以下的温度循环可反复施加多次:温度从室温升高到 100°C 以上且 200°C 以下然后降低到室温。另外,也可以在形成保护绝缘层之前在减压下进行该热处理。减压使得可以缩短热处理时间。另外,可进行该热处理代替上述第二热处理;备选地,除了第二热处理以外可在第二热处理前后进行该热处理。

[0151] 接着,在保护绝缘层 144 上形成层间绝缘层 146(参照图 5A)。层间绝缘层 146 可以使用 PVD 法或 CVD 法等而形成。层间绝缘层 146 可以使用包含如氧化硅、氮氧化硅、氮化硅、氧化钪、氧化铝、氧化钽等无机绝缘材料的材料形成。另外,在形成层间绝缘层 146 之后,层间绝缘层 146 的表面优选经受 CMP 或蚀刻等而平坦化。

[0152] 接着,在层间绝缘层 146、保护绝缘层 144 以及栅极绝缘层 138 中形成到达电极 136a、电极 136b、电极 136c、源电极或漏电极 142a 以及源电极或漏电极 142b 的开口,并将导电层 148 形成成为嵌入该开口中(参照图 5B)。例如,上述开口可以使用掩模通过蚀刻而形成。例如,上述掩模通过使用光掩模的曝光而形成。作为蚀刻,可以使用湿蚀刻或干蚀刻,但是从精细构图的观点来看,优选干蚀刻。导电层 148 可以使用如 PVD 法或 CVD 法等的沉积法而形成。用于导电层 148 的材料的例子,包括如钼、钛、铬、钽、钨、铝、铜、钽和铟等导电材料、这些的任何合金、以及含有任何这些的化合物(例如,这些的任何氮化物)。

[0153] 具体地说,例如,导电层 148 可以如下地形成:在包括开口的区域中使用 PVD 法形成具有小的厚度的钛膜,并且使用 CVD 法形成具有小的厚度的氮化钛膜;然后将钨膜形成成为嵌入开口中。这里,通过 PVD 法形成的钛膜具有还原与下部电极(这里,电极 136a、电极 136b、电极 136c、源电极或漏电极 142a 以及源电极或漏电极 142b 等)的界面的氧化膜,并且降低与该下部电极的接触电阻的功能。另外,之后形成的氮化钛膜具有防止导电材料的扩散的阻挡性质。另外,也可以在利用钛或氮化钛等形成阻挡膜之后,使用镀法形成铜膜。

[0154] 在形成导电层 148 之后,通过使用蚀刻或 CMP 等去除导电层 148 的一部分,露出层间绝缘层 146,并且形成电极 150a、电极 150b、电极 150c、电极 150d 以及电极 150e(参照图 5C)。注意,在去除上述导电层 148 的一部分而形成电极 150a、电极 150b、电极 150c、电极 150d 以及电极 150e 时,优选进行处理以得到平坦表面。通过将层间绝缘层 146、电极 150a、电极 150b、电极 150c、电极 150d 以及电极 150e 的表面平坦化,可以在之后的工序中形成优良的电极、布线、绝缘层以及半导体层等。

[0155] 再者,形成绝缘层 152,并且在绝缘层 152 中形成到达电极 150a、电极 150b、电极 150c、电极 150d 以及电极 150e 的开口;并且将导电层形成成为嵌入该开口。然后,使用蚀刻

或 CMP 等去除导电层的一部分来暴露绝缘层 152, 并且形成电极 154a、电极 154b、电极 154c 以及电极 154d (参照图 5D)。该工序与形成电极 150a 等的情况类似, 因此, 在此省略其详细说明。

[0156] 在使用上述方式制造晶体管 162 时, 氧化物半导体层 140 的氢浓度为 $5 \times 10^{19} \text{atoms/cm}^3$ 以下, 并且, 晶体管 162 的截止状态电流为 $1 \times 10^{-13} \text{A}$ 以下。从而, 通过使用氢浓度得到充分降低而且起因于氧缺乏的缺陷得到降低的高纯度化氧化物半导体层 140, 可以得到具有优良特性的晶体管 162。另外, 可以制造在下部包含使用氧化物半导体以外的材料的晶体管 160 并在上部包含使用氧化物半导体的晶体管 162 的具有优良特性的半导体装置。

[0157] 注意, 关于氧化物半导体的物理性质, 虽然进行多个研究, 但是这些研究不包括充分降低定域态的思想。在所公开的发明的一个实施方式中, 通过从氧化物半导体去除的有可能引入定域态的水或氢, 由此制造高纯度化的氧化物半导体。这是基于充分降低定域态的思想。由此, 可以制造优良的工业产品。

[0158] 注意, 当去除氢、水等时, 有时也去除氧。因此, 通过对起因于氧缺乏而发生的金属的悬空键供给氧, 减少氧缺陷所引起的定域态, 实现氧化物半导体的进一步的纯度化 (使其为 i 型氧化物半导体) 是优选的。例如, 通过以下方式可以减小氧缺陷所引起的定域态: 在密接于沟道形成区域形成具有氧过剩的氧化膜, 以 200°C 至 400°C (典型为 250°C 左右) 进行热处理, 从而从该氧化膜供给氧。在第二热处理中, 可以将惰性气体切换为包含氧的气体。另外, 在第二热处理之后, 通过在氧气氛或者在氢或水充分地减少的气氛中的降温过程, 氧可以供给至氧化物半导体。

[0159] 使氧化物半导体的特性退化的因素, 可以认为: 过剩的氢所导致的传导带下的 0.1eV 至 0.2eV 的浅能级; 氧缺乏所导致的深能级; 等等。为了纠正这些缺陷而彻底去除氢并充分供给氧的技术思想应该是正确的。

[0160] 因为在所公开的发明中使氧化物半导体高纯度化, 所以氧化物半导体的载流子浓度足够小。

[0161] 通过使用费米-狄拉克分布 (Fermi-Dirac distribution) 函数, 能隙为 3.05eV 至 3.15eV 的氧化物半导体的本征载流子密度为 $10^{-7} \text{atoms/cm}^3$, 其远小于 $1.45 \times 10^{10} \text{atoms/cm}^3$ 的硅的本征载流子密度。

[0162] 因此, 作为少数载流子的空穴的数量极少。IGFET (绝缘栅场效应晶体管: Insulated Gate Field Effect Transistor) 中的反向偏压的漏电流期待为 $100\text{aA}/\mu\text{m}$ 以下, 优选为 $10\text{aA}/\mu\text{m}$ 以下, 更优选为 $1\text{aA}/\mu\text{m}$ 以下。注意, “ $1\text{aA}/\mu\text{m}$ ” 意味着在晶体管的沟道宽度 $1\mu\text{m}$ 中流过 1aA ($1 \times 10^{-18}\text{A}$) 的电流。

[0163] 事实上, 作为具有能隙为 3eV 以上的宽间隙 (wide gap) 的半导体, 已知 SiC (3.26eV)、GaN (3.42eV) 等。期待使用这些半导体得到与以上描述的特性类似的晶体管特性。然而, 这些半导体材料需要 1500°C 以上的处理温度, 所以形成其薄膜实际上是不可能的。此外, 由于处理温度过高, 从而在硅集成电路上不能以三维层叠这些材料。另一方面, 氧化物半导体可以通过利用室温至 400°C 的溅射而沉积为薄膜, 并且, 可以以 450°C 至 700°C 脱水或脱氢 (去除氢或水) 以及供给氧 (向氧化物半导体层供给氧), 从而可以在硅集成电路上在三维层叠氧化物半导体。

[0164] 注意,虽然氧化物半导体一般具有 n 型导电性,但是在所公开的发明的一种实施方式中,通过去除如水或氢等杂质并且供给作为氧化物半导体的成分的氧,使氧化物半导体为 i 型氧化物半导体。从这方面,与通过加入杂质使硅为 i 型硅的情况不同,所公开的发明的一个实施方式包括新的技术思想。

[0165] < 使用氧化物半导体的晶体管的导电机制 >

[0166] 将参照图 6、图 7、图 8A 和图 8B、以及图 9 描述包含氧化物半导体的晶体管的导电机制。注意,为了容易理解,以下的描述基于理想状况的假设而不需要反应真实状况。还注意,下面的描述不过是一个考虑,不影响本发明的有效性。

[0167] 图 6 是包含氧化物半导体的晶体管(薄膜晶体管)的截面图。在栅电极(GE1)上以栅极绝缘层(GI)置于其间地设置有氧化物半导体层(OS),并且在其上设置有源电极(S)和漏电极(D)。覆盖源电极(S)和漏电极(D)地设置有绝缘层。

[0168] 图 7 是图 6 中的 A-A' 截面的能带图(示意图)。在图 7 中,黑圆(●)和白圆(○)分别表示电子和空穴,并且具有电荷(-q,+q)。当对漏电极施加正电压($V_D > 0$)时,虚线示出对栅电极不施加电压的情况($V_G = 0$),并且,实线示出对栅电极施加正电压($V_G > 0$)的情况。在对栅电极不施加电压的情况下,由于高的电位势垒而不从电极将载流子(电子)注入到氧化物半导体侧,所以不流过电流,这意味着截止状态。另一方面,当对栅电极施加正电压时,电位势垒降低,因此流过电流,这意味着导通状态。

[0169] 图 8A 和图 8B 是图 6 的 B-B' 截面的能带图(示意图)。图 8A 图示将正电压($V_G > 0$)施加到栅电极(GE1),并且在源电极和漏电极之间流过载流子(电子)的导通状态。图 8B 图示将负电压($V_G < 0$)施加到栅电极(GE1)并且不流过少数载流子的截止状态。

[0170] 图 9 图示真空能级和金属的功函数(ϕ_M)之间的关于以及真空能级和氧化物半导体的电子亲和力(χ)的关系。

[0171] 在常温下,金属中的电子缩退,其费米能级位于传导带内。另一方面,传统的氧化物半导体为 n 型半导体,其费米能级(E_F)离开位于带隙中央的本征费米能级(E_i),而位于接近传导带。注意,氧化物半导体中的氢的一部分成为施主,并且是氧化物半导体成为 n 型半导体的原因之一。

[0172] 另一方面,根据所公开的发明的一个实施方式的氧化物半导体是如下氧化物半导体:通过从氧化物半导体去除作为 n 型半导体的原因的氢,并且进行纯度化以尽量防止其包含氧化物半导体的主要成分以外的元素(即,杂质元素),而得到的本征(i 型)氧化物半导体或大体上本征的氧化物半导体。就是说,一个特征是:不通过添加杂质元素而通过尽量去除如氢或水等杂质,来得到纯度化的 i 型(本征)半导体或接近本征的半导体。由此,费米能级(E_F)可以与本征费米能级(E_i)可比。

[0173] 氧化物半导体的带隙(E_g)被认为是 3.15eV,并且电子亲和力(χ)被认为是 4.3eV。包含于源电极及漏电极的钛(Ti)的功函数与氧化物半导体的电子亲和力(χ)大致相同。在此情况下,在金属和氧化物半导体的界面未形成对电子的肖特基势垒。

[0174] 此时,如图 8A 所示,电子移动于栅极绝缘层和纯度化的氧化物半导体的界面附近(氧化物半导体的能量稳定的最低部)。

[0175] 另外,如图 8B 所示,在将负的电位施加到栅电极(GE1)时,因为少数载流子的空穴大体上为零,所以电流值极为接近零。

[0176] 以此方式,通过纯度化以尽量使其不包含主要成分以外的元素(杂质元素),得到本征(i型)或实际上本征的氧化物半导体。由此氧化物半导体与栅极绝缘层的界面特性变得明显。因此,需要栅极绝缘层可以形成其与氧化物半导体的优良界面。具体地说,例如,优选使用通过使用利用VHF频带至微波频带的范围的电源频率而产生的高密度等离子体的CVD法形成的绝缘层、或通过溅射法形成的绝缘层等。

[0177] 在氧化物半导体纯度化并且使氧化物半导体和栅极绝缘层的界面良好时,例如,在晶体管的沟道宽度为 $1 \times 10^4 \mu\text{m}$ 且沟道长度为 $3 \mu\text{m}$ 的情况下,可以实现 10^{-13}A 以下的截止状态电流、 0.1V/dec 的亚阈值摆幅(S值)(栅极绝缘层的厚度:100nm)。

[0178] 如上所述,氧化物半导体的纯度化以尽量不包含其主要成分以外的元素(杂质元素),从而晶体管的可以以优良的方式操作。

[0179] <载流子浓度>

[0180] 在根据所公开的发明的技术思想中,通过充分降低其载流子浓度而使氧化物半导体层尽量接近本征(i型)氧化物半导体层。在下文中,参照图10和图11描述用于计算载流子浓度的方法、以及实际上测量的载流子浓度。

[0181] 首先,简单地解释用于计算载流子浓度的方法。载流子浓度可以通过制造MOS电容器并评价MOS电容器的CV测量的结果(CV特性)的方式来计算。

[0182] 具体地说,以下面的方式计算载流子浓度 N_d :通过绘制MOS电容器的栅电压 V_g 和电容C的关系而得到C-V特性;利用该C-V特性取得栅电压 V_g 和 $(1/C)^2$ 的关系的图表,在该图表中取得弱反转区域中的 $(1/C)^2$ 的微分值,并且将该微分值代入算式(1)中。注意,在算式(1)中,分别地,e表示元电荷(elementary electric charge), ε_0 表示真空的介电常数,并且 ε 表示氧化物半导体的相对介电常数。

$$[0183] \quad N_d = - \left(\frac{2}{e \varepsilon_0 \varepsilon} \right) \bigg/ \frac{d(1/C)^2}{dV} \quad (1)$$

[0184] 接着,描述通过上述方法而实际上测量的载流子浓度。在测量中,使用如下地形成的样品(MOS电容器):在玻璃衬底上形成300nm厚的钛膜,在钛膜上形成100nm厚度的氮化钛膜,在氮化钛膜上形成 $2 \mu\text{m}$ 厚度的使用In-Ga-Zn-O基的氧化物半导体的氧化物半导体层,并且在氧化物半导体层上形成300nm厚的银膜。注意,氧化物半导体层通过使用包含In、Ga、Zn的用于沉积氧化物半导体的靶材(In:Ga:Zn=1:1:0.5[原子比])由溅射法来形成。此外,氧化物半导体层的形成气氛为氩和氧的混合气氛(流量比为Ar: O_2 =30(sccm):15(sccm))。

[0185] 分别在图10图示C-V特性,并且图11图示 V_g 和 $(1/C)^2$ 之间的关系。使用算式(1)从图11的图表的弱反转区域中的 $(1/C)^2$ 的微分值而计算的载流子浓度为 $6.0 \times 10^{10}/\text{cm}^3$ 。

[0186] 如此,通过使用使其为i型或实际上i型氧化物半导体(例如,载流子浓度为小于 $1 \times 10^{12}/\text{cm}^3$,优选为 $1 \times 10^{11}/\text{cm}^3$ 以下)的氧化物半导体,可以得到具有极为优越的截止状态电流特性的晶体管。

[0187] <变形例子>

[0188] 参照图 12、图 13A 和 13B、图 14A 和 14B、以及图 15A 和 15B 描述半导体装置的结构的变化例子。注意,在以下变化例子中,晶体管 162 的结构与上述不同。就是说,晶体管 160 的结构与上述类似。

[0189] 在图 12 图示的例子中,该晶体管 162 具有:氧化物半导体层 140 下的栅电极 136d,以及源电极或漏电极 142a 和源电极或漏电极 142b,其在氧化物半导体层 140 的下部表面的一部分接触氧化物半导体层 140。另外,由于可以对应于截面结构而适当地改变平面结构,因此,这里只描述截面结构。

[0190] 图 12 所示的结构和图 2A 和 2B 所示的结构不同的差别是源电极或漏电极 142a 和源电极或漏电极 142b 与氧化物半导体层 140 的连接位置。就是说,在图 2A 和 2B 所示的结构中,源电极或漏电极 142a 和源电极或漏电极 142b 在氧化物半导体层 140 的上部表面的一部分接触氧化物半导体层 140;另一方面,在图 12 所示的结构中,源电极或漏电极 142a 和源电极或漏电极 142b 在氧化物半导体层 140 的下部表面的一部分接触氧化物半导体层 140。并且,起因于上述接触的不同,而另一电极、另一绝缘层等的位置改变。各部件的详细与图 2A 和图 2B 等的那些同样。

[0191] 具体地说,晶体管 162 包括:设置在层间绝缘层 128 上的栅电极 136d;设置在栅电极 136d 上的栅极绝缘层 138;设置在栅极绝缘层 138 上的源电极或漏电极 142a 和源电极或漏电极 142b;以及接触源电极或漏电极 142a 和源电极或漏电极 142b 的部分上部表面的氧化物半导体层 140。

[0192] 这里,栅电极 136d 设置为嵌入形成在层间绝缘层 128 上的绝缘层 132 中。另外,与栅电极 136d 类似,分别形成接触于源电极或漏电极 130a 的电极 136a、接触于源电极或漏电极 130b 的电极 136b 以及接触于电极 130c 的电极 136c。

[0193] 在晶体管 162 上接触于氧化物半导体层 140 的一部分地设置有保护绝缘层 144。在保护绝缘层 144 上设置有层间绝缘层 146。这里,在保护绝缘层 144 和层间绝缘层 146 中形成有到达源电极或漏电极 142a 和源电极或漏电极 142b 的开口。在这些开口中,电极 150d 及电极 150e 形成分别为分别接触于源电极或漏电极 142a 和源电极或漏电极 142b。与电极 150d 及电极 150e 类似,电极 150a、电极 150b 以及电极 150c 分别形成为在设置于栅极绝缘层 138、保护绝缘层 144 和层间绝缘层 146 的开口中接触于电极 136a、电极 136b 以及电极 136c。

[0194] 这里,氧化物半导体层 140 优选为通过杂质如氢等充分得到去除而高纯度化的氧化物半导体层。具体地说,氧化物半导体层 140 的氢浓度为 $5 \times 10^{19} \text{atoms/cm}^3$ 以下,优选为 $5 \times 10^{18} \text{atoms/cm}^3$ 以下,或更优选为 $5 \times 10^{17} \text{atoms/cm}^3$ 以下。另外,氧化物半导体层 140 优选为包含足够的氧而起因于氧缺乏的缺陷得到降低的氧化物半导体层。在氢浓度充分得到降低而高纯度化且起因于氧缺乏的缺陷得到降低的氧化物半导体层 140 中,载流子浓度小于 $1 \times 10^{12} / \text{cm}^3$,优选为 $1 \times 10^{11} / \text{cm}^3$ 以下。通过使用这样的 i 型或实际上 i 型的氧化物半导体,可以得到截止状态电流特性极为优良的晶体管 162。例如,在漏极电压 V_d 为 +1V 或 +10V 且栅极电压 V_g 为 -5V 至 -20V 的范围时,截止电流为 $1 \times 10^{-13} \text{A}$ 以下。当使用氢浓度充分得到降低且起因于氧缺乏的缺陷得到降低的并高纯度化氧化物半导体层 140 并且降低晶体管 162 的截止状态电流时,可以实现具有新的结构的半导体装置。注意,使用次级离子质谱法 (SIMS) 测量上述氧化物半导体层 140 中的氢浓度。

[0195] 另外,在层间绝缘层 146 上设置有绝缘层 152。将电极 154a、电极 154b、电极 154c 以及电极 154d 设置为埋入该绝缘层 152 中。这里,电极 154a 接触于电极 150a;电极 154b、电极 150b;电极 154c、电极 150c 及电极 150d;并且电极 154d、电极 150e。

[0196] 图 13A 和 13B 每一个图示在氧化物半导体层 140 上设置栅电极 136d 的例子。这里,图 13A 图示源电极或漏电极 142a 和源电极或漏电极 142b 在氧化物半导体层 140 的下部表面的一部分接触氧化物半导体层 140 的例子;而图 13B 图示源电极或漏电极 142a 和源电极或漏电极 142b 在氧化物半导体层 140 的上部表面的一部分接触氧化物半导体层 140 的例子。

[0197] 图 2A 和 2B 及图 12 所示的结构与图 13A 和 13B 所示的结构大不相同的一点是在氧化物半导体层 140 上设置有栅电极 136d。另外,图 13A 所示的结构与图 13B 所示的结构大的差别是源电极和漏电极 142a 和 142b 接触氧化物半导体层 140 的下部表面的一部分还是上部表面的一部分。并且,起因于这些的不同,另一电极和另一绝缘层等的位置改变。各部件的详细与图 2A 和 2B 等同样。

[0198] 具体地说,在图 13A 中,晶体管 162 包括:设置在层间绝缘层 128 上的源电极或漏电极 142a 和源电极或漏电极 142b;接触源电极或漏电极 142a 和源电极或漏电极 142b 的上部表面的一部分的氧化物半导体层 140;设置在氧化物半导体层 140 上的栅极绝缘层 138;以及在栅极绝缘层 138 上设置在重叠于氧化物半导体层 140 的区域的栅电极 136d。

[0199] 在图 13B 中,晶体管 162 包括:设置在层间绝缘层 128 上的氧化物半导体层 140;设置为接触氧化物半导体层 140 的上部表面的一部分的源电极或漏电极 142a 和源电极或漏电极 142b;设置在氧化物半导体层 140、源电极或漏电极 142a 和源电极或漏电极 142b 上的栅极绝缘层 138;以及栅极绝缘层 138 上设置在重叠于氧化物半导体层 140 的区域的栅电极 136d。

[0200] 注意,与图 2A 和 2B 所示的结构等相比,在图 13A 所示的结构中有时省略如电极 150a、电极 154a 等部件。此外,与图 2A 和 2B 所示的结构等相比,在图 13B 所示的结构中有时省略如电极 136a、保护绝缘层 144 等部件。在此情况下,可以得到制造工序的简化的间接效果。当然,在图 2A 和 2B 等所示的结构中也可以省略不必要的部件。

[0201] 图 14A 和 14B 每一个图示在元件的尺寸比较大并且在氧化物半导体层 140 下设置有栅电极 136d 的结构的例子。在此情况下,因为对表面的平坦性或覆盖度的要求不太高,所以不需要将布线或电极等形成为嵌入绝缘层中。例如,通过在形成导电层之后进行构图的方式,可以形成栅电极 136d 等。注意,虽然这里未图示,但是也可以类似地制造晶体管 160。

[0202] 图 14A 所示的结构与图 14B 所示的结构的大的差别是源电极和漏电极 142a 和 142b 在氧化物半导体层 140 的下部表面的一部分还是在上部表面的一部分接触。并且,起因于这些的不同,另一电极、另一绝缘层的位置等改变。各部件的详细与图 2A 和 2B 等的那些同样。

[0203] 具体地说,在图 14A 中,晶体管 162 包括:设置在层间绝缘层 128 上的栅电极 136d;设置在栅电极 136d 上的栅极绝缘层 138;设置在栅极绝缘层 138 上的源电极或漏电极 142a 和源电极或漏电极 142b;以及接触源电极或漏电极 142a 和源电极或漏电极 142b 的上部表面的一部分的氧化物半导体层 140。

[0204] 在图 14B 中,晶体管 162 包括:设置在层间绝缘层 128 上的栅电极 136d;设置在栅电极 136d 上的栅极绝缘层 138;设置在栅极绝缘层 138 上的重叠于栅电极 136d 的区域的氧化物半导体层 140;以及设置为接触氧化物半导体层 140 的上部表面的一部分的源电极或漏电极 142a 和源电极或漏电极 142b。

[0205] 注意,与图 2A 和 2B 中的结构等相比,在图 14A 和 14B 所示的结构中有时也省略部件。在此情况下,也可以得到制造工序的简化。

[0206] 图 15A 和 15B 每一个图示在元件的尺寸比较大并且在氧化物半导体层 140 上设置有栅电极 136d 的结构例子。在此情况下,也因为对表面的平坦性或覆盖度的要求不太高,所以不需要将布线或电极等形成为埋入绝缘层中。例如,通过在形成导电层之后进行构图的方式,可以形成栅电极 136d 等。注意,虽然这里未图示,但是也可以类似地制造晶体管 160。

[0207] 图 15A 所示的结构与图 15B 所示的结构的大的差别是源电极和漏电极 142a 和 142b 在氧化物半导体层 140 的下部表面的一部分还是上部表面的一部分接触。并且,起因于这些的不同,另一电极、另一绝缘层的位置等改变。各部件的详细与图 2A 和 2B 的那些等同样。

[0208] 具体地说,在图 15A 中,晶体管 162 包括:设置在层间绝缘层 128 上的源电极或漏电极 142a 和源电极或漏电极 142b;接触源电极或漏电极 142a 和源电极或漏电极 142b 的上部表面的一部分的氧化物半导体层 140;设置在源电极或漏电极 142a、源电极或漏电极 142b 以及氧化物半导体层 140 上的栅极绝缘层 138;以及设置在栅极绝缘层 138 上重叠于氧化物半导体层 140 的区域的栅电极 136d。

[0209] 在图 15B 中,晶体管 162 包括:设置在层间绝缘层 128 上的氧化物半导体层 140;设置为接触氧化物半导体层 140 的上部表面的一部分的源电极或漏电极 142a 和源电极或漏电极 142b;设置在源电极或漏电极 142a、源电极或漏电极 142b 以及氧化物半导体层 140 上的栅极绝缘层 138;以及设置在栅极绝缘层 138 上重叠于氧化物半导体层 140 的区域的栅电极 136d。

[0210] 注意,与图 2A 和 2B 所示的结构等相比,在图 15A 和 15B 所示的结构中有时也省略部件。在此情况下,也可以得到制造工序的简化。

[0211] 如上所述,根据所公开的发明的一个实施方式,实现具有新的结构的半导体装置。在本实施方式中,虽然层叠了晶体管 160 和晶体管 162,但是半导体装置的结构不局限于此。另外,在本实施方式中,虽然描述了晶体管 160 和晶体管 162 的沟道长度方向相互垂直的例子,但是晶体管 160 和晶体管 162 的位置不局限于此。再者,也可以将晶体管 160 和晶体管 162 设置为彼此重叠。

[0212] 注意,虽然在本实施方式中,为了容易理解而描述了每最小存储单位(1 位)的半导体装置,但是半导体装置的结构不局限于此。也可以通过适当地连接多个半导体装置而形成更高级的半导体装置。例如,可以使用多个上述半导体装置而制作 NAND 型或 NOR 型的半导体装置。布线的结构不局限于图 1 的图示,而可以适当地进行改变。

[0213] 在根据本实施方式的半导体装置中,因晶体管 162 的低的截止状态电流而使得可以在极长时间内保持信息。就是说,不需要进行 DRAM 等所需要的刷新操作,从而可以抑制耗电量。另外,半导体装置可以实际上用作非易失性半导体装置。

[0214] 因为根据晶体管 162 的开关操作而进行信息写入,所以不需要高电压,并且半导体装置中的元件不退化。再者,根据晶体管的导通状态和截止状态而进行信息写入或擦除,从而可以容易实现高速操作。此外,也有不需要快闪存储器等所需要的信息擦除操作的优点。

[0215] 另外,使用氧化物半导体以外的材料的晶体管可以进行足够的高速操作,因此,通过使用该晶体管,可以以高速进行存储数据的读取。

[0216] 本实施方式所描述的结构、方法等可以与其他实施方式所描述的任何结构、方法等适当地组合。

[0217] (实施方式 2)

[0218] 在本实施方式中,将描述存储器单元的电路配置及其操作、使用存储器单元的半导体装置的电路配置及其操作。

[0219] (存储器单元的结构)

[0220] 图 16 图示半导体装置所具有的存储器单元的电路图的一个例子。图 16 所示的存储器单元 200 包括源极线 SL、位线 BL、信号线 S1、字线 WL、晶体管 201(第一晶体管)、晶体管 202(第二晶体管)以及电容器 203。晶体管 201 使用氧化物半导体以外的材料而形成,并且,晶体管 202 使用氧化物半导体而形成。

[0221] 这里,晶体管 201 的栅电极、晶体管 202 的源电极和漏电极中的一个、以及电容器 203 的一个电极彼此电连接。此外,源极线 SL 与晶体管 201 的源电极和漏电极中的一个彼此电连接。位线 BL 与晶体管 201 的源电极和漏电极中的另一个彼此电连接。信号线 S1 与晶体管 202 的栅电极彼此电连接。字线 WL 与晶体管 202 的源电极和漏电极中的另一个、以及电容器 203 的另一个电极彼此电连接。

[0222] (存储器单元的操作)

[0223] 下面,将具体地描述存储器单元的操作。

[0224] 当对存储器单元 200 进行写入时,将源极线 SL 的电位设定为 V_0 (任意单位,例如为 0V),将位线 BL 的电位设定为 V_0 ,并且将信号线 S1 的电位设定为 V_1 (任意单位,例如为 2V)。此时,晶体管 202 打开。

[0225] 在这种状态下,将字线 WL 的电位 V_{WL} 设定为规定电位,以进行数据的写入。例如,在写入数据“1”时,将字线 WL 的电位设定为 V_{w_1} ,并且,在写入数据“0”时,将字线 WL 的电位设定为 V_{w_0} 。注意,在写入的结束,在字线 WL 的电位变化之前,将信号线 S1 的电位设定为 V_0 ,从而晶体管 202 关闭。

[0226] 在连接到晶体管 201 的栅电极的节点(在下面被称为节点 A)中蓄积对应于写入时的字线 WL 的电位的电荷 Q_A ,因此存储数据。因为晶体管 202 的截止状态电流极为小或者实际上为 0,所以所写入的数据被保持为很长时间。

[0227] 当将字线 WL 的电位 V_{WL} 设定为规定电位时,也进行从存储器单元 200 的读取。例如,当进行存储器单元 200 的读取时,将源极线 SL 的电位设定为 V_0 ,将字线 WL 的电位设定为 V_{r_1} ,将信号线 S1 的电位设定为 V_0 ,并且将连接到位线 BL 的读取电路设定为操作。另一方面,当不进行从存储器单元 200 的读取时,将字线 WL 的电位设定为 V_{r_0} 。此时,晶体管 202 关闭。

[0228] 接着,描述用于写入的字线的电位 V_{w_0} 和 V_{w_1} 以及用于读取的字线的电位 V_{r_0}

和 V_{r_1} 的决定方法。

[0229] 例如,通过测量存储器单元 200 的电阻状态之间的差异,来进行读取。当进行从存储器单元 200 的读取时,如上所述地将字线 WL 的电位设定为 V_{r_1} 。在这种状态下,优选在对存储器单元 200 写入数据“1”的情况下,晶体管 201 为导通状态,并且,在对存储器单元 200 写入数据“0”的情况下,晶体管 201 为截止状态。

[0230] 决定晶体管 201 的状态的节点 A 的电位 V_A 依赖于晶体管 201 的栅极和晶体管 201 的源极(漏极)之间的电容 C_1 以及电容器 203 的电容 C_2 。使用写入时的字线 WL 的电位 V_{WL} (写入)以及用于读取的字线 WL 的电位 V_{WL} (读取),可以如下所述地表示 V_A :

$$[0231] \quad V_A = (C_1 \cdot V_{WL}(\text{写入}) + C_2 \cdot V_{WL}(\text{读取})) / (C_1 + C_2)$$

[0232] 在读取被选择的存储器单元 200 中, V_{WL} (读取) 为 V_{r_1} , 并且,在读取未被选择的存储器单元 200 中, V_{WL} (读取) 为 V_{r_0} 。此外,当写入数据“1”时, V_{WL} (写入) 为 V_{w_1} , 并且,当写入数据“0”时, V_{WL} (写入) 为 V_{w_0} 。就是说,各状态下的节点 A 的电位可以由如下等式表示。在读取被选择且写入数据“1”的情况下,节点 A 的电位表示如下:

$$[0233] \quad V_A \approx (C_1 \cdot V_{w_1} + C_2 \cdot V_{r_1}) / (C_1 + C_2)$$

[0234] 在读取被选择且写入数据“0”的情况下,节点 A 的电位表示如下:

$$[0235] \quad V_A \approx (C_1 \cdot V_{w_0} + C_2 \cdot V_{r_1}) / (C_1 + C_2)$$

[0236] 在读取未被选择且写入数据“1”的情况下,节点 A 的电位表示如下:

$$[0237] \quad V_A \approx (C_1 \cdot V_{w_1} + C_2 \cdot V_{r_0}) / (C_1 + C_2)$$

[0238] 在读取未被选择且写入数据“0”的情况下,节点 A 的电位表示如下:

$$[0239] \quad V_A \approx (C_1 \cdot V_{w_0} + C_2 \cdot V_{r_0}) / (C_1 + C_2)$$

[0240] 在读取被选择时,在写入数据“1”的情况下,晶体管 201 需要成为导通状态。因此节点 A 的电位 V_A 需要超过晶体管 201 的阈值电压 V_{th} 。就是说,优选满足下面的算式:

$$[0241] \quad V_A \approx (C_1 \cdot V_{w_1} + C_2 \cdot V_{r_1}) / (C_1 + C_2) > V_{th}$$

[0242] 当读取被选择时,在写入数据“0”的情况下,优选晶体管 201 为截止状态,并且节点 A 的电位 V_A 低于晶体管 201 的阈值电压 V_{th} 。就是说,优选满足下面的算式:

$$[0243] \quad V_A \approx (C_1 \cdot V_{w_0} + C_2 \cdot V_{r_1}) / (C_1 + C_2) < V_{th}$$

[0244] 当读取未被选择时,即使在写入数据“1”或数据“0”的情况下,晶体管 201 也需要成为截止状态。因此节点 A 的电位 V_A 需要低于晶体管 201 的阈值电压 V_{th} 。就是说,需要满足下面的算式:

$$[0245] \quad V_A \approx (C_1 \cdot V_{w_1} + C_2 \cdot V_{r_0}) / (C_1 + C_2) < V_{th}$$

$$[0246] \quad V_A \approx (C_1 \cdot V_{w_0} + C_2 \cdot V_{r_0}) / (C_1 + C_2) < V_{th}$$

[0247] 通过满足上述关系地决定 V_{w_0} 、 V_{w_1} 、 V_{r_0} 、 V_{r_1} 等,从而可以使存储器单元 200 操作。例如,在晶体管 201 的阈值电压 V_{th} 为 1.7(V) 且 C_1/C_2 为 1 的情况下,可以设定电位如下: $V_0 = 0(V)$, $V_1 = 2(V)$, $V_{w_0} = 0(V)$, $V_{w_1} = 2(V)$, $V_{r_0} = 0(V)$, $V_{r_1} = 2(V)$ 。注意,这些电位不过是一个例子,而可以在满足上述条件的范围下适当地进行改变。

[0248] 这里,在 $C_1/C_2 \ll 1$ 的条件下,节点 A 和字线 WL 坚固地彼此结合,因此不论晶体管 202 处于导通状态或截止状态,字线 WL 的电位和节点 A 的电位大体上相同。由此,即使打开晶体管 202 而进行写入时,节点 A 可以蓄积的电荷也微少,所以数据“0”和数据“1”的差异很小。

[0249] 其结果,在字线 WL 的电位为 V_{r_1} 而进行读取时,即使在写入数据“0”或数据“1”的情况下,存储器单元的节点 A 的电位也上升,从而打开晶体管 201。就是说,难以读取数据。

[0250] 另一方面,在 $C1/C2 \gg 1$ 的条件下,节点 A 和字线 WL 的结合较弱,因此即使当字线 WL 的电位变化时,节点 A 的电位也几乎不变化。因此,可以控制晶体管 201 的导通状态和截止状态的节点 A 的电位非常有限,而难以控制晶体管 201 的导通状态和截止状态。

[0251] 就是说,即使当字线 WL 的电位设定为 V_{r_0} 时,节点 A 的电位也几乎不下降,并且具有数据“1”的晶体管 201 成为导通状态。

[0252] 如此,因为有根据 C1 和 C2 而该操作变得很困难的情况,所以当决定 C1 和 C2 时需要注意。注意,在 V_{w_0} 为 0(V), V_{w_1} 为 Vdd, V_{r_0} 为 0(V), 并且 V_{r_1} 为 Vdd 的情况下,当 C1/C2 在 $V_{th}/(V_{dd}-V_{th})$ 与 $(V_{dd}-V_{th})/V_{th}$ 之间时,半导体装置可以充分操作。

[0253] 注意,数据“1”和数据“0”之间的区别仅为了方便,所以也可以彼此互换。也可以用接地电位 GND 等作为 V_0 , 并且,用电源电位 Vdd 等作为 V_1 。

[0254] (半导体装置的结构)

[0255] 图 17 图示具有 $m \times n$ 位的存储容量的半导体装置的电路框图。

[0256] 该半导体装置包括:m 个字线、n 个位线、n 个信号线、其中多个存储器单元 200(1, 1) 至 200(m, n) 设置为 m 个行(横)和 n 个列(纵)(m、n 为自然数)的矩阵的多个存储器单元 210;如位线及信号线的驱动电路 211、字线的驱动电路 213、读取电路 212 等外围电路。作为其他外围电路,也可以设置刷新电路等。

[0257] 存储器单元 200(i, j) (i 为 1 以上且 m 以下的整数, j 为 1 以上且 n 以下的整数) 分别连接到位线 BL(j)、信号线 S1(j)、字线 WL(i) 及源极线 SL。此外,位线 BL(1) 至 BL(n) 及信号线 S1(1) 至 S1(n) 分别连接到位线 BL 及信号线 S1 的驱动电路 211。字线 WL(1) 至字线 WL(m) 连接到字线 WL 的驱动电路 213。此外,位线 BL(1) 至 BL(n) 也连接到读取电路 212。对源极线 SL 供给电位 V_s 。

[0258] (半导体装置的操作)

[0259] 将描述图 17 所图示的半导体装置的操作。在此结构中,根据每个列而进行写入,并且,根据每个行而进行读取。

[0260] 在对第 j 列的存储器单元 200(1, j) 至 200(m, j) 进行写入的情况下,将源极线 SL 的电位设定为 V_0 (例如为 0V), 将位线 BL(j) 的电位设定为 V_0 , 并且将信号线 S1(j) 的电位设定为 V_1 (例如, 2V)。此时,存储器单元 200(1, j) 至 200(m, j) 的晶体管 202 成为导通状态。在另一列中,将位线的电位设定为 V_0 , 并且,将信号线的电位设定为 V_1 。注意,位线 BL(j) 也可以处于浮动状态。

[0261] 在这种状态下,当将字线 WL 的电位 V_{WL} 设定为规定电位时,进行数据的写入。例如,在写入数据“1”时,将连接到对象存储器单元的字线 WL 的电位设定为 V_{w_1} , 并且,在写入数据“0”时,将连接到对象存储器单元的字线 WL 的电位设定为 V_{w_0} 。注意,在写入的结束,在字线 WL 的电位变化之前,将信号线 S1(j) 的电位设定为 V_0 , 从而使对象存储器单元的晶体管 202 关闭。

[0262] 在数据写入后,第 j 列的存储器单元 200(1, j) 至 200(m, j) 中的写入有数据“1”的存储器单元中,连接到晶体管 201 的栅电极的节点(下面,称作节点 A) 的电位 V_{A0} 为 $C1 \cdot V_{w_1}/(C1+C2)$ 左右。在写入有数据“0”的存储器单元中,节点 A 的电位为 $C1 \cdot V_{w_0}/$

(C1+C2) 左右。在其他列的存储器单元中, 节点 A 的电位不变化。

[0263] 读取也通过将字线 WL 的电位 V_{WL} 设定为规定电位而进行。当对第 i 行的存储器单元 200($i, 1$) 至 200(i, n) 进行读取时, 将源极线 SL 的电位设定为 V_0 , 将字线 WL(i) 的电位设定为 V_{r_1} , 将信号线 S1(1) 至 S1(n) 的电位设定为 V_0 , 并且将连接到位线 BL(1) 至 BL(n) 的读取电路成为操作。在其他列中, 将字线 WL 的电位设定为 V_{r_0} 。

[0264] 读取电路例如可以利用存储器单元的电阻状态的差异而读取数据“0”、数据“1”。

[0265] 由于 V_{w_0} 、 V_{w_1} 、 V_{r_0} 、 V_{r_1} 的决定方法与上述〈存储器单元的操作〉同样, 所以这里省略该描述。此外, 其他电位的关系也与上述〈存储器单元的操作〉类似。

[0266] 注意, 数据“1”和数据“0”不过是方便上的区别, 所以也可以彼此互换数据“1”和数据“0”而使用。

[0267] 使用氧化物半导体的晶体管的截止状态电流极为小, 所以通过使用该晶体管而可以在极长期间内保持存储数据。就是说, 因为不需要进行刷新操作, 或者, 可以极为减小刷新操作的频度, 所以可以充分降低耗电量。另外, 即使没有电力供给的情况下, 也可以在较长期间内保持存储数据。

[0268] 另外, 信息的写入不需要高电压, 而且也没有元件退化的问题。再者, 根据晶体管的导通状态或截止状态而进行信息写入, 从而可以容易实现高速操作。另外, 还有不需要快闪存储器等所需要的用来擦除信息的操作的优点。

[0269] 由于包含氧化物半导体以外的材料的晶体管可以进行与包含氧化物半导体的晶体管相比的更高速操作, 因此, 通过使用该晶体管而可以进行高速的存储数据的读取。

[0270] 本实施方式所描述的结构、方法等可以与其他实施方式所描述的任何结构、方法等适当地组合。

[0271] (实施方式 3)

[0272] 参照图 18 将描述根据本发明的一个实施方式的半导体装置所具有的读取电路 212 的一个例子。

[0273] 图 18 所图示的读取电路 212 具有晶体管 204 和读取放大器 215。对晶体管 204 的栅电极施加偏压 V_{bias} , 而规定电流流过晶体管 204。对读取放大器 215 的一个输入端子输入参考电位 V_{ref} 。

[0274] 当进行数据读取时, 使读取放大器 215 的另一个输入端子与连接有进行数据读取的存储器单元的位线 BL 彼此电连接。

[0275] 存储器单元的电阻对应于其中所存储的数据“1”或数据“0”而不同。具体地说, 在所选择的存储器单元的晶体管 201 处于导通时, 存储器单元具有低电阻, 然而, 在所选择的存储器单元的晶体管 201 处于截止时, 存储器单元具有高电阻。

[0276] 当存储器单元具有高电阻时, 读取放大器 215 的另一个输入端子的电位高于参考电位 V_{ref} , 并且, 从读取放大器 215 的输出端子输出数据“1”。另一方面, 当存储器单元具有低电阻时, 读取放大器 215 的另一个输入端子的电位低于参考电位 V_{ref} , 并且, 从读取放大器 215 的输出端子输出数据“0”。

[0277] 如上所述, 通过使用读取电路 212, 可以读取存储于存储器单元的数据。注意, 读取电路 212 不过是一个例子, 而可以使用其他配置的读取电路。例如, 读取电路 212 也可以具有预充电电路。

[0278] 本实施方式所描述的结构、方法等可以与其他实施方式所描述的任何结构、方法等适当地组合。

[0279] (实施方式 4)

[0280] 在本实施方式中,将描述与上述实施方式所描述的任何存储器单元不同的存储器单元的电路配置及其操作。

[0281] < 存储器单元的结构 >

[0282] 图 19 图示出根据本实施方式的存储器单元的电路图的例子。图 19 所图示的存储器单元 220 包括源极线 SL、位线 BL、信号线 S1、字线 WL、晶体管 221 (第一晶体管)、晶体管 222 (第二晶体管) 以及电容器 223。晶体管 221 使用氧化物半导体以外的材料而形成,并且,晶体管 222 使用氧化物半导体而形成。

[0283] 这里,晶体管 221 的栅电极、晶体管 222 的源电极和漏电极中的一个及电容器 223 的一个电极彼此电连接。此外,源极线 SL 与晶体管 221 的源电极和漏电极中的一个彼此电连接。位线 BL 与晶体管 221 的源电极和漏电极中的另一个彼此电连接。信号线 S1 与晶体管 222 的源电极和漏电极中的另一个彼此电连接。字线 WL、晶体管 222 的栅电极及电容器 223 的另一个电极彼此电连接。

[0284] < 存储器单元的操作 >

[0285] 下面,将具体地描述存储器单元的操作。

[0286] 当对存储器单元 200 进行写入时,将源极线 SL 的电位设定为 V_0 (任意电位,例如为 0V),将位线 BL 的电位设定为 V_0 ,并且将字线 WL 的电位设定为 V_1 (任意电位,例如为 2V)。此时,晶体管 222 打开。

[0287] 在这种状态下,将信号线 S1 的电位 V_{S1} 设定为规定电位,以进行数据的写入。例如,当写入数据“1”时,将信号线 S1 的电位设定为 V_{w_1} ,并且,当写入数据“0”时,将信号线 S1 的电位设定为 V_{w_0} 。注意,当写入结束时,在信号线 S1 的电位变化之前,将字线 WL 的电位设定为 V_0 ,从而使晶体管 222 关闭。

[0288] 在连接到晶体管 221 的栅电极的节点 (下面,称为节点 A) 中蓄积对应写入时的信号线 S1 的电位的电荷 Q_A ,从而存储数据。这里,因为晶体管 222 的截止状态电流极为小或者实际上为 0,所以所写入的数据被保持很长时间。

[0289] 当将字线 WL 的电位 V_{WL} 设定为规定电位时,进行从存储器单元 220 的读取。例如,当进行从存储器单元 220 的读取时,将源极线 SL 的电位设定为 V_0 ,将字线 WL 的电位设定为 V_{r_1} ,将信号线 S1 的电位设定为 V_1 ,并且将连接到位线 BL 的读取电路设定为操作。另一方面,当不进行从存储器单元 220 的读取时,将字线 WL 的电位设定为 V_{r_0} 。此时,晶体管 222 关闭。

[0290] 将写入时的信号线 S1 的电位 V_{w_1} 和 V_{w_0} 以及用于读取的字线 WL 的电位 V_{r_1} 和 V_{r_0} 设定为使得当将字线 WL 的电位为 V_{r_1} 时被存储有数据“1”的存储器单元 220 的晶体管 221 打开,并且,被存储有数据“0”的存储器单元 220 的晶体管 221 关闭。此外,设定电位 V_{w_1} 和 V_{w_0} 以及电位 V_{r_1} 和 V_{r_0} 使得晶体管 222 成为截止状态。再者,当将字线 WL 的电位设定为 V_{r_0} 时不论存储数据“0”或数据“1”,存储器单元 220 的晶体管 221 关闭并且晶体管 222 打开。

[0291] 在使用存储器单元 220 构成 NOR 型非易失性存储器的情况下,通过使用具有上述

关系的电位,可以在选择读取的存储器单元 220 中根据被存储的数据而具有不同的电阻,并且,可以在不选择读取的存储器单元 220 中不论被存储的数据而具有高电阻。其结果,可以使用检测位线的电阻状态的差异的读取电路来读取存储器单元 220 的数据。

[0292] 注意,数据“1”和数据“0”不过是方便上的区别,所以也可以彼此互换数据“1”和数据“0”。也可以采用接地电位 GND 等作为 V0,并且,采用电源电位 Vdd 等作为 V1。

[0293] 注意,在使用本实施方式中的存储器单元 220 的情况下,可以实现具有矩阵结构的半导体装置。具有矩阵结构的半导体装置可以通过使用与上述任何实施方式所描述的结构类似结构的电路,并且,根据信号线的结构而构成驱动电路、读取电路、写入电路来实现。注意,在使用存储器单元 220 的情况下,根据每个行而进行读取及写入。

[0294] 本实施方式所描述的结构、方法等可以与其他实施方式所描述的任何结构、方法等适当地组合。

[0295] (实施方式 5)

[0296] 在本实施方式中,参照图 20A 至 20F 而描述安装有根据任何上述实施方式而得到的半导体装置的电子设备的例子。根据任何上述实施方式而得到的半导体装置即使没有电力供给也可以保持信息。另外,不发生由写入、擦除导致的退化。再者,其操作速度快。由此,可以使用该半导体装置提供具有新颖的结构 of 电子设备。注意,根据任何上述实施方式的半导体装置被集成化而安装到电路板等上,并将其安装在各电子设备上。

[0297] 图 20A 图示出包括根据任何上述实施方式的半导体装置的笔记本型个人计算机,其包括主体 301、壳体 302、显示部 303 和键盘 304 等。当将根据本发明的一个实施方式的半导体装置应用于笔记本型计算机时,即使没有电力供给也可以保持信息。另外,不发生由写入、擦除导致的退化。再者,其操作速度快。由此,优选将根据本发明的一个实施方式的半导体装置应用于笔记本型计算机。

[0298] 图 20B 图示出包括根据上述任何实施方式的半导体装置并且设置有主体 311 的便携式信息终端 (PDA),主体 311 包含有显示部 313、外部接口 315 和操作按钮 314 等。另外,作为操作用附属部件,包含有触屏笔 312。当将根据本发明的一个实施方式的半导体装置应用于 PDA 时,即使没有电力供给也可以保持信息。另外,不发生由写入、擦除导致的退化。再者,其操作速度快。由此,优选将根据本发明的一个实施方式的半导体装置应用于 PDA。

[0299] 作为包括根据上述任何实施方式的半导体装置的电子纸的一个例子,图 20C 图示出电子书阅读器 320。电子书阅读器 320 包含两个壳体,即壳体 321 及壳体 323。壳体 321 及壳体 323 由轴部 337 组合,从而电子书阅读器 320 可以以该轴部 337 为轴进行开闭操作。通过这种结构,电子书阅读器 320 可以像纸质图书一样使用。当将根据本发明的一个实施方式的半导体装置应用于电子纸时,即使没有电力供给也可以保持信息。另外,不发生由写入、擦除导致的退化。再者,其操作速度快。由此,优选将根据本发明的一个实施方式的半导体装置应用于电子纸。

[0300] 壳体 321 并入有显示部 325,而且壳体 323 并入有显示部 327。显示部 325 和显示部 327 可显示连屏画面或可显示不同画面。通过采用显示不同画面的显示部 325 和 327,例如可以在右侧的显示部 (图 20C 中的显示部 325) 上显示文本,而可以在左侧的显示部 (图 20C 中的显示部 327) 上显示图像。

[0301] 在图 20C 中图示出壳体 321 具备操作部等的例子。例如,壳体 321 具备电源 331、

操作键 333 以及扬声器 335 等。利用操作键 333 可以翻页。注意,在与壳体的设置有显示部的表面上还可以设置键盘、定位装置等。另外,可以在壳体的背面或侧面设置外部连接用端子(耳机端子、USB 端子或可与 AC 适配器及 USB 缆线等的各种缆线连接的端子等)、记录介质插入部等。再者,电子书阅读器 320 可以具有电子词典的功能。

[0302] 电子书阅读器 320 也可以配置为无线地收发信息。还可以通过无线通信,从电子书服务器购买所希望的书籍数据等,并且下载。

[0303] 注意,电子纸可以应用于可以显示信息的任何领域的电子设备。例如,除了电子书阅读器以外,还可以将电子纸应用于如火车等车辆中的海报、广告,如信用卡等的各种卡中的显示等。

[0304] 图 20D 图示出包括根据上述任何实施方式的半导体装置的移动电话。该移动电话包含两个壳体,即壳体 340 及壳体 341。壳体 341 具备显示面板 342、扬声器 343、麦克风 344、定位装置 346、照相机透镜 347、外部连接端子 348 等。壳体 340 具备进行对该移动电话的充电的太阳能电池 349、外部存储器插槽 350 等。此外,天线并入壳体 341 中。当将根据本发明的一个实施方式的半导体装置应用于移动电话时,即使没有电力供给也可以保持信息。另外,不发生由写入、擦除导致的退化。再者,其操作速度快。由此,优选将根据本发明的一个实施方式的半导体装置应用于移动电话。

[0305] 显示面板 342 具有触摸屏功能。图 20D 使用虚线图示出显示为图像的多个操作键 345。注意,该移动电话包含用来将太阳能电池 349 的电压输出升压到各电路所需要的电压的升压电路。另外,除了上述结构以外,还可以使用并入有非接触 IC 芯片、小型记录装置等的结构。

[0306] 显示面板 342 根据使用方式适当地改变显示的方向。另外,由于在与显示面板 342 同一个表面上设置有照相机透镜 347,所以其可以用作可视电话。扬声器 343 及麦克风 344 不局限于声音通话,还可以用于可视电话、记录、回放等。再者,壳体 340 和壳体 341 可以滑动而可以展开为处于如图 20D 所图示的一个重叠在另一个的状态;因此,可以减小移动电话的尺寸,这使得移动电话适于携带。

[0307] 外部连接端子 348 可以连接到各种缆线,比如 AC 适配器或 USB 缆线,由此可以进行充电和数据通信。另外,通过将记录介质插入到外部存储器插槽 350 中,移动电话可以对更大容量的数据储存及移动。另外,除了上述功能以外还可以提供红外线通信功能、电视接收功能等。

[0308] 图 20E 图示出包括根据上述任何实施方式的半导体装置的数码相机。该数码相机包括主体 361、显示部 (A) 367、取景器 363、操作开关 364、显示部 (B) 365 以及电池 366 等。当将根据本发明的一个实施方式的半导体装置应用于数码相机时,即使没有电力供给也可以保持信息。另外,不发生由写入、擦除导致的退化。再者,其操作速度快。由此,优选将根据本发明的一个实施方式的半导体装置应用于数码相机。

[0309] 图 20F 图示出包括根据上述任何实施方式的半导体装置的电视装置。在电视装置 370 的壳体 371 中并入有显示部 373。利用显示部 373 可以显示图像。此外,利用支架 375 支撑壳体 371。

[0310] 可以通过利用壳体 371 的操作开关或者单独的遥控器操作机 380 进行电视装置 370 的操作。可以利用遥控操作机 380 的操作键 379 控制频道和音量,以便可控制显示部

373 上显示的图像。此外,可以在遥控操作机 380 中设置用于显示从该遥控操作机 380 输出的信息的显示部 377。当将根据本发明的一个实施方式的半导体装置应用于电视装置时,即使没有电力供给也可以保持信息。另外,不发生由写入、擦除导致的退化。再者,其操作速度快。由此,优选将根据本发明的一个实施方式的半导体装置应用于电视装置。

[0311] 另外,电视装置 370 优选设置有接收器、调制解调器等。通过接收器,可接收一般电视广播。此外,当电视装置 370 通过经由调制解调器的有线或无线连接而连接到通信网络时,可以进行单向(从发送者到接收者)或双向(在发送者与接收者之间或者在接收者之间)的信息通信。

[0312] 本实施方式所描述的结构、方法等可以与其他实施方式所描述的任何结构、方法等适当地组合。

[0313] 本申请基于 2009 年 11 月 20 日在日本专利局提交的日本专利申请编号 2009-264552,其全部内容通过参照而并入于此。

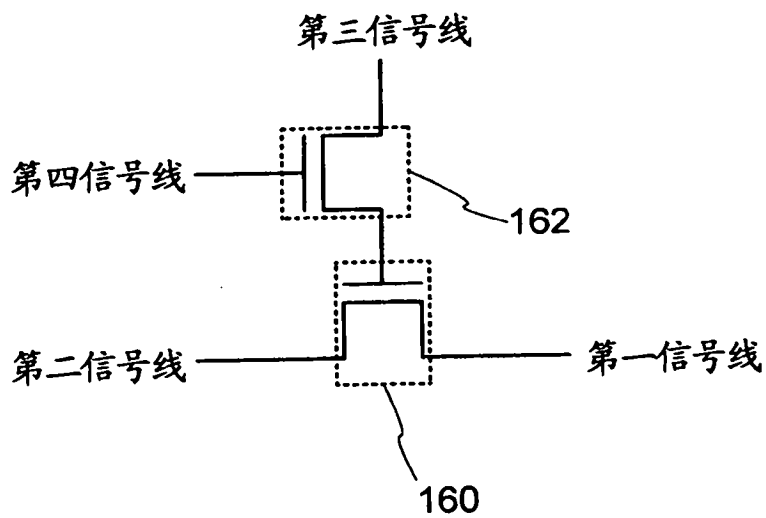


图 1

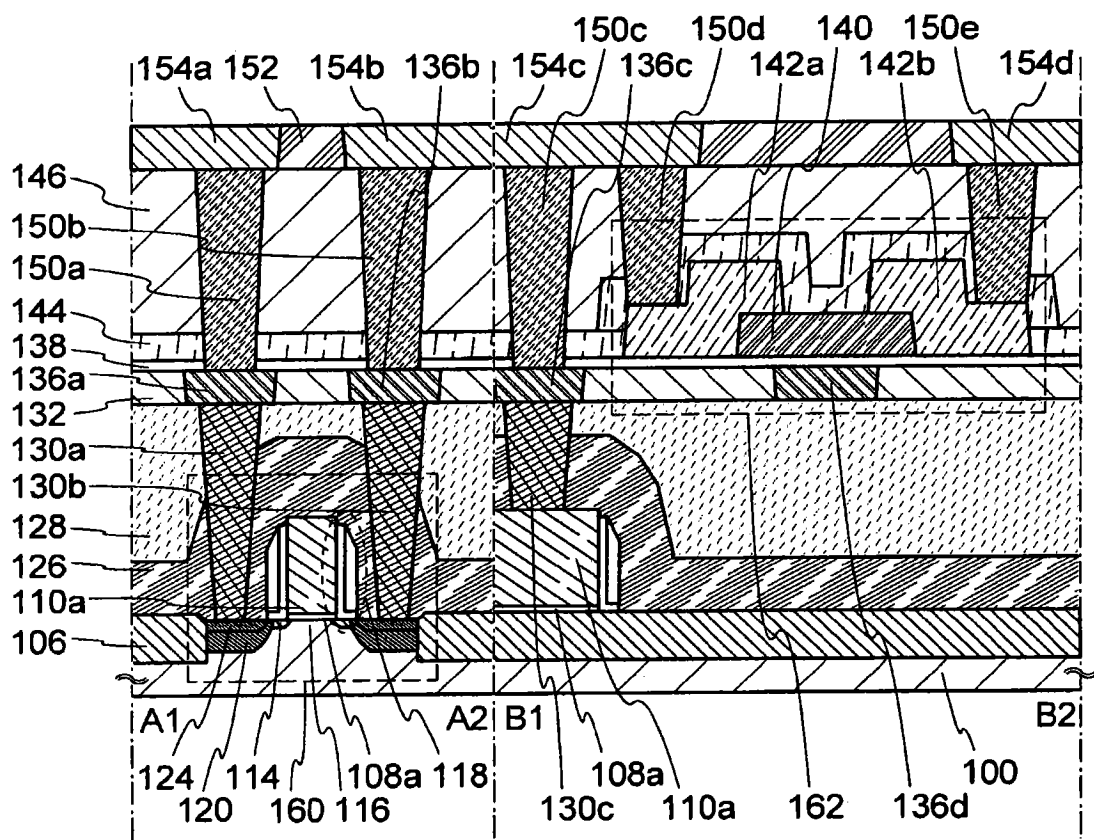


图 2A

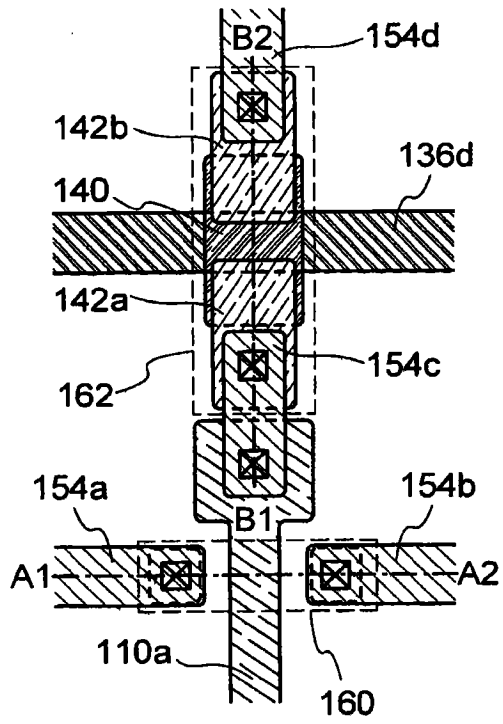


图 2B

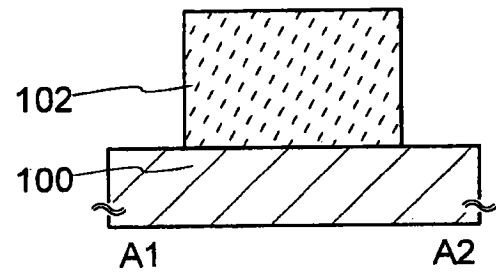


图 3A

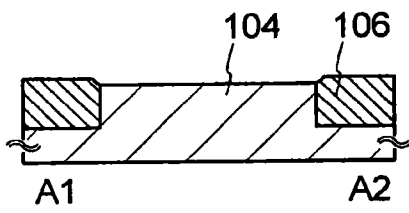


图 3B

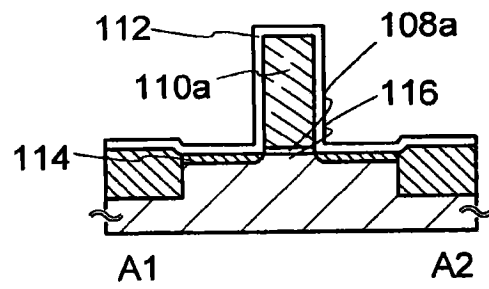


图 3C

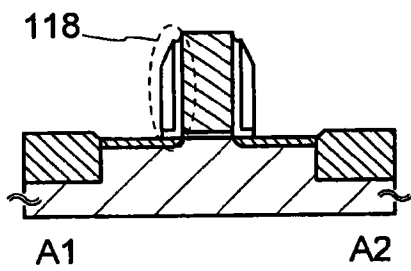


图 3D

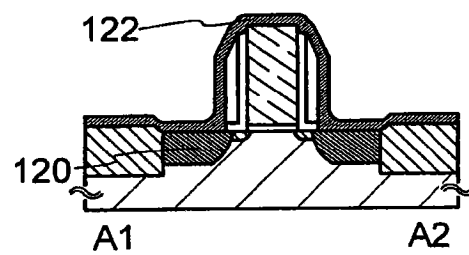


图 3E

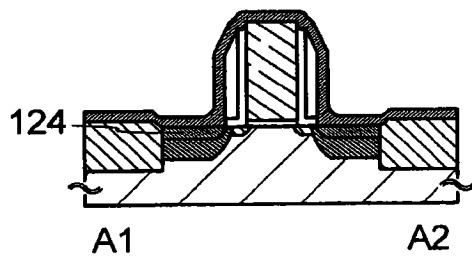


图 3F

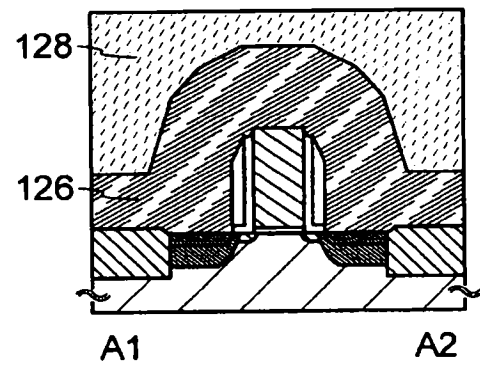


图 3G

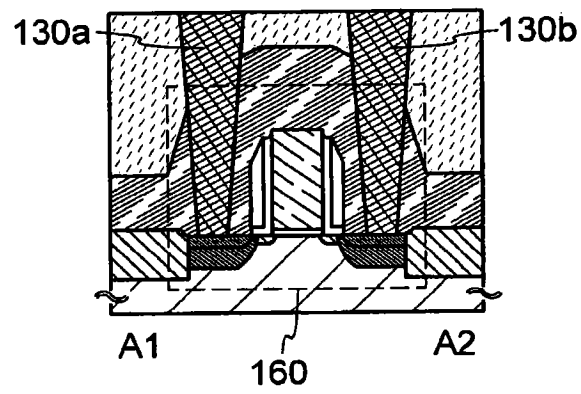


图 3H

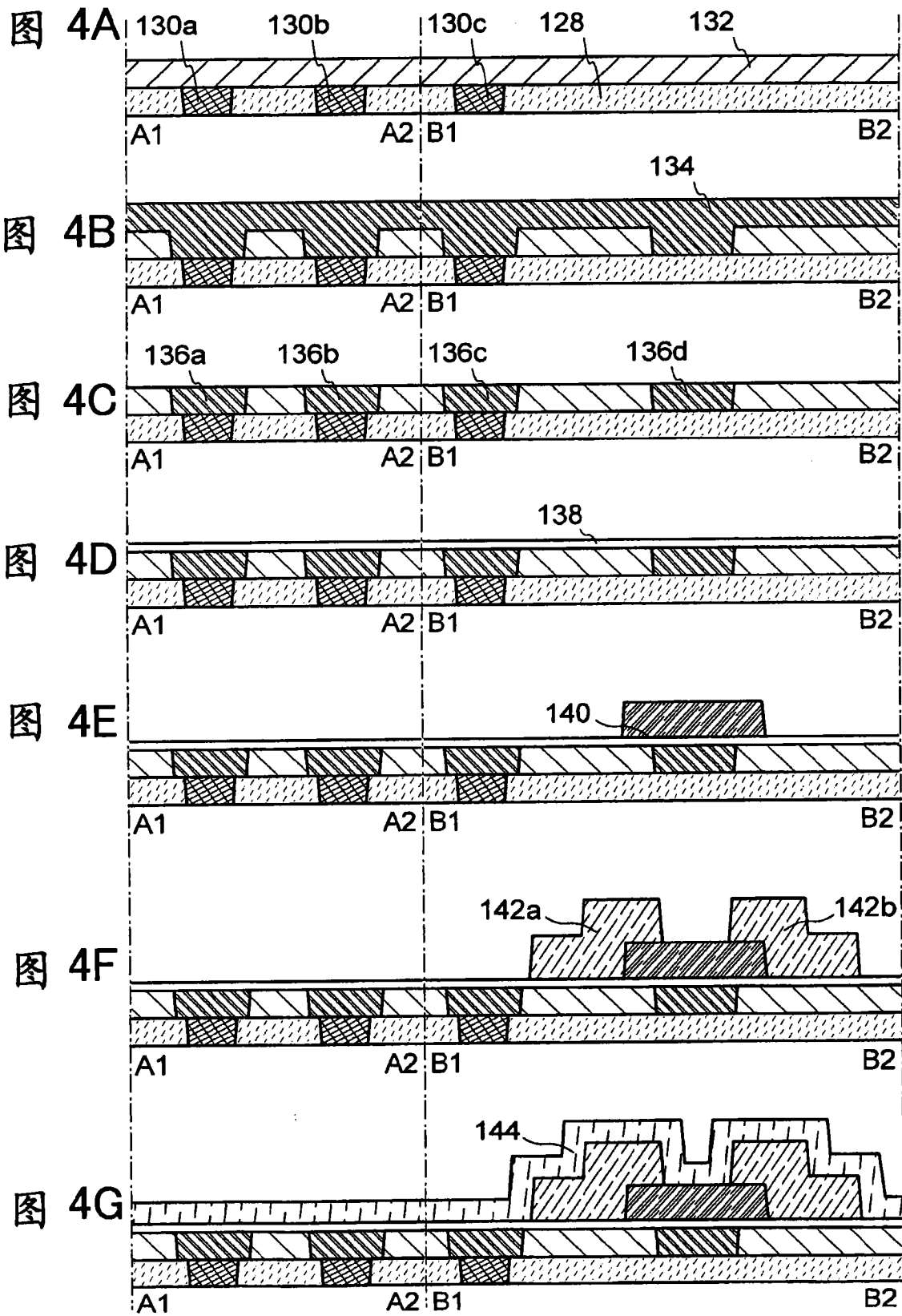


图 5A

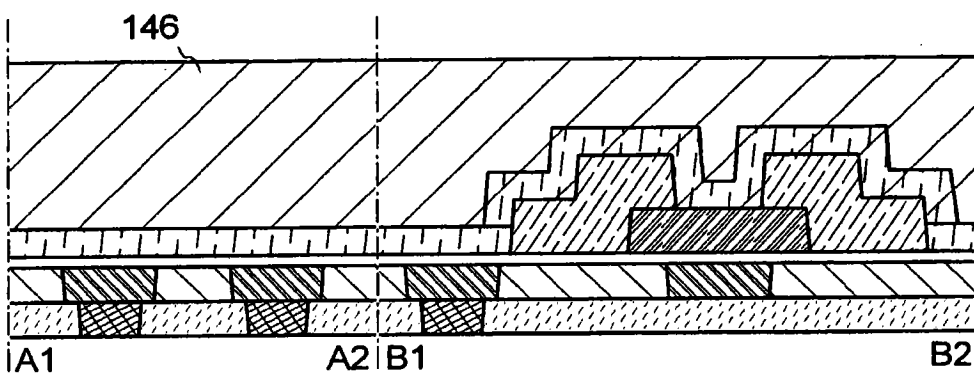


图 5B

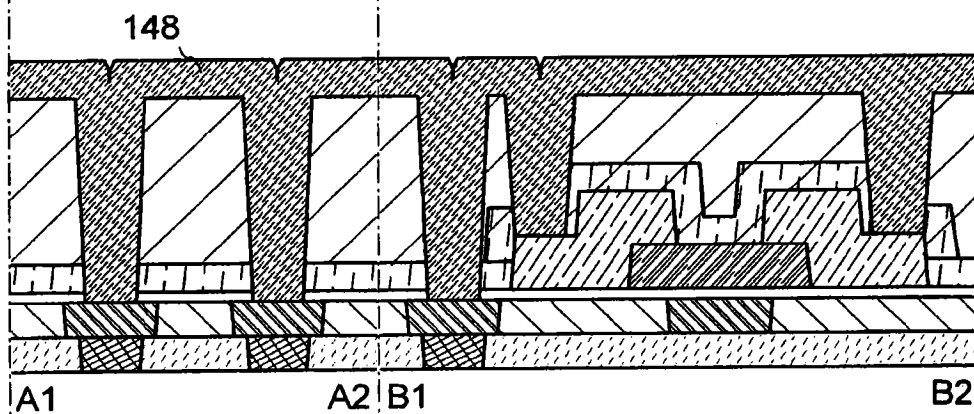


图 5C

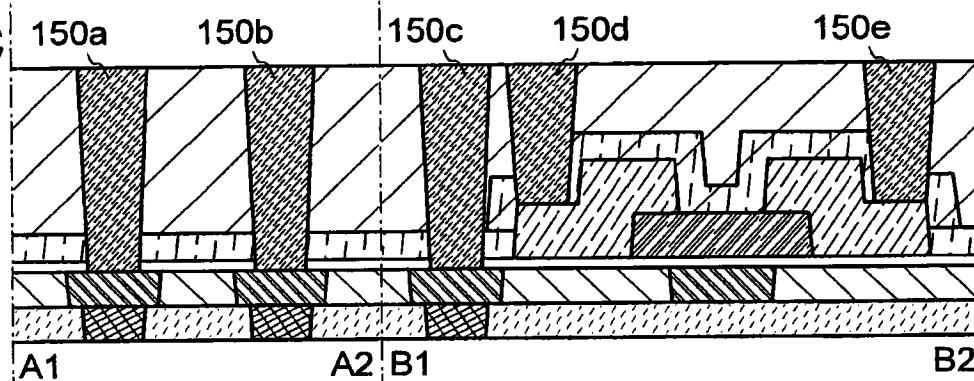
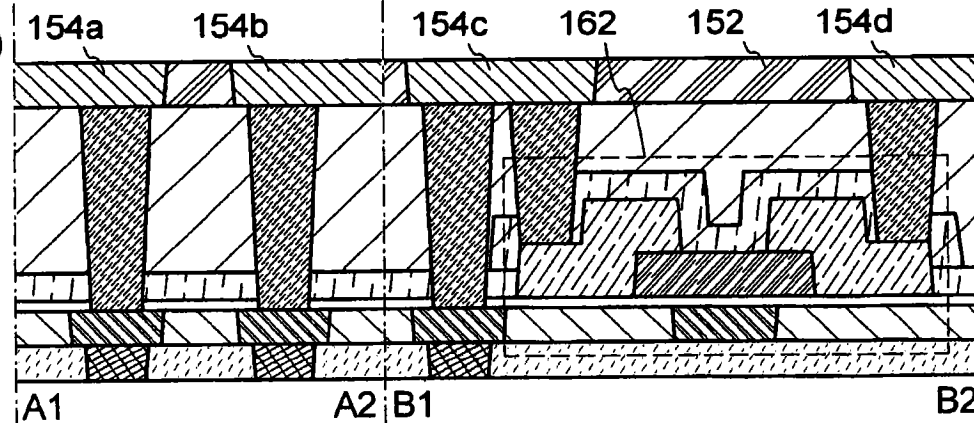


图 5D



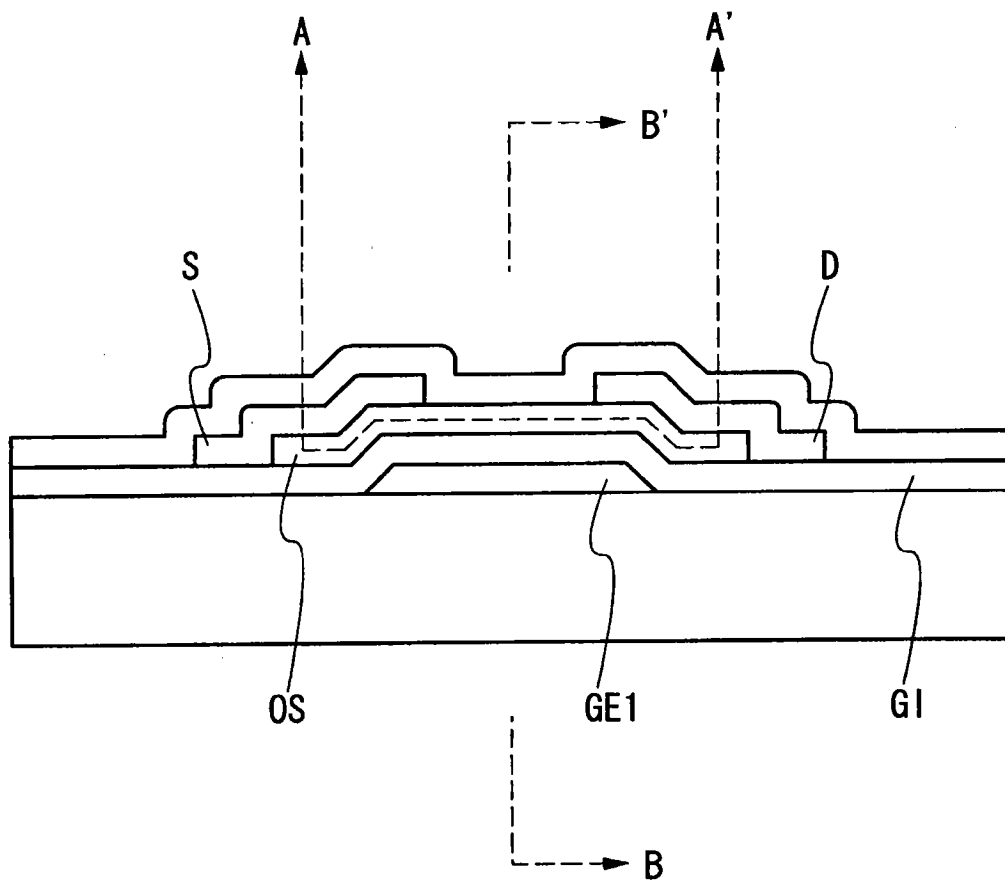


图 6

氧化物半导体(沟道)

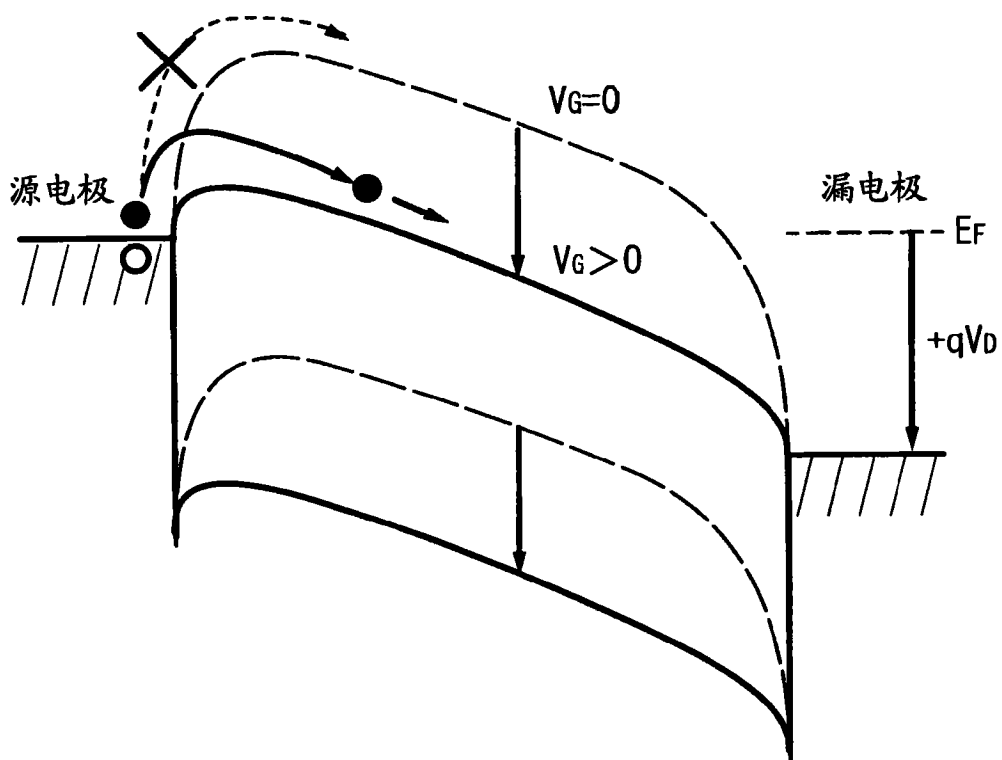


图 7

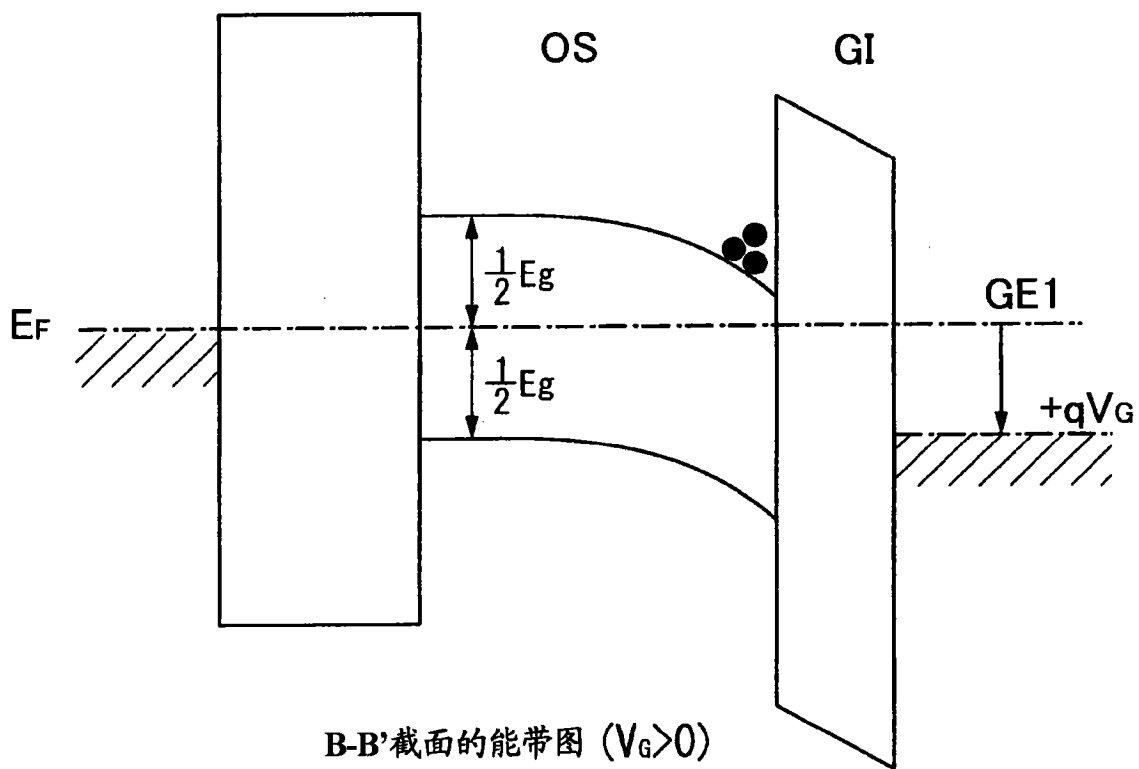
B-B'截面的能带图 ($V_G > 0$)

图 8A

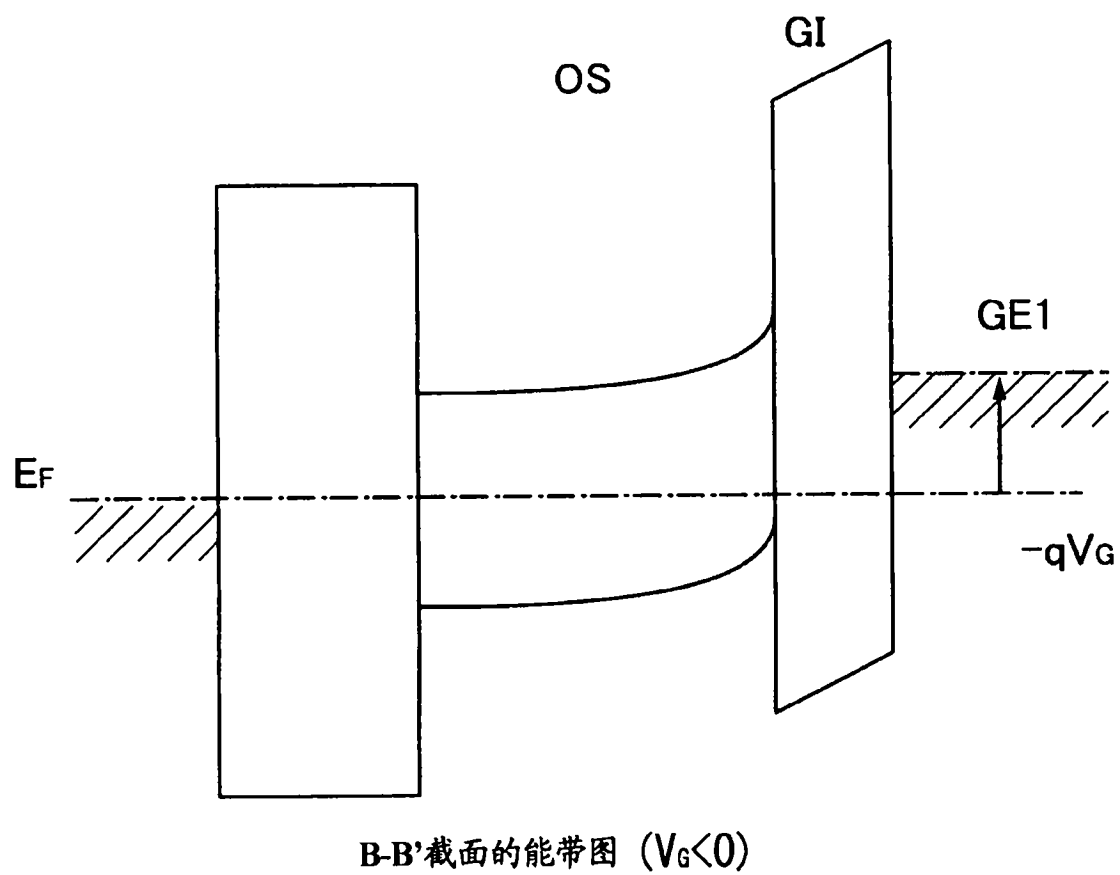


图 8B

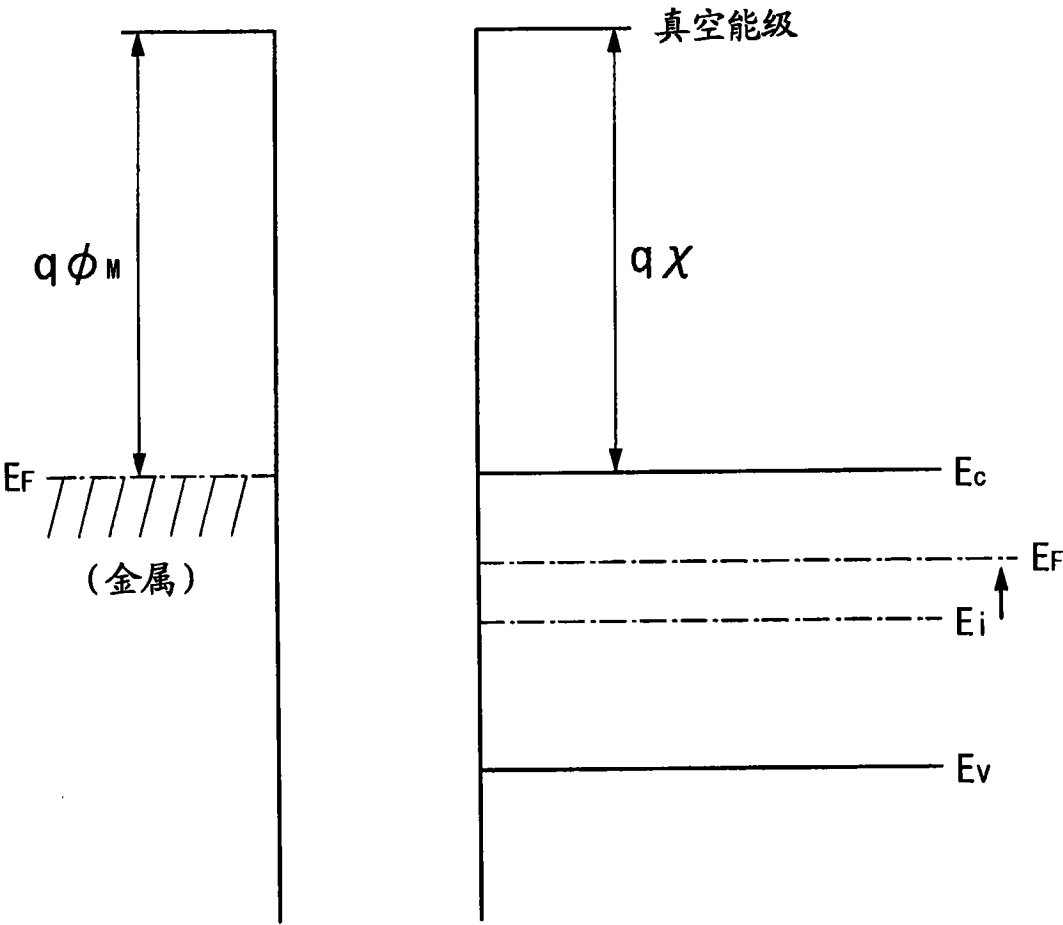


图 9

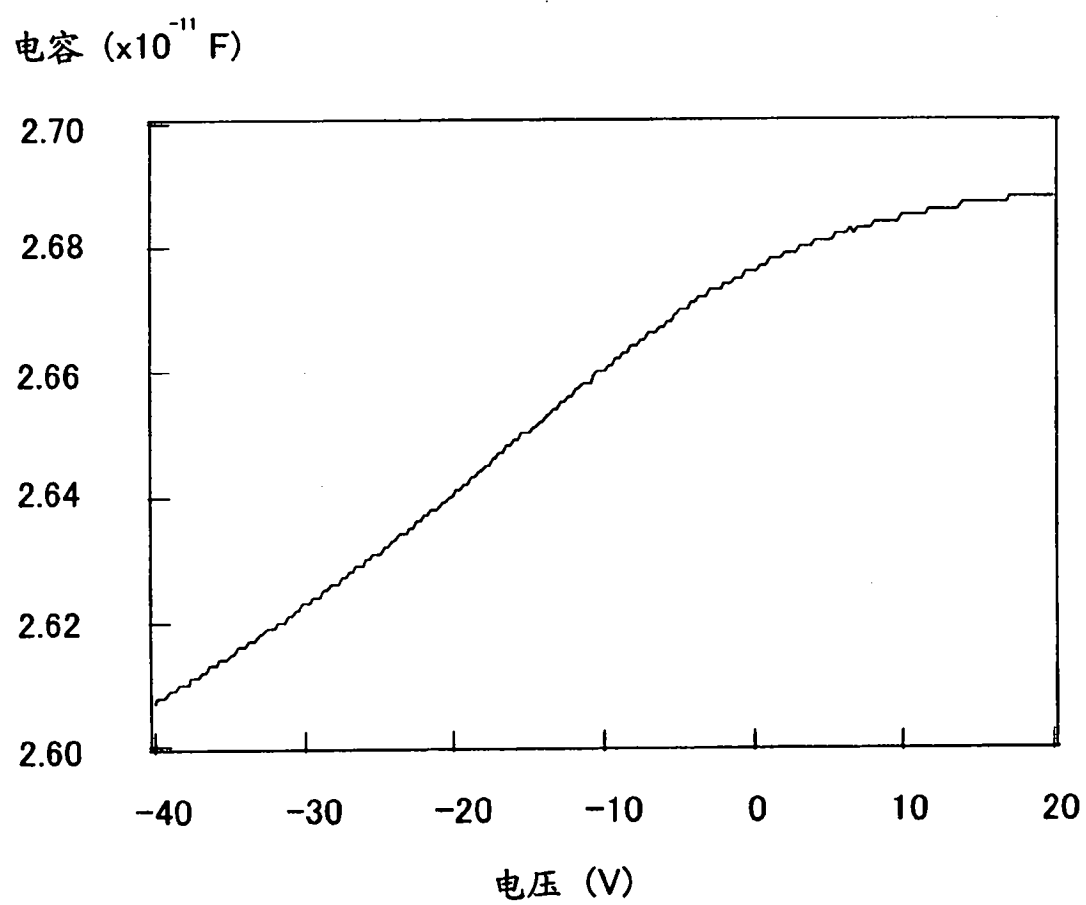


图 10

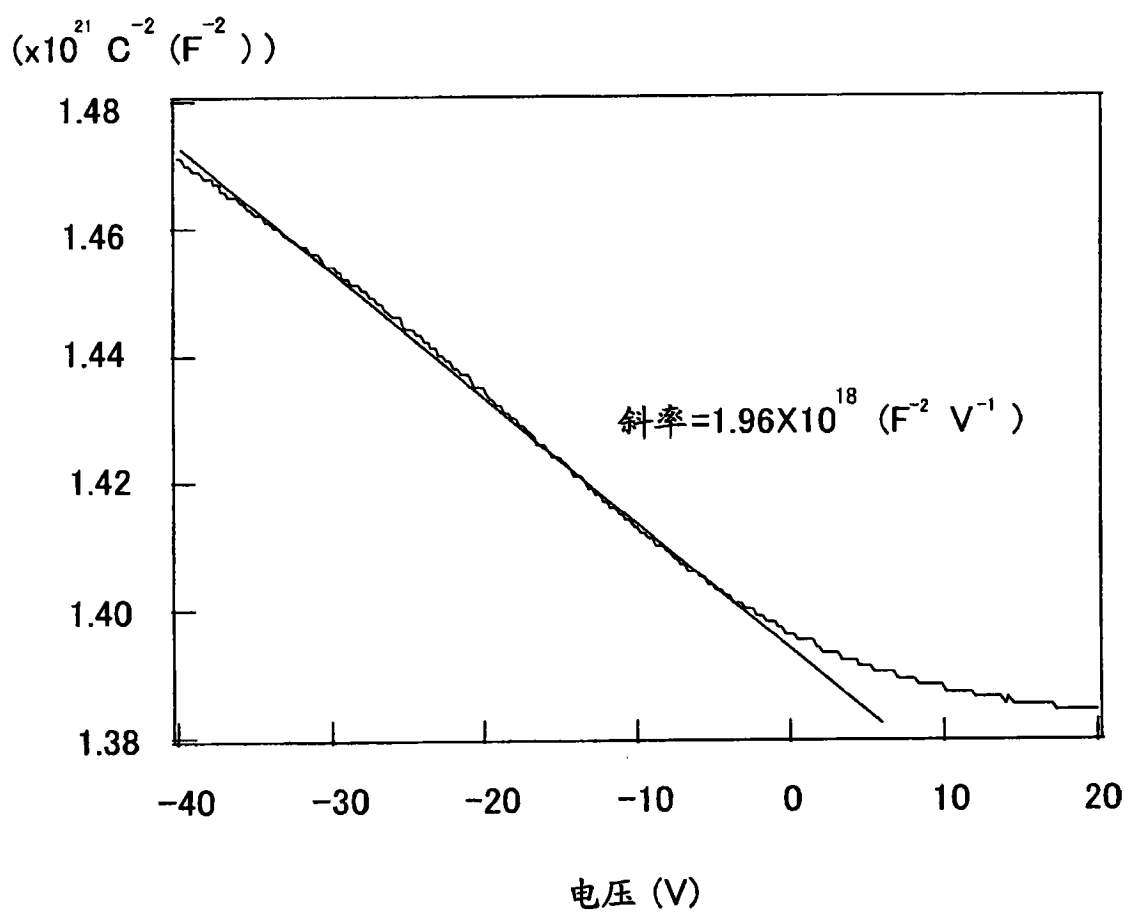


图 11

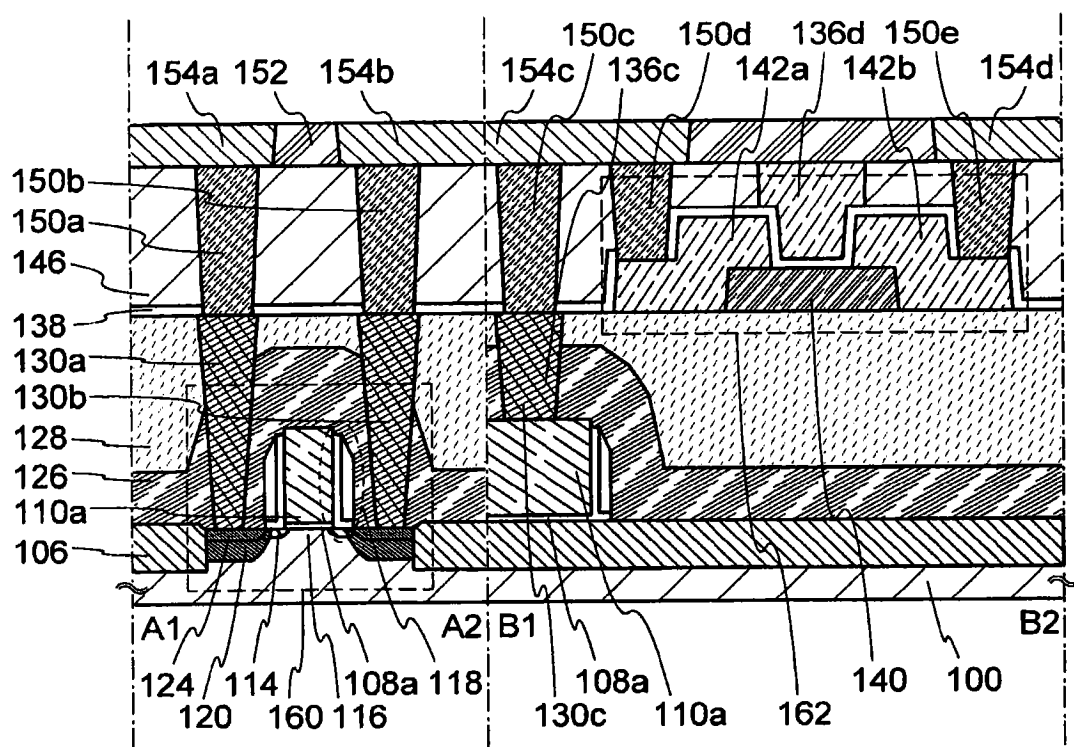


图 13B

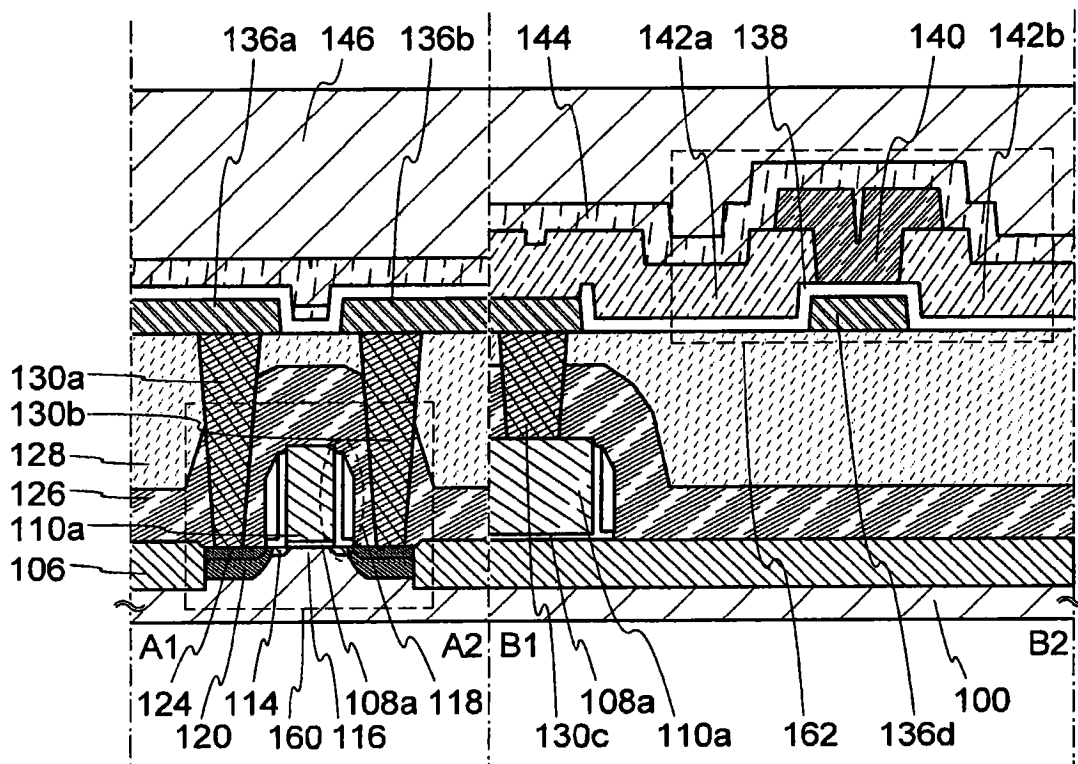


图 14A

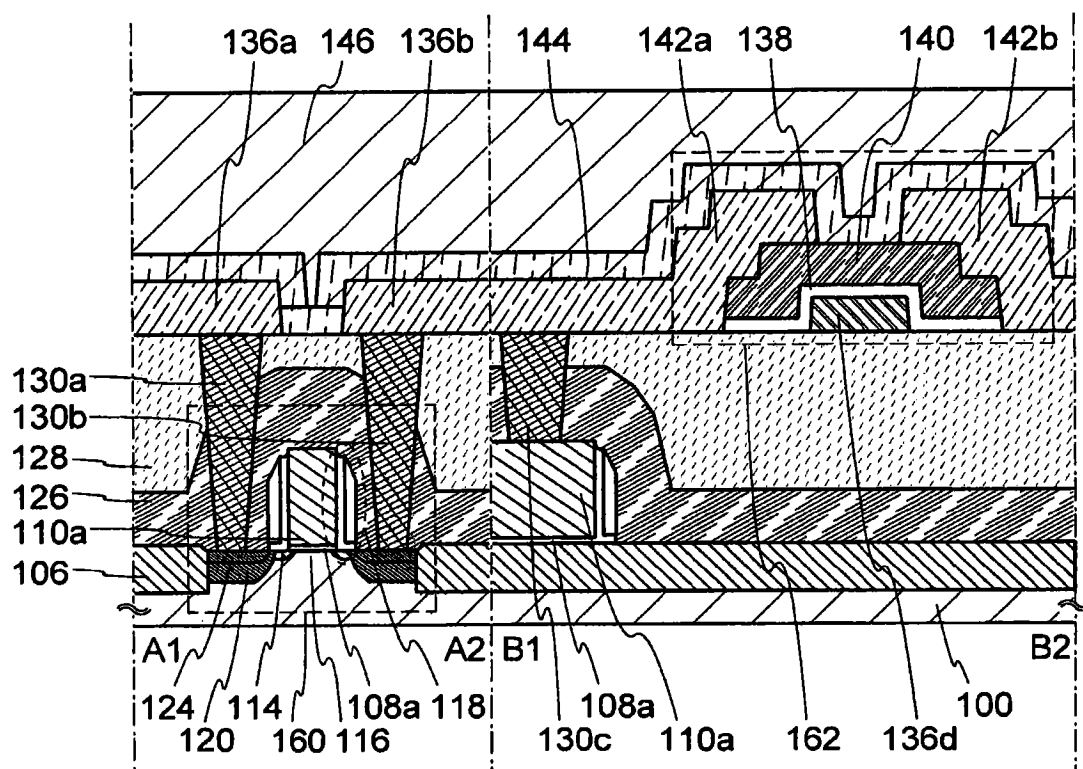


图 14B

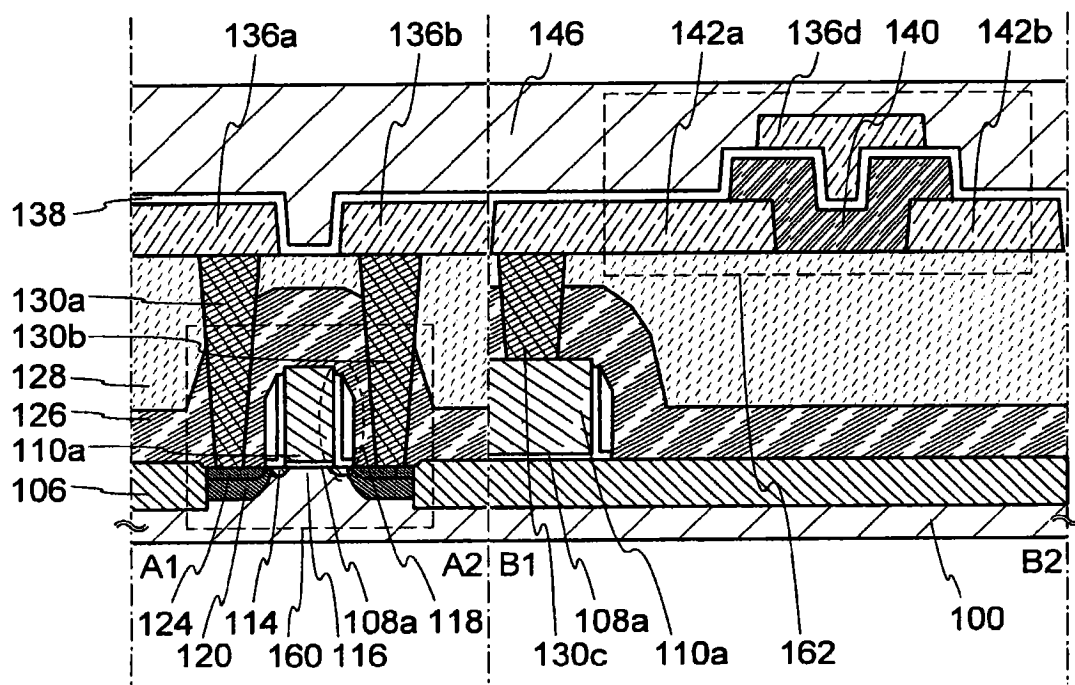


图 15A

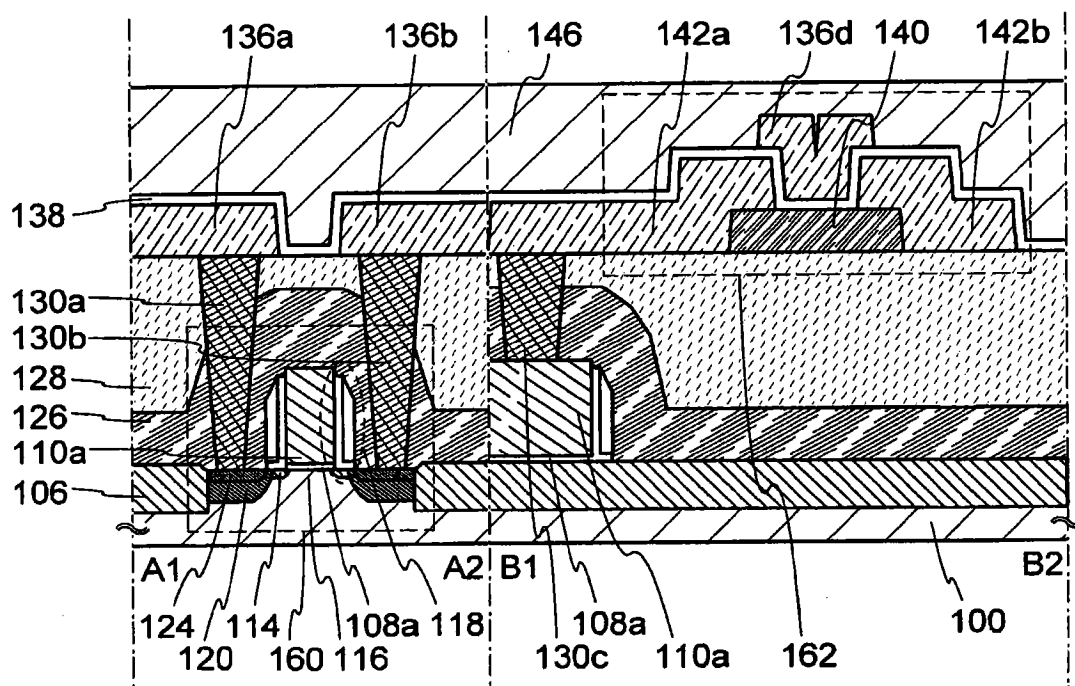


图 15B

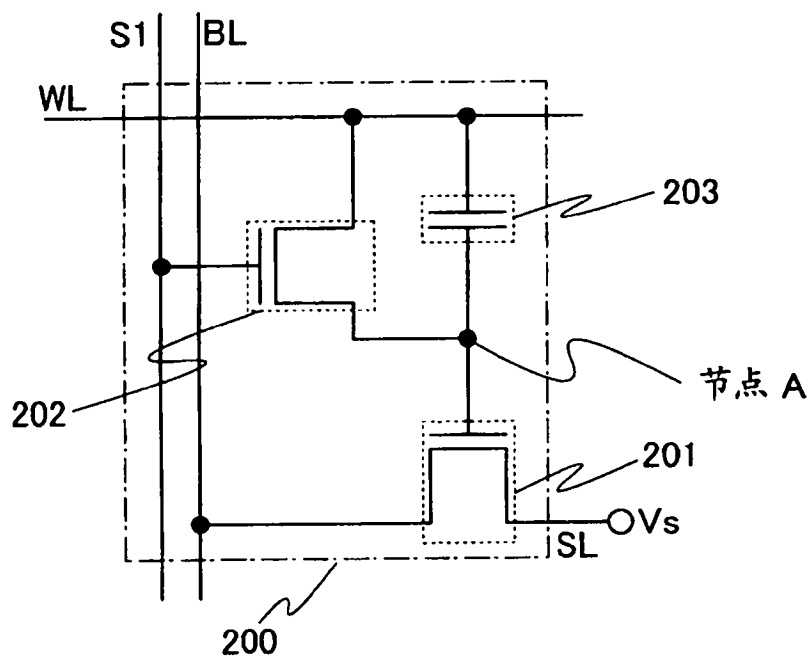


图 16

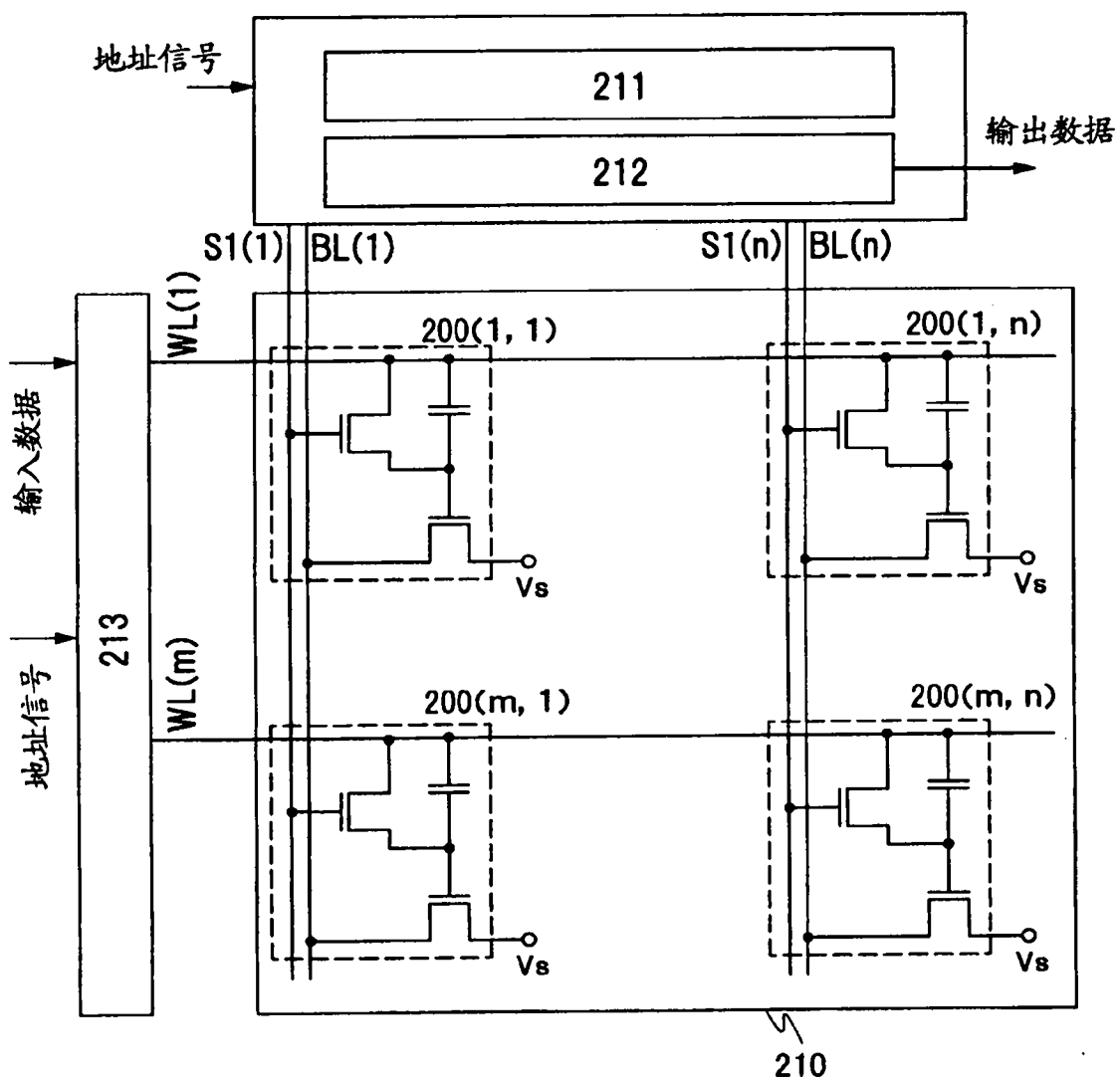


图 17

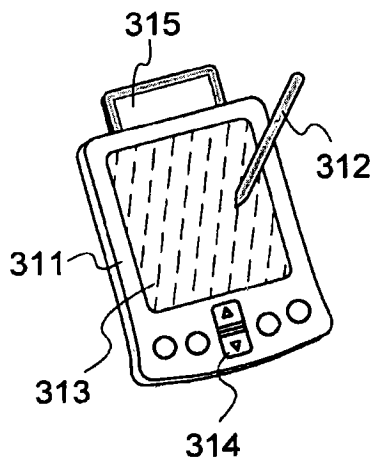


图 20B

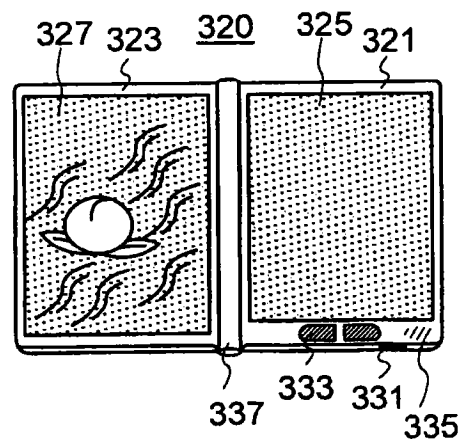


图 20C

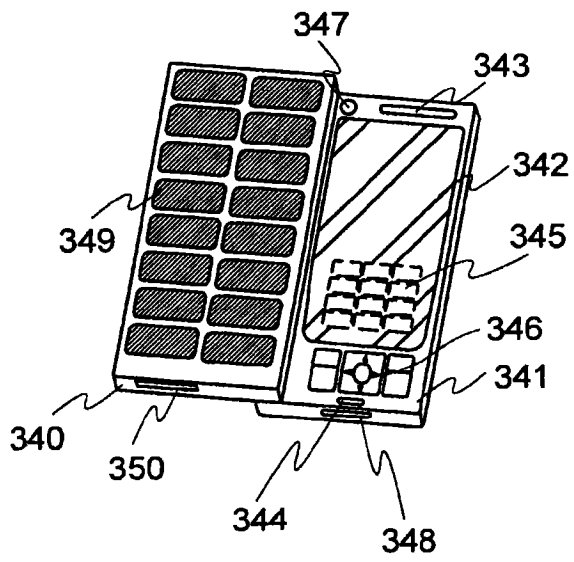


图 20D

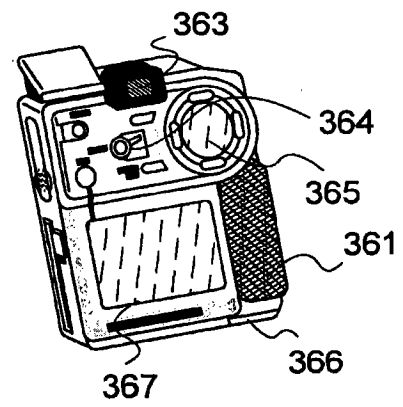


图 20E

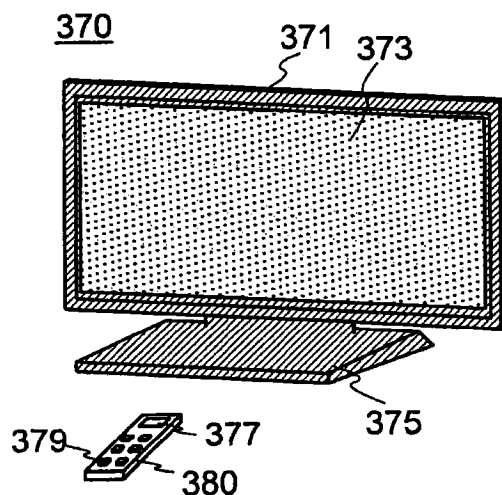


图 20F

附图标记说明

100 : 衬底, 102 : 保护层, 104 : 半导体区域, 106 : 元件分离绝缘层, 108a : 栅极绝缘层, 108b : 栅极绝缘层, 110a : 栅电极, 112 : 绝缘层, 114 : 杂质区域, 116 : 沟道形成区域, 118 : 侧壁绝缘层, 120 : 高浓度杂质区域, 122 : 金属层, 124 : 金属化合物区域, 126 : 层间绝缘层, 128 : 层间绝缘层, 130a : 源电极或漏电极, 130b : 源电极或漏电极, 130c : 电极, 132 : 绝缘层, 134 : 导电层, 136a : 电极, 136b : 电极, 136c : 电极, 136d : 栅电极, 138 : 栅极绝缘层, 140 : 氧化物半导体层, 142a : 源电极或漏电极, 142b : 源电极或漏电极, 144 : 保护绝缘层, 146 : 层间绝缘层, 148 : 导电层, 150a : 电极, 150b : 电极, 150c : 电极, 150d : 电极, 150e : 电极, 152 : 绝缘层, 154a : 电极, 154b : 电极, 154c : 电极, 154d : 电极, 154e : 电极, 160 : 晶体管, 162 : 晶体管, 200 : 存储器单元, 201 : 晶体管, 202 : 晶体管, 203 : 电容器, 204 : 晶体管, 210 : 存储器单元阵列, 211 : 读取电路, 212 : 驱动电路, 213 : 驱动电路, 215 : 读取放大器, 220 : 存储器单元, 221 : 晶体管, 222 : 晶体管, 223 : 电容器, 301 : 主体, 302 : 壳体, 303 : 显示部, 304 : 键盘, 311 : 主体, 312 : 触屏笔, 313 : 显示部, 314 : 操作按钮, 315 : 外部接口, 320 : 电子书阅读器, 321 : 壳体, 323 : 壳体, 325 : 显示部, 327 : 显示部, 331 : 电源按钮, 333 : 操作键, 335 : 扬声器, 337 : 轴部单元, 340 : 壳体, 341 : 壳体, 342 : 显示面板, 343 : 扬声器, 344 : 麦克风, 345 : 操作键, 346 : 定位装置, 347 : 照相机透镜, 348 : 外部连接端子, 349 : 太阳能电池, 350 : 外部存储器插槽, 361 : 主体, 363 : 取景器, 364 : 操作开关, 365 : 显示部 B, 366 : 电池, 367 : 显示部 A, 370 : 电视装置, 371 : 壳体, 373 : 显示部, 375 : 支架, 377 : 显示部, 379 : 操作键, 380 : 遥控操作机。