

# (12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织  
国际局

(43) 国际公布日  
2023 年 3 月 2 日 (02.03.2023)



(10) 国际公布号  
**WO 2023/023972 A1**

(51) 国际专利分类号:  
*H01L 27/02* (2006.01) *H01L 21/762* (2006.01)  
*H01L 29/78* (2006.01)

(21) 国际申请号: PCT/CN2021/114493

(22) 国际申请日: 2021 年 8 月 25 日 (25.08.2021)

(25) 申请语言: 中文

(26) 公布语言: 中文

(71) 申请人: 中芯国际集成电路制造(上海)有限公司(SEMICONDUCTOR MANUFACTURING INTERNATIONAL (SHANGHAI) CORPORATION) [CN/CN]; 中国上海市浦东新区张江路 18 号, Shanghai 201203 (CN)。中芯国际集成电路制造(北京)有限公司(SEMICONDUCTOR MANUFACTURING INTERNATIONAL (BEIJING) CORPORATION) [CN/CN];

中国北京市经济技术开发区文昌大道 18 号, Beijing 100176 (CN)。

(72) 发明人: 苏巴什·库查努里 (SUBHASH, Kuchanuri); 中国上海市浦东新区张江路 18 号, Shanghai 201203 (CN)。王俊(WANG, Jun); 中国上海市浦东新区张江路 18 号, Shanghai 201203 (CN)。郁扬(YU, Yang); 中国上海市浦东新区张江路 18 号, Shanghai 201203 (CN)。

(74) 代理人: 北京集佳知识产权代理有限公司 (UNITALEN ATTORNEYS AT LAW); 中国北京市朝阳区建国门外大街 22 号赛特广场 7 层, Beijing 100004 (CN)。

(81) 指定国(除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB,

(54) Title: SEMICONDUCTOR STRUCTURE AND METHOD FOR FORMING SEMICONDUCTOR STRUCTURE

(54) 发明名称: 半导体结构及半导体结构的形成方法

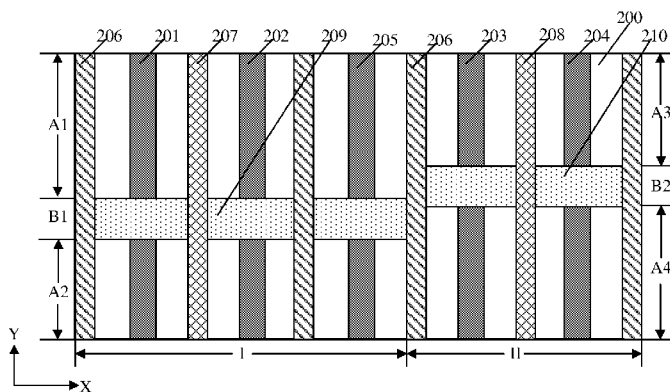


图 2

(57) Abstract: A semiconductor structure and a method for forming same. The structure comprises: a substrate, which comprises at least one cell region, the cell region comprising a first region and a second region which are adjacent and arranged in a first direction, the first region comprising a first isolation region, the second region comprising a second isolation region, and the central axis of the first isolation region parallel to the first direction not coinciding with the central axis of the second isolation region; a first gate structure located on the first region, and a first metal layer and second metal layer respectively located at two sides of the first gate structure; a second gate structure located on the second region, and a third metal layer and fourth metal layer respectively located at two sides of the second gate structure, wherein the first gate structure, the first metal layer, the second metal layer, the second gate structure, the third metal layer, and the fourth metal layer are parallel to a second direction; a first isolation structure, which is located on the first isolation region and penetrates the first metal layer and the second metal layer in the first direction; and a second isolation structure, which is located on the second isolation region and penetrates the third metal layer and the fourth metal layer in the first direction.

GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW。

- (84) 指定国(除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

- 包括国际检索报告(条约第21条(3))。

(57) 摘要: 半导体结构及其形成方法, 结构包括: 衬底, 衬底包括至少一个单元区, 单元区包括沿第一方向排布的相邻的第一区和第二区, 第一区包括第一隔离区, 第二区包括第二隔离区, 第一隔离区平行于第一方向的中轴线与第二隔离区的中轴线不重合; 位于第一区上的第一栅极结构、分别位于第一栅极结构两侧的第一金属层和第二金属层; 位于第二区上的第二栅极结构、分别位于第二栅极结构两侧的第三金属层和第四金属层, 第一栅极结构、第一金属层、第二金属层、第二栅极结构、第三金属层和第四金属层平行于第二方向; 位于第一隔离区上沿第一方向贯穿第一金属层和第二金属层的第一隔离结构; 位于第二隔离区上沿第一方向贯穿第三金属层和第四金属层的第二隔离结构。

## 半导体结构及半导体结构的形成方法

### 技术领域

本发明涉及半导体制造领域，尤其涉及一种半导体结构及半导体结构的形成方法。

### 背景技术

随着半导体技术的不断发展，集成电路性能的提高主要是通过不断缩小集成电路器件的尺寸以提高它的速度来实现的。目前，由于高器件密度、高性能和低成本的需求，半导体工业已经进步到纳米技术工艺节点。

然而，缩小电路器件的尺寸以提升集成度是持续需要解决的问题。

### 发明内容

本发明解决的技术问题是提供一种半导体结构及半导体结构的形成方法，缩小电路器件的尺寸以提升集成度。

为解决上述技术问题，本发明技术方案提供一种半导体结构，包括：衬底，所述衬底包括至少一个单元区，所述单元区包括相邻的第一区和第二区，所述第一区和第二区沿第一方向排布，所述第一区包括沿第二方向排列的第一有源区、第一隔离区和第二有源区，所述第一有源区和第二有源区位于第一隔离区两侧，所述第二区包括沿第二方向排列的第三有源区、第二隔离区和第四有源区，所述第三有源区和第四有源区位于第二隔离区两侧，所述第一隔离区平行于第一方向的中轴线与第二隔离区平行于第一方向的中轴线不重合，所述第一方向和第二方向平行于衬底表面，且所述第一方向和第二方向相互垂直；位于第一区上的第一栅极结构，所述第一栅极结构横跨所述第一有源区、第一隔离区和第二有源区，以及分别位于所述第一栅极结构

-2-

两侧的第一金属层和第二金属层,所述第一栅极结构、第一金属层和第二金属层平行于第二方向;位于第二区上的第二栅极结构,所述第二栅极结构横跨所述第三有源区、第二隔离区和第四有源区,以及分别位于第二栅极结构两侧的第三金属层和第四金属层,所述第二栅极结构、第三金属层和第四金属层平行于第二方向;位于第一隔离区上的第一隔离结构,所述第一隔离结构沿第一方向贯穿所述第一金属层和第二金属层,所述第一栅极结构位于第一隔离结构上;位于第二隔离区上的第二隔离结构,所述第二隔离结构沿第一方向贯穿所述第三金属层和第四金属层,所述第二栅极结构位于第二隔离结构上。

可选的,所述第一隔离区与所述第一有源区和第二有源区相邻;所述第二隔离区与所述第三有源区和第四有源区相邻。

可选的,所述第一有源区上的器件导电类型与第二有源区上的器件导电类型相反,所述第三有源区上的器件导电类型与第四有源区上的器件导电类型相反。

可选的,所述第一有源区和第三有源区相邻,所述第二有源区和第四有源区相邻;所述第一有源区上的器件导电类型和第三有源区上的器件导电类型相同,所述器件导电类型为N型;所述第二有源区上的器件导电类型和第四有源区上的器件导电类型相同,所述器件导电类型为P型。

可选的,还包括:位于第一区上的第五金属层,所述第五金属层位于第二金属层和第三金属层之间,所述第五金属层平行于第二方向,所述第一隔离结构还沿第一方向贯穿所述第五金属层。

可选的,还包括:位于衬底上的若干伪栅极结构,若干所述伪栅极结构平行排列,所述伪栅极结构平行于第二方向;所述第一金属层位于伪栅极结构和第一栅极结构之间,所述第二金属层位于伪栅极结构和第一栅极结构之间,所述第三金属层位于伪栅极结构和第二栅极结构之间,所述第四金属层位于伪栅极结构和第二栅极结构之间,所述第五金属层位于相邻的伪栅极结构之间。

—3—

可选的，还包括：平行于第一方向的第一连接层，所述第一连接层电连接第一有源区上和第三有源区上的第二金属层、第五金属层和第三金属层；平行于第一方向的第二连接层，所述第二连接层电连接第二有源区上的第二金属层和第五金属层；平行于第一方向的第一导电层，所述第一导电层横跨所述第一有源区和第三有源区，所述第一导电层电连接第一有源区上的第一金属层和第三有源区上的第四金属层；平行于第一方向的第二导电层，所述第二导电层电连接所述第四有源区上的第三金属层，所述第二导电层位于第四有源区上；平行于第一方向的第三导电层，所述第三导电层横跨所述第二有源区和第四有源区，所述第三导电层电连接第二有源区上的第一金属层和第四有源区上的第四金属层；平行于第二方向的电输出层，所述电输出层电连接所述第一导电层和第二导电层。

可选的，还包括：平行于第一方向的第四导电层，所述第四导电层电连接所述第二栅极结构，所述第四导电层横跨所述第一有源区和第二隔离区。

可选的，所述第一导电层、第四导电层、第二导电层和第三导电层依次等间距平行排列。

可选的，还包括：平行于第一方向的第五导电层，所述第五导电层位于第一隔离区上，所述第五导电层电连接所述第一栅极结构，所述第五导电层在第一方向上的中轴线与第二导电层在第一方向上的中轴线重合。

可选的，还包括：与第一有源区上的第五金属层电连接的电源电压线；与第二有源区上的第五金属层电连接的接地电压线，所述电源电压线和接地电压线平行于第一方向。

可选的，多个单元区中包括第一单元区和第二单元区，所述第一单元区和第二单元区单元沿第一方向排列，所述第一单元区的第二区与第二单元区的第一区相邻接；所述第二单元区的第一有源区和第一单元区的第三有源区相邻，所述第二单元区的第二有源区和第一单元

区第四有源区相邻。

可选的,还包括:平行于第一方向的第一连接层,所述第一连接层电连接第一单元区的第一有源区上和第三有源区上的第二金属层、第五金属层和第三金属层;平行于第一方向的第二连接层,所述第二连接层电连接第一单元区的第二有源区上的第二金属层和第五金属层;平行于第一方向的第三连接层,所述第三连接层在第一方向上的中轴线与第一连接层在第一方向上的中轴线重合,所述第三连接层电连接第二单元区的第一有源区上的第二金属层和第五金属层;平行于第一方向的第四连接层,所述第四连接层在第一方向上的中轴线与第二连接层在第一方向上的中轴线重合,所述第四连接层电连接第二单元区的第二有源区上的第二金属层和第五金属层。

可选的,还包括:位于第一单元区上的第一导电层,所述第一导电层平行于第一方向,所述第一导电层横跨所述第一单元区的第一有源区和第三有源区,所述第一导电层电连接第一单元区的第一有源区上的第一金属层和第三有源区上的第四金属层;位于第一单元区的第四有源区上和第二单元区的第一隔离区上的第二导电层,所述第二导电层平行于第一方向,所述第二导电层电连接所述第一单元区的第四有源区上的第四金属层和第二单元区的第一栅极结构;位于第一单元区上的第三导电层,所述第三导电层平行于第一方向,所述第三导电层横跨所述第一单元区的第二有源区和第四有源区,所述第三导电层电连接第一单元区的第二有源区上的第一金属层和第四有源区上的第三金属层;位于第一单元区上的第四导电层,所述第四导电层平行于第一方向,所述第四导电层电连接所述第一单元区的第二栅极结构,所述第四导电层横跨所述第一单元区的第一有源区和第二隔离区;位于第一单元区上的第五导电层,所述第五导电层平行于第一方向,所述第五导电层位于第一隔离区上,所述第五导电层电连接所述第一单元区的第一栅极结构,所述第五导电层在第一方向上的中轴线与第二导电层在第一方向上的中轴线重合。

—5—

可选的,所述第一导电层、第四导电层、第二导电层和第三导电层依次等间距平行排列。

可选的,还包括:位于第二单元区的第一有源区上的第六导电层,所述第六导电层平行于第一方向,所述第六导电层电连接第二单元区的第一有源区上的第一金属层;位于第二单元区的第三有源区上的第七导电层,所述第七导电层平行于第一方向,所述第七导电层电连接所述第二单元区的第三有源区上的第三金属层和第四金属层;位于第二单元区的第二有源区上的第八导电层,所述第八导电层平行于第一方向,所述第八导电层电连接第二单元区的第二有源区上的第一金属层;位于第二单元区的第四有源区上的第九导电层,所述第九导电层平行于第一方向,所述第九导电层电连接所述第二单元区的第四有源区上第三金属层和第四金属层;所述第一导电层、第六导电层和第七导电层第一方向上的中轴线重合;所述第三导电层、第八导电层和第九导电层第一方向上的中轴线重合。

可选的,还包括:平行于第二方向的第一电输出层,所述第一电输出层电连接所述第一单元区上的第一导电层和第二导电层;平行于第二方向的第二电输出层,所述第二电输出层电连接所述第二单元区上的第六导电层和第八导电层。

可选的,还包括:与第一单元区第一有源区上的第五金属层以及第二单元区第一有源区上的第五金属层电连接的电源电压线;与第一单元区第二有源区上的第五金属层以及第二单元区第二有源区上的第五金属层电连接的接地电压线,所述电源电压线和接地电压线平行于第一方向。

可选的,多个单元区中包括第一单元区、第二单元区、第三单元区和第四单元区;所述第一单元区和第二单元区沿平行于衬底表面的第一方向排列,所述第一单元区的第二区与第二单元区的第一区相邻接;所述第三单元区和第四单元区沿平行于衬底表面的第一方向排列,所述第三单元区的第二区与第四单元区的第一区相邻接;所述第

—6—

一单元区和第四单元区沿平行于衬底表面的第二方向排列，所述第一单元区的第一区与第四单元区的第二区相邻接，所述第一单元区的第二区与第四单元区的第一区相邻接；所述第二单元区和第三单元区沿平行于衬底表面的第二方向排列，所述第二单元区的第二区与第三单元区的第一区相邻接，所述第二单元区的第一区与第三单元区的第二区相邻接。

可选的，还包括：平行于第一方向的第一连接层，所述第一连接层电连接第一有源区上的第二金属层和第五金属层；平行于第一方向的第二连接层，所述第二连接层电连接第二有源区上的第二金属层和第五金属层；平行于第一方向的第一导电层，所述第一导电层与第一有源区上的第一金属层电连接；平行于第一方向的第二导电层，所述第二导电层与第一栅极结构电连接，所述第二导电层横跨所述第一有源区和第二隔离区；平行于第一方向的第三导电层，所述第三导电层与第二有源区上的第一金属层电连接；平行于第二方向的电输出层，所述电输出层电连接所述第一导电层和第三导电层。

可选的，还包括：平行于第一方向的第四导电层，所述第四导电层电连接所述第三有源区上的第三金属层和第四金属层，所述第四导电层在第一方向上的中轴线与第一导电层在第一方向上的中轴线重合；平行于第一方向的第五导电层，所述第五导电层电连接所述第四有源区上的第三金属层和第四金属层，所述第五导电层在第一方向上的中轴线与第三导电层在第一方向上的中轴线重合。

可选的，还包括：平行于第一方向的第六导电层，所述第六导电层横跨所述第一隔离区和第四有源区；所述第一导电层、第二导电层、第六导电层和第三导电层依次等间距平行排列；平行于第一方向的电源电压线，所述电源电压线与第一有源区上的第五金属层电连接；平行于第一方向的接地电压线，所述接地电压线与第二有源区上的第五金属层电连接。

相应地，本发明技术方案还提供一种半导体结构的形成方法，包

-7-

括：提供衬底，所述衬底包括至少一个单元区，所述单元区包括相邻的第一区和第二区，所述第一区和第二区沿第一方向排布，所述第一方向平行于衬底表面，所述第一区包括第一隔离区，所述第二区包括第二隔离区，所述第一隔离区平行于第一方向的中轴线与第二隔离区平行于第一方向的中轴线不重合；在第一区上形成第一栅极结构、以及分别位于第一栅极结构两侧的第一金属层和第二金属层，所述第一栅极结构、第一金属层和第二金属层平行于第二方向，所述第二方向平行于衬底表面且与第一方向垂直；在第二区上形成第二栅极结构、以及分别位于第二栅极结构两侧的第三金属层和第四金属层，所述第二栅极结构、第三金属层和第四金属层平行于第二方向；在第一隔离区上形成第一隔离结构，所述第一隔离结构沿第一方向贯穿所述第一金属层和第二金属层；在第二隔离区上形成第二隔离结构，所述第二隔离结构沿第一方向贯穿所述第三金属层和第四金属层。

本发明技术方案中的半导体结构，所述衬底包括至少一个单元区，所述单元区包括相邻的第一区和第二区，所述第一区和第二区在沿平行于衬底表面的第一方向上相邻，所述第一区包括第一隔离区，所述第二区包括第二隔离区，所述第一隔离区在第一方向上的中轴线与第二隔离区在第一方向上的中轴线不重合。从而使得后续形成平行于第一方向的导电层时，在既定的导电层设计规则下，所述导电层可与第一金属层、第二金属层、第三金属层、第四金属层、第一栅极结构或第二栅极结构电连接的位置增加，从而能够利用较小面积的半导体结构单元区形成复杂的电路，从而节省了面积，增加后段布线的灵活性，提高了集成度。

进一步，所述衬底包括第一区和第二区，所述第一区和第二区在沿平行于衬底表面的第一方向上相邻，所述第一区包括第一隔离区，所述第二区包括第二隔离区，所述第一隔离区在第一方向上的中轴线与第二隔离区在第一方向上的中轴线不重合。从而所述第二导电层能够在第一有源区上形成与第一栅极结构电连接的有源栅接触，从而能够节省面积，增加布线的灵活性。

## 附图说明

图 1 为一实施例中半导体结构单元的示意图；

图 2 为本发明一实施例中半导体结构形成过程的示意图；

图 3 至图 5 为本发明另一实施例中半导体结构形成过程的示意图；

图 6 至图 8 为本发明另一实施例中半导体结构形成过程的示意图；

图 9 为本发明另一实施例中半导体结构形成过程的示意图；

图 10 至图 12 为本发明另一实施例中半导体结构形成过程的示意图。

## 具体实施方式

如背景技术所述，缩小电路器件的尺寸以提升集成度是持续需要解决的问题。现结合具体的实施例进行分析说明。

图 1 为一实施例中半导体结构单元的示意图。

请参考图 1，所述半导体结构单元包括：衬底 100，所述衬底 100 包括沿平行于衬底第二方向 Y 排列的第一区 I、隔离区 III 和第二区 II；平行于第二方向 Y 的第一栅极结构 101、第二栅极结构 102 和伪栅极结构 103，所述第一栅极结构 101、第二栅极结构 102 和伪栅极结构 103 等间距排列；位于第一栅极结构 101 两侧、第二栅极结构 102 两侧以及相邻伪栅极结构 103 之间的金属层 104；平行于第一方向 X 的隔离结构 105，所述隔离结构 105 位于隔离区 III 上且贯穿所述金属层 104，所述第一方向 X 与第二方向 Y 垂直；平行于第一方向 X 的第一导电层 106 和第二导电层 107，所述第一导电层 106 横跨所述第一区 I，所述第二导电层 107 横跨所述第二区 II。

所述半导体结构单元中，所述隔离区 III 位于第一区 I 和第二区 II 之间，从而在既定的设计规则下，所述第一区 I 上只能形成一条第

—9—

一导电层 106, 所述第一区 II 上只能形成一条第二导电层 107, 从而分别位于第一区 I 和第二区 II 上的所述金属层 104、第一栅极结构 101 和第二栅极结构 102 只能通过一条导电层连出, 选择空间小, 如果要形成较为复杂的电路结构, 则需要多个半导体结构单元集成才能形成, 形成的半导体结构面积较大。

为了解决上述问题, 本发明技术方案提供一种半导体结构及半导体结构的形成方法, 能够利用较小面积的半导体结构单元区形成复杂的电路, 从而节省了面积, 增加后段布线的灵活性, 提高了集成度。

为使本发明的上述目的、特征和有益效果能够更为明显易懂, 下面结合附图对本发明的具体实施例做详细的说明。

图 2 为本发明一实施例中半导体结构形成过程的示意图。

请参考图 2, 提供衬底 200, 所述衬底 200 包括至少一个单元区, 所述单元区包括相邻的第一区 I 和第二区 II, 所述第一区 I 和第二区 II 沿第一方向 X 排布, 所述第一方向 X 平行于衬底 200 表面, 所述第一区 I 包括第一隔离区 B1, 所述第二区 II 包括第二隔离区 B2, 所述第一隔离区 B1 平行于第一方向 X 的中轴线与第二隔离区 B2 平行于第一方向 X 的中轴线不重合。

所述第一区 I 还包括第一有源区 A1 和第二有源区 A2, 所述第一隔离区 B1 位于第一有源区 A1 和第二有源区 A2 之间, 且所述第一隔离区 B1 与所述第一有源区 A1 和第二有源区 A2 相邻, 所述第一有源区 A1、第二有源区 A2 和第一隔离区 B1 沿第二方向 Y 排列; 所述第二区 II 还包括第三有源区 A3 和第四有源区 A4, 所述第二隔离区 B2 位于第三有源区 A3 和第四有源区 A4 之间, 且所述第二隔离区 B2 与所述第三有源区 A3 和第四有源区 A4 相邻, 所述第三有源区 A3、第四有源区 A4 和第二隔离区 B2 沿第二方向 Y 排列。

所述第一有源区 A1 上的器件导电类型与第二有源区 A2 上的器件导电类型相反, 所述第三有源区 A3 上的器件导电类型与第四有源区 A4 上的器件导电类型相反。

在本实施例中，所述第一有源区 A1 和第三有源区 A3 相邻，所述第二有源区 A2 和第四有源区 A4 相邻；所述第一有源区 A1 上的器件导电类型和第三有源区 A3 上的器件导电类型相同，所述器件导电类型为 N 型；所述第二有源区 A2 上的器件导电类型和第四有源区 A4 上的器件导电类型相同，所述器件导电类型为 P 型。

请继续参考图 2，在第一区 I 上形成第一栅极结构 207、第一隔离结构 209、以及分别位于第一栅极结构 207 两侧的第一金属层 201 和第二金属层 202，所述第一栅极结构 207 横跨所述第一有源区 A1、第一隔离区 B1 和第二有源区 A2，所述第一隔离结构 209 沿第一方向 X 贯穿所述第一金属层 201、第二金属层 202 和第五金属层 205，所述第一栅极结构 207 位于第一隔离结构 209 上，所述第一隔离结构 209 位于第一隔离区 B1 上，所述第一栅极结构 207、第一金属层 201 和第二金属层 202 平行于第二方向 Y，所述第二方向 Y 平行于衬底 200 表面且与第一方向 X 垂直。

请继续参考图 2，在第二区 II 上形成第二栅极结构 208、第二隔离结构 210、以及分别位于第二栅极结构 208 两侧的第三金属层 203 和第四金属层 204，所述第二栅极结构 208 横跨所述第三有源区 A3、第二隔离区 B2 和第四有源区 A4，所述第二栅极结构 208 位于第二隔离结构 210 上，所述第二隔离结构 210 位于第二隔离区 B2 上，所述第二隔离结构 210 沿第一方向 X 贯穿所述第三金属层 203 和第四金属层 204，所述第二栅极结构 208、第三金属层 203 和第四金属层 204 平行于第二方向 Y。

所述第一金属层 201、第二金属层 202、第三金属层 203 和第四金属层 204 同时形成，所述第一栅极结构 207 和第二栅极结构 208 同时形成。

在本实施例中，在形成第一金属层 201、第二金属层 202、第三金属层 203 和第四金属层 204 的同时，还在第一区 I 上形成第五金属层 205，所述第五金属层 205 位于第二金属层 202 和第三金属层 203 之间，所述第五金属层 205 平行于第二方向 Y。

在本实施例中，在形成所述第一栅极结构 207 和第二栅极结构 208 的同时，还在衬底上形成若干伪栅极结构 206，若干所述伪栅极结构 206 平行排列，所述伪栅极结构 206 平行于第二方向 Y。

所述第一金属层 201 位于伪栅极结构 206 和第一栅极结构 207 之间，所述第二金属层 202 位于伪栅极结构 206 和第一栅极结构 207 之间，所述第三金属层 203 位于伪栅极结构 206 和第二栅极结构 208 之间，所述第四金属层 204 位于伪栅极结构 206 和第二栅极结构 208 之间，所述第五金属层 205 位于相邻的伪栅极结构 206 之间。

所述伪栅极结构 206 用于提升形成第一栅极结构 207 和第二栅极结构 208 的工艺均匀性。

所述第一隔离区 B1 在第一方向 X 上的中轴线与第二隔离区 B2 在第一方向 X 上的中轴线不重合。从而使得后续形成平行于第一方向 Y 的导电层时，在既定的导电层设计规则下，所述导电层可与第一金属层 201、第二金属层 202、第三金属层 203、第四金属层 204、第五金属层 205、第一栅极结构 207 或第二栅极结构 208 电连接的位置增加，从而能够利用较小面积的半导体结构单元区形成复杂的电路，从而节省了面积，增加后段布线的灵活性，提高了集成度。

在本实施例中，还包括：在衬底 200 上形成第一介质层（未图示），所述第一金属层 201、第二金属层 202、第三金属层 203、第四金属层 204、第五金属层 205、伪栅极结构 206、第一栅极结构 207 和第二栅极结构 208 位于所述第一介质层内。

相应地，本发明实施例还提供一种半导体结构，请继续参考图 2，包括：

衬底 200，所述衬底 200 包括至少一个单元区，所述单元区包括相邻的第一区 I 和第二区 II，所述第一区 I 和第二区 II 沿第一方向 X 排布，所述第一方向 X 平行于衬底 200 表面，所述第一区 I 包括第一隔离区 B1，所述第二区 II 包括第二隔离区 B2，所述第一隔离区 B1 平行于第一方向 X 的中轴线与第二隔离区 B2 平行于第一方向 X 的中轴线不重合；

-12-

位于第一区 I 上的第一栅极结构 207、以及分别位于第一栅极结构 207 两侧的第一金属层 201 和第二金属层 202，所述第一栅极结构 207、第一金属层 201 和第二金属层 202 平行于第二方向 Y，所述第二方向 Y 平行于衬底 200 表面且与第一方向 X 垂直；

位于第二区 II 上的第二栅极结构 208、以及分别位于第二栅极结构 208 两侧的第三金属层 203 和第四金属层 204，所述第二栅极结构 208、第三金属层 203 和第四金属层 204 平行于第二方向 Y；

位于第一隔离区 B1 上的第一隔离结构 209，所述第一隔离结构 209 沿第一方向 X 贯穿所述第一金属层 201、第二金属层 202 和第五金属层 205，所述第一栅极结构 207 位于第一隔离结构 209 上；

位于第二隔离区 B2 上的第二隔离结构 210，所述第二隔离结构 210 沿第一方向 X 贯穿所述第三金属层 203 和第四金属层 204，所述第二栅极结构 208 位于第二隔离结构 210 上。

在本实施例中，所述第一区 I 还包括第一有源区 A1 和第二有源区 A2，所述第一隔离区 B1 位于第一有源区 A1 和第二有源区 A2 之间，且所述第一隔离区 B1 与所述第一有源区 A1 和第二有源区 A2 相邻，所述第一有源区 A1、第二有源区 A2 和第一隔离区 B1 沿第二方向 Y 排列；所述第二区 II 还包括第三有源区 A3 和第四有源区 A4，所述第二隔离区 B2 位于第三有源区 A3 和第四有源区 A4 之间，且所述第二隔离区 B2 与所述第三有源区 A3 和第四有源区 A4 相邻，所述第三有源区 A3、第四有源区 A4 和第二隔离区 B2 沿第二方向 Y 排列。

在本实施例中，所述第一有源区 A1 上的器件导电类型与第二有源区 A2 上的器件导电类型相反，所述第三有源区 A3 上的器件导电类型与第四有源区 A4 上的器件导电类型相反。

在本实施例中，所述第一有源区 A1 和第三有源区 A3 相邻，所述第二有源区 A2 和第四有源区 A4 相邻；所述第一有源区 A1 上的器件导电类型和第三有源区 A3 上的器件导电类型相同，所述器件导电类型为 N 型；所述第二有源区 A2 上的器件导电类型和第四有源区

A4 上的器件导电类型相同，所述器件导电类型为 P 型。

在本实施例中，还包括：位于第一区 I 上的第五金属层 205，所述第五金属层 205 位于第二金属层 202 和第三金属层 203 之间，所述第五金属层 205 平行于第二方向 Y。

在本实施例中，还包括：位于衬底上的若干伪栅极结构 206，若干所述伪栅极结构 206 平行排列，所述伪栅极结构 206 平行于第二方向 Y；所述第一金属层 201 位于伪栅极结构 206 和第一栅极结构 207 之间，所述第二金属层 202 位于伪栅极结构 206 和第一栅极结构 207 之间，所述第三金属层 203 位于伪栅极结构 206 和第二栅极结构 208 之间，所述第四金属层 204 位于伪栅极结构 206 和第二栅极结构 208 之间，所述第五金属层 205 位于相邻的伪栅极结构 206 之间。

图 3 至图 5 为本发明另一实施例中半导体结构形成过程的示意图。

请参考图 3，图 3 为在图 2 基础上的示意图，在衬底 200 上形成平行于第一方向 X 的第一连接层 211，所述第一连接层 211 电连接第一有源区 A1 上和第三有源区 A3 上的第二金属层 202、第五金属层 205 和第三金属层 203；在衬底 200 上形成平行于第一方向 X 的第二连接层 212，所述第二连接层 212 电连接第二有源区 A2 上的第二金属层 202 和第五金属层 205。

在形成第一连接层 211 和第二连接层 212 之前，还包括：在第一介质层上形成第二介质层（未图示），所述第一连接层 211 和第二连接层 212 位于所述第二介质层内。

所述第一连接层 211 电连接第一有源区 A1 上和第三有源区 A3 上的第二金属层 202、第五金属层 205 和第三金属层 203，从而使得后续所述第二金属层 202、第五金属层 205 和第三金属层 203 能够处于同一电压水平；所述第二连接层 212 电连接第二有源区 A2 上的第二金属层 202 和第五金属层 205，从而使得所述第二金属层 202 和第五金属层 205 能够处于同一电压水平。

请参考图 4, 在第二介质层上形成平行于第一方向 X 的第一导电层 213, 所述第一导电层 213 横跨所述第一有源区 A1 和第三有源区 A3, 所述第一导电层 213 电连接第一有源区 A1 上的第一金属层 201 和第三有源区 A3 上的第四金属层 204; 在第二介质层上形成平行于第一方向 X 的第二导电层 214, 所述第二导电层 214 电连接所述第四有源区 A4 上的第三金属层 203, 所述第二导电层 214 位于第四有源区 A4 上; 在第二介质层上形成平行于第一方向 X 的第三导电层 215, 所述第三导电层 215 横跨所述第二有源区 A2 和第四有源区 A4, 所述第三导电层 215 电连接第二有源区 A2 上的第一金属层 201 和第四有源区 A4 上的第四金属层 204。

请继续参考图 4, 还包括: 在第二介质层上形成平行于第一方向 X 的第四导电层 216, 所述第四导电层 216 电连接所述第二栅极结构 208, 所述第四导电层 216 横跨所述第一有源区 A1 和第二隔离区 B1。

所述第一导电层 213、第四导电层 216、第二导电层 214 和第三导电层 215 依次等间距平行排列。

请继续参考图 4, 还包括: 在第二介质层上形成平行于第一方向 X 的第五导电层 217, 所述第五导电层 217 位于第一隔离区 B1 上, 所述第五导电层 217 电连接所述第一栅极结构 207, 所述第五导电层 217 在第一方向 X 上的中轴线与第二导电层 214 在第一方向 X 上的中轴线重合。

由于所述第一隔离区 B1 在第一方向 X 上的中轴线与第二隔离区 B2 在第一方向 X 上的中轴线不重合。从而使得形成的平行于第一方向 Y 的第一导电层 213、第四导电层 216、第二导电层 214 和第三导电层 215 时, 在既定的导电层设计规则下, 所述第一导电层 213、第四导电层 216、第二导电层 214 或第三导电层 215 可与第一金属层 201、第二金属层 202、第三金属层 203、第四金属层 204、第五金属层 205、第一栅极结构 207 或第二栅极结构 208 电连接的位置增加, 从而能够利用较小面积的半导体结构单元区形成复杂的电路, 从而节

省了面积，增加后段布线的灵活性，提高了集成度。

请继续参考图 4，还包括：在第二介质层上形成与第一有源区 A1 上的第五金属层 205 电连接的电源电压线 218；在第二介质层上形成与第二有源区 A2 上的第五金属层 205 电连接的接地电压线 219，所述电源电压线 218 和接地电压线 219 平行于第一方向 X。

在本实施例中，还包括：在第二介质层上形成第三介质层（未图示），所述第一导电层 213、第四导电层 216、第二导电层 214、第三导电层 215、第五导电层 217、电源电压线 218 和接地电压线 219 位于第三介质层内。

请参考图 5，在第三介质层上形成平行于第二方向 Y 的电输出层 220，所述电输出层 220 电连接所述第一导电层 213 和第二导电层 214。

相应地，本发明实施例还提供一种半导体结构，请继续参考图 5，图 5 的结构在图 2 的结构的基础上还包括：

平行于第一方向 X 的第一连接层 211，所述第一连接层 211 电连接第一有源区 A1 上和第三有源区 A3 上的第二金属层 202、第五金属层 205 和第三金属层 203；

平行于第一方向 X 的第二连接层 212，所述第二连接层 212 电连接第二有源区 A2 上的第二金属层 202 和第五金属层 205；

平行于第一方向 X 的第一导电层 213，所述第一导电层 213 横跨所述第一有源区 A1 和第三有源区 A3，所述第一导电层 213 电连接第一有源区 A1 上的第一金属层 201 和第三有源区 A3 上的第四金属层 204；

平行于第一方向 X 的第二导电层 214，所述第二导电层 214 电连接所述第四有源区 A4 上的第三金属层 203，所述第二导电层 214 位于第四有源区 A4 上；

平行于第一方向 X 的第三导电层 215，所述第三导电层 215 横跨所述第二有源区 A2 和第四有源区 A4，所述第三导电层 215 电连接

-16-

第二有源区 A2 上的第一金属层 201 和第四有源区 A4 上的第四金属层 204;

平行于第二方向 Y 的电输出层 220, 所述电输出层 220 电连接所述第一导电层 213 和第二导电层 214;

平行于第一方向 X 的第四导电层 216, 所述第四导电层 216 电连接所述第二栅极结构 208, 所述第四导电层 216 横跨所述第一有源区 A1 和第二隔离区 B1;

所述第一导电层 213、第四导电层 216、第二导电层 214 和第三导电层 215 依次等间距平行排列;

平行于第一方向 X 的第五导电层 217, 所述第五导电层 217 位于第一隔离区 B1 上, 所述第五导电层 217 电连接所述第一栅极结构 207, 所述第五导电层 217 在第一方向 X 上的中轴线与第二导电层 214 在第一方向 X 上的中轴线重合;

与第一有源区 A1 上的第五金属层 205 电连接的电源电压线 218; 在第二介质层上形成与第二有源区 A2 上的第五金属层 205 电连接的接地电压线 219, 所述电源电压线 218 和接地电压线 219 平行于第一方向 X。

图 6 至图 8 为本发明另一实施例中半导体结构形成过程的示意图。

请参考图 6, 图 6 为在图 2 基础上的结构示意图, 多个单元区中包括第一单元区和第二单元区, 所述第一单元区和第二单元区单元沿第一方向 X 排列, 所述第一单元区的第二区 II 与第二单元区的第一区 I 相邻接; 所述第二单元区的第一有源区 A1 和第一单元区的第三有源区 A3 相邻, 所述第二单元区的第二有源区 A2 和第一单元区第四有源区 A4 相邻。

请继续参考图 6, 在第一介质层上形成平行于第一方向 X 的第一连接层 311, 所述第一连接层 311 电连接第一单元区的第一有源区 A1

-17-

上和第三有源区 A3 上的第二金属层 202、第五金属层 205 和第三金属层 203;在第一介质层上形成平行于第一方向 X 的第二连接层 312,所述第二连接层 312 电连接第一单元区的第二有源区 A2 上的第二金属层 202 和第五金属层 205;在第一介质层上形成平行于第一方向 X 的第三连接层 313,所述第三连接层 313 在第一方向 X 上的中轴线与第一连接层 311 在第一方向 X 上的中轴线重合,所述第三连接层 313 电连接第二单元区的第一有源区 A1 上的第二金属层 202 和第五金属层 205;在第一介质层上形成平行于第一方向 X 的第四连接层 314,所述第四连接层 314 在第一方向 X 上的中轴线与第二连接层 312 在第一方向 X 上的中轴线重合,所述第四连接层 314 电连接第二单元区的第二有源区 A2 上的第二金属层 202 和第五金属层 205。

所述第一连接层 311、第二连接层 312、第三连接层 313 和第四连接层 314 同时形成。

所述第一连接层 311 用于使第一有源区 A1 上和第三有源区 A3 上的第二金属层 202、第五金属层 205 和第三金属层 203 处于同一电压水平;所述第二连接层 312 用于使第一单元区的第二有源区 A2 上的第二金属层 202 和第五金属层 205 处于同一电压水平;所述第三连接层 313 用于使第二单元区的第一有源区 A1 上的第二金属层 202 和第五金属层 205 处于同一电压水平;所述第四连接层 314 用于使第二单元区的第二有源区 A2 上的第二金属层 202 和第五金属层 205 处于同一电压水平。

在本实施例中,还包括:在第一介质层上形成第二介质层(未图示),所述第一连接层 311、第二连接层 312、第三连接层 313 和第四连接层 314 位于所述第二介质层内。

请参考图 7,在第二介质层上形成位于第一单元区上的第一导电层 315,所述第一导电层 315 平行于第一方向 X,所述第一导电层 315 横跨所述第一单元区的第一有源区 A1 和第三有源区 A3,所述第一导电层 315 电连接第一单元区的第一有源区 A1 上的第一金属层 201

和第三有源区 A3 上的第四金属层 204。

在第二介质层上形成位于第一单元区的第四有源区 A4 上和第二单元区的第一隔离区 B1 上的第二导电层 316，所述第二导电层 316 平行于第一方向 X，所述第二导电层 316 电连接所述第一单元区的第四有源区 A4 上的第四金属层 204 和第二单元区的第一栅极结构 207。

在第二介质层上形成位于第一单元区上的第三导电层 317，所述第三导电层 317 平行于第一方向 X，所述第三导电层 317 横跨所述第一单元区的第二有源区 A2 和第四有源区 A4，所述第三导电层 317 电连接第一单元区的第二有源区 A2 上的第一金属层 201 和第四有源区 A4 上的第三金属层 203。

在第二介质层上形成位于第一单元区上的第四导电层 318，所述第四导电层 318 平行于第一方向 X，所述第四导电层 318 电连接所述第一单元区的第二栅极结构 208，所述第四导电层 318 横跨所述第一单元区的第一有源区 A1 和第二隔离区 B2。

在第二介质层上形成位于第一单元区上的第五导电层 319，所述第五导电层 319 平行于第一方向 X，所述第五导电层 319 位于第一隔离区 B1 上，所述第五导电层 319 电连接所述第一单元区的第一栅极结构 207，所述第五导电层 319 在第一方向 X 上的中轴线与第二导电层 316 在第一方向 X 上的中轴线重合。

在本实施例中，所述第一导电层 315、第四导电层 318、第二导电层 316 和第三导电层 317 依次等间距平行排列。

由于所述第一单元区的所述第一隔离区 B1 在第一方向 X 上的中轴线与第二隔离区 B2 在第一方向 X 上的中轴线不重合，所述第二单元区的所述第一隔离区 B1 在第一方向 X 上的中轴线与第二隔离区 B2 在第一方向 X 上的中轴线不重合。从而在形成平行于第一方向 X 的所述第一导电层 315、第四导电层 318、第二导电层 316 和第三导电层 317 时，在既定的导电层设计规则下，所述导电层可与第一金属层 201、第二金属层 202、第三金属层 203、第四金属层 204、第一栅

极结构 207 或第二栅极结构 208 电连接的位置增加,从而能够利用两个较小面积的半导体结构单元区形成复杂的电路,从而节省了面积,增加后段布线的灵活性,提高了集成度。

请继续参考图 7,还包括:在第二介质层上形成位于第二单元区的第一有源区 A1 上的第六导电层 320,所述第六导电层 320 平行于第一方向 X,所述第六导电层 320 电连接第二单元区的第一有源区 A1 上的第一金属层 201。

在第二介质层上形成位于第二单元区的第三有源区 A3 上的第七导电层 321,所述第七导电层 321 平行于第一方向 X,所述第七导电层 321 连接所述第二单元区的第三有源区 A3 上的第三金属层 203 和第四金属层 204。

在第二介质层上形成位于第二单元区的第二有源区 A2 上的第八导电层 322,所述第八导电层 322 平行于第一方向 X,所述第八导电层 322 电连接第二单元区的第二有源区 A2 上的第一金属层 201。

在第二介质层上形成位于第二单元区的第四有源区 A4 上的第九导电层 323,所述第九导电层 323 平行于第一方向 X,所述第九导电层 323 电连接所述第二单元区的第四有源区 A4 上第三金属层 203 和第四金属层 204。

在本实施例中,所述第一导电层 315、第六导电层 320 和第七导电层 321 第一方向 X 上的中轴线重合;所述第三导电层 317、第八导电层 322 和第九导电层 323 第一方向上的中轴线重合。

所述第一导电层 315、第四导电层 318、第二导电层 316、第三导电层 317、第五导电层 319、第六导电层 320、第七导电层 321、第八导电层 322 和第九导电层 323 同时形成。在本实施例中,还包括,在第二介质层上形成第三介质层(未图示),所述第一导电层 315、第四导电层 318、第二导电层 316、第三导电层 317、第五导电层 319、第六导电层 320、第七导电层 321、第八导电层 322 和第九导电层 323 位于第三介质层内。

-20-

请继续参考图 7, 还包括: 在第三介质层内形成与第一单元区第一有源区 A1 上的第五金属层 205 以及第二单元区第一有源区 A1 上的第五金属层 205 电连接的电源电压线 324; 在第三介质层内形成与第一单元区第二有源区 A2 上的第五金属层 205 以及第二单元区第二有源区 A2 上的第五金属层 205 电连接的接地电压线 325, 所述电源电压线 324 和接地电压线 325 平行于第一方向。

请参考图 8, 还包括: 在第三介质层上形成平行于第二方向 Y 的第一电输出层 326, 所述第一电输出层 326 电连接所述第一单元区上的第一导电层 315 和第二导电层 316; 在第三介质层上形成平行于第二方向 Y 的第二电输出层 327, 所述第二电输出层 327 电连接所述第二单元区上的第六导电层 320 和第八导电层 322。

相应地, 本发明实施例还提供一种半导体结构, 请继续参考图 8, 图 8 的结构在图 2 的结构的基础上还包括:

在本实施例中, 多个单元区中包括第一单元区和第二单元区, 所述第一单元区和第二单元区单元沿第一方向 X 排列, 所述第一单元区的第二区 II 与第二单元区的第一区 I 相邻接; 所述第二单元区的第一有源区 A1 和第一单元区的第三有源区 A3 相邻, 所述第二单元区的第二有源区 A2 和第一单元区第四有源区 A4 相邻。

在本实施例中, 还包括: 平行于第一方向 X 的第一连接层 311, 所述第一连接层 311 电连接第一单元区的第一有源区 A1 上和第三有源区 A3 上的第二金属层 202、第五金属层 205 和第三金属层 203; 平行于第一方向 X 的第二连接层 312, 所述第二连接层 312 电连接第一单元区的第二有源区 A2 上的第二金属层 202 和第五金属层 205; 平行于第一方向 X 的第三连接层 313, 所述第三连接层 313 在第一方向 X 上的中轴线与第一连接层 311 在第一方向 X 上的中轴线重合, 所述第三连接层 313 电连接第二单元区的第一有源区 A1 上的第二金属层 202 和第五金属层 205; 平行于第一方向 X 的第四连接层 314, 所述第四连接层 314 在第一方向 X 上的中轴线与第二连接层 312 在第一方向 X 上的中轴线重合, 所述第四连接层 314 电连接第二单元

区的第二有源区 A2 上的第二金属层 202 和第五金属层 205。

在本实施例中,还包括:位于第一单元区上的第一导电层 315,所述第一导电层 315 平行于第一方向 X,所述第一导电层 315 横跨所述第一单元区的第一有源区 A1 和第三有源区 A3,所述第一导电层 315 电连接第一单元区的第一有源区 A1 上的第一金属层 201 和第三有源区 A3 上的第四金属层 204;位于第一单元区的第四有源区 A4 上和第二单元区的第一隔离区 B1 上的第二导电层 316,所述第二导电层 316 平行于第一方向 X,所述第二导电层 316 电连接所述第一单元区的第四有源区 A4 上的第四金属层 204 和第二单元区的第一栅极结构 207;位于第一单元区上的第三导电层 317,所述第三导电层 317 平行于第一方向 X,所述第三导电层 317 横跨所述第一单元区的第二有源区 A2 和第四有源区 A4,所述第三导电层 317 电连接第一单元区的第二有源区 A2 上的第一金属层 201 和第四有源区 A4 上的第三金属层 203;位于第一单元区上的第四导电层 318,所述第四导电层 318 平行于第一方向 X,所述第四导电层 318 电连接所述第一单元区的第二栅极结构 208,所述第四导电层 318 横跨所述第一单元区的第一有源区 A1 和第二隔离区 B2;位于第一单元区上的第五导电层 319,所述第五导电层 319 平行于第一方向 X,所述第五导电层 319 位于第一隔离区 B1 上,所述第五导电层 319 电连接所述第一单元区的第一栅极结构 207,所述第五导电层 319 在第一方向 X 上的中轴线与第二导电层 316 在第一方向 X 上的中轴线重合。

在本实施例中,所述第一导电层 315、第四导电层 318、第二导电层 316 和第三导电层 317 依次等间距平行排列。

在本实施例中,还包括:位于第二单元区的第一有源区 A1 上的第六导电层 320,所述第六导电层 320 平行于第一方向 X,所述第六导电层 320 电连接第二单元区的第一有源区 A1 上的第一金属层 201;位于第二单元区的第三有源区 A3 上的第七导电层 321,所述第七导电层 321 平行于第一方向 X,所述第七导电层 321 连接所述第二单元区的第三有源区 A3 上的第三金属层 203 和第四金属层 204;位于

- 22 -

第二单元区的第二有源区 A2 上的第八导电层 322, 所述第八导电层 322 平行于第一方向 X, 所述第八导电层 322 电连接第二单元区的第二有源区 A2 上的第一金属层 201; 位于第二单元区的第四有源区 A4 上的第九导电层 323, 所述第九导电层 323 平行于第一方向 X, 所述第九导电层 323 电连接所述第二单元区的第四有源区 A4 上第三金属层 203 和第四金属层 204。

在本实施例中, 所述第一导电层 315、第六导电层 320 和第七导电层 321 第一方向 X 上的中轴线重合; 所述第三导电层 317、第八导电层 322 和第九导电层 323 第一方向上的中轴线重合。

在本实施例中, 还包括: 与第一单元区第一有源区 A1 上的第五金属层 205 以及第二单元区第一有源区 A1 上的第五金属层 205 电连接的电源电压线 324; 与第一单元区第二有源区 A2 上的第五金属层 205 以及第二单元区第二有源区 A2 上的第五金属层 205 电连接的接地电压线 325, 所述电源电压线 324 和接地电压线 325 平行于第一方向。

在本实施例中, 还包括: 平行于第二方向 Y 的第一电输出层 326, 所述第一电输出层 326 电连接所述第一单元区上的第一导电层 315 和第二导电层 316; 平行于第二方向 Y 的第二电输出层 327, 所述第二电输出层 327 电连接所述第二单元区上的第六导电层 320 和第八导电层 322。

图 9 为本发明另一实施例中半导体结构的示意图。

请参考图 9, 图 9 为在图 2 基础上的结构示意图, 多个单元区中包括第一单元区、第二单元区、第三单元区和第四单元区。

所述第一单元区和第二单元区沿平行于衬底 200 表面的第一方向 X 排列, 所述第一单元区的第二区 II 与第二单元区的第一区 I 相邻接; 所述第三单元区和第四单元区沿平行于衬底 200 表面的第一方向 X 排列, 所述第三单元区的第二区 II 与第四单元区的第一区 I 相邻接; 所述第一单元区和第四单元区沿平行于衬底表面的第二方向 Y

-23-

排列, 所述第一单元区的第一区 I 与第四单元区的第二区 II 相邻接, 所述第一单元区的第二区 II 与第四单元区的第一区 I 相邻接; 所述第二单元区和第三单元区沿平行于衬底 200 表面的第二方向 Y 排列, 所述第二单元区的第二区 II 与第三单元区的第一区 I 相邻接, 所述第二单元区的第一区 I 与第三单元区的第二区 II 相邻接。

由于所述第一隔离区 B1 在第一方向 X 上的中轴线与第二隔离区 B2 在第一方向 X 上的中轴线不重合。从而使得后续形成平行于第一方向 X 的导电层时, 在既定的导电层设计规则下, 所述导电层可与第一金属层 201、第二金属层 202、第三金属层 203、第四金属层 204、第一栅极结构 207 或第二栅极结构 208 电连接的位置增加, 从而能够利用较小面积的四个或若干个半导体结构单元区形成复杂的电路, 从而节省了面积, 增加后段布线的灵活性, 提高了集成度。

图 10 至图 12 为本发明另一实施例中半导体结构形成过程的示意图。

请参考图 10, 图 10 为在图 2 基础上的结构示意图, 在第一介质层上形成平行于第一方向 X 的第一连接层 511, 所述第一连接层 511 电连接第一有源区 A1 上的第二金属层 202 和第五金属层 205; 在第一介质层上形成平行于第一方向 X 的第二连接层 512, 所述第二连接层 512 电连接第二有源区 A2 上的第二金属层 202 和第五金属层 205。

在本实施例中, 还包括: 在第一介质层上形成第二介质层 (未图示), 所述第一连接层 511 和第二连接层 512 位于所述第二介质层内。

所述第一连接层 511 用于使所述第一有源区 A1 上的第二金属层 202 和第五金属层 205 位于同一电压水平; 所述第二连接层 512 用于使第二有源区 A2 上的第二金属层 202 和第五金属层 205 位于同一电压水平。

请参考图 11, 在第二介质层上形成平行于第一方向 X 的第一导电层 513, 所述第一导电层 513 与第一有源区 A1 上的第一金属层 201 电连接; 在第二介质层上形成平行于第一方向 X 的第二导电层 514,

-24-

所述第二导电层 514 与第一栅极结构 207 电连接, 所述第二导电层 514 横跨所述第一有源区 A1 和第二隔离区 B2; 在第二介质层上形成平行于第一方向 X 的第三导电层 515, 所述第三导电层 515 与第二有源区 A2 上的第一金属层 201 电连接。

由于所述第一区 I 包括第一隔离区 B1, 所述第二区 II 包括第二隔离区 B2, 所述第一隔离区 B1 在第一方向 X 上的中轴线与第二隔离区 B2 在第一方向 X 上的中轴线不重合。从而所述第二导电层 514 能够在第一有源区 A1 上形成与第一栅极结构 207 电连接的有源栅接触, 从而能够节省面积, 增加布线的灵活性。

请继续参考图 11, 还包括: 在第二介质层上形成平行于第一方向 X 的第四导电层 516, 所述第四导电层 516 电连接所述第三有源区 A3 上的第三金属层 203 和第四金属层 204, 所述第四导电层 516 在第一方向 X 上的中轴线与第一导电层 513 在第一方向 X 上的中轴线重合; 在第二介质层上形成平行于第一方向 X 的第五导电层 517, 所述第五导电层 517 电连接所述第四有源区 A4 上的第三金属层 203 和第四金属层 204, 所述第五导电层 517 在第一方向 X 上的中轴线与第三导电层 515 在第一方向 X 上的中轴线重合; 在第二介质层上形成平行于第一方向 X 的第六导电层 518, 所述第六导电层 518 横跨所述第一隔离区 B1 和第四有源区 A4。

所述第四导电层 516 电连接所述第三有源区 A3 上的第三金属层 203 和第四金属层 204, 用于使所述第三有源区 A3 上的第二栅极结构 208 失效; 所述第五导电层 517 电连接所述第四有源区 A4 上的第三金属层 203 和第四金属层 204, 用于使所述第四有源区 A4 上的第二栅极结构 208 失效。

在本实施例中, 所述第一导电层 513、第二导电层 514、第六导电层 518 和第三导电层 515 依次等间距平行排列。

请继续参考图 11, 还包括: 在第二介质层上形成平行于第一方向 X 的电源电压线 519, 所述电源电压线 519 与第一有源区 A1 上的第五金属层 205 电连接; 在第二介质层上形成平行于第一方向 X 的

接地电压线 520, 所述接地电压线 520 与第二有源区 A2 上的第五金属层 205 电连接。

在本实施例中, 还包括: 在第二介质层上形成第三介质层(未图示), 所述第一导电层 513、第二导电层 514、第六导电层 518、第三导电层 515、第四导电层 516、第五导电层 517、电源电压线 519 和接地电压线 520 位于所述第三介质层内。

请参考图 12, 在第三介质层上形成平行于第二方向 Y 的电输出层 521, 所述电输出层 521 电连接所述第一导电层 513 和第三导电层 515。

相应地, 本发明实施例还提供一种半导体结构, 请继续参考图 12, 图 12 的结构在图 2 的结构的基础上还包括:

平行于第一方向 X 的第一连接层 511, 所述第一连接层 511 电连接第一有源区 A1 上的第二金属层 202 和第五金属层 205;

平行于第一方向 X 的第二连接层 512, 所述第二连接层 512 电连接第二有源区 A2 上的第二金属层 202 和第五金属层 205;

平行于第一方向 X 的第一导电层 513, 所述第一导电层 513 与第一有源区 A1 上的第一金属层 201 电连接;

平行于第一方向 X 的第二导电层 514, 所述第二导电层 514 与第一栅极结构 207 电连接, 所述第二导电层 514 横跨所述第一有源区 A1 和第二隔离区 B2;

平行于第一方向 X 的第三导电层 515, 所述第三导电层 515 与第二有源区 A2 上的第一金属层 201 电连接;

平行于第一方向 X 的第四导电层 516, 所述第四导电层 516 电连接所述第三有源区 A3 上的第三金属层 203 和第四金属层 204, 所述第四导电层 516 在第一方向 X 上的中轴线与第一导电层 513 在第一方向 X 上的中轴线重合;

平行于第一方向 X 的第五导电层 517, 所述第五导电层 517 电连接所述第四有源区 A4 上的第三金属层 203 和第四金属层 204, 所述

—26—

第五导电层 517 在第一方向 X 上的中轴线与第三导电层 515 在第一方向 X 上的中轴线重合;

平行于第一方向 X 的第六导电层 518, 所述第六导电层 518 横跨所述第一隔离区 B1 和第四有源区 A4;

平行于第一方向 X 的电源电压线 519, 所述电源电压线 519 与第一有源区 A1 上的第五金属层 205 电连接;

平行于第一方向 X 的接地电压线 520, 所述接地电压线 520 与第二有源区 A2 上的第五金属层 205 电连接;

平行于第二方向 Y 的电输出层 521, 所述电输出层 521 电连接所述第一导电层 513 和第三导电层 515。

## 权 利 要 求

### 1. 一种半导体结构，其特征在于，包括：

衬底，所述衬底包括至少一个单元区，所述单元区包括相邻的第一区和第二区，所述第一区和第二区沿第一方向排布，所述第一区包括沿第二方向排列的第一有源区、第一隔离区和第二有源区，所述第一有源区和第二有源区位于第一隔离区两侧，所述第二区包括沿第二方向排列的第三有源区、第二隔离区和第四有源区，所述第三有源区和第四有源区位于第二隔离区两侧，所述第一隔离区平行于第一方向的中轴线与第二隔离区平行于第一方向的中轴线不重合，所述第一方向和第二方向平行于衬底表面，且所述第一方向和第二方向相互垂直；

位于第一区上的第一栅极结构，所述第一栅极结构横跨所述第一有源区、第一隔离区和第二有源区，以及分别位于所述第一栅极结构两侧的第一金属层和第二金属层，所述第一栅极结构、第一金属层和第二金属层平行于第二方向；

位于第二区上的第二栅极结构，所述第二栅极结构横跨所述第三有源区、第二隔离区和第四有源区，以及分别位于第二栅极结构两侧的第三金属层和第四金属层，所述第二栅极结构、第三金属层和第四金属层平行于第二方向；

位于第一隔离区上的第一隔离结构，所述第一隔离结构沿第一方向贯穿所述第一金属层和第二金属层，所述第一栅极结构位于第一隔离结构上；

位于第二隔离区上的第二隔离结构，所述第二隔离结构沿第一方向贯穿所述第三金属层和第四金属层，所述第二栅极结构位于第二隔离结构上。

### 2. 如权利要求 1 所述的半导体结构，其特征在于，所述第一隔离区与所述第一有源区和第二有源区相邻；所述第二隔离区与所述第三有源区和第四有源区相邻。

### 3. 如权利要求 2 所述的半导体结构，其特征在于，所述第一有源区

上的器件导电类型与第二有源区上的器件导电类型相反，所述第三有源区上的器件导电类型与第四有源区上的器件导电类型相反。

4. 如权利要求 3 所述的半导体结构，其特征在于，所述第一有源区和第三有源区相邻，所述第二有源区和第四有源区相邻；所述第一有源区上的器件导电类型和第三有源区上的器件导电类型相同，所述器件导电类型为 N 型；所述第二有源区上的器件导电类型和第四有源区上的器件导电类型相同，所述器件导电类型为 P 型。
5. 如权利要求 2 所述的半导体结构，其特征在于，还包括：位于第一区上的第五金属层，所述第五金属层位于第二金属层和第三金属层之间，所述第五金属层平行于第二方向，所述第一隔离结构还沿第一方向贯穿所述第五金属层。
6. 如权利要求 5 所述的半导体结构，其特征在于，还包括：位于衬底上的若干伪栅极结构，若干所述伪栅极结构平行排列，所述伪栅极结构平行于第二方向；所述第一金属层位于伪栅极结构和第一栅极结构之间，所述第二金属层位于伪栅极结构和第一栅极结构之间，所述第三金属层位于伪栅极结构和第二栅极结构之间，所述第四金属层位于伪栅极结构和第二栅极结构之间，所述第五金属层位于相邻的伪栅极结构之间。
7. 如权利要求 6 所述的半导体结构，其特征在于，还包括：平行于第一方向的第一连接层，所述第一连接层电连接第一有源区上和第三有源区上的第二金属层、第五金属层和第三金属层；平行于第一方向的第二连接层，所述第二连接层电连接第二有源区上的第二金属层和第五金属层；平行于第一方向的第一导电层，所述第一导电层横跨所述第一有源区和第三有源区，所述第一导电层电连接第一有源区上的第一金属层和第三有源区上的第四金属层；平行于第一方向的第二导电层，所述第二导电层电连接所述第四有源区上的第三金属层，所述第二导电层位于第四有源区上；

- 平行于第一方向的第三导电层，所述第三导电层横跨所述第二有源区和第四有源区，所述第三导电层电连接第二有源区上的第一金属层和第四有源区上的第四金属层；平行于第二方向的电输出层，所述电输出层电连接所述第一导电层和第二导电层。
8. 如权利要求 7 所述的半导体结构，其特征在于，还包括：平行于第一方向的第四导电层，所述第四导电层电连接所述第二栅极结构，所述第四导电层横跨所述第一有源区和第二隔离区。
9. 如权利要求 8 所述的半导体结构，其特征在于，所述第一导电层、第四导电层、第二导电层和第三导电层依次等间距平行排列。
10. 如权利要求 8 所述的半导体结构，其特征在于，还包括：平行于第一方向的第五导电层，所述第五导电层位于第一隔离区上，所述第五导电层电连接所述第一栅极结构，所述第五导电层在第一方向上的中轴线与第二导电层在第一方向上的中轴线重合。
11. 如权利要求 7 所述的半导体结构，其特征在于，还包括：与第一有源区上的第五金属层电连接的电源电压线；与第二有源区上的第五金属层电连接的接地电压线，所述电源电压线和接地电压线平行于第一方向。
12. 如权利要求 6 所述的半导体结构，其特征在于，多个单元区中包括第一单元区和第二单元区，所述第一单元区和第二单元区单元沿第一方向排列，所述第一单元区的第二区与第二单元区的第一区相邻接；所述第二单元区的第一有源区和第一单元区的第三有源区相邻，所述第二单元区的第二有源区和第一单元区第四有源区相邻。
13. 如权利要求 12 所述的半导体结构，其特征在于，还包括：平行于第一方向的第一连接层，所述第一连接层电连接第一单元区的第一有源区上和第三有源区上的第二金属层、第五金属层和第三金属层；平行于第一方向的第二连接层，所述第二连接层电连接第一单元区的第二有源区上的第二金属层和第五金属层；平行于第一方向的第三连接层，所述第三连接层在第一方向上的中轴线与

第一连接层在第一方向上的中轴线重合，所述第三连接层电连接第二单元区的第一有源区上的第二金属层和第五金属层；平行于第一方向的第四连接层，所述第四连接层在第一方向上的中轴线与第二连接层在第一方向上的中轴线重合，所述第四连接层电连接第二单元区的第二有源区上的第二金属层和第五金属层。

- 14.如权利要求 13 所述的半导体结构，其特征在于，还包括：位于第一单元区上的第一导电层，所述第一导电层平行于第一方向，所述第一导电层横跨所述第一单元区的第一有源区和第三有源区，所述第一导电层电连接第一单元区的第一有源区上的第一金属层和第三有源区上的第四金属层；位于第一单元区的第四有源区上和第二单元区的第一隔离区上的第二导电层，所述第二导电层平行于第一方向，所述第二导电层电连接所述第一单元区的第四有源区上的第四金属层和第二单元区的第一栅极结构；位于第一单元区上的第三导电层，所述第三导电层平行于第一方向，所述第三导电层横跨所述第一单元区的第二有源区和第四有源区，所述第三导电层电连接第一单元区的第二有源区上的第一金属层和第四有源区上的第三金属层；位于第一单元区上的第四导电层，所述第四导电层平行于第一方向，所述第四导电层电连接所述第一单元区的第二栅极结构，所述第四导电层横跨所述第一单元区的第一有源区和第二隔离区；位于第一单元区上的第五导电层，所述第五导电层平行于第一方向，所述第五导电层位于第一隔离区上，所述第五导电层电连接所述第一单元区的第一栅极结构，所述第五导电层在第一方向上的中轴线与第二导电层在第一方向上的中轴线重合。

- 15.如权利要求 14 所述的半导体结构，其特征在于，所述第一导电层、第四导电层、第二导电层和第三导电层依次等间距平行排列。

- 16.如权利要求 14 所述的半导体结构，其特征在于，还包括：位于第二单元区的第一有源区上的第六导电层，所述第六导电层平行于第一方向，所述第六导电层电连接第二单元区的第一有源区上的

第一金属层；位于第二单元区的第三有源区上的第七导电层，所述第七导电层平行于第一方向，所述第七导电层电连接所述第二单元区的第三有源区上的第三金属层和第四金属层；位于第二单元区的第二有源区上的第八导电层，所述第八导电层平行于第一方向，所述第八导电层电连接第二单元区的第二有源区上的第一金属层；位于第二单元区的第四有源区上的第九导电层，所述第九导电层平行于第一方向，所述第九导电层电连接所述第二单元区的第四有源区上第三金属层和第四金属层；所述第一导电层、第六导电层和第七导电层第一方向上的中轴线重合；所述第三导电层、第八导电层和第九导电层第一方向上的中轴线重合。

17. 如权利要求 16 所述的半导体结构，其特征在于，还包括：平行于第二方向的第一电输出层，所述第一电输出层电连接所述第一单元区上的第一导电层和第二导电层；平行于第二方向的第二电输出层，所述第二电输出层电连接所述第二单元区上的第六导电层和第八导电层。
18. 如权利要求 17 所述的半导体结构，其特征在于，还包括：与第一单元区第一有源区上的第五金属层以及第二单元区第一有源区上的第五金属层电连接的电源电压线；与第一单元区第二有源区上的第五金属层以及第二单元区第二有源区上的第五金属层电连接的接地电压线，所述电源电压线和接地电压线平行于第一方向。
19. 如权利要求 6 所述的半导体结构，其特征在于，多个单元区中包括第一单元区、第二单元区、第三单元区和第四单元区；所述第一单元区和第二单元区沿平行于衬底表面的第一方向排列，所述第一单元区的第二区与第二单元区的第一区相邻接；所述第三单元区和第四单元区沿平行于衬底表面的第一方向排列，所述第三单元区的第二区与第四单元区的第一区相邻接；所述第一单元区和第四单元区沿平行于衬底表面的第二方向排列，所述第一单元区的第一区与第四单元区的第二区相邻接，所述第一单元区的第二区与第四单元区的第一区相邻接；所述第二单元区和第三单元

区沿平行于衬底表面的第二方向排列，所述第二单元区的第二区与第三单元区的第一区相邻接，所述第二单元区的第一区与第三单元区的第二区相邻接。

- 20.如权利要求 6 所述的半导体结构，其特征在于，还包括：平行于第一方向的第一连接层，所述第一连接层电连接第一有源区上的第二金属层和第五金属层；平行于第一方向的第二连接层，所述第二连接层电连接第二有源区上的第二金属层和第五金属层；平行于第一方向的第一导电层，所述第一导电层与第一有源区上的第一金属层电连接；平行于第一方向的第二导电层，所述第二导电层与第一栅极结构电连接，所述第二导电层横跨所述第一有源区和第二隔离区；平行于第一方向的第三导电层，所述第三导电层与第二有源区上的第一金属层电连接；平行于第二方向的电输出层，所述电输出层电连接所述第一导电层和第三导电层。
- 21.如权利要求 20 所述的半导体结构，其特征在于，还包括：平行于第一方向的第四导电层，所述第四导电层电连接所述第三有源区上的第三金属层和第四金属层，所述第四导电层在第一方向上的中轴线与第一导电层在第一方向上的中轴线重合；平行于第一方向的第五导电层，所述第五导电层电连接所述第四有源区上的第三金属层和第四金属层，所述第五导电层在第一方向上的中轴线与第三导电层在第一方向上的中轴线重合。
- 22.如权利要求 21 所述的半导体结构，其特征在于，还包括：平行于第一方向的第六导电层，所述第六导电层横跨所述第一隔离区和第四有源区；所述第一导电层、第二导电层、第六导电层和第三导电层依次等间距平行排列；平行于第一方向的电源电压线，所述电源电压线与第一有源区上的第五金属层电连接；平行于第一方向的接地电压线，所述接地电压线与第二有源区上的第五金属层电连接。
- 23.一种半导体结构的形成方法，其特征在于，包括：

提供衬底，所述衬底包括至少一个单元区，所述单元区包括相邻

的第一区和第二区，所述第一区和第二区沿第一方向排布，所述第一区包括沿第二方向排列的第一有源区、第一隔离区和第二有源区，所述第一有源区和第二有源区位于第一隔离区两侧，所述第二区包括沿第二方向排列的第三有源区、第二隔离区和第四有源区，所述第三有源区和第四有源区位于第二隔离区两侧，所述第一隔离区平行于第一方向的中轴线与第二隔离区平行于第一方向的中轴线不重合，所述第一方向和第二方向平行于衬底表面，且所述第一方向和第二方向相互垂直；

在第一区上形成第一栅极结构，所述第一栅极结构横跨所述第一有源区、第一隔离区和第二有源区，以及形成分别位于第一栅极结构两侧的第一金属层和第二金属层，所述第一栅极结构、第一金属层和第二金属层平行于第二方向；

在第二区上形成第二栅极结构，所述第二栅极结构横跨所述第三有源区、第二隔离区和第四有源区，以及形成分别位于第二栅极结构两侧的第三金属层和第四金属层，所述第二栅极结构、第三金属层和第四金属层平行于第二方向；

在第一隔离区上形成第一隔离结构，所述第一隔离结构沿第一方向贯穿所述第一金属层和第二金属层，所述第一栅极结构位于第一隔离结构上；

在第二隔离区上形成第二隔离结构，所述第二隔离结构沿第一方向贯穿所述第三金属层和第四金属层，所述第二栅极结构位于第二隔离结构上。

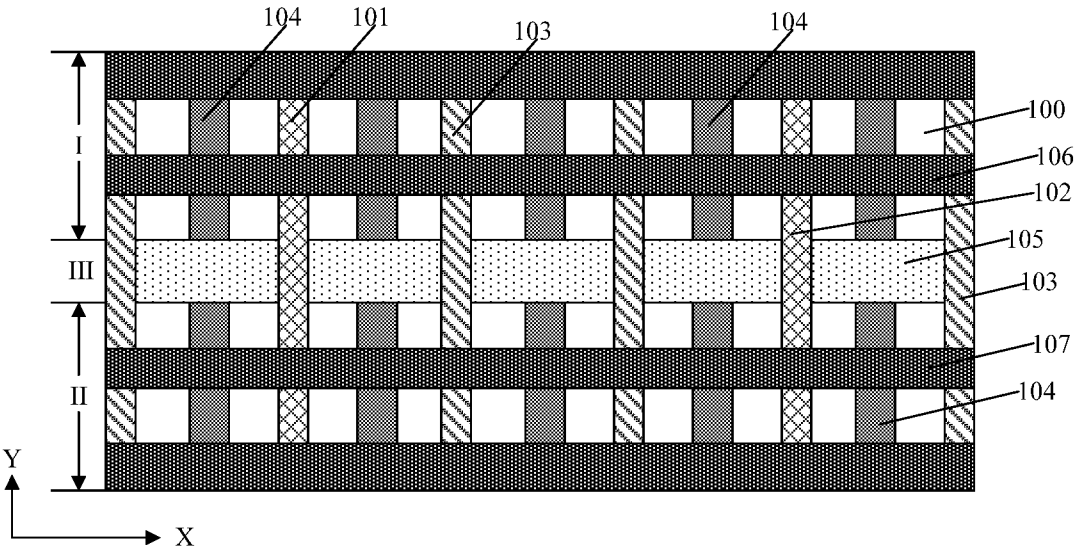


图 1

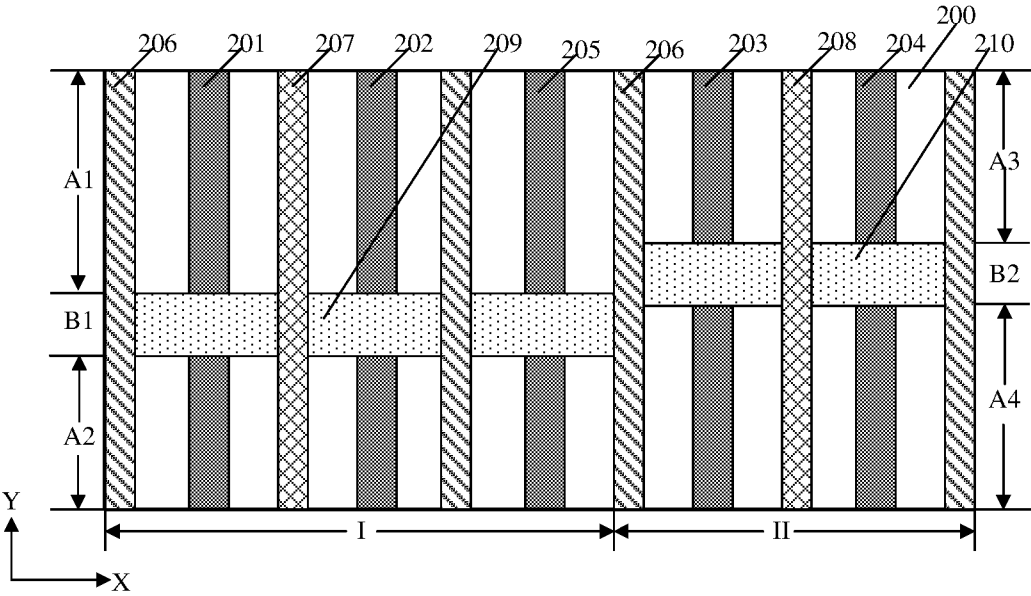


图 2

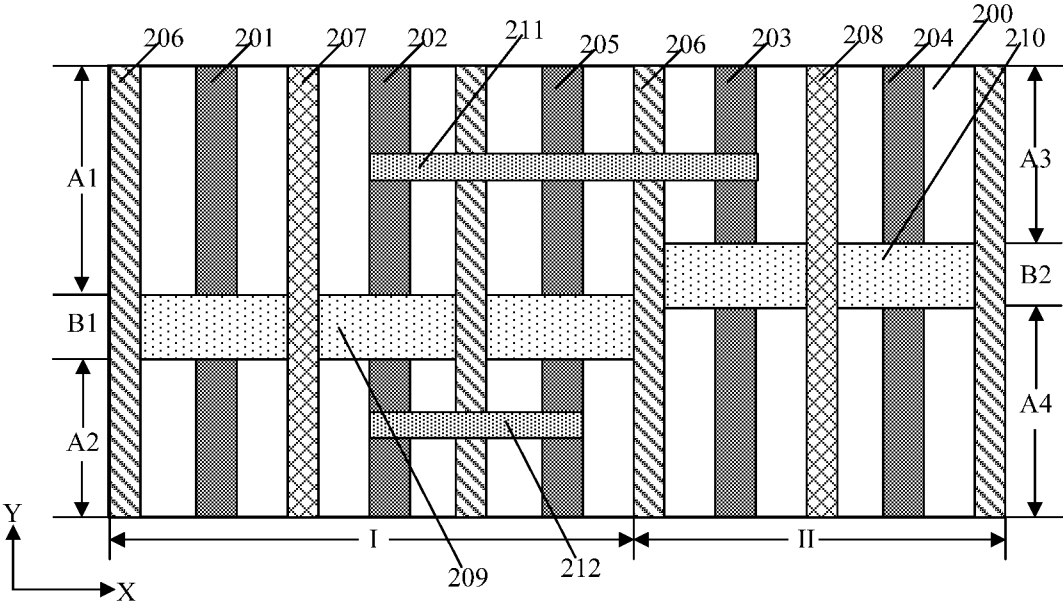


图 3

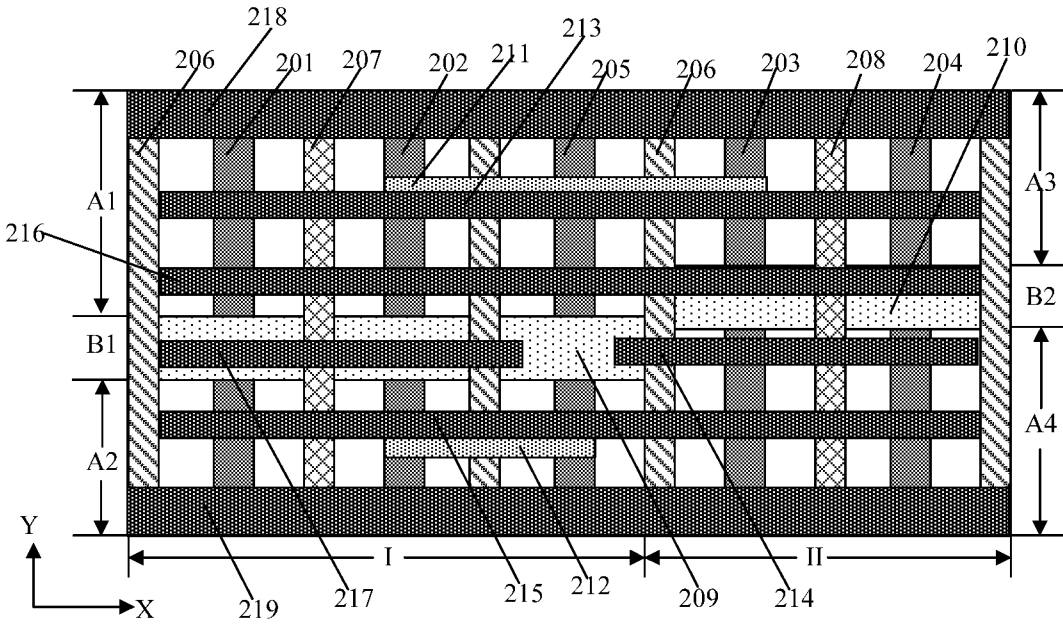


图 4

—4/7—

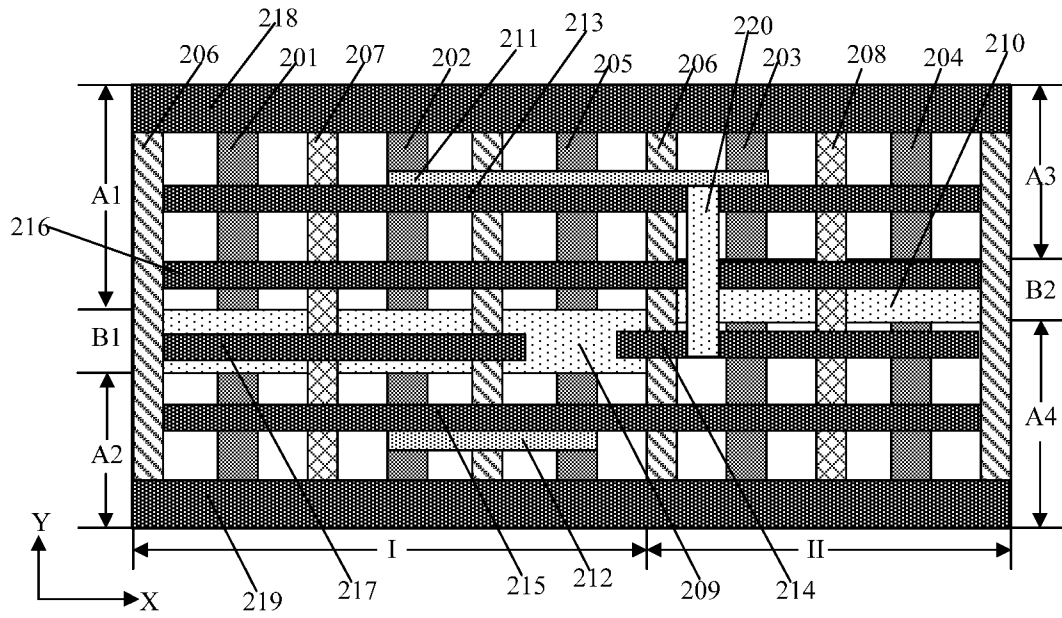


图 5

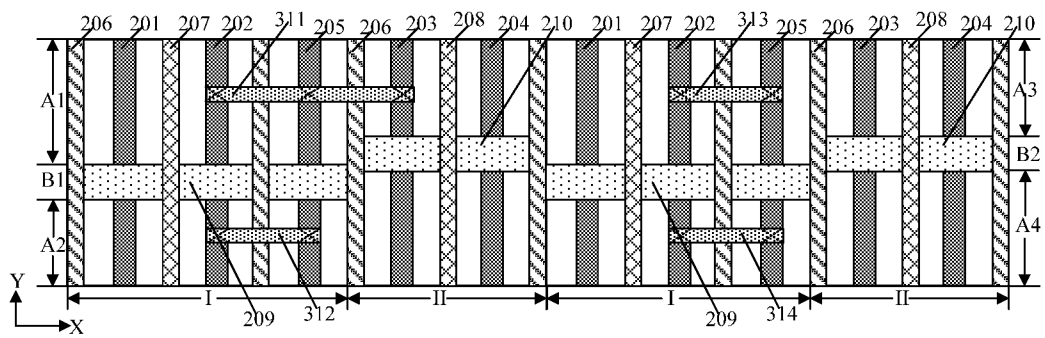


图 6

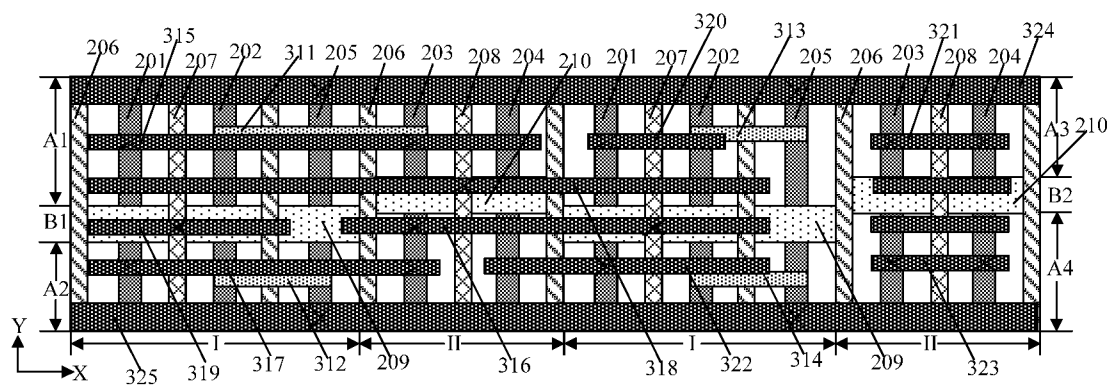


图 7

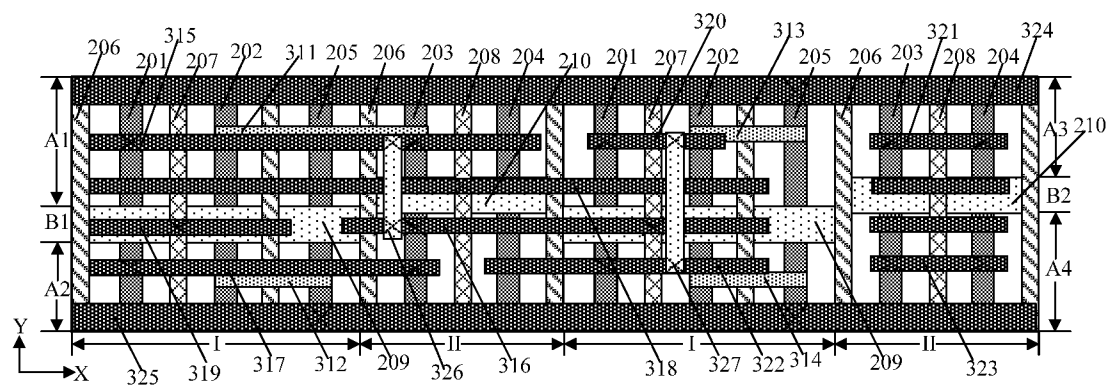


图 8

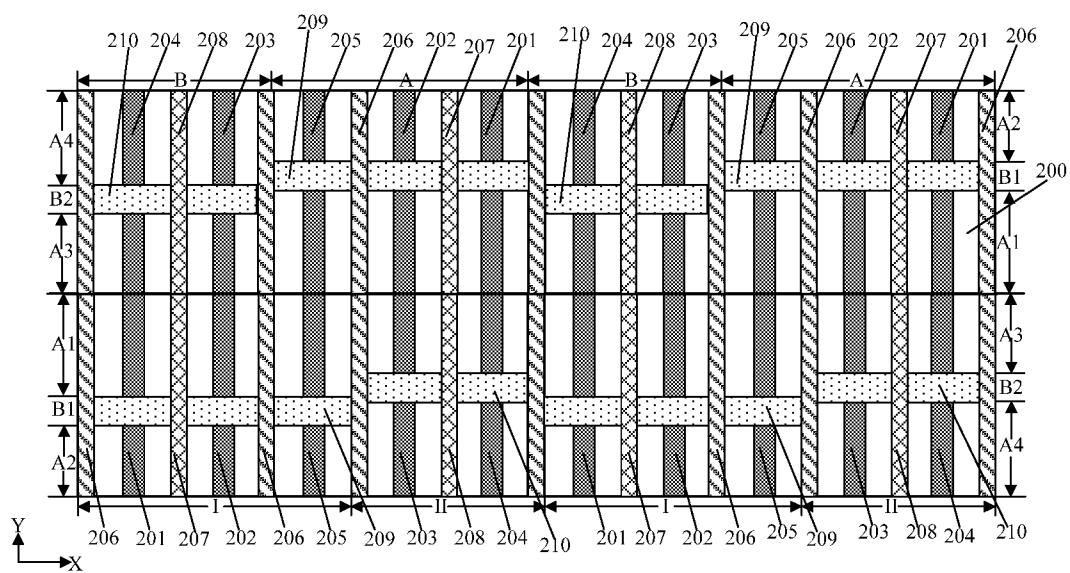


图 9

—6/7—

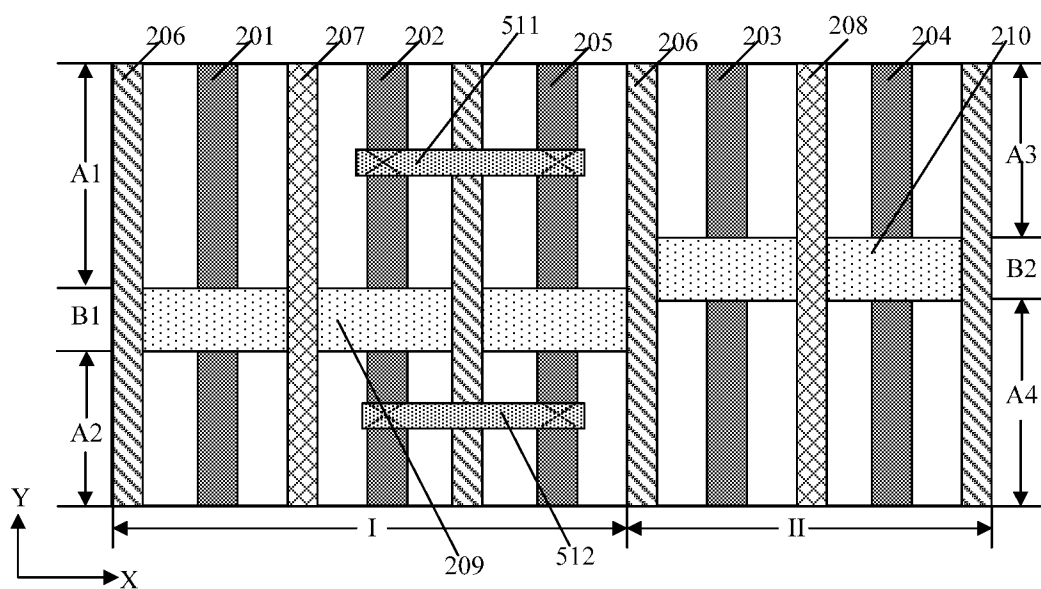


图 10

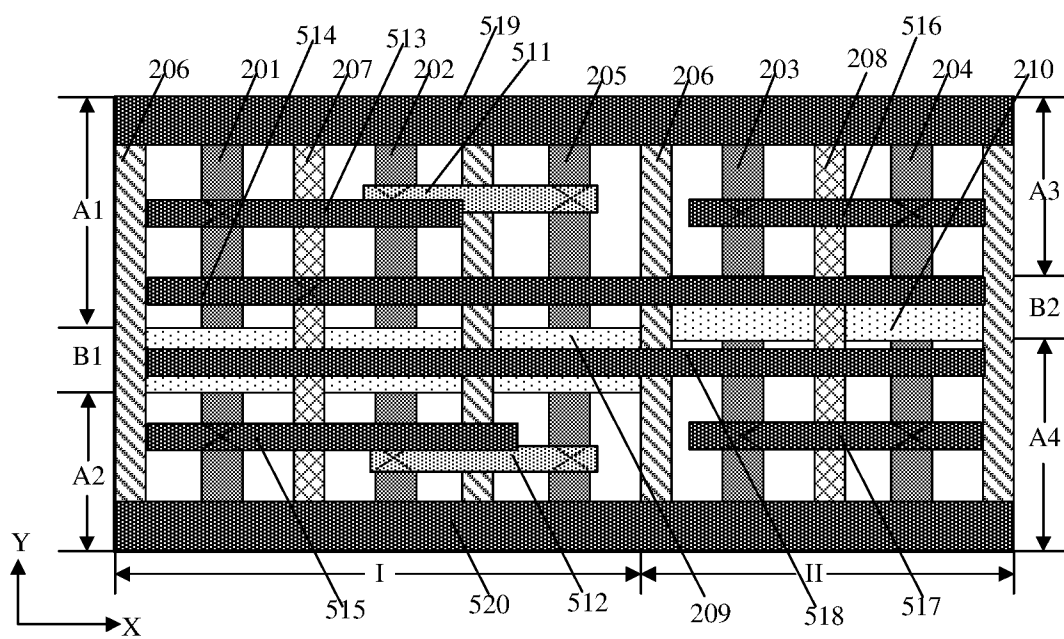


图 11

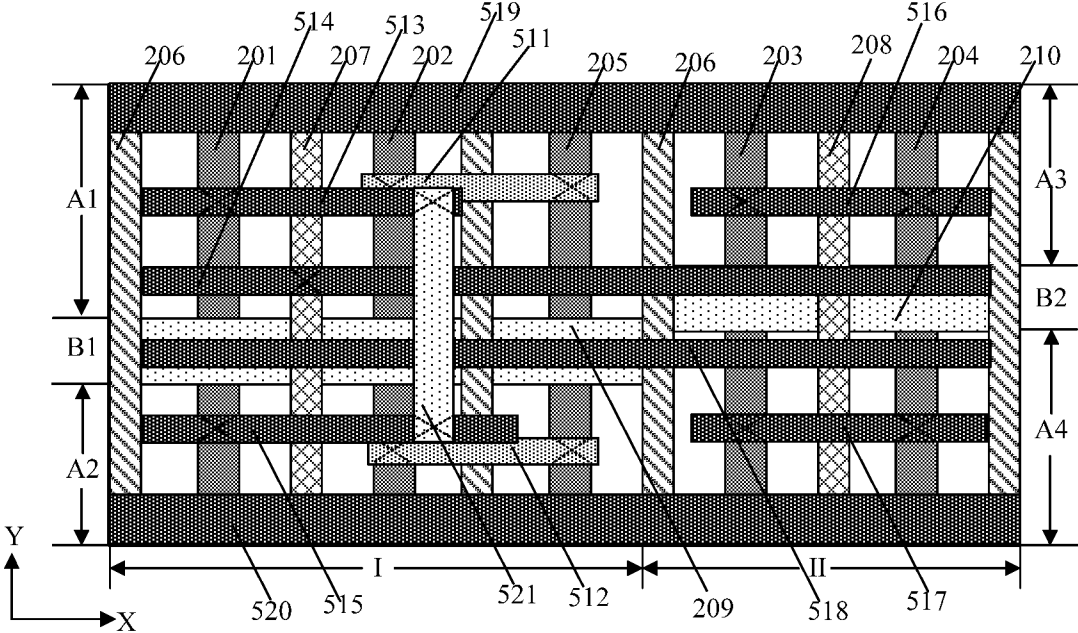


图 12

## INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2021/114493

**A. CLASSIFICATION OF SUBJECT MATTER**

H01L 27/02(2006.01)i; H01L 29/78(2006.01)i; H01L 21/762(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

**B. FIELDS SEARCHED**

Minimum documentation searched (classification system followed by classification symbols)

H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNTXT; ENTXT; ENTXTC; DWPI; CNKI: 半导体, 排列, 排布, 有源, 隔离, 平行, 重合, 重叠, 方向, 栅极, semiconductor, arrangement, active, isolation, parallel, coincid+, overlap, direction, gate

**C. DOCUMENTS CONSIDERED TO BE RELEVANT**

| Category* | Citation of document, with indication, where appropriate, of the relevant passages                                                             | Relevant to claim No. |
|-----------|------------------------------------------------------------------------------------------------------------------------------------------------|-----------------------|
| A         | CN 107731921 A (SAMSUNG ELECTRONICS CO., LTD.) 23 February 2018 (2018-02-23) description, paragraphs [0020]-[0092], and figures 1-4 and 10-26B | 1-23                  |
| A         | CN 106610562 A (SEMICONDUCTOR MANUFACTURING INTERNATIONAL (SHANGHAI) CORP. et al.) 03 May 2017 (2017-05-03) entire document                    | 1-23                  |
| A         | CN 113140566 A (INNOSCIENCE (ZHUHAI) TECHNOLOGY CO., LTD.) 20 July 2021 (2021-07-20) entire document                                           | 1-23                  |

☐ Further documents are listed in the continuation of Box C.☒ See patent family annex.

\* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

12 April 2022

Date of mailing of the international search report

26 April 2022

Name and mailing address of the ISA/CN

China National Intellectual Property Administration (ISA/  
CN)  
No. 6, Xitucheng Road, Jimenqiao, Haidian District, Beijing  
100088, China

Facsimile No. (86-10)62019451

Authorized officer

Telephone No.

**INTERNATIONAL SEARCH REPORT**  
**Information on patent family members**

International application No.

**PCT/CN2021/114493**

| Patent document<br>cited in search report |           |   | Publication date<br>(day/month/year) | Patent family member(s) |             |    | Publication date<br>(day/month/year) |
|-------------------------------------------|-----------|---|--------------------------------------|-------------------------|-------------|----|--------------------------------------|
| CN                                        | 107731921 | A | 23 February 2018                     | KR                      | 20180018947 | A  | 22 February 2018                     |
|                                           |           |   |                                      | US                      | 2019057907  | A1 | 21 February 2019                     |
|                                           |           |   |                                      | US                      | 2018047634  | A1 | 15 February 2018                     |
|                                           |           |   |                                      | US                      | 2021375692  | A1 | 02 December 2021                     |
|                                           |           |   |                                      | TW                      | 201806166   | A  | 16 February 2018                     |
|                                           |           |   |                                      | US                      | 10153212    | B2 | 11 December 2018                     |
| CN                                        | 106610562 | A | 03 May 2017                          | CN                      | 106610562   | B  | 07 February 2020                     |
| CN                                        | 113140566 | A | 20 July 2021                         | CN                      | 215815878   | U  | 11 February 2022                     |

## 国际检索报告

国际申请号

PCT/CN2021/114493

## A. 主题的分类

H01L 27/02 (2006.01) i; H01L 29/78 (2006.01) i; H01L 21/762 (2006.01) i

按照国际专利分类 (IPC) 或者同时按照国家分类和 IPC 两种分类

## B. 检索领域

检索的最低限度文献 (标明分类系统和分类号)

H01L

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库 (数据库的名称, 和使用的检索词 (如使用))

CNTXT; ENTXT; ENTXTC; DWPI; CNKI: 半导体, 排列, 排布, 有源, 隔离, 平行, 重合, 重叠, 方向, 栅极, semiconductor, arrangement, active, isolation, parallel, coincid+, overlap, direction, gate

## C. 相关文件

| 类 型* | 引用文件, 必要时, 指明相关段落                                                                        | 相关的权利要求 |
|------|------------------------------------------------------------------------------------------|---------|
| A    | CN 107731921 A (三星电子株式会社) 2018年2月23日 (2018 - 02 - 23)<br>说明书第[0020]-[0092]段、图1-4, 10-26B | 1-23    |
| A    | CN 106610562 A (中芯国际集成电路制造上海有限公司 等) 2017年5月3日 (2017 - 05 - 03)<br>全文                     | 1-23    |
| A    | CN 113140566 A (英诺赛科珠海科技有限公司) 2021年7月20日 (2021 - 07 - 20)<br>全文                          | 1-23    |

☐ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

\* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&amp;” 同族专利的文件

国际检索实际完成的日期

2022年4月12日

国际检索报告邮寄日期

2022年4月26日

ISA/CN的名称和邮寄地址

中国国家知识产权局 (ISA/CN)

中国北京市海淀区蓟门桥西土城路6号 100088

传真号 (86-10)62019451

受权官员

李介胜

电话号码 86-(010)-62411794

国际检索报告  
关于同族专利的信息

国际申请号

PCT/CN2021/114493

| 检索报告引用的专利文件 |           |   | 公布日<br>(年/月/日) | 同族专利 |             |    | 公布日<br>(年/月/日) |
|-------------|-----------|---|----------------|------|-------------|----|----------------|
| CN          | 107731921 | A | 2018年2月23日     | KR   | 20180018947 | A  | 2018年2月22日     |
|             |           |   |                | US   | 2019057907  | A1 | 2019年2月21日     |
|             |           |   |                | US   | 2018047634  | A1 | 2018年2月15日     |
|             |           |   |                | US   | 2021375692  | A1 | 2021年12月2日     |
|             |           |   |                | TW   | 201806166   | A  | 2018年2月16日     |
|             |           |   |                | US   | 10153212    | B2 | 2018年12月11日    |
| CN          | 106610562 | A | 2017年5月3日      | CN   | 106610562   | B  | 2020年2月7日      |
| CN          | 113140566 | A | 2021年7月20日     | CN   | 215815878   | U  | 2022年2月11日     |