



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I536502 B

(45)公告日：中華民國 105 (2016) 年 06 月 01 日

(21)申請案號：101115996

(22)申請日：中華民國 101 (2012) 年 05 月 04 日

(51)Int. Cl. : H01L21/8244(2006.01)

H01L27/11 (2006.01)

(30)優先權：2011/05/13 日本

2011-107831

(71)申請人：半導體能源研究所股份有限公司 (日本) SEMICONDUCTOR ENERGY
LABORATORY CO., LTD. (JP)

日本

(72)發明人：藤田雅史 FUJITA, MASASHI (JP)

(74)代理人：林志剛

(56)參考文獻：

TW I269297

TW I270176

TW I273603

TW I295803

TW I297895

TW I298494

TW 2005/0275038A1

US 2004/0038446A1

US 2004/0105302A1

US 2006/0286737A1

審查人員：羅文雄

申請專利範圍項數：9 項 圖式數：31 共 142 頁

(54)名稱

記憶體電路及電子裝置

MEMORY CIRCUIT AND ELECTRONIC DEVICE

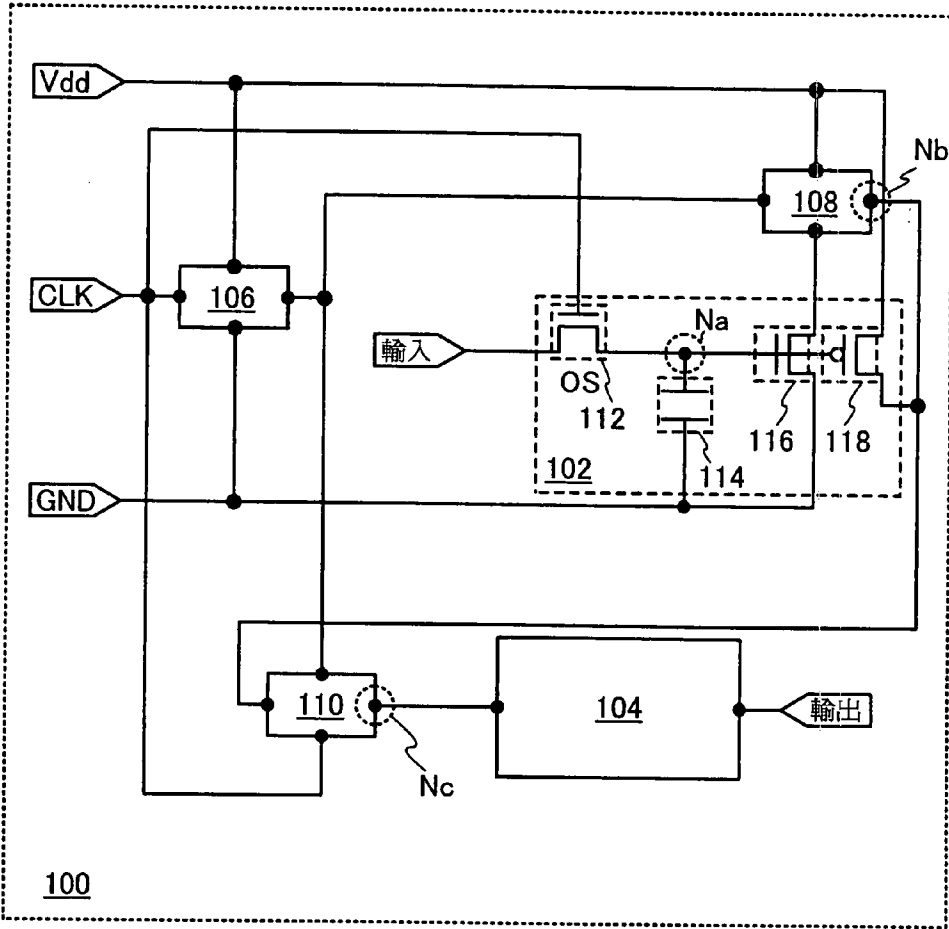
(57)摘要

提出一種具有新穎結構的非揮發性記憶體電路。包括一第一記憶體電路、一第二記憶體電路、一第一開關、一第二開關、及一相位反向器電路。第一記憶體電路包括一使用一氧化物半導體膜形成的第一電晶體、一第二電晶體、一第三電晶體、及一電容器。使用氧化物半導體膜形成的第一電晶體及電容器係用來形成非揮發性記憶體電路。連到記憶體電路及在記憶體電路中使用之電晶體的電源供應線及信號線之數量的減少使非揮發性記憶體電路的電路規模能縮小。

To provide a nonvolatile memory circuit having a novel structure. A first memory circuit, a second memory circuit, a first switch, a second switch, and a phase inverter circuit are included. The first memory circuit includes a first transistor formed using an oxide semiconductor film, a second transistor, a third transistor, and a capacitor. The first transistor formed using an oxide semiconductor film and the capacitor are used to form the nonvolatile memory circuit. Reductions in number of power supply lines and signal lines which are connected to the memory circuit and transistors used in the memory circuit allow a reduction in circuit scale of the nonvolatile memory circuit.

指定代表圖：

第1圖



符號簡單說明：

- 100 . . . 記憶體電路
- 102 . . . 第一記憶體電路
- 104 . . . 第二記憶體電路
- 108 . . . 第一開關
- 110 . . . 第二開關
- 106 . . . 相位反向器電路
- 112 . . . 第一電晶體
- 114 . . . 電容器
- 116 . . . 第二電晶體
- 118 . . . 第三電晶體
- OS . . . 氧化物半導體
- IN . . . 輸入信號
- CLK . . . 時脈信號
- Vdd . . . 電源電壓
- OUT . . . 輸出信號
- Na . . . 節點 a
- Nb . . . 節點 b
- Nc . . . 節點 c

發明專利說明書

(本申請書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：101115996

※申請日：101 年 05 月 04 日

※IPC 分類：

H01L 21/5244 (2006.01)

H01L 27/11 (2006.01)

一、發明名稱：(中文／英文)

記憶體電路及電子裝置

Memory circuit and electronic device

二、中文發明摘要：

提出一種具有新穎結構的非揮發性記憶體電路。包括一第一記憶體電路、一第二記憶體電路、一第一開關、一第二開關、及一相位反向器電路。第一記憶體電路包括一使用一氧化物半導體膜形成的第一電晶體、一第二電晶體、一第三電晶體、及一電容器。使用氧化物半導體膜形成的第一電晶體及電容器係用來形成非揮發性記憶體電路。連到記憶體電路及在記憶體電路中使用之電晶體的電源供應線及信號線之數量的減少使非揮發性記憶體電路的電路規模能縮小。

三、英文發明摘要：

To provide a nonvolatile memory circuit having a novel structure. A first memory circuit, a second memory circuit, a first switch, a second switch, and a phase inverter circuit are included. The first memory circuit includes a first transistor formed using an oxide semiconductor film, a second transistor, a third transistor, and a capacitor. The first transistor formed using an oxide semiconductor film and the capacitor are used to form the nonvolatile memory circuit. Reductions in number of power supply lines and signal lines which are connected to the memory circuit and transistors used in the memory circuit allow a reduction in circuit scale of the nonvolatile memory circuit.

四、指定代表圖：

(一) 本案指定代表圖為：第(1)圖。

(二) 本代表圖之元件符號簡單說明：

100：記憶體電路

102：第一記憶體電路

104：第二記憶體電路

108：第一開關

110：第二開關

106：相位反向器電路

112：第一電晶體

114：電容器

116：第二電晶體

118：第三電晶體

OS：氧化物半導體

IN：輸入信號

CLK：時脈信號

Vdd：電源電壓

OUT：輸出信號

Na：節點 a

Nb：節點 b

Nc：節點 c

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：無

六、發明說明：

【發明所屬之技術領域】

本發明係關於一種非揮發性記憶體電路，其即使在關閉電力之後，仍不失去已儲存的邏輯狀態。本發明亦關於一種包括記憶體電路的電子裝置。

【先前技術】

如中央處理單元（CPU）的信號處理電路基於預期的用途來改變結構。信號處理電路通常具有用來儲存資料或程式的主記憶體以及如暫存器和快取記憶體的其他記憶體電路。

在如暫存器或快取記憶體的記憶體電路中，需要以比在主記憶體中更高的速度來進行資料讀取和資料寫入。因此，一般來說，係使用正反器電路作為暫存器，且使用靜態隨機存取記憶體（SRAM）或之類作為快取記憶體。亦即，這類暫存器、快取記憶體等都是在停止施加電源電壓之後便失去資料的揮發性記憶體電路。

為了降低功率耗損，已建議一種方法，即在未輸入/輸出資料期間暫時停止施加電源電壓給信號處理電路。在此方法中，非揮發性記憶體電路係位於如暫存器或快取記憶體之揮發性記憶體電路的周圍，並暫時將資料儲存在非揮發性記憶體電路中。因此，即便停止施加電源電壓，在信號處理電路中的暫存器、快取記憶體或之類仍會保持資料（例如，參見專利文件1）。

在長時間停止施加電源電壓到信號處理電路的情況下，在停止施加電源電壓之前將揮發性記憶體電路中的資料轉移到如硬碟或快閃記憶體的外部儲存裝置，以能防止失去資料。

〔參考〕

〔專利文件 1〕：日本公開專利申請第 H10-078836 號。

【發明內容】

在專利文件 1 所揭露之信號處理電路中，會對非揮發性記憶體電路所包括的儲存元件使用鐵電物質。在包括鐵電物質的儲存元件中，重複的資料寫入可能會使鐵電材料疲乏，而導致寫入錯誤或之類。所以，限制了複寫的次數。此外，例如讀取和寫入資料的資料處理速度（以下亦稱為存取速度）會很低。

在對非揮發性記憶體電路使用快閃記憶體的情況下，施加高電壓以產生隧道電流，藉此進行注入或釋放電子。因此，會有如由於重複地資料複寫而造成儲存元件之顯著惡化的問題，使得限制了複寫的次數。此外，存取速度會很低。

在對為其中一種揮發性記憶體電路的暫存器使用正反器電路之情況下，電路規模會變大。再者，當使用電晶體形成正反器電路時，用於記憶體電路的電晶體數量會很多。

有鑑於上述問題，本發明之一實施例之一目標在於提出一種具有新穎結構的記憶體電路，其中甚至在關閉電力之後，仍維持已儲存的邏輯狀態。本發明之一實施例的另一目標在於提出一種具有小型電路規模的非揮發性記憶體電路，其藉由減少連到記憶體電路及在記憶體電路中使用之電晶體的電源供應線及信號線之數量來達到。

本發明之一實施例包括一第一記憶體電路、一第二記憶體電路、一第一開關、一第二開關、及一相位反向器電路。第一記憶體電路包括一使用氧化物半導體膜形成的第一電晶體、一第二電晶體、一第三電晶體、及一電容器。使用氧化物半導體膜形成的第一電晶體及電容器係用來形成非揮發性記憶體電路。連到記憶體電路及在記憶體電路中使用之電晶體的電源供應線及信號線之數量的減少使非揮發性記憶體電路的電路規模能縮小。以下將說明其細節。

本發明之一實施例係一種記憶體電路，包括一第一記憶體電路、一第二記憶體電路、一第一開關、一第二開關、及一相位反向器電路。第一記憶體電路包括一第一電晶體、一第二電晶體、一第三電晶體、及一電容器。第一電晶體係使用氧化物半導體膜形成。第一電晶體之源極和汲極之一者係連接一被輸入一第一控制信號的第一信號線。第一電晶體之源極和汲極之另一者係連接電容器之其一電極和第二電晶體的閘極。電容器之另一電極係接地。第一電晶體之閘極係連接一被輸入一第二控制信號的第二信號

線。相位反向器電路之輸入端係連接第二信號線。相位反向器電路之輸出端係連接第一開關之輸入端。相位反向器電路之第一端係連接一被施加電源電壓的電源供應線。相位反向器電路之第二端係接地。第一開關之第一端係連接電源供應線。第一開關之第二端係連接第二電晶體之源極和汲極之一者。第二電晶體之源極和汲極之另一者係接地。第三電晶體之閘極係連接第二電晶體之閘極。第三電晶體之源極和汲極之一者係連接電源供應線。第三電晶體之源極和汲極之另一者係連接第一開關的輸出端。第二開關之第一端係連接相位反向器電路之輸出端。第二開關之第二端係連接第二信號線。第一開關之輸出端係通過第二開關連接第二記憶體電路。

本發明之一實施例係一種記憶體電路，包括一第一記憶體電路、一第二記憶體電路、一第一開關、一第二開關、及一相位反向器電路。第一記憶體電路包括一第一電晶體、一電容器、一第二電晶體、及一第三電晶體。第一開關包括一第四電晶體和一第五電晶體。第一電晶體係使用氧化物半導體形成。第一電晶體之源極和汲極之一者係連接一被輸入一第一控制信號的第一信號線。第一電晶體之源極和汲極之另一者係連接電容器之其一電極和第二電晶體的閘極。電容器之另一電極係接地。第一電晶體之閘極係連接一被輸入一第二控制信號的第二信號線。相位反向器電路之輸入端係連接第二信號線。相位反向器電路之輸出端係連接第四電晶體之閘極和第五電晶體之閘極。相位

反向器電路之第一端係連接一被施加電源電壓的電源供應線。相位反向器電路之第二端係接地。第四電晶體之源極和汲極之一者係連接電源供應線。第四電晶體之源極和汲極之另一者係連接第五電晶體之源極和汲極之一者。第五電晶體之源極和汲極之另一者係連接第二電晶體之源極和汲極之一者。第二電晶體之源極和汲極之另一者係接地。第三電晶體之閘極係連接第二電晶體之閘極。第三電晶體之源極和汲極之一者係連接電源供應線。第三電晶體之源極和汲極之另一者係連接第四電晶體之源極和汲極之另一者與第五電晶體之源極和汲極之一者。第二開關之第一端係連接相位反向器電路之輸出端。第二開關之第二端係連接第二信號線。第四電晶體之源極和汲極之另一者與第五電晶體之源極和汲極之一者係通過第二開關連接第二記憶體電路。

在上述任一結構中，第一電晶體可使用一含有 In、Ga、和 Zn 的氧化物半導體材料或一含有 In、Sn、和 Zn 的氧化物半導體材料形成。

本發明之一實施例係一種包括具有上述結構的記憶體電路之電子裝置。

使用具有新穎結構的非揮發性記憶體電路使得即便在停止供應電源電壓之後，仍可長時間保留記憶體電路中的資料。因此，可進行常閉型的驅動方法。於是，可顯著降低記憶體電路的功率耗損。

另外，連到具有新穎結構的非揮發性記憶體電路及在

記憶體電路中使用之電晶體的電源供應線及信號線之數量的減少使非揮發性記憶體電路的電路規模能縮小。

【實施方式】

以下將參考附圖來說明實施例。請注意本發明並不侷限下列說明，且本領域之熟知技藝者輕易了解到在不脫離本發明的宗旨及範圍下可以各種方式修改方式和細節。因此，本發明不應被解釋為受限於以下所述之實施例的說明。

例如，當使用不同極性的電晶體時或當在電路操作中改變電流流向時，「源極」和「汲極」有時會彼此代替。因此，在本說明書中，「源極」和「汲極」之名稱能彼此代替。

請注意在許多情況下，電壓係指給定電位與參考電位（例如，接地電位）之間的電位差。因此，在本說明書中，電壓、電位、及電位差可分別稱為電位、電壓、及電壓差。

在元件間的位置關係之說明中，「在上面」和「在下面」之名稱不一定分別表示元件係「直接在上方」或「直接在下放」。例如，「閘極在閘絕緣膜上」之措辭可表示有另一元件置於閘絕緣層與閘極之間的情形。

為了容易理解，在有些例子中並不會精確地表現每個在圖中所示之元件的位置、大小、範圍或之類。因此，所揭露之發明並不必要受限於如圖中揭露的位置、大小、範圍

或之類。

使用如「第一」、「第二」、「第三」之序數以避免元件之間的混淆。

(實施例 1)

將參考第 1 圖來說明本發明之一實施例。第 1 圖繪示根據本發明之一實施例之記憶體電路 100 的電路配置之實例。

<記憶體電路的電路配置>

第 1 圖之記憶體電路 100 包括一第一記憶體電路 102、一第二記憶體電路 104、一第一開關 108、一第二開關 110、及一相位反向器電路 106。第一記憶體電路 102 包括一第一電晶體 112、一電容器 114、一第二電晶體 116、及一第三電晶體 118。

第一電晶體 112 係使用氧化物半導體形成。第一電晶體 112 之源極和汲極之一者係連接被輸入第一控制信號 (IN) 的第一信號線，且另一者係連接電容器 114 之其一電極和第二電晶體 116 的閘極。電容器 114 之另一電極係接地。

由於第一電晶體 112 係使用氧化物半導體 (OS) 形成，故第 1 圖之第一電晶體 112 標示了「OS」。

此外，在第 1 圖中，電容器 114 與第一電晶體 112 之源極和汲極之另一者的連接部係以節點 a (Na) 來表示。

當關閉第一電晶體 112 時，可保持供應給節點 a (Na) 與電容器 114 之其一電極的電位。

包括使用氧化物半導體形成的通道形成區之第一電晶體 112 具有極低的截止電流。使用氧化物半導體形成的第一電晶體 112 之截止電流小於或等於使用矽半導體或之類形成的電晶體之截止電流的十萬分之一；因此，由於第一電晶體 112 的洩漏電流而導致在節點 a (Na) 上累積的電荷損失可忽略不計。亦即，使用氧化物半導體形成的第一電晶體 112 使得有可能得到即使沒有供應電力仍可儲存資料的非揮發性記憶體電路。

第一電晶體 112 之閘極係連接被輸入第二控制信號 (CLK) 的第二信號線。

相位反向器電路 106 之輸入端係連接被輸入第二控制信號 (CLK) 的第二信號線。相位反向器電路 106 之輸出端係連接第一開關 108 之輸入端。相位反向器電路 106 之第一端係連接被施加電源電壓 (Vdd) 的電源供應線。相位反向器電路 106 之第二端係接地。在本說明書中的「接地」例如意指端點係電性連接接地線 (GND)。

相位反向器電路 106 輸出一時脈反向信號 (CLKB)，其係為時脈信號 (CLK) 輸入的反向。當信號輸入的電位為高準位電位 (亦稱為高電位) 時，反向信號便在低準位電位 (亦稱為低電位)，而當信號輸入的電位為低準位電位時，反向信號便在高準位電位。

第一開關 108 之輸入端係連接相位反向器電路 106 的

輸出端。第一開關 108 之輸出端係連接第二開關 110 的輸入端。第一開關 108 之第一端係連接被施加電源電壓 (V_{dd}) 的電源供應線。第一開關 108 之第二端係連接第二電晶體 116 之源極和汲極之一者。第二電晶體 116 之源極和汲極之另一者係接地。

將時脈反向信號 (CLKB) 提供給第一開關 108。當時脈反向信號 (CLKB) 在低準位電位時，便在節點 b (Nb) 上進行預充電電源電壓 (V_{dd})。同時，當時脈反向信號 (CLKB) 在高準位電位時，節點 b (Nb) 的電位便依據節點 a (Na) 的狀態而定。例如，當節點 a (Na) 在低準位電位時，則關閉第二電晶體 116 且節點 b (Nb) 保持在先前的電位狀態中。當節點 a (Na) 在高準位電位時，則打開第二電晶體 116 且節點 b (Nb) 在低準位電位。

第三電晶體 118 之閘極係連接第二電晶體 116 之閘極。第三電晶體 118 之源極和汲極之一者係連接電源供應線，而第三電晶體 118 之源極和汲極之另一者係連接第一開關 108 的輸出端。

第二開關 110 之第一端係連接相位反向器電路 106 之輸出端。第二開關 110 之第二端係連接被輸入第二控制信號 (CLK) 的第二信號線。第一開關 108 之輸出端係通過第二開關 110 連接第二記憶體電路 104。第二記憶體電路 104 係連接輸出輸出信號 (OUT) 的第三信號線。

將時脈信號 (CLK) 和時脈反向信號 (CLKB) 提供給第二開關 110。當時脈信號 (CLK) 在低準位電位且時

脈反向信號（CLKB）在高準位電位時，便打開第二開關 110。

在第 1 圖中，第一開關 108 與第二開關 110 的連接部係以節點 b（Nb）來表示，而第二開關 110 與第二記憶體電路 104 的連接部係以節點 c（Nc）來表示。

<記憶體電路的驅動方法>

這裡，將參考第 2 圖及第 3 圖來說明第 1 圖之記憶體電路 100 的驅動方法。在記憶體電路 100 的驅動方法之實例中，在施加電源電壓之後，停止施加電源電壓以降低功率耗損，並重新開始施加電源電壓。第 2 圖及第 3 圖係各顯示記憶體電路 100 之驅動方法的時序圖。第 2 圖係在施加電源電壓後所儲存的資料在高準位電位之情況下的時序圖，而第 3 圖係在施加電源電壓後所儲存的資料在低準位電位之情況下的時序圖。

在第 2 圖及第 3 圖的時序圖中，Vdd 代表電源電壓（Vdd）；CLK 代表時脈信號（CLK）、第二控制信號；CLKB 代表時脈反向信號（CLKB）；IN 代表輸入信號（IN）、第一控制信號；Na 代表在節點 a 的信號（Na）；Nb 代表在節點 b 的信號（Nb）；Nc 代表在節點 c 的信號（Nc）；而 OUT 代表來自輸出端的輸出信號（OUT）。Vdd 為 0V（對應於圖中的低準位電位）的情況相當於未施加電源電壓的情況。

在第 2 圖及第 3 圖中，第一週期（在圖中標示為 T1

）係一段在施加電源電壓前的初始狀態之週期；第二週期（在圖中標示為 T2）係一段在施加電源電壓後進行正常運作之週期；第三週期（在圖中標示為 T3）係一段停止施加電源電壓之週期；而第四週期（在圖中標示為 T4）係一段重新開始施加電源電壓之週期。在第 2 圖中，第一至第四週期（T1 至 T4）中的時間係以時間 t1 至 t18 來表示。

在第 2 圖及第 3 圖中，X 代表不定的信號電位。不定的信號電位意謂節點 c (Nc) 的電位和輸出電位 (OUT) 可以是高準位電位或低準位電位，因為在供應電力之後便直接斷開第二開關 110。

首先，將參考第 2 圖之時序圖來說明在施加電源電壓後所儲存的資料在高準位電位之情況。

<初始狀態週期和正常運作週期>

首先，為了從第 2 圖之第一週期 (T1) 轉換到第二週期 (T2)，便在施加電源電壓 (V_{dd}) (施加大於 0V 的電源電壓) 時，輸入在高準位和低準位之間週期性地改變電位的時脈信號 (CLK) 和時脈反向信號 (CLKB) (在時間 t2 上)。請注意時脈信號 (CLK) 可能會比電源電壓 (V_{dd}) 更早上升，因為當時脈信號 (CLK) 與電源電壓 (V_{dd}) 同時上升時，可能會導致運作不穩定。

施加電源電壓 (V_{dd}) 到相位反向器電路 106、第一開關 108、及第三電晶體 118 之源極和汲極之一者。將時

脈信號 (CLK) 輸入至相位反向器電路 106 之輸入端、第一電晶體 112 之閘極、及第二開關 110 之第二端。從相位反向器電路 106 之輸出端輸出時脈反向信號 (CLKB)。

接著，從第一信號線輸入輸入信號 (IN) 至第一電晶體 112 之源極和汲極之一者 (在時間 t_2 和時間 t_3 之間的週期中)。

節點 a (Na) 之電位係取決於輸入至第一電晶體 112 之源極和汲極之一者的輸入信號 (IN) 以及輸入至第一電晶體 112 之閘極的時脈信號 (CLK)。在基本運作中，當時脈信號 (CLK) 在高準位電位時，便打開第一電晶體 112，以便將輸入信號 (IN) 輸入至節點 a (Na)。請注意當時脈信號 (CLK) 在低準位電位時，則節點 a (Na) 可藉由使用第一電晶體 112 和電容器 114，保持直接在時脈信號 (CLK) 下降前之狀態下的輸入信號 (IN)。

例如，在時間 t_3 和時間 t_4 之間的週期中，時脈信號 (CLK) 在低準位電位，且節點 a (Na) 保持為直接在時脈信號 (CLK) 下降前之狀態的高準位電位。另一方面，在時間 t_4 和時間 t_5 之間的週期中，時脈信號 (CLK) 在高準位電位且停止輸入輸入信號 (IN)，以供應低準位電位給節點 a (Na)。

在第 2 圖中，在關閉電力之前，使時脈信號 (CLK) 和輸入信號 (IN) 各變為高準位電位。之後，當時脈信號 (CLK) 在低準位電位時，便停止輸入輸入信號 (IN) (使輸入信號 (IN) 變為低準位電位) 並供應高準位電位給

節點 a (Na) (在時間 t6 和時間 t9 之間的週期中) 。

節點 b (Nb) 的電位係依據時脈反向信號 (CLKB) 、 電源電壓 (Vdd) 、 及節點 a (Na) 的電位而定。例如，當時脈反向信號 (CLKB) 在低準位電位時，則第一開關 108 在預充電狀態，以致於節點 b (Nb) 與電源電壓 (Vdd) 的電位相同。另一方面，當時脈反向信號 (CLKB) 在高準位電位時，便完成第一開關 108 的預充電狀態，且節點 b (Nb) 的電位會依據節點 a (Na) 的狀態而定。當節點 a (Na) 在高準位電位時，便打開第二電晶體 116，以致於節點 b (Nb) 在低準位電位 (在時間 t3 和時間 t4 之間的週期中) 。

節點 c (Nc) 的電位係依據第二開關 110 的狀態和節點 b (Nb) 的電位而定。例如，當第二開關 110 為導通時，則節點 c (Nc) 與節點 b (Nb) 的電位相同，而當第二開關 110 為斷開時，則節點 c (Nc) 維持在先前的狀態。當時脈信號 (CLK) 在低準位電位且時脈反向信號 (CLKB) 在高準位電位時，便打開第二開關 110。

第二記憶體電路 104 輸出節點 c (Nc) 的信號之反向信號作為輸出信號 (OUT) 。

<在停止供應電源電壓之前的運作>

第三週期 (T3) 係在未供應電源電壓 (Vdd) 期間的週期。於是，在第二週期 (T2) 之時間 t9 和時間 t10 之間的週期中，進行關閉電力之前的運作。

在關閉電力之前的運作中，將時脈信號（CLK）和時脈反向信號（CLKB）分別固定在低準位電位和高準位電位。藉由第一電晶體 112 和電容器 114 來保持節點 a（Na）的電位。

<停止供應電源電壓的運作>

第三週期（在圖中標示為 T3）係在未供應電源電壓（Vdd）期間的週期。在時間 t10 上，停止施加電源電壓（Vdd），以使除了節點 a（Na）的電位以外之所有電位都各變為低準位。甚至在停止施加電源電壓（Vdd）之後，只有節點 a（Na）保持在停止施加電源電壓（Vdd）之前所供應的高準位電位。這裡，第一電晶體 112 的洩漏電流係極低的；於是，可抑制由節點 a（Na）和電容器 114 保持的信號（電位）改變。

<重新開始供應電源電壓的運作>

第四週期（在圖中標示為 T4）係重新開始供應電源電壓（Vdd）的週期。在重新開始施加電源電壓（Vdd）之後，當停止施加電源電壓（Vdd）時，供應分別固定在低準位電位和高準位電位的時脈信號（CLK）和時脈反向信號（CLKB）（在時間 t13 上）。

然後，讀出儲存在節點 a（Na）上的資料。節點 a（Na）變成在停止施加電源電壓之前所保持的高準位電位。當時脈反向信號（CLKB）在高準位電位時，節點 b（Nb）

的電位便取決於節點 $a(Na)$ 的狀態。節點 $a(Na)$ 在高準位電位，因此節點 $b(Nb)$ 在低準位電位。第二開關 110 被給定時脈反向信號 (CLKB) 的高準位電位並因此打開，以致於節點 $c(Nc)$ 與節點 $b(Nb)$ 的電位相同。輸出信號 (OUT) 係為節點 $c(Nc)$ 之信號的反向信號；於是，輸出高準位電位（在時間 $t13$ 和時間 $t14$ 之間的週期中）。

之後，清除固定在低準位電位的時脈信號 (CLK) 以及時脈反向信號 (CLKB) 的固定準位（信號電位）。換言之，將時脈信號 (CLK) 和時脈反向信號 (CLKB) 回復到電位在高準位和低準位之間週期性地改變之正常信號。使輸入信號 (IN) 變為高準位電位以繼續將資料寫入節點 $a(Na)$ （在時間 $t14$ 上）。

以上係說明在供應電源電壓之後所儲存的資料在高準位電位之情況下的驅動方法。

接下來，將參考第 3 圖之時序圖來說明在供應電源電壓之後所儲存的資料在低準位電位的情況。請注意將省略與第 2 圖之時序圖類似部分的敘述。

<初始狀態週期和正常運作週期>

為了從第 3 圖之第一週期 (T1) 轉換到第二週期 (T2)，便在施加電源電壓 (V_{dd})（施加大於 0V 的電源電壓）時，輸入在高準位和低準位之間週期性地改變電位的時脈信號 (CLK) 和時脈反向信號 (CLKB)（在時間 $t2$

上)。請注意時脈信號 (CLK) 可能會比電源電壓 (V_{dd}) 更早上升，因為當時脈信號 (CLK) 與電源電壓 (V_{dd}) 同時上升時，可能會導致運作不穩定。

施加電源電壓 (V_{dd}) 到相位反向器電路 106、第一開關 108、及第三電晶體 118 之源極和汲極之一者。將時脈信號 (CLK) 輸入至相位反向器電路 106 之輸入端、第一電晶體 112 之閘極、及第二開關 110 之第二端。從相位反向器電路 106 之輸出端輸出時脈反向信號 (CLKB)。

接著，從第一信號線輸入輸入信號 (IN) 至第一電晶體 112 之源極和汲極之一者（在時間 t_2 和時間 t_3 之間的週期中）。

節點 a (Na) 之電位係取決於輸入至第一電晶體 112 之源極和汲極之一者的輸入信號 (IN) 以及輸入至第一電晶體 112 之閘極的時脈信號 (CLK)。在基本運作中，當時脈信號 (CLK) 在高準位電位時，便打開第一電晶體 112，以便將輸入信號 (IN) 輸入至節點 a (Na)。請注意當時脈信號 (CLK) 在低準位電位時，則節點 a (Na) 可藉由使用第一電晶體 112 和電容器 114，保持直接在時脈信號 (CLK) 下降前之狀態下的輸入信號 (IN)。

請注意在第 3 圖中，當時脈信號 (CLK) 於關閉電力之前在高準位電位時，便停止輸入輸入信號 (IN) 並供應低準位電位給節點 a (Na)（在時間 t_8 和時間 t_9 之間的週期中）。

節點 b (Nb) 的電位係依據時脈反向信號 (CLKB)

、電源電壓（ V_{dd} ）、及節點 a （ N_a ）的電位而定。例如，當時脈反向信號（ $CLKB$ ）在低準位電位時，則第一開關 108 在預充電狀態，以致於節點 b （ N_b ）與電源電壓（ V_{dd} ）的電位相同。另一方面，當時脈反向信號（ $CLKB$ ）在高準位電位時，便完成第一開關 108 的預充電狀態，且節點 b （ N_b ）的電位會依據節點 a （ N_a ）的狀態而定。當節點 a （ N_a ）在高準位電位時，便打開第二電晶體 116，以致於節點 b （ N_b ）在低準位電位。

節點 c （ N_c ）的電位係依據第二開關 110 的狀態和節點 b （ N_b ）的電位而定。例如，當第二開關 110 為導通時，則節點 c （ N_c ）與節點 b （ N_b ）的電位相同，而當第二開關 110 為斷開時，則節點 c （ N_c ）維持在先前的狀態。當時脈信號（ CLK ）在低準位電位且時脈反向信號（ $CLKB$ ）在高準位電位時，便打開第二開關 110。

第二記憶體電路 104 輸出節點 c （ N_c ）的信號之反向信號作為輸出信號（ OUT ）。

<在停止供應電源電壓之前的運作>

第三週期（ T_3 ）係在未供應電源電壓（ V_{dd} ）期間的週期。於是，在第二週期（ T_2 ）之時間 t_9 和時間 t_{10} 之間的週期中，進行關閉電力之前的運作。

在關閉電力之前的運作中，將時脈信號（ CLK ）和時脈反向信號（ $CLKB$ ）分別固定在低準位電位和高準位電位。藉由第一電晶體 112 和電容器 114 來保持節點 a （ N_a ）

）的電位。

<停止供應電源電壓的運作>

第三週期（在圖中標示為 T3）係在未供應電源電壓（Vdd）期間的週期。在時間 t10 上，停止施加電源電壓（Vdd），以使所有電位都各變成低準位。請注意在第 3 圖中，儲存在節點 a（Na）上的資料亦在低準位電位。

<重新開始供應電源電壓的運作>

第四週期（在圖中標示為 T4）係重新開始供應電源電壓（Vdd）的週期。在重新開始施加電源電壓（Vdd）之後，當停止施加電源電壓（Vdd）時，供應分別固定在低準位電位和高準位電位的時脈信號（CLK）和時脈反向信號（CLKB）（在時間 t13 上）。

然後，讀出儲存在節點 a（Na）中的資料。節點 a（Na）變成在停止施加電源電壓（Vdd）之前所保持的低準位電位。時脈反向信號（CLKB）在高準位電位，因此節點 b（Nb）的電位會依據節點 a（Na）的狀態而定。當節點 a（Na）在低準位電位時，節點 b（Nb）在高準位電位。第二開關 110 被給定時脈反向信號（CLKB）之高準位電位並因此打開，以致於節點 c（Nc）變成與節點 b（Nb）的電位相同。輸出信號（OUT 係為節點 c（Nc）之信號的反向信號；於是，輸出低準位電位（在時間 t13 和時間 t14 之間的週期中）。

接著，清除時脈信號（CLK）以及時脈反向信號（CLKB）的固定準位（信號電位）（在時間 t_4 上）。換言之，將時脈信號（CLK）和時脈反向信號（CLKB）回復到電位在高準位和低準位之間週期性地改變之正常信號。

之後，使輸入信號（IN）變成高準位電位以繼續將資料寫入節點 a （ N_a ）中（在時間 t_{15} 和時間 t_{16} 之間的週期中）。

以上係說明在供應電源電壓之後所儲存的資料在低準位電位之情況下的驅動方法，其顯示在第 3 圖之時序圖中。

如上所述，在本實施例所述之記憶體電路中，第一記憶體電路 102 具有第 1 圖所示之結構，因此會是非揮發性的。再者，當減少連到記憶體電路的電源供應線及信號線之數量時，能縮小非揮發性記憶體電路的電路規模。

藉由施用上述記憶體電路到如暫存器或快取記憶體的儲存裝置，可防止儲存裝置中的資料會因為停止施加電源電壓而被抹除。此外，在重新開始施加電源電壓之後，記憶體電路可在短時間內回復到與在停止電源供應之前相同的狀態。因此，當整個記憶體電路或一或複數個包括在記憶體電路中的邏輯電路在待命狀態時，甚至可短時間停止電源供應。藉此，可能提出一種可抑制功率耗損的記憶體電路及一種可抑制功率耗損的記憶體電路之驅動方法。

本實施例能適當地結合任何其他實施例來實作。

(實施例 2)

在本實施例中，將參考第 4 圖來具體說明實施例 1 所述之記憶體電路 100 的配置實例。請注意對與實施例 1 相同的部件使用共同的參考數字，且將省略部件的說明。

第 4 圖之記憶體電路 100 包括第一記憶體電路 102、第二記憶體電路 104、第一開關 108、第二開關 110、及相位反向器電路 106。

在本實施例中，說明的實例為在第一開關 108 中使用電晶體，且如第一開關 108 的電路元件之連接係與第 1 圖類似。

第一開關 108 包括一第四電晶體 120 和一第五電晶體 122，且第四電晶體 120 之閘極係連接第五電晶體 122 之閘極。第四電晶體 120 之源極和汲極之一者係連接被施加電源電壓 (V_{dd}) 的電源供應線。第四電晶體 120 之源極和汲極之另一者係連接第五電晶體 122 之源極和汲極之一者。第五電晶體 122 之源極和汲極之另一者係連接第二電晶體 116 之源極和汲極之一者。第二電晶體 116 之源極和汲極之另一者係接地。

將時脈反向信號 (CLKB) 提供給第四電晶體 120 之閘極和第五電晶體 122 之閘極。當時脈反向信號 (CLKB) 在低準位電位時，則打開第四電晶體 120，以便對節點 b (Nb) 進行預充電電源電壓 (V_{dd})。同時，當時脈反向信號 (CLKB) 在高準位電位時，則關閉第四電晶體 120 並打開第五電晶體 122，以致於節點 b (Nb) 的電位會依

據節點 $a(Na)$ 的狀態而定。例如，當節點 $a(Na)$ 在低準位電位時，則關閉第二電晶體 116 且節點 $b(Nb)$ 保持在先前的電位狀態中。同時，當節點 $a(Na)$ 在高準位電位時，則打開第二電晶體 116 且節點 $b(Nb)$ 在低準位電位。

如本實施例所述，可對第一開關 108 使用上述的電路配置。

如上所述，在本實施例所述之記憶體電路中，第一記憶體電路 102 具有第 4 圖所示之結構，因此會是非揮發性的。再者，當減少連到記憶體電路的電源供應線及信號線之數量時，能縮小非揮發性記憶體電路的電路規模。

藉由施用上述記憶體電路到如暫存器或快取記憶體的儲存裝置，可防止儲存裝置中的資料會因為停止施加電源電壓而被抹除。此外，在重新開始施加電源電壓之後，記憶體電路可在短時間內回復到與在停止電源供應之前相同的狀態。因此，當整個記憶體電路或一或複數個包括在記憶體電路中的邏輯電路在待命狀態時，甚至可短時間停止電源供應。藉此，可能提出一種可抑制功率耗損的記憶體電路及一種可抑制功率耗損的記憶體電路之驅動方法。

本實施例能適當地結合任何其他實施例來實作。

(實施例 3)

在本實施例中，將參考第 5 圖來具體說明實施例 1 及 2 所述之記憶體電路 100 的配置實例。請注意對與實施例

1 及 2 相同的部件使用共同的參考數字，且將省略部件的說明。

第 5 圖之記憶體電路 100 包括第一記憶體電路 102、第二記憶體電路 104、第一開關 108、第二開關 110、及相位反向器電路 106。

在本實施例中，說明在第一開關 108、第二開關 110、相位反向器電路 106、及第二記憶體電路 104 中使用電晶體、及這些電路元件之連接係與第 1 及 4 圖類似的實例。

第一開關 108 包括第四電晶體 120 和第五電晶體 122，且第四電晶體 120 之閘極係連接第五電晶體 122 之閘極。第四電晶體 120 之源極和汲極之一者係連接電源供應線。第四電晶體 120 之源極和汲極之另一者係連接第五電晶體 122 之源極和汲極之一者。第五電晶體 122 之源極和汲極之另一者係連接第二電晶體 116 之源極和汲極之一者。第二電晶體 116 之源極和汲極之另一者係接地。

第二開關 110 包括電晶體 128 和電晶體 130。電晶體 128 之閘極係連接被輸入第二控制信號（CLK）的第二信號線。電晶體 130 之閘極係連接相位反向器電路 106 之輸出端。電晶體 128 之源極和汲極之一者係連接電晶體 130 之源極和汲極之一者。電晶體 128 之源極和汲極之另一者係連接電晶體 130 之源極和汲極之另一者。

相位反向器電路 106 包括電晶體 124 和電晶體 126。電晶體 124 之閘極係連接電晶體 126 之閘極和被輸入第二

控制信號（CLK）的第二信號線。電晶體 124 之源極和汲極之一者係連接被施加電源電壓（Vdd）的電源供應線。電晶體 124 之源極和汲極之另一者係連接電晶體 126 之源極和汲極之一者。電晶體 126 之源極和汲極之另一者係接地。

記憶體電路 104 包括電晶體 132、電晶體 134、電晶體 136、電晶體 138、電晶體 140、及電晶體 142。電晶體 132 之閘極係連接電晶體 134 之閘極和第二開關 110 之輸出端。電晶體 132 之源極和汲極之一者係連接被施加電源電壓（Vdd）的電源供應線。電晶體 132 之源極和汲極之另一者係連接電晶體 134 之源極和汲極之一者。電晶體 134 之源極和汲極之另一者係接地。

電晶體 136 之閘極係連接相位反向器電路 106 之輸出端。電晶體 142 之閘極係連接被輸入第二控制信號（CLK）的第二信號線。電晶體 138 之閘極係連接電晶體 140 之閘極、電晶體 132 之源極和汲極之另一者、電晶體 134 之源極和汲極之一者、及輸出輸出信號（OUT）的第三信號線。

電晶體 136 之源極和汲極之一者係連接被施加電源電壓（Vdd）的電源供應線。電晶體 136 之源極和汲極之另一者係連接電晶體 138 之源極和汲極之一者。電晶體 138 之源極和汲極之另一者係連接電晶體 140 之源極和汲極之一者。電晶體 140 之源極和汲極之另一者係連接電晶體 142 之源極和汲極之一者。電晶體 142 之源極和汲極之另

一者係接地。

在此，第 6 圖繪示不在第一記憶體電路 102 中使用以氧化物半導體形成的第一電晶體 112 之電路配置作為對照實例。

請注意第 6 圖之記憶體電路 200 包括除了使用氧化物半導體形成的電晶體以外而因此為揮發性的電晶體。

記憶體電路 200 包括一相位反向器電路 240、一第一開關 242、一第二開關 246、一第一記憶體電路 244、及一第二記憶體電路 248。

相位反向器電路 240 包括電晶體 202 和電晶體 204。電晶體 202 之閘極係連接電晶體 204 之閘極和被輸入第二控制信號（CLK）的第二信號線。電晶體 202 之源極和汲極之一者係連接被施加電源電壓（Vdd）的電源供應線。電晶體 202 之源極和汲極之另一者係連接電晶體 204 之源極和汲極之一者。電晶體 204 之源極和汲極之另一者係接地。

第一開關 242 包括電晶體 206 和電晶體 208。電晶體 206 之閘極係連接相位反向器電路 240 之輸出端。電晶體 208 之閘極係連接被輸入第二控制信號（CLK）的第二信號線。電晶體 206 之源極和汲極之一者係連接電晶體 208 之源極和汲極之一者和被輸入為第一控制信號的輸入信號（IN）之第一信號線。電晶體 206 之源極和汲極之另一者係連接電晶體 208 之源極和汲極之另一者。

第一記憶體電路 244 包括電晶體 210、電晶體 212、

電晶體 214、電晶體 216、電晶體 218、及電晶體 220。電晶體 210 之閘極係連接電晶體 212 之閘極和第一開關 242 之輸出端。電晶體 210 之源極和汲極之一者係連接被施加電源電壓 (Vdd) 的電源供應線。電晶體 210 之源極和汲極之另一者係連接電晶體 212 之源極和汲極之一者。電晶體 212 之源極和汲極之另一者係接地。

電晶體 214 之閘極係連接相位反向器電路 240 之輸出端。電晶體 220 之閘極係連接被輸入第二控制信號 (CLK) 的第二信號線。電晶體 216 之閘極係連接電晶體 218 之閘極、電晶體 210 之源極和汲極之另一者、電晶體 212 之源極和汲極之一者。

電晶體 214 之源極和汲極之一者係連接電源供應線。電晶體 214 之源極和汲極之另一者係連接電晶體 216 之源極和汲極之一者。電晶體 216 之源極和汲極之另一者係連接電晶體 218 之源極和汲極之一者。電晶體 218 之源極和汲極之另一者係連接電晶體 220 之源極和汲極之一者。電晶體 220 之源極和汲極之另一者係接地。

第二開關 246 包括電晶體 222 和電晶體 224。電晶體 222 之閘極係連接相位反向器電路 240 之輸出端。電晶體 224 之閘極係連接被輸入第二控制信號 (CLK) 的第二信號線。電晶體 222 之源極和汲極之一者係連接電晶體 224 之源極和汲極之一者、電晶體 210 之源極和汲極之另一者、及電晶體 212 之源極和汲極之一者。電晶體 222 之源極和汲極之另一者係連接電晶體 224 之源極和汲極之另一

者。

第二記憶體電路 248 包括電晶體 226、電晶體 228、電晶體 230、電晶體 232、電晶體 234、及電晶體 236。電晶體 226 之閘極係連接電晶體 228 之閘極和第二開關 246 之輸出端。電晶體 226 之源極和汲極之一者係連接被施加電源電壓 (V_{dd}) 的電源供應線。電晶體 226 之源極和汲極之另一者係連接電晶體 228 之源極和汲極之一者。電晶體 228 之源極和汲極之另一者係接地。

電晶體 230 之閘極係連接被輸入第二控制信號 (CLK) 的第二信號線。電晶體 236 之閘極係連接相位反向器電路 240 之輸出端。電晶體 232 之閘極係連接電晶體 234 之閘極、電晶體 226 之源極和汲極之另一者、電晶體 228 之源極和汲極之一者、及輸出輸出信號 (OUT) 的第三信號線。

電晶體 230 之源極和汲極之一者係連接電源供應線。電晶體 230 之源極和汲極之另一者係連接電晶體 232 之源極和汲極之一者。電晶體 232 之源極和汲極之另一者係連接電晶體 234 之源極和汲極之一者。電晶體 234 之源極和汲極之另一者係連接電晶體 236 之源極和汲極之一者。電晶體 236 之源極和汲極之另一者係接地。

因此，第 6 圖中的記憶體電路 200 包括 18 個電晶體。對照之下，第 5 圖中的記憶體電路 100 包括 14 個電晶體、一使用氧化物半導體形成的電晶體、及一電容器，藉此可縮小電路規模。再者，藉由使用以氧化物半導體形成

的電晶體時，可形成非揮發性記憶體電路。

如上所述，在本實施例所述之記憶體電路中，第一記憶體電路 102 具有第 5 圖所示之結構，因此會是非揮發性的。再者，當減少連到記憶體電路的電源供應線及信號線之數量並減少在記憶體電路中使用之電晶體的數量時，能縮小非揮發性記憶體電路的電路規模。

藉由施用上述記憶體電路到如暫存器或快取記憶體的儲存裝置，可防止儲存裝置中的資料會因為停止施加電源電壓而被抹除。此外，在重新開始施加電源電壓之後，記憶體電路可在短時間內回復到與在停止電源供應之前相同的狀態。因此，當整個記憶體電路或一或複數個包括在記憶體電路中的邏輯電路在待命狀態時，甚至可短時間停止電源供應。藉此，可能提出一種可抑制功率耗損的記憶體電路及一種可抑制功率耗損的記憶體電路之驅動方法。

本實施例能適當地結合任何其他實施例來實作。

（實施例 4）

在本實施例中，將參考第 7 圖來說明包括實施例 1 至 3 之任一者所述之記憶體電路的記憶體處理單元及複數個連接記憶體電路的電路。

第 7 圖繪示根據本實施例之記憶體處理單元之實例。記憶體處理單元 150 至少包括一或複數個算術電路及一或複數個記憶體電路。具體來說，第 7 圖所示之記憶體處理單元 150 包括算術電路 151、算術電路 152、記憶體電路

153、記憶體電路 154、記憶體電路 155、控制電路 156、及電源控制電路 157。

算術電路 151 和 152 以及執行簡單邏輯算術處理的邏輯電路各包括一加法器、一乘法器、各種算術電路等。當在算術電路 151 中執行算術處理時，記憶體電路 153 當作用來暫時保持資料的暫存器。當在算術電路 152 中執行算術處理時，記憶體電路 154 當作用來暫時保持資料的暫存器。

另外，記憶體電路 155 可作為主記憶體並可儲存由控制電路 156 執行的程式作為資料或可儲存來自算術電路 151 和算術電路 152 的資料。

控制電路 156 係一種對包括在記憶體處理單元 150 中的算術電路 151、算術電路 152、記憶體電路 153、記憶體電路 154、及記憶體電路 155 之運作進行集中化控制的電路。

當對記憶體電路 153、記憶體電路 154、及記憶體電路 155 使用實施例 1 至 3 之任一者所述之記憶體電路 100 時，即便停止施加電源電壓到記憶體電路 153、記憶體電路 154、及記憶體電路 155，仍可保持資料。以上述方式，可停止施加電源電壓到整個記憶體處理單元 150，藉此可抑制功率耗損。替代地，可停止施加電源電壓到記憶體電路 153、記憶體電路 154、及記憶體電路 155 之一或更多者，藉此可降低記憶體處理單元 150 所消耗的功率。此外，在停止施加電源電壓之前，可迅速寫入資料，且在重

新開始施加電源電壓之後，記憶體處理單元 150 可在短時間內回復到與在停止施加電源電壓之前相同的狀態。

另外，當停止施加電源電壓到記憶體電路 153、記憶體電路 154、及記憶體電路 155 時，亦同樣停止施加電源電壓到傳送資料至記憶體電路 153、記憶體電路 154、及記憶體電路 155 且從中接收資料的控制電路 156 或算術電路 151 或 152。例如，當算術電路 151 和記憶體電路 153 不運作時，便可停止施加電源電壓至算術電路 151 和記憶體電路 153。

另外，電源控制電路 157 控制供應給包括在記憶體處理單元 150 中的算術電路 151、算術電路 152、記憶體電路 153、記憶體電路 154、記憶體電路 155、及控制電路 156 之電源電壓的準位。又，在停止施加電源電壓的情況下，可對電源控制電路 157 或對算術電路 151、算術電路 152、記憶體電路 153、記憶體電路 154、記憶體電路 155、及控制電路 156 之各者提供用來停止施加電源電壓的切換元件。

請注意當作快取記憶體的記憶體電路可設置在為主記憶體的記憶體電路 155 與算術電路 151、算術電路 152、及控制電路 156 之各者之間。設置快取記憶體可減少對主記憶體存取，以能增加如算術處理的信號處理之速度。亦對當作快取記憶體的儲存裝置使用上述記憶體電路可使得記憶體處理單元 150 的功率耗損降低。此外，在停止施加電源電壓之前，可迅速寫入資料，且在重新開始施加電源

電壓之後，記憶體處理單元 150 可在短時間內回復到與在停止施加電源電壓之前相同的狀態。

在本實施例所述之記憶體電路中，減少連到記憶體電路的電源供應線及信號線之數量並減少在記憶體電路中使用之電晶體的數量，藉此能縮小電路規模。

本實施例能適當地結合任何其他實施例來實作。

(實施例 5)

在本實施例中，將說明為根據本發明之一實施例之其中一個記憶體電路的 CPU 之配置。

第 8 圖繪示根據本實施例之 CPU 的配置。第 8 圖所示之 CPU 在一基板 9900 上主要包括一算術邏輯單元 (ALU) 9901、一 ALU 控制器 9902、一指令解碼器 9903、一中斷控制器 9904、一時序控制器 9905、一暫存器 9906、一暫存器控制器 9907、一匯流排介面 (Bus I/F) 9908、一可複寫 ROM 9909、及一 ROM 介面 (ROM I/F) 9920。

可在另一晶片上設置 ROM 9909 和 ROM I/F 9920。顯然地，第 8 圖之 CPU 只是簡化配置的實例，且實際的 CPU 會依據應用而具有各種配置。

透過 Bus I/F 9908 輸入至 CPU 的指令會輸入至指令解碼器 9903 並在其中解碼，且接著輸入至 ALU 控制器 9902、中斷控制器 9904、暫存器控制器 9907、及時序控制器 9905。

ALU 控制器 9902、中斷控制器 9904、暫存器控制器 9907、及時序控制器 9905 基於已解碼的指令來執行各種控制。具體來說，ALU 控制器 9902 產生信號來控制 ALU 9901 的驅動。在 CPU 執行程式期間，中斷控制器 9904 基於優先權或遮罩狀態來處理從外部輸入/輸出裝置或周邊電路所請求的中斷。暫存器控制器 9907 產生暫存器 9906 的位址，並依據 CPU 的狀態從暫存器 9906 讀取資料或將資料寫入暫存器 9906。

時序控制器 9905 產生信號來控制 ALU 9901、ALU 控制器 9902、指令解碼器 9903、中斷控制器 9904、及暫存器控制器 9907 的運作時序。例如，時序控制器 9905 裝有內部時脈產生器，用來基於參考時脈信號 CLK1 產生內部時脈信號 CLK2，並將時脈信號 CLK2 輸入至上述電路。

在本實施例之 CPU 中，具有上述任一實施例所述之結構的記憶體電路係設置在暫存器 9906 中。暫存器控制器 9907 可暫時將記憶體電路中的資料保持在暫存器 9906 中，以回應來自 ALU 9901 的指令。

以這種方式，即使在暫時停止 CPU 的運作且停止施加電源電壓之情況下，仍可保持資料並可降低功率耗損。具體來說，例如，當個人電腦的使用者未將資料輸入至如鍵盤的輸入裝置時，可停止 CPU 之運作，以便降低功率耗損。

雖然在本實施例中係說明 CPU 為例，但根據本發明之一實施例的記憶體電路並不限定為 CPU 且可適用於如

微處理器的 LSI、影像處理電路、數位信號處理器（DSP）、或現場可程式閘陣列（FPGA）中。

本實施例能適當地結合任何其他實施例來實作。

（實施例 6）

在本實施例中，將說明可使用在根據實施例 1 之第 1 圖之記憶體電路 100 中的電晶體之製造方法。將參考第 9A 至 9C 圖、第 10A 至 10C 圖、和第 11A 至 11C 圖，以第 1 圖所示之第一電晶體 112、電容器 114、及第二電晶體 116 為例來提出說明。請注意包括在記憶體電路 100 中的其他元件亦可以類似於第一電晶體 112、電容器 114、及第二電晶體 116 的方式形成。

在本實施例中，以下將以第二電晶體 116 的材料係為單晶矽之情況為例來說明製造方法。

首先，如第 9A 圖所示，在基板 700 上形成絕緣膜 701 和由單晶半導體基板隔開的半導體膜 702。

雖然沒有特別限制可用來作為基板 700 的材料，但材料必須至少具有足夠高的耐熱性以禁得起之後進行的熱處理。例如，可使用以熔化法或浮式法所形成的玻璃基板、石英基板、半導體基板、陶製基板等作為基板 700。在使用玻璃基板且將於之後進行之加熱處理的溫度很高的情況下，最好是使用應變點為高於或等於 730°C 的玻璃基板。

請注意將簡短地說明一種用來形成單晶半導體膜 702 的方法之具體實例。首先，使包括被電場加速之離子的離

子束進入為單晶半導體基板的接合基板，並在距接合基板表面一定程度之深度的區域中形成由於晶體結構的局部失序所產生之易脆的脆弱層。脆弱層所形成的深度能藉由離子束的加速能量及入射角度來調整。接著，互相附著接合基板及在上方形形成絕緣膜 701 的基板 700，使得絕緣膜 701 會夾在接合基板及基板 700 之間。進行附著如下。在接合基板及基板 700 彼此重疊之後，將約為大於或等於 1 N/cm^2 且小於或等於 500 N/cm^2 ，最好是為大於或等於 11 N/cm^2 且小於或等於 20 N/cm^2 的壓力施加到部分的接合基板及部分的基板 700。當施加壓力時，接合基板及絕緣膜 701 之間便從此部分開始結合，以結合接合基板與絕緣膜 701 彼此緊密接觸的整個表面。之後，進行加熱處理，以合併存在於脆弱層中的微孔隙，因而增加體積。因此，沿著脆弱層隔開為部分之接合基板的單晶半導體膜與接合基板。加熱處理是在不超過基板 700 之應變點的溫度下進行。接著，藉由蝕刻等方法，將單晶半導體膜處理成希望的形狀，如此能形成半導體膜 702。

為了控制臨界電壓，可將如硼、鋁、或銻之給予 p 型導電性之雜質元素，或如磷或砷之給予 n 型導電性的雜質元素加到半導體膜 702 中。可將用來控制臨界電壓的雜質元素加到未經圖案化的半導體膜中或加到經圖案化所得到的半導體膜 702 中。替代地，可將用來控制臨界電壓的雜質元素加到接合基板中。替代地，可將雜質元素加到接合基板中以粗略地控制臨界電壓，並可進一步地將雜質元

素加到未經圖案化的半導體膜或經圖案化所得到的半導體膜 702 中，以精細地控制臨界電壓。

請注意雖然在本實施例中係說明使用單晶半導體膜的實例，但本發明之一實施例並不以此為限。例如，可使用藉由蒸氣沉積法在絕緣膜 701 上形成的多晶體、微晶體、或非晶半導體膜。替代地，上述半導體膜可藉由已知的技術來結晶化。舉出使用雷射光的雷射結晶方法和採用觸媒元素的結晶方法作為已知的結晶化技術。替代地，可合併使用採用觸媒元素的結晶方法及雷射結晶方法。當使用如石英基板的高度耐熱基板時，可能結合下列任何的結晶方法：利用電子加熱爐之熱結晶方法、使用紅外線的燈加熱結晶方法、使用觸媒元素的結晶方法、和以約 950°C 之溫度的高溫加熱方法。

接著，如第 9B 所示，在半導體膜 702 上形成閘絕緣膜 703。

藉由高密度電漿處理、加熱處理等，能由半導體膜 702 的表面之氧化或氮化作用來形成閘絕緣膜 703。高密度電漿處理係使用例如如氫、氫、氮或氫之稀有氣體、與氧、氧化氮、氨、氮、氫等的混合氣體來進行。在此例中，藉由引入微波來激發電漿，能產生具有低電子溫度的高密度電漿。藉由氧化或氮化由上述高密度電漿所產生之具有氧自由基（在一些情況中包括 OH 自由基）或氮自由基（在一些情況中包括 NH 自由基）的半導體膜之表面，可形成具有厚度為 1 nm 到 20 nm，最好是 5 nm 到 10 nm 的

絕緣膜以與半導體膜接觸。

可透過電漿 CVD 法、濺射法等形成閘絕緣膜 703，以具有單層結構或使用包括氧化矽、氮氧化矽、氧氮化矽、氮化矽、氧化鉛、氧化鋇、氧化鋁、氧化鉬、氧化釷、鉛矽酸鹽 (HfSi_xO_y , ($x>0$, $y>0$))、添加氮的鉛矽酸鹽 (HfSi_xO_y , ($x>0$, $y>0$))、添加氮的鉛鋁酸鹽 (HfAl_xO_y , ($x>0$, $y>0$)) 之類的膜之疊層結構。

請注意在本說明書中，氧氮化物係指氧含量高於氮含量的物質，而氧化氮係指氮含量高於氧含量的物質。

閘絕緣膜 703 的厚度範圍可以是例如大於或等於 1nm 且小於或等於 100nm，最好是大於或等於 10nm 且小於或等於 50nm。在本實施例中，係藉由電漿 CVD 法形成包括氧化矽的單層絕緣膜來作為閘絕緣膜 703。

接著，如第 9B 圖所示，形成閘絕緣電極 704。

閘極 704 能以形成導電膜並接著將其處理（圖案化及蝕刻）以具有預定形狀的方式來形成。導電膜可藉由 PE-CVD 法、濺射法、蒸發法、旋轉塗膜法或之類來形成。可對導電膜使用鉭 (Ta)、鎢 (W)、鈦 (Ti)、鉬 (Mo)、鋁 (Al)、銅 (Cu)、鉻 (Cr)、鈮 (Nb) 或之類。可使用含有上述金屬的合金或含有上述金屬的化合物。替代地，可使用如摻有給予半導體膜導電性的雜質元素（如磷）之多晶矽的半導體來形成閘極 704。

請注意雖然在本實施例中，係使用單層導電膜來形成閘極 704，但本發明之一實施例並不受限於此結構。閘極

704 可以複數個堆疊的導電膜來組成。

此外，閘極 704 可以這樣的方式形成：形成導電膜並接著在適當控制的條件下（例如，施加到盤繞電極層的電力量、施加到基板側上之電極層的電力量、及基板側上的電極溫度），藉由電感耦合式電漿（ICP）蝕刻法將導電膜蝕刻成想要的錐形形狀。另外，錐形角度也可由遮罩的形狀調整。請注意可適當地使用如氯、氯化硼、氯化矽、或四氯化碳的氯基氣體；如四氟化碳、氟化硫、或氟化氮的氟基氣體；或氧作為蝕刻氣體。

接著，如第 9C 圖所示，當添加給予一種導電性類型的雜質元素到以閘極 704 作為遮罩的半導體膜 702 中時，便在半導體膜 702 中形成與閘極 704 重疊的通道形成區 706 以及一對雜質區 705（通道形成區 706 夾於其間）。

在本實施例中，說明將給予 n 型導電性（例如，磷）的雜質元素加入半導體膜 702 中的情況。

接著，如第 10A 圖所示，形成絕緣膜 707 及 708 以覆蓋閘絕緣膜 703 和閘極 704。具體來說，可使用氧化矽、氮化矽、氧化氮矽、氧氮化矽、氮化鋁、氧化氮鋁之類的無機絕緣膜作為絕緣膜 707 及 708。尤其是，最好使用低介電常數（低 k）材料來形成絕緣膜 707 及 708，因為能充分降低由於重疊電極或佈線而產生的電容量。請注意可使用包括上述材料之多孔質絕緣膜來作為絕緣膜 707 及 708。由於多孔質絕緣膜具有比稠密絕緣層還低的介電常數，因此能更為降低由於電極或佈線造成的寄生電容。

在本實施例中，說明對絕緣膜 707 使用氮化矽且對絕緣膜 708 使用氧化氮矽的實例。此外，在本實施例中，雖然絕緣膜 707 及 708 係形成在閘極 704 上，但根據本發明之一實施例，可在閘極 704 上只形成一個絕緣膜，或可堆疊三個或更多的絕緣膜。

接著，如第 10B 圖所示，絕緣膜 707 及 708 會受到 CMP（化學機械研磨）處理或蝕刻，以便暴露閘極 704 的表面。請注意爲了增進之後形成的第一電晶體 112 之特性，絕緣膜 707 及 708 的表面最好愈平坦愈好。

經過上述處理，能形成第二電晶體 116。

接著，將說明第一電晶體 112 和電容器 114 的製造方法。首先，如第 10C 圖所示，在絕緣膜 708 上形成氧化物半導體膜 709。

氧化物半導體膜 709 可藉由將形成在閘極 704、絕緣膜 707 及 708 上的氧化物半導體膜處理成所欲之形狀來形成。氧化物半導體膜的厚度範圍係大於或等於 2 nm 且小於或等於 200 nm，最好大於或等於 3 nm 且小於或等於 50 nm。氧化物半導體膜係藉由使用金屬氧化物靶材的濺射法來形成。另外，氧化物半導體膜可藉由在稀有氣體（例如，氬）氣圍、氧氣圍、或混合稀有氣體（例如，氬）及氧的氣圍中之濺射法來形成。

氧化物半導體膜最好至少包含銦（In）或鋅（Zn）。尤其是，最好包含 In 和 Zn。最好額外包含鎵（Ga）來作爲穩定劑，以減少包括氧化物半導體膜之電晶體的電特性

變化。最好包含錫 (Sn) 來作為穩定劑。最好包含鈺 (Hf) 來作為穩定劑。最好包含鋁 (Al) 來作為穩定劑。

可包含一或多種鑷系元素，如鑷 (La)、鈰 (Ce)、鐑 (Pr)、釹 (Nd)、釷 (Sm)、鈾 (Eu)、釷 (Gd)、鉕 (Tb)、鐳 (Dy)、釹 (Ho)、鉕 (Er)、鐳 (Tm)、鐳 (Yb)、或鑷 (Lu)，來作為另一種穩定劑。

關於氧化物半導體膜，例如能使用下列：氧化銦、氧化錫、氧化鋅；如 In-Zn 基氧化物、Sn-Zn 基氧化物、Al-Zn 基氧化物、Zn-Mg 基氧化物、Sn-Mg 基氧化物、In-Mg 基氧化物，或 In-Ga 基氧化物的兩成分金屬氧化物；如 In-Ga-Zn 基氧化物（也稱為 IGZO）、In-Al-Zn 基氧化物、Sn-Ga-Zn 基氧化物、Al-Ga-Zn 基氧化物、Sn-Al-Zn 基氧化物、In-Sn-Zn 基氧化物、In-Hf-Zn 基氧化物、In-La-Zn 基氧化物、In-Ce-Zn 基氧化物、In-Pr-Zn 基氧化物、In-Nd-Zn 基氧化物、In-Sm-Zn 基氧化物、In-Eu-Zn 基氧化物、In-Gd-Zn 基氧化物、In-Tb-Zn 基氧化物、In-Dy-Zn 基氧化物、In-Ho-Zn 基氧化物、In-Er-Zn 基氧化物、In-Tm-Zn 基氧化物、In-Yb-Zn 基氧化物、或 In-Lu-Zn 基氧化物的三成分金屬氧化物；或如 In-Sn-Ga-Zn 基氧化物、In-Hf-Ga-Zn 基氧化物、In-Al-Ga-Zn 基氧化物、In-Sn-Al-Zn 基氧化物、In-Sn-Hf-Zn 基氧化物、或 In-Hf-Al-Zn 基氧化物的四成分金屬氧化物。

請注意在此，例如，「In-Ga-Zn 基氧化物」表示含有 In、Ga 及 Zn 的氧化物，且沒有特別限定 In、Ga、和 Zn

的比例。另外，In-Ga-Zn 基氧化物可包含除了 In、Ga 及 Zn 之外的金屬元素。

例如，可使用具有 $\text{In} : \text{Ga} : \text{Zn} = 1 : 1 : 1$ ($=1/3 : 1/3 : 1/3$) 或 $\text{In} : \text{Ga} : \text{Zn} = 2 : 2 : 1$ ($=2/5 : 2/5 : 1/5$) 之原子比的 In-Ga-Zn 基氧化物，或任何接近上面成分的氧化物。替代地，可使用具有 $\text{In} : \text{Sn} : \text{Zn} = 1 : 1 : 1$ ($=1/3 : 1/3 : 1/3$)、 $\text{In} : \text{Sn} : \text{Zn} = 2 : 1 : 3$ ($=1/3 : 1/6 : 1/2$) 或 $\text{In} : \text{Sn} : \text{Zn} = 2 : 1 : 5$ ($=1/4 : 1/8 : 5/8$) 之原子比的 In-Sn-Zn 基氧化物，或任何接近上面成分的氧化物。

請注意本發明之一實施例並不以此為限，並可根據半導體特性（例如，移動率、臨界值、變化等）來使用具有適當成分的材料。此外，為了得到所需之半導體特性，最好適當地設定載子密度、雜質濃度、缺陷密度、金屬元素與氧的原子比、原子間的距離、密度或之類。

在本實施例中，係使用藉由採用含銦（In）、鎵（Ga）、及鋅（Zn）之金屬氧化物靶材（亦稱為 IGZO 靶材）的濺射法所得到之厚度為 30 nm 的 In-Ga-Zn 基氧化物半導體薄膜來作為氧化物半導體膜。例如可使用具有 $\text{In} : \text{Ga} : \text{Zn} = 1 : 1 : 0.5$ 、 $1 : 1 : 1$ 、或 $1 : 1 : 2$ 的原子比之靶材作為 IGZO 靶材。包含 In、Ga、及 Zn 的靶材之填充率係高於或等於 90% 且小於或等於 100%，最好高於或等於 95% 且小於 100%。透過使用這種具有高填充率的靶材，便形成稠密的氧化物半導體膜。

替代地，可使用藉由採用含銦（In）、錫（Sn）、及

鋅 (Zn) 之金屬氧化物靶材 (銦錫鋅氧化物) 的濺射法所得到之 In-Sn-Zn 基氧化物半導體薄膜來作為氧化物半導體膜。在使用 In-Sn-Zn-O 基材料作為氧化物半導體的情況中，可使用具有 In:Sn:Zn=1:2:2、2:1:3、1:1:1、或 4:9:7 的原子比之靶材。

在本實施例中，保持基板在維持減壓的處理室中、將去除掉氫和水份的氬氣和氧氣引進去除餘留水份的處理室中、並藉由使用 IGZO 靶材來形成氧化物半導體膜。請注意最好使用高純度氣體作為濺射氣體。具體來說，在氬氣中，最好純度為 9N (99.9999999%)，露點為 -121°C ， H_2O 含量為低於或等於 0.1ppb，且 H_2 含量為低於或等於 0.5ppb。在氧氣中，最好純度為 8N (99.999999%)，露點為 -112°C ， H_2O 含量為低於或等於 1ppb，且 H_2 含量為低於或等於 1ppb。使用這種高純度氣體使得有可能降低所形成之氧化物半導體膜中的雜質濃度。

為了去除在處理室中的殘留水份，最好使用捕集真空泵。例如，能使用低溫泵、離子泵、或鈦昇華泵。排空單元可以是裝有冷阱的渦輪泵。在以低溫泵排空的處理室中，移除氫原子、如水 (H_2O) 之含氫原子的化合物 (最好也是含碳原子的化合物) 等，藉此能降低形成在處理室中的氧化物半導體膜中的雜質濃度。

此外，當處理室的滲漏率係設為低於或等於 $1 \times 10^{-10} \text{ Pa} \times \text{m}^3/\text{s}$ 時，能阻止如鹼金屬和氫化物之雜質進入藉由濺射法形成的氧化物半導體膜中。又，當使用上述之捕集真

空泵作為排空系統時，能阻止如鹼金屬、氫原子、氫分子、水、氫氧化物、和氫化物之雜質從排空系統中逆流。

在膜形成時的基板溫度可大於或等於 100°C 且小於或等於 600°C ，最好大於或等於 200°C 且小於或等於 400°C 。藉由在加熱基板的狀態中形成氧化物半導體膜，能降低所形成之氧化物半導體膜中所含的雜質濃度。此外，能降低因濺射法所造成的損害。

最好在加熱基板的狀態中形成氧化物半導體膜，因為能降低所形成之氧化物半導體膜的缺陷密度。氧化物半導體膜的缺陷密度會影響電晶體的場效移動率。這裡，以下將說明電晶體的場效移動率。

實際測量的絕緣閘極型電晶體的場效移動率會因各種原因而比本來的移動率低；此現象不只發生在使用氧化物半導體膜的情況下。降低移動率的其中一個原因是半導體內部的缺陷或半導體和絕緣膜之間之界面的缺陷。當使用 Levinson 模型時，可以理論性地計算出假定在半導體內部沒有缺陷時的場效移動率。

假設半導體膜之原本移動率和測得之場效移動率分別是 μ_0 和 μ ，且半導體膜中存在位能障壁（如晶粒邊界），可以下列等式來表示場效移動率 μ 。

〔等式1〕

$$\mu = \mu_0 \exp\left(-\frac{E}{kT}\right)$$

在此， E 表示位能障壁的高度， k 表示玻爾茲曼常數，且 T 表示絕對溫度。當假設位能障壁是由缺陷造成

時，可根據 Levinson 模型以下列等式來表示位能障壁的高度。

〔等式2〕

$$E = \frac{e^2 N^2}{8\epsilon n} = \frac{e^3 N^2 t}{8\epsilon C_{ox} V_g}$$

在此， e 表示元素的電荷， N 表示在通道中每單位面積的平均缺陷密度， ϵ 表示半導體的介電常數， n 表示在通道中每單位面積的載子數， C_{ox} 表示每單位面積的電容量， V_g 表示閘極電壓，及 t 表示通道的厚度。在半導體膜之厚度小於或等於 30 nm 的情形下，通道的厚度可視為與半導體膜的厚度相同。在線性區的汲極電流 I_d 可以下列等式表示。

〔等式3〕

$$I_d = \frac{W\mu V_g V_d C_{ox}}{L} \exp\left(-\frac{E}{kT}\right)$$

在此， L 表示通道長度且 W 表示通道寬度，而在此 L 與 W 各是 10 μm 。另外， V_d 表示汲極電壓。當上面等式的兩邊除以 V_g 並對兩邊取對數時，可得到下列等式。

〔等式4〕

$$\ln\left(\frac{I_d}{V_g}\right) = \ln\left(\frac{W\mu V_d C_{ox}}{L}\right) - \frac{E}{kT} = \ln\left(\frac{W\mu V_d C_{ox}}{L}\right) - \frac{e^3 N^2 t}{8kT\epsilon C_{ox} V_g}$$

等式 4 的右邊是 V_g 的函數。由等式 4 可知，可以根據以 $\ln(I_d/V_g)$ 為縱軸且以 $1/V_g$ 為橫軸來標繪出實際測量值而得到的圖表的直線的斜率求得缺陷密度 N 。亦即，可從電晶體之 I_d - V_g 特性來評估缺陷密度。在銦 (In)、

錫 (Sn) 和 鋅 (Zn) 之 比 例 為 1 : 1 : 1 的 氧 化 物 半 導 體 膜 中 , 缺 陷 密 度 N 大 約 為 $1 \times 10^{12} / \text{cm}^2$ 。

基 於 如 上 所 述 那 樣 得 到 的 缺 陷 密 度 等 , 從 等 式 1 及 等 式 2 計 算 出 μ_0 為 $120 \text{ cm}^2 / \text{Vs}$ 。 包 括 缺 陷 之 In-Sn-Zn 氧 化 物 之 測 得 的 移 動 率 大 約 是 $40 \text{ cm}^2 / \text{Vs}$ 。 然 而 , 假 設 半 導 體 內 部 以 及 半 導 體 與 絕 緣 膜 之 間 的 介 面 不 存 在 缺 陷 時 , 預 期 氧 化 物 半 導 體 的 移 動 率 μ_0 會 是 $120 \text{ cm}^2 / \text{Vs}$ 。

請 注 意 即 便 半 導 體 內 部 不 存 在 缺 陷 , 通 道 與 閘 絕 緣 膜 間 的 介 面 之 散 射 也 會 影 響 電 晶 體 之 傳 輸 特 性 。 換 言 之 , 在 離 通 道 與 閘 絕 緣 膜 間 之 介 面 距 離 x 的 位 置 上 的 移 動 率 μ_1 可 由 下 列 等 式 表 示 。

[等式5]

$$\frac{1}{\mu_1} = \frac{1}{\mu_0} + \frac{D}{B} \exp\left(-\frac{x}{l}\right)$$

在 此 , D 表 示 在 閘 極 方 向 上 的 電 場 , 而 B 和 I 是 常 數 。 B 和 I 可 根 據 實 際 的 測 量 結 果 求 得 ; 根 據 上 述 測 量 結 果 , B 是 $4.75 \times 10^7 \text{ cm/s}$ 且 I 是 10 nm (介 面 散 射 影 響 到 達 的 深 度) 。 當 增 加 D 時 (即 , 當 增 加 閘 極 電 壓 時) , 等 式 5 的 第 二 項 便 增 加 , 所 以 移 動 率 μ_1 降 低 。

第 16 圖 顯 示 電 晶 體 之 移 動 率 μ_2 的 計 算 結 果 , 其 中 此 電 晶 體 的 通 道 包 括 理 想 的 氧 化 物 半 導 體 且 半 導 體 內 部 沒 有 缺 陷 。 關 於 計 算 , 係 使 用 了 由 Synopsys 公 司 所 製 造 的 裝 置 模 擬 軟 體 Sentaurus Device , 並 假 設 能 隙 、 電 子 親 和 性 、 相 對 介 電 常 數 和 氧 化 物 半 導 體 的 厚 度 分 別 為 2.8 eV 、 4.7 eV 、 15 、 和 15 nm 。 此 外 , 假 設 閘 極 、 源 極 和 汲 極 之

運作函數分別為 5.5 eV、4.6 eV、和 4.6 eV。閘絕緣膜之厚度係假設為 100 nm，且其相對介電常數係假設為 4.1。通道長度和通道寬度各係假設為 10 μm ，且汲極電壓 V_d 係假設為 0.1 V。

如第 16 圖所示，在稍微超過 1V 之閘極電壓 V_g 上，移動率具有大於 100 cm^2/Vs 的峰值，且當閘極電壓變更高時會下降，因為介面散射的影響增加了。請注意為了降低介面散射，半導體層的表面最好在原子級上是平坦的（原子層平坦）。

第 17A 至 17C 圖、第 18A 至 18C 圖、及第 19A 至 19C 圖顯示使用具有上述移動率的氧化物半導體所製造的微型電晶體之特性的計算結果。第 20A 和 20B 圖顯示用於計算的電晶體的剖面結構。第 20A 和 20B 圖所示的電晶體各在氧化物半導體膜中包括具有 n^+ 型導電性的半導體區 503a 及半導體區 503c。半導體區 503a 及半導體區 503c 的電阻率為 $2 \times 10^{-3} \Omega \text{ cm}$ 。

第 20A 圖所示之電晶體係形成在基底絕緣膜 501 和嵌進基底絕緣膜 501 中並由氧化鋁組成的嵌入絕緣膜 502 上。電晶體包括半導體區 503a、半導體區 503c、夾在它們之間充當通道形成區的本質半導體區 503b、及閘極 505。閘極 505 的寬度為 33 nm。

閘絕緣膜 504 係形成在閘極 505 和半導體區 503b 之間。另外，側壁絕緣膜 506a 及側壁絕緣膜 506b 係形成在閘極 505 的兩側面上，並且絕緣膜 507 形成在閘極 505 上

以便防止閘極 505 與其他佈線之間的短路。側壁絕緣膜具有 5nm 的寬度。設置源極 508a 和汲極 508b 分別接觸於半導體區 503a 及半導體區 503c。請注意電晶體的通道寬度為 40nm。

第 20B 圖中的電晶體與第 20A 圖中的電晶體的相同之處為形成在基底絕緣膜 501 和由氧化鋁組成的嵌入絕緣膜 502 上，並且包括半導體區 503a、半導體區 503c、置於之間的本質半導體區 503b、具有寬度為 33nm 的閘極 505、閘絕緣膜 504、側壁絕緣膜 506a、側壁絕緣膜 506b、絕緣膜 507、源極 508a 和汲極 508b。

第 20A 圖中的電晶體與第 20B 圖中的電晶體的不同之處為側壁絕緣膜 506a 及側壁絕緣膜 506b 下的半導體區的導電型。在第 20A 圖所示之電晶體中，側壁絕緣膜 506a 及側壁絕緣膜 506b 下的半導體區為部分具有 n^+ 型導電性的半導體區 503a 及部分具有 n^+ 型導電性的半導體區 503c，而在第 20B 圖所示之電晶體中，側壁絕緣膜 506a 及側壁絕緣膜 506b 下的半導體區為部分的本質半導體區 503b。換言之，設置既不與半導體區 503a（半導體區 503c）重疊也不與閘極 505 重疊之寬度為 L_{off} 的區域。此區域係稱為偏移區，且寬度 L_{off} 稱為偏移長度。如從第 20A 和 20B 圖所見，偏移長度與側壁絕緣膜 506a（側壁絕緣膜 506b）的寬度相同。

計算中使用的其他參數係如上所述。在計算中，使用 Synopsys 公司製造的裝置模擬軟體 Sentaurus Device。第

17A 至 17C 圖顯示具有第 20A 圖所示之結構的電晶體的汲極電流 (I_d , 實線) 及移動率 (μ , 虛線) 的閘極電壓 (V_g : 閘極與源極間的電位差) 依賴性。汲極電流 I_d 係由在汲極電壓 (汲極和源極間的電位差) 是 +1V 之假設下的計算來得到, 而移動率 μ 係由在汲極電壓是 +0.1V 之假設下的計算來得到。

第 17A 圖顯示在閘絕緣膜之厚度為 15 nm 之情況下的電晶體之閘極電壓依賴性, 第 17B 圖顯示在閘絕緣膜之厚度為 10 nm 之情況下的電晶體之閘極電壓依賴性, 而第 17C 圖顯示在閘絕緣膜之厚度為 5 nm 之情況下的電晶體之閘極電壓依賴性。閘絕緣膜越薄, 尤其是截止狀態下的汲極電流 I_d (截止電流) 越顯著降低。對照下, 移動率 μ 的峰值和導通狀態時的汲極電流 I_d (導通電流) 沒有顯著的變化。圖顯示了在閘極電壓為 1V 前後時汲極電流超過足夠記憶體電路中使用的電晶體所需之 $10\mu A$ 。

第 18A 至 18C 圖顯示具有第 20B 圖所示之結構的電晶體當偏移長度 L_{off} 為 5nm 時的汲極電流 I_d (實線) 及移動率 μ (虛線) 的閘極電壓 V_g 依賴性。汲極電流 I_d 係由在汲極電壓是 +1V 之假設下的計算來得到, 而移動率 μ 係由在汲極電壓是 +0.1V 之假設下的計算來得到。第 18A 圖顯示在閘絕緣膜之厚度為 15 nm 之情況下的電晶體之閘極電壓依賴性, 第 18B 圖顯示在閘絕緣膜之厚度為 10 nm 之情況下的電晶體之閘極電壓依賴性, 而第 18C 圖顯示在閘絕緣膜之厚度為 5 nm 之情況下的電晶體之閘極電壓依賴

性。

另外，第 19A 至 19C 圖顯示具有第 20B 圖所示之結構的電晶體當偏移長度 L_{off} 為 15 nm 時的汲極電流 I_d （實線）及移動率 μ （虛線）的閘極電壓依賴性。汲極電流 I_d 係由在汲極電壓是 +1V 之假設下的計算來得到，而移動率 μ 係由在汲極電壓是 +0.1V 之假設下的計算來得到。第 19A 圖顯示在閘絕緣膜之厚度為 15 nm 之情況下的電晶體之閘極電壓依賴性，第 19B 圖顯示在閘絕緣膜之厚度為 10 nm 之情況下的電晶體之閘極電壓依賴性，而第 19C 圖顯示在閘絕緣膜之厚度為 5 nm 之情況下的電晶體之閘極電壓依賴性。

在任一結構中，當閘絕緣膜越薄，截止電流越顯著降低，但是移動率 μ 的峰值和導通電流沒有顯著的變化。

請注意在第 17A 至 17C 圖中的移動率 μ 之峰值大約為 $80 \text{ cm}^2/\text{Vs}$ ，在第 18A 至 18C 圖中大約為 $60 \text{ cm}^2/\text{Vs}$ ，及在第 19A 至 19C 圖中大約為 $40 \text{ cm}^2/\text{Vs}$ ；因此，偏移長度 L_{off} 越長，移動率 μ 之峰值就越小。此外，也同樣適用於截止電流。導通電流也隨著偏移長度 L_{off} 的增加而減少；然而，導通電流的減少程度比截止電流的減少程度平緩許多。圖顯示了在閘極電壓為 1V 前後時汲極電流超過足夠記憶體電路中使用的電晶體所需之 $10 \mu\text{A}$ 。

採用下列條件來作為氧化物半導體膜之膜形成條件的一實例：基板加熱溫度為 200°C 、基板與靶材之間的距離為 100 mm、壓力為 0.6 Pa、直流（DC）功率為 0.5 kW、且

氣圍爲氧氣圍（氧流量爲 100%）。

爲了使氧化物半導體膜可含有盡可能少的氫、氫氧化物、及水，最好藉由預熱基板 700 來排除並排空基板 700 上所吸附之如氫或水份的雜質，以預處理膜形成，其中絕緣膜 707 及 708 在濺射設備的預熱室中形成在基板 700 上。預熱的溫度係大於或等於 100°C 且小於或等於 400°C ，最好大於或等於 150°C 且小於或等於 300°C 。最好以低溫泵作爲設置在預熱室中的排空單元。

請注意用來形成氧化物半導體膜 709 的蝕刻可以是乾式蝕刻、濕式蝕刻、或乾式蝕刻和濕式蝕刻兩者。最好使用包含氯（如氯（ Cl_2 ）、三氯化硼（ BCl_3 ）、四氯化矽（ SiCl_4 ）、或四氯化碳（ CCl_4 ）的氯基氣體）的氣體來作爲用於乾式蝕刻的蝕刻氣體。替代地，可使用包含氟（如四氟化碳（ CF_4 ）、六氟化硫（ SF_6 ）、三氟化氮（ NF_3 ）、或三氟甲烷（ CHF_3 ）的氟基氣體）之氣體、溴化氫（ HBr ）、氧（ O_2 ）、添加如氦（ He ）或氬（ Ar ）之稀有氣體之這些氣體之任一者等。

可使用平行板 RIE（反應性離子蝕刻）法或 ICP（電感耦合式電漿）蝕刻法作爲乾式蝕刻法。爲了將膜蝕刻成希望的形狀，適當地調整蝕刻條件（施加到盤繞電極的電力量、施加到基板側上之電極的電力量、基板側上的電極溫度等），以能將膜蝕刻成希望的形狀。

可使用磷酸、醋酸、及硝酸的混合溶劑、或如檸檬酸或草酸的有機酸來作爲用於濕式蝕刻的蝕刻劑。在本實施

例中，係使用 ITO-07N（由日本關東化學株式會社所製造）。

用來形成氧化物半導體膜 709 的抗蝕遮罩可藉由噴墨法來形成。以噴墨法形成抗蝕遮罩不必使用光罩；因此，能降低製造成本。

請注意在一些例子中，藉由濺射法形成的氧化物半導體膜包含大量的水或氫（包括氫氧化物）作為雜質。水或氫各容易形成施體能階，因而充當氧化物半導體中的雜質。在本發明之一實施例中，為了減少氧化物半導體膜中如水或氫的雜質（脫水或除氫氧化物半導體膜），氧化物半導體膜 709 在減壓氣圍、氮、稀有氣體、或之類的惰性氣體氣圍、氧氣氣圍等中受到加熱處理。

藉由對氧化物半導體膜 709 進行加熱處理，能排除氧化物半導體膜 709 中的水或氫。具體來說，可以高於或等於 250°C 且低於或等於 750°C 的溫度，最好高於或等於 400°C 且低於基板之應變點的溫度來進行加熱處理。例如，可以 500°C 進行大約 3 分鐘到 6 分鐘的加熱處理。當以 RTA 法用於加熱處理時，可在短時間內進行脫水或除氫作用；因此，甚至以高於玻璃基板之應變點的溫度都能進行處理。

在本實施例中，係使用為其中一種加熱處理設備的電爐。

請注意加熱處理設備並不受限於電爐，可包括用來藉由來自如電阻加熱元件的加熱元件之熱傳導或熱輻射來加

熱物體的裝置。例如，可使用如氣體快速熱退火（GRTA）設備或燈快速熱退火（LRTA）設備的快速熱退火（RTA）設備。LRTA 設備係為一種用來藉由如鹵素燈、金屬鹵素燈、氬弧燈、碳弧燈、高壓鈉燈、或高壓汞燈的燈所發射出的光輻射（電磁波）來加熱待處理之物體的設備。GRTA 設備係為一種使用高溫氣體來進行加熱處理的設備。係使用如氮或稀有氣體（例如，氬）這類不與加熱處理待處理的物體起反應的惰性氣體來作為氣體。

在加熱處理中，在氮或如氮、氦、或氬的稀有氣體中最好不含水、氫等。引進加熱處理設備中之氮或如氮、氦、或氬的稀有氣體之純度最好設為 6N（99.9999%）以上，更好是 7N（99.99999%）以上（即，雜質濃度是 1ppm 以下，最好是 0.1ppm 以下）。

經過以上步驟，可降低氧化物半導體膜 709 中的氫濃度。氧化物半導體膜 709 中的氫濃度為 $5 \times 10^{19} / \text{cm}^3$ 以下，最好為 $5 \times 10^{18} / \text{cm}^3$ 以下。

請注意在進行脫水或排氫的加熱處理之後，最好在氧化氣圍中又進行加熱處理。當在氧化氣圍中進行加熱處理時，脫水或排氫之加熱處理中的氧化物半導體膜 709 中造成的氧空缺可被氧填滿。由於可因此將氧供應給氧化物半導體膜 709，因此氧化氣圍中的加熱處理亦可稱為氧供應。例如以高於或等於 100°C 且低於 350°C 的溫度，最好是高於或等於 150°C 且低於 250°C 的溫度來進行氧供應。請注意最好連續進行脫水或排氫之加熱處理和氧化氣圍中的

加熱處理。當連續進行脫水或排氫之加熱處理和氧化氣圍中的加熱處理時，可提高生產率。

請注意氧化氣圍係指氧化氣體的氣圍（例如氧氣、臭氧、或氧化氮氣體），且最好不含氫等。例如，欲引進之氧化氣體的純度是 8N（99.999999%）以上，最好是 9N（99.9999999%）以上。氧化氣圍（可使用混有惰性氣體的氧化氣體）包含濃度至少為 10ppm 以上的氧化氣體。

請注意氧化物半導體層可以是非晶或結晶的。可使用 c 軸對準結晶的氧化物半導體（CAAC-OS）膜作為結晶氧化物半導體膜。

從更廣義來理解，「CAAC-OS 膜」是指非單晶材料，其包括在從垂直於 ab 平面的方向看時具有三角形狀、六角形狀、正三角形狀或正六角形狀的原子排列，並且從垂直於 c 軸的方向看時金屬原子排列為層狀或者金屬原子和氧原子排列為層狀的相。

雖然 CAAC-OS 膜不是單晶膜，但這並不表示只由非晶成分組成 CAAC-OS 膜。雖然 CAAC-OS 膜包括晶化部分（結晶部分）或晶化區（結晶區），但在一些情況下一個結晶部分與另一結晶部分或一個結晶區與另一結晶區的邊界是不明顯的。

請注意可以氮取代部分包含在 CAAC-OS 膜中的氧。包括在 CAAC-OS 膜中的各結晶部分之 c 軸可朝向一個方向（例如，平行於形成 CAAC-OS 膜之表面的法線向量之方向或 CAAC-OS 膜之表面的法線向量）。

有一種材料作為上述 CAAC-OS 膜的例子，其形成膜狀，並從垂直於膜表面、基板表面、或膜與基板之間的介面之方向觀察時具有三角形或六角形的原子排列，並且在觀察膜的剖面時，金屬原子排列為層狀或者金屬原子和氧原子（或氮原子）排列為層狀。

這裡，將參考第 21A 至 21E 圖、第 22A 至 22C 圖、及第 23A 至 23C 圖來詳細說明 CAAC-OS 膜之結晶結構的實例。在第 21A 至 21E 圖、第 22A 至 22C 圖、及第 23A 至 23C 圖中，除非有其他指明，否則垂直方向相當於 c 軸方向且垂直於 c 軸方向之平面相當於 a-b 平面。當只說「上半部」和「下半部」時，是指 ab 平面上方的上半部和 ab 平面下方的下半部（以 ab 平面為邊界的上半部和下半部）。另外，在第 21A 至 21E 圖中，以圓圈圈上的 O 表示四配位 O，而以雙重圓圈圈上的 O 表示三配位 O。

第 21A 圖顯示包括一個六配位 In 原子和靠近 In 原子之六個四配位氧（以下稱為四配位 O）原子的結構。包括一個金屬原子及靠近其之氧原子的結構係稱為小群組。第 21A 圖之結構實際上是一個八面體的結構，但為了簡單而顯示成平面結構。請注意三個四配位 O 原子各存在於第 21A 圖中的上半部和下半部。在第 21A 圖所示之小群組中，電荷是 0。

第 21B 圖顯示包括一個五配位 Ga 原子、靠近 Ga 原子之三個三配位氧（以下稱為三配位 O）原子、和靠近 Ga 原子之兩個四配位 O 原子的結構。所有的三配位 O 原子

都存在於 ab 平面上。一個四配位 O 原子各存在於第 21B 圖中的上半部和下半部。因為 In 原子可具有五個配位，所以 In 原子也能具有第 21B 圖所示的結構。在第 21B 圖所示之小群組中，電荷是 0。

第 21C 圖顯示包括一個四配位 Zn 原子和靠近 Zn 原子之四個四配位 O 原子的結構。第 21C 圖中的上半部具有一個四配位 O 原子，並且在下半部具有三個四配位 O 原子。或者，第 21C 圖中的上半部可具有三個四配位 O 原子，並且在下半部可具有一個四配位 O 原子。在第 21C 圖所示之小群組中，電荷是 0。

第 21D 圖顯示包括一個六配位 Sn 原子和靠近 Sn 原子之六個四配位 O 原子的結構。在第 21D 圖中，三個四配位 O 原子各存在於上半部和下半部。在第 21D 圖所示之小群組中，電荷是 +1。

第 21E 圖顯示包括兩個 Zn 原子的小群組。第 21E 圖的上半部和下半部各具有一個四配位 O 原子。在第 21E 圖所示之小群組中，電荷是 -1。

這裡，複數個小群組構成一個中群組，且複數個中群組構成一個大群組（也稱為單位格）。

現在，將說明小群組之間接合的規則。第 21A 圖中的六配位 In 原子之上半部的三個 O 原子在向下方向上各具有三個靠近的 In 原子，且在下半部的三個 O 原子在向上方向上各具有三個靠近的 In 原子。第 21B 圖中的五配位 Ga 原子之上半部的一個 O 原子在向下方向上具有一個靠

近的 Ga 原子，且在下半部的一個 O 原子在向上方向上具有一個靠近的 Ga 原子。第 21C 圖中的四配位 Zn 原子之上半部的一個 O 原子在向下方向上具有一個靠近的 Zn 原子，且在下半部的三個 O 原子在向上方向上各具有三個靠近的 Zn 原子。以此方式，在金屬原子上方的四配位 O 原子的數量等於靠近並在各四配位 O 原子下方之金屬原子的數量。同樣地，在金屬原子下方的四配位 O 原子的數量等於靠近並在各四配位 O 原子上方之金屬原子的數量。由於四配位 O 原子的配位數量是 4，因此靠近並在 O 原子下方之金屬原子數量與靠近並在 O 原子上方之金屬原子數量之總和為 4。藉此，當在一個金屬原子上方之四配位 O 原子數量與在另一金屬原子下方之四配位 O 原子數量之總和為 4 時，可接合兩種包括金屬原子的小群組。例如，在六配位金屬（In 或 Sn）原子透過下半部的三個四配位 O 原子接合之情形下，會接合五配位金屬（Ga 或 In）原子或四配位金屬（Zn）原子。

配位數為 4、5 或 6 的金屬原子係透過在 c 軸方向上的四配位 O 原子來接合另一個金屬原子。除了上述之外，可以不同的方式藉由結合複數個小群組來構成中群組，以使疊層結構的總電荷是 0。

第 22A 圖顯示包括在 In-Sn-Zn-O 基材料之疊層結構中的中群組之模型。第 22B 圖顯示包括三個中群組的大群組。請注意第 22C 圖顯示在從 c 軸方向觀看第 22B 圖之疊層結構之情形下的原子排列。

在第 22A 圖中，爲了簡單明瞭，省略了三配位 O 原子，並以圓圈顯示四配位 O 原子；圓圈中的數字顯示四配位 O 原子的數量。例如，以圈起來的 3 代表 Sn 原子之上半部和下半部各具有三個四配位 O 原子。同樣地，在第 22A 圖中，以圈起來的 1 代表 In 原子之上半部和下半部各具有一個四配位 O 原子。第 22A 圖也顯示在下半部靠近一個四配位 O 原子並在上半部靠近三個四配位 O 原子的 Zn 原子、以及在上半部靠近一個四配位 O 原子並在下半部靠近三個四配位 O 原子的 Zn 原子。

在包括在第 22A 圖之 In-Sn-Zn-O 基材料之疊層結構中的中群組中，從頂端開始按照順序，在上半部與下半部各靠近三個四配位 O 原子的 Sn 原子會接合在上半部與下半部各靠近一個四配位 O 原子的 In 原子，In 原子會接合在上半部靠近三個四配位 O 原子的 Zn 原子，Zn 原子會透過 Zn 原子之下半部的一個四配位 O 原子來接合在上半部與下半部各靠近三個四配位 O 原子的 In 原子，In 原子會接合包括兩個 Zn 原子並在上半部靠近一個四配位 O 原子的小群組，且小群組會透過小群組之下半部的一個四配位 O 原子來接合在上半部與下半部各靠近三個四配位 O 原子的 Sn 原子。接合複數個上述之中群組，便構成了大群組。

這裡，三配位 O 原子之鍵結的電荷和四配位 O 原子之鍵結的電荷可分別假設成 -0.667 和 -0.5。例如，（六配位或五配位）In 原子的電荷、（四配位）Zn 原子的電荷

、及（五配位或六配位）Sn 原子的電荷分別是 +3、+2、及 +4。因此，在包括 Sn 原子之小群組的電荷是 +1。所以，需要 -1 的電荷（與 +1 相消）來形成包括 Sn 原子的疊層結構。可舉出如第 21E 圖所示之包括兩個 Zn 原子的小群組來作為具有 -1 之電荷的結構。例如，透過一個包括兩個 Zn 原子的小群組，能消去一個包括 Sn 原子之小群組的電荷，而能使疊層結構的總電荷為 0。

具體來說，當重複第 22B 圖所示的大群組時，可得到 In-Sn-Zn-O 基結晶（ $\text{In}_2\text{SnZn}_3\text{O}_8$ ）。請注意所得到之 In-Sn-Zn-O 基結晶的疊層結構可表示成 $\text{In}_2\text{SnZn}_2\text{O}_7(\text{ZnO})_m$ （m 是 0 或自然數）之組成式。

上述規則也適用於下列氧化物：如 In-Sn-Ga-Zn 基氧化物的四成分金屬氧化物；如 In-Ga-Zn 基氧化物（也稱為 IGZO）、In-Al-Zn 基氧化物、Sn-Ga-Zn 基氧化物、Al-Ga-Zn 基氧化物、Sn-Al-Zn 基氧化物、In-Hf-Zn 基氧化物、In-La-Zn 基氧化物、In-Ce-Zn 基氧化物、In-Pr-Zn 基氧化物、In-Nd-Zn 基氧化物、In-Sm-Zn 基氧化物、In-Eu-Zn 基氧化物、In-Gd-Zn 基氧化物、In-Tb-Zn 基氧化物、In-Dy-Zn 基氧化物、In-Ho-Zn 基氧化物、In-Er-Zn 基氧化物、In-Tm-Zn 基氧化物、In-Yb-Zn 基氧化物、和 In-Lu-Zn 基氧化物的三成分金屬氧化物；如 In-Zn 基氧化物、Sn-Zn 基氧化物、Al-Zn 基氧化物、Zn-Mg 基氧化物、Sn-Mg 基氧化物、In-Mg 基氧化物，和 In-Ga 基氧化物的兩成分金屬氧化物；等等。

第 23A 圖顯示包括在 In-Ga-Zn-O 基材料之疊層結構中的中群組之模型作為實例。

在包括在第 23A 圖之 In-Ga-Zn-O 基材料之疊層結構中的中群組中，從頂端開始按照順序，在上半部與下半部各靠近三個四配位 O 原子的 In 原子會接合在上半部靠近一個四配位 O 原子的 Zn 原子，Zn 原子會透過 Zn 原子之下半部的三個四配位 O 原子來接合在上半部與下半部各靠近一個四配位 O 原子的 Ga 原子，及 Ga 原子會透過 Ga 原子之下半部的一個四配位 O 原子來接合在上半部與下半部各靠近三個四配位 O 原子的 In 原子。接合複數個上述之中群組，便構成了大群組。

第 23B 圖顯示包括三個中群組的大群組。請注意第 23C 圖顯示在從 c 軸方向觀看第 23B 圖之疊層結構之情形下的原子排列。

這裡，由於（六配位或五配位）In 原子的電荷、（四配位）Zn 原子的電荷、及（五配位）Ga 原子的電荷分別是 +3、+2、及 +3，因此，包括 In 原子、Zn 原子及 Ga 原子之任一者之小群組的電荷為 0。所以，結合了這類小群組之中群組的總電荷永遠是 0。

為了形成 In-Ga-Zn-O 基材料的疊層結構，不只可使用第 23A 圖所示之中群組也可使用不同於第 23A 圖之 In 原子、Ga 原子及 Zn 原子排列的中群組來構成大群組。

在 CAAC-OS 膜中，相較於非晶氧化物半導體膜，金屬原子和氧原子係以整齊有序的方式結合。那就是說，在

氧化物半導體膜是非晶的情況下，圍繞金屬原子的氧原子之配位數量可在各種金屬原子之間改變，但在 CAAC-OS 膜中，圍繞金屬原子的氧原子之配位數量幾乎都相同。因此，能減少氧的微小缺陷並能降低由於氫原子（包括氫離子）或鹼金屬原子的接合與脫離所造成的不穩定性及電荷移動。

CAAC-OS 膜甚至可使用極薄的氧化物半導體膜來形成（例如，具有 5nm 的厚度）。即便製造出具有短的 L 長度（例如，L 長度為 30nm）之電晶體，但形成這種具有上述厚度之 CAAC-OS 膜仍使氧化物半導體能具有高可靠度。

再者，當形成了 CAAC-OS 膜時，最好提高基底膜（這裡指絕緣膜 708）的表面之平坦度。表面之平坦性最好為在原子能階下（亦稱為原子層平坦度（ALF））壓平的絕緣膜之平坦度；例如，絕緣膜 708 之平均表面粗糙度（Ra）是 0.3nm 以下，最好是 0.1nm 以下，更好是 0.07nm 以下。絕緣膜 708 表面的良好平坦性能增加 CAAC-OS 膜的結晶性。

經過上述過程，能形成氧化物半導體膜 709。

接著，如第 11A 圖所示，形成與閘極 704 和氧化物半導體膜 709 接觸的導電膜 710，以及與氧化物半導體膜 709 接觸的導電膜 711。導電膜 710 與 711 係當作源極與汲極。

具體來說，導電膜 710 與 711 能以藉由濺射法或真空

蒸氣沉積法來形成導電膜並接著將導電膜處理（圖案化及蝕刻）成預定形狀以覆蓋閘極 704、絕緣膜 707、絕緣膜 708、及氧化物半導體膜 709 的方式來形成。

可使用下列任何材料來作為形成導電膜 710 與 711 的導電膜：從鋁、鉻、銅、鉭、鈦、鉬、和鎢中選出的元素；含有任何這些元素的合金；含有上述元素組合的合金膜等。替代地，可使用在鋁或銅之金屬膜上方或下方設置如鉻、鉭、鈦、鉬、或鎢之耐火金屬的膜的結構。鋁或銅最好與耐火金屬材料結合，以避免耐熱性及腐蝕的問題。可使用鉬、鈦、鉻、鉭、鎢、釹、釷、釷等作為耐火金屬材料。

再者，用來形成導電膜 710 與 711 的導電膜可具有單層結構或兩個或更多層的疊層結構。例如，可舉出含矽的鋁膜之單層結構、鈦膜疊在鋁膜上的兩層結構、及依鈦膜、鋁膜、與鈦膜的順序所堆疊之三層結構等等。Cu-Mg-Al 合金、Mo-Ti 合金、Ti 及 Mo 能高度附著於氧化膜。因此，當對導電膜 710 與 711 使用疊層結構時，即在下層使用含 Cu-Mg-Al 合金、Mo-Ti 合金、Ti 或 Mo 的導電膜以及在上層使用含 Cu 的導電膜，便可增加為氧化膜之絕緣膜以及導電膜 710 與 711 之間的附著。

在加熱處理係進行在形成導電膜之後的情況下，導電膜最好具有夠高的耐熱性以禁得起加熱處理。

請注意會適當地調整各材料及蝕刻條件，以致在蝕刻導電膜期間盡可能地不移除氧化物半導體膜 709。依據蝕

刻條件，可部分地蝕刻氧化物半導體膜 709 的暴露部分，因此在一些情況中會形成溝槽（凹下部）。

在本實施例中，係使用鈦膜作為導電膜。於是，可利用含氨和過氧化氫水之溶液（過氧氫氨混合物）來選擇性地對導電膜進行濕式蝕刻。具體來說，係使用以 5 : 2 : 2 的容積比來混合 31wt% 的過氧化氫水、28wt% 的氨水及水之溶液。替代地，可藉由使用含氯（ Cl_2 ）、氯化硼（ BCl_3 ）之類的氣體在導電膜上進行乾式蝕刻。

為了減少光遮罩的數目和光致微影步驟中的步驟，可藉由使用多色調遮罩所形成之抗蝕遮罩來執行蝕刻步驟，光經由多色調遮罩傳送以便具有複數個強度。多色調遮罩所形成之抗蝕遮罩具有複數個厚度，並可進一步藉由蝕刻改變形狀；因此，可在複數個蝕刻步驟中使用抗蝕遮罩，以將膜處理成不同圖案。因此，可藉由一個多色調遮罩來形成對應於兩種或更多不同圖案的抗蝕遮罩。如此，可減少曝光遮罩的數目，且亦可減少對應光致微影步驟的數目，藉此能實現製程的簡化。

再者，當作源極區與汲極區的氧化物半導體膜可置於氧化物半導體膜 709 以及當作源極與汲極的導電膜 710 與 711 之間。氧化物半導體膜的材料最好包含氧化鋅作為成分且最好不含氧化銦。關於上述氧化物導電膜，可使用氧化鋅、鋁酸鋅、氧氮化鋁鋅、氧化鋅銻或之類。

例如，在形成氧化物導電膜的情況下，可同時進行用來形成氧化物導電膜的圖案化及用來形成導電膜 710 與

711 的圖案化。

當設置當作源極區與汲極區的氧化物導電膜時，能降低氧化物半導體膜 709 以及導電膜 710 與 711 之間的阻抗，如此電晶體能在高速下運作。

接著，使用諸如 N_2O 、 N_2 、或 Ar 的氣體來執行電漿處理。藉由此電漿處理，去除黏附於氧化物半導體膜 709 之露出表面的水或之類。替代地，可使用氧和氬的混合氣體來執行電漿處理。

在電漿處理之後，如第 11B 圖所示，形成閘絕緣膜 712 以覆蓋絕緣膜 708、氧化物半導體膜 709、以及導電膜 710 與 711。接著，在閘絕緣膜 712 上與氧化物半導體膜 709 重疊的位置上形成閘極 713，且在閘絕緣膜 712 上與導電膜 710 重疊的位置上形成導電膜 714。

閘絕緣膜 712 可使用與閘絕緣膜 703 類似之材料及疊層結構來形成。請注意閘絕緣膜 712 最好包括盡可能少量如水和氬的雜質，且可使用單層絕緣膜或疊了複數個的絕緣膜構成。當閘絕緣膜 712 中含有氬時，氬會進入氧化物半導體膜 709 或氧化物半導體膜 709 中的氧會被氬排出，以致氧化物半導體膜 709 具有低阻抗（n 型導電性）；因此，可能會形成寄生通道。於是，為了形成含有盡可能少的氬之閘絕緣膜 712，採用未使用氬之膜形成法是重要的。最好對閘絕緣膜 712 使用具有高障壁特性的材料。

例如，可使用氮化矽膜、氧氮化矽膜、氮化鋁膜、氧氮化鋁膜等等作為具有高障壁特性的絕緣膜。當使用堆疊

的複數個絕緣膜時，便形成諸如氧化矽膜或氮氧化矽膜之具有低氮比例的絕緣膜，使得氧化物半導體膜 709 比具有高障壁特性的絕緣膜更接近具有低氮比例的絕緣膜。然後，形成具有高障壁特性之絕緣膜以便與導電膜 710 和 711 及氧化物半導體膜 709 重疊，其中具有低比例氮的絕緣膜會夾於其間。藉由使用具有高障壁特性之絕緣膜時，可防止諸如水或氫之雜質進入氧化物半導體膜 709、閘絕緣膜 712、或氧化物半導體膜 709 和另一絕緣膜之間的介面及其附近。此外，形成與氧化物半導體膜 709 接觸之如氧化矽膜或氮氧化矽膜之具有低比例氮的絕緣膜能防止使用具有高障壁特性之材料形成的絕緣膜與氧化物半導體膜 709 接觸。

在本實施例中，形成具有藉由濺射法形成之 100 nm 厚的氮化矽膜堆疊在藉由濺射法形成之 200 nm 厚的氧化矽膜之上的結構的閘絕緣膜 712。膜形成期間的基板溫度範圍可高於或等於室溫且低於或等於 300°C，而在本實施例中，膜形成期間的基板溫度為 100°C。

在形成閘絕緣膜 712 之後，可進行加熱處理。加熱處理最好是以高於或等於 200°C 且低於或等於 400°C，例如高於或等於 250°C 且低於或等於 350°C，在氮氣圍、超乾空氣、或稀有氣體（例如，氬、氦）氣圍中進行。氣體中的水含量最好是 20ppm 以下，更好是 1ppm 以下，又更好是 10ppb 以下。

在本實施例中，例如，係在氮氣圍中以 250°C 來進行

一小時加熱處理。替代地，以類似於先前在氧化物半導體膜上進行的加熱處理之方法，可在形成導電膜 710 與 711 之前進行在高溫下短時間的 RTA 處理，以減少水或氫。甚至當由於先前在氧化物半導體膜 709 上所執行的加熱處理而在氧化物半導體膜 709 中產生氧空缺時，藉由在提供含氧的閘絕緣膜 721 之後執行加熱處理，仍可從閘絕緣膜 712 供應氧到氧化物半導體膜 709。藉由供應氧到氧化物半導體膜 709，可在氧化物半導體膜 709 中降低氧空缺，並可滿足化學計量比。氧化物半導體膜 709 中之氧的比例最好高於化學計量組成中的比例。

結果，可使氧化物半導體膜 709 成為實質上 i 型（本質），且可降低由於氧空缺所導致之電晶體的電特性變化；由此，電晶體的截止電流會是極低的。並不特別限制此加熱處理的時序，只要在形成閘絕緣膜 712 之後即可。當此加熱處理作為如用來形成樹脂膜之加熱處理的另一步驟時，不須增加步驟數，就可使氧化物半導體膜 709 成為實質上 i 型。

另一選擇是，可藉由離子植入法、離子摻雜法等等將氧添加到氧化物半導體膜 709。例如，可將以 2.45 GHz 微波之電漿製造的氧加入氧化物半導體膜 709 中。

閘極 713 與導電膜 714 能以在閘絕緣膜 712 上形成導電膜並接著將其圖案化的方式來形成。閘極 713 與導電膜 714 可使用與閘極 704 以及導電膜 710 與 711 類似的材料形成。

閘極 713 與導電膜 714 的厚度各是 10 nm 到 400 nm，最好是 100 nm 到 200 nm。在本實施例中，在藉由使用錫靶材的濺射法來形成厚度為 150nm 的導電膜之後，將導電膜處理（圖案化及蝕刻）成所欲之形狀，如此形成閘極 713 與導電膜 714。請注意藉由噴墨法可形成抗蝕遮罩。藉由噴墨法來形成抗蝕遮罩不需要光遮罩；因此，能降低製造成本。

經過上述步驟，形成第一電晶體 112。

請注意以閘絕緣膜 712 置於之間的導電膜 710 與導電膜 714 之彼此重疊的部分相當於電容器 114。

雖然係以單閘極電晶體來說明第一電晶體 112，但當必要包括複數個閘極時，可形成包括複數個通道形成區的多閘極電晶體。

請注意與氧化物半導體膜 709 接觸的絕緣膜（在本實施例中，對應於絕緣膜 708 和閘絕緣膜 712）可使用包含第 13 族元素的絕緣材料及氧來形成。許多氧化物半導體材料含有第 13 族元素、且含有第 13 族元素的絕緣材料都與氧化物半導體運作良好。藉由將上述之含有第 13 族元素的絕緣材料用於與氧化物半導體膜接觸的絕緣膜，與氧化物半導體膜的介面便能維持良好的狀態。

含有第 13 族元素的絕緣材料係指含有一或更多第 13 族元素的絕緣材料。例如舉出氧化鎵、氧化鋁、氧化鎵鋁、氧化鋁鎵等作為含有第 13 族元素的絕緣材料。這裡，氧化鎵鋁係指在原子百分比中鋁含量高於鎵含量的材料，

而氧化鋁鎵係指在原子百分比中鎵含量高於或等於鋁含量的材料。

例如，在形成絕緣膜與包括鎵的氧化物半導體膜接觸的情況下，可對絕緣膜使用包括氧化鎵的材料，以能在氧化物半導體膜與絕緣膜之間的介面上維持良好的特性。例如，當氧化物半導體膜與內含氧化鎵的絕緣膜係設置成彼此接觸時，能減少氫在氧化物半導體膜與絕緣膜之間的介面上堆積。請注意在絕緣膜中使用與氧化物半導體之組成元素相同群組之元素的情況下，能得到類似的效果。例如，藉由使用內含氧化鋁的材料，能有效地形成絕緣膜。請注意氧化鋁不能透水；因此，最好是使用包括氧化鋁的材料以防止水進入氧化物半導體膜中。

藉由氧氣圍中的加熱處理或氧摻雜，與氧化物半導體膜 709 接觸的絕緣膜最好包含比化學計量成分中的氧更高比例的氧。「氧摻雜」意指添加氧到塊內。請注意使用「塊」之術語是爲了明確表示氧不僅添加到薄膜的表面而且亦添加到薄膜的內部。另外，「氧摻雜」包括將電漿化的氧添加到塊中的「氧電漿摻雜」。可利用離子植入法或離子摻雜法來執行氧摻雜。

例如，在使用氧化鎵形成與氧化物半導體膜 709 接觸的絕緣膜之情況下，藉由氧氣圍中的加熱處理或氧摻雜，氧化鎵的組成可設爲 Ga_2O_x ($x=3+\alpha$, $0<\alpha<1$) 。

在使用氧化鋁形成與氧化物半導體膜 709 接觸的絕緣膜之情況下，藉由氧氣圍中的加熱處理或氧摻雜，氧化鋁

的組成可設為 Al_2O_x ($x=3+\alpha$, $0<\alpha<1$) 。

在使用氧化鋁鎵（氧化鎵鋁）形成與氧化物半導體膜 709 接觸的絕緣膜之情況下，藉由氧氣圍中的加熱處理或氧摻雜，氧化鋁鎵（氧化鎵鋁）的組成可設為 $\text{Ga}_x\text{Al}_{2-x}\text{O}_{3+\alpha}$ ($0<x<2$, $0<\alpha<1$) 。

藉由氧摻雜，可形成包括氧的比例高於化學計量組成中之比例的區域之絕緣膜。當包括上述區域之絕緣膜與氧化物半導體膜相接觸時，便將絕緣膜中過量的氧供應到氧化物半導體膜，並減少氧化物半導體膜或氧化物半導體膜和絕緣膜之間的介面中的氧空缺。如此，可使氧化物半導體膜成為 i 型或實質上 i 型。

請注意包括氧的比例高於化學計量組成中之比例的區域之絕緣膜可施用於位於氧化物半導體膜 709 的上側上之絕緣膜或者位在與氧化物半導體膜 709 相接觸之絕緣膜之氧化物半導體膜 709 的下側上之絕緣膜；不過，最好將上述絕緣膜施用於與氧化物半導體膜 709 相接觸的兩個絕緣膜上。可以氧化物半導體膜 709 夾置在各包括氧的比例高於化學計量組成的比例之區域的絕緣膜（其係作為與氧化物半導體膜 709 相接觸並且位在氧化物半導體膜 709 的上側和下側上之絕緣膜）之間的結構來加強上述效果。

在氧化物半導體膜 709 上側或下側的絕緣膜可包括相同的組成元素或不同的組成元素。例如，在上側和下側的絕緣膜可兩者都使用組成為 Ga_2O_x ($x=3+\alpha$, $0<\alpha<1$) 的氧化鎵來構成。替代地，在上側和下側的絕緣膜之一者可

使用組成爲 Ga_2O_x ($x=3+\alpha$, $0<\alpha<1$) 的氧化鎵來構成，而在上側和下側的絕緣膜之另一者可使用組成爲 Al_2O_x ($x=3+\alpha$, $0<\alpha<1$) 的氧化鋁來構成。更替代地，在上側和下側的絕緣膜之一者可使用組成爲 SiO_x ($x=2+\alpha$, $0<\alpha<1$) 的氧化矽來構成，而在上側和下側的絕緣膜之另一者可使用組成爲 Al_2O_x ($x=3+\alpha$, $0<\alpha<1$) 的氧化鋁來構成。

可藉由堆疊各包括氧的比例高於化學計量組成的比例之區域的絕緣膜來形成與氧化物半導體膜 709 接觸的絕緣膜。例如，在氧化物半導體膜 709 上側的絕緣膜可形成如下：形成組成爲 Ga_2O_x ($x=3+\alpha$, $0<\alpha<1$) 的氧化鎵並在其上形成組成爲 $\text{Ga}_x\text{Al}_{2-x}\text{O}_{3+\alpha}$ ($0<x<2$, $0<\alpha<1$) 的氧化鋁鎵（或氧化鋁鎵）。需注意的是，在氧化物半導體膜 709 的下側上之絕緣膜可藉由堆疊各包括氧的比例高於化學計量組成中之比例的區域之絕緣膜來形成。另外，在氧化物半導體膜 709 的上側和下側上之兩個絕緣膜可藉由堆疊各包括氧的比例高於化學計量組成中之比例的區域之絕緣膜來形成。

接著，如第 11C 圖所示，形成絕緣膜 715 以覆蓋閘絕緣膜 712、閘極 713、及導電膜 714。絕緣膜 715 可藉由濺射法、PE-CVD 法之類的方法形成。絕緣膜 715 可使用包括如氧化矽、氧氮化矽、氮化矽、氧化鉛、氧化鎵、或氧化鋁的無機絕緣材料之材料來組成。請注意最好對絕緣膜 715 使用具有低介電常數的材料或具有低介電常數的結構

(例如，多孔結構)。這是因為當降低絕緣膜 715 的介電常數時，能降低產生於佈線或電極之間的寄生電容，而造成更高速的運作。請注意雖然在本實施例中，絕緣膜 715 具有單層結構，但本發明之一實施例並不受限於此結構。絕緣膜 715 可具有兩個或更多層的疊層結構。

經過上述步驟，能製造記憶體電路中使用的電晶體。請注意在本實施例所述之製造方法中，作為源極與汲極的導電膜 710 與 711 係在形成氧化物半導體膜 709 之後形成。然而，在第一電晶體 112 中，作為源極與汲極的導電膜可形成在氧化物半導體膜 709 下方，亦即，在氧化物半導體膜 709 以及絕緣膜 708 之間。

第 12 圖係繪示當作為源極與汲極的導電膜 710 與 711 置於氧化物半導體膜 709 以及絕緣膜 708 之間時的第一電晶體 112、電容器 114、及第二電晶體 116 之剖面圖。第 12 圖所示之第一電晶體 112 能以在形成絕緣膜 708 之後形成導電膜 710 與 711，並接著形成氧化物半導體膜 709 的方式來得到。

非揮發性記憶體電路可使用這種以氧化物半導體形成的電晶體來形成。例如可舉出非揮發性隨機存取記憶體作為包括非揮發性記憶體電路的半導體裝置。

磁性隧道接合元件 (MTJ) 係為非揮發性隨機存取記憶體。當設置在絕緣膜上方和下方的膜中的自旋方向是平行時，MTJ 元件便在低阻抗狀態下儲存資料，而當自旋方向不是平行時，便在高阻抗狀態下儲存資料。因此，MTJ

元件之原理完全與在本實施例中使用氧化物半導體形成的記憶體電路之原理不同。表格 1 顯示 MTJ 元件與根據本實施例之記憶體電路之間的比較。

[表格 1]

	自旋電子學(MTJ 元件)	OS/矽
1)加熱阻抗	居里溫度	500°C 的處理溫度(在 150°C 時為可靠的)
2)驅動方法	電流驅動	電壓驅動
3)寫入操作的原理	改變磁性物質的自旋方向	FET 的開/關
4)矽 LSI	適合雙極 LSI(最好 MOS 電晶體在高度整合電路中(雙極電晶體不適合高度整合)，W 很大)	適合 MOSLSI
5)負擔成本	大(由於大的焦耳熱)	小 2 或 3 或更多數量級(寄生電容的充電和放電)
6)非揮發性	利用自旋	利用小的截止電流
7)讀取操作的次數	無限	無限
8)3D 結構	困難(多數為兩層)	容易(層數不限)
9)整合程度(F^2)	$4F^2$ 至 $15F^2$	取決於 3D 結構的層數(需要上方 OSFET 中的加熱阻抗)
10)材料	磁性稀土元素	OS 材料
11)每位元成本	高	低(依據 OS 的材料(例如 In)而不高)
12)磁場阻抗	低	高

MTJ 元件的不利之處在於當因為使用磁性材料而使溫度為居里溫度或更高時，會失去磁性。此外，由於採用電流驅動，故 MTJ 元件會與矽雙極裝置相容。然而，矽雙極裝置不適用於高度整合。再者，MTJ 元件的問題在於，僅管 MTJ 元件在資料寫入期間耗費極少的電流量，但功率耗

損仍會隨著記憶體容量的增加而增加。

原則上，MTJ 元件對於磁場具有低阻抗，以致於當 MTJ 元件暴露於高磁場時，很可能改變自旋方向。另外，由於將用於 MTJ 元件的磁體奈米化，因此必須控制磁波動。

另外，對 MTJ 元件使用稀土元素；於是，在形成矽半導體的過程中需要特別關注整合形成 MTJ 元件的過程以避免重金屬汙染。另外，MTJ 元件每位元的材料成本是昂貴的。

另一方面，在本實施例中使用氧化物半導體形成的電晶體具有類似於矽 MOSFET 的元件結構及操作原理，除了通道的半導體材料為金屬氧化物以外。再者，使用氧化物半導體形成的電晶體不會受到磁場的影響，且不會造成軟性誤差。這顯示出電晶體與矽積體電路係高度相容的。

本實施例能適當地結合任何其他實施例來實作。

（實施例 7）

將參考第 13A 至 13D 圖來說明一種使用氧化物半導體膜（具有不同於實施例 6 之結構）的電晶體。

第 13A 圖所示之電晶體 801 包括在絕緣膜 802 上形成且充當主動層的氧化物半導體膜 803；在氧化物半導體膜 803 上形成的源極 804 與汲極 805；在氧化物半導體膜 803、源極 804、與汲極 805 上形成的閘絕緣膜 806；以及設置在閘絕緣膜 806 上方之與氧化物半導體膜 803 重疊位置

中的閘極 807。

第 13A 圖所示之電晶體 801 係為頂部閘極電晶體，其中閘極 807 係形成在氧化物半導體膜 803 上，且亦係為頂部接觸電晶體，其中源極 804 與汲極 805 係形成在氧化物半導體膜 803 上。在電晶體 801 中，源極 804 與汲極 805 不與閘極 807 重疊。亦即，源極 804 與閘極 807 之間的距離以及汲極 805 與閘極 807 之間的距離各大於閘絕緣膜 806 的厚度。因此，在源極 804 與閘極 807 之間以及在汲極 805 與閘極 807 之間的寄生電容會很小，因而在電晶體 801 中能達到高速運作。

氧化物半導體膜 803 包括一對高濃度區域 808，其可藉由在形成閘極 807 之後，將給予 n 型導電性的摻雜物加入氧化物半導體膜 803 來得到。此外，在氧化物半導體膜 803 中，與閘極 807 重疊的區域係為通道形成區 809，其中有閘絕緣膜 806 置於閘極 807 與通道形成區 809 之間。在氧化物半導體膜 803 中，通道形成區 809 係設置在成對高濃度區域 808 之間。可藉由離子植入法來添加用於形成高濃度區域 808 的摻雜物。可使用氮、磷、硼等作為摻雜物。

例如，當使用氮作為摻雜物時，高濃度區域 808 中的氮原子濃度最好是高於或等於 $5 \times 10^{19}/\text{cm}^3$ 且低於或等於 $1 \times 10^{22}/\text{cm}^3$ 。

添加給予 n 型導電性之摻雜物之高濃度區域 808 的導電性會比氧化物半導體膜 803 中的其他區域之導電性高。

因此，在氧化物半導體膜 803 中設置高濃度區域 808，藉此能降低源極 804 與汲極 805 之間的阻抗。

當對氧化物半導體膜 803 使用 In-Ga-Zn 基氧化物半導體時，會在添加氮之後，以在高於或等於 300°C 且低於或等於 600°C 之範圍內的溫度進行一小時的加熱處理，以致於高濃度區域 808 中的氧化物半導體具有纖鋅礦晶體結構。當高濃度區域 808 中的氧化物半導體具有纖鋅礦晶體結構時，能更增加高濃度區域 808 的導電性且能更減少源極 804 與汲極 805 之間的阻抗。請注意爲了藉由形成具有纖鋅礦晶體結構之氧化物半導體來有效減少源極 804 與汲極 805 之間的阻抗，當使用氮作爲摻雜物時，高濃度區域 808 中的氮原子濃度最好高於或等於 $1 \times 10^{20}/\text{cm}^3$ 且低於或等於 7atoms%。然而，即便氮原子濃度低於上述範圍，在一些情況中仍可得到具有纖鋅礦晶體結構的氧化物半導體。

再者，氧化物半導體膜 803 可以是 CAAC-OS 膜。當氧化物半導體膜 803 是 CAAC-OS 膜時，氧化物半導體膜 803 的導電性會比非晶半導體膜的導電性高；因此，能減少源極 804 與汲極 805 之間的阻抗。

即使縮小電晶體 801，減少源極 804 與汲極 805 之間的阻抗仍確保高導通電流及高速運作。此外，縮小電晶體 801 使得可能減少包括電晶體之記憶體電路所佔用的面積，並增加記憶體電路每單位面積的記憶體容量。

第 13B 圖所示之電晶體 811 包括在絕緣膜 812 上形成

的源極 814 與汲極 815；在源極 814 與汲極 815 上形成並作為主動層的氧化物半導體膜 813；在氧化物半導體膜 813、源極 814、與汲極 815 上的閘絕緣膜 816；以及在閘絕緣膜 816 上並與氧化物半導體膜 813 重疊位置中的閘極 817。

第 13B 圖所示之電晶體 811 係為頂部閘極電晶體，其中閘極 817 係形成在氧化物半導體膜 813 上，且亦係為底部接觸電晶體，其中源極 814 與汲極 815 會形成在氧化物半導體膜 813 下。如同在電晶體 801 中，在電晶體 811 中的源極 814 與汲極 815 不與閘極 817 重疊。因此，能降低在源極 814 與閘極 817 之間的寄生電容以及在汲極 815 與閘極 817 之間的寄生電容，並能達到高速運作。

另外，氧化物半導體膜 813 包括一對高濃度區域 818，其可藉由在形成閘極 817 之後，將給予 n 型導電性的摻雜物加入氧化物半導體膜 813 來得到。此外，在氧化物半導體膜 813 中，與閘極 817 重疊的區域係為通道形成區 819，其中有閘絕緣膜 816 置於閘極 817 與通道形成區 819 之間。在氧化物半導體膜 813 中，通道形成區 819 係設置在成對高濃度區域 818 之間。

可以類似於包括在電晶體 801 中的高濃度區域 808 之情況的方式，藉由離子植入法來形成高濃度區域 818。高濃度區域 808 的例子可為一種用來形成高濃度區域 818 的摻雜物。

例如，當使用氮作為摻雜物時，高濃度區域 818 中的

氮原子濃度最好高於或等於 $5 \times 10^{19}/\text{cm}^3$ 且低於或等於 $1 \times 10^{22}/\text{cm}^3$ 。

添加給予 n 型導電性之摻雜物之高濃度區域 818 的導電性會比氧化物半導體膜 813 中的其他區域之導電性高。因此，在氧化物半導體膜 813 中設置高濃度區域 818，藉此能降低源極 814 與汲極 815 之間的阻抗。

當對氧化物半導體膜 813 使用 In-Ga-Zn 基氧化物半導體時，會在添加氮之後，以約在高於或等於 300°C 且低於或等於 600°C 之範圍內的溫度進行加熱處理，以致於高濃度區域 818 中的氧化物半導體具有纖鋅礦晶體結構。當高濃度區域 818 中的氧化物半導體具有纖鋅礦晶體結構時，能更增加高濃度區域 818 的導電性且能更減少源極 814 與汲極 815 之間的阻抗。請注意爲了藉由形成具有纖鋅礦晶體結構之氧化物半導體來有效減少源極 814 與汲極 815 之間的阻抗，當使用氮作爲摻雜物時，高濃度區域 818 中的氮原子濃度最好高於或等於 $1 \times 10^{20}/\text{cm}^3$ 且低於或等於 7atoms%。然而，即便氮原子濃度低於上述範圍，在一些情況中仍可得到具有纖鋅礦晶體結構的氧化物半導體。

再者，氧化物半導體膜 813 可以是 CAAC-OS 膜。當氧化物半導體膜 813 是 CAAC-OS 膜時，氧化物半導體膜 813 的導電性會比非晶半導體膜的導電性高；因此，能減少源極 814 與汲極 815 之間的阻抗。

即使縮小電晶體 811，減少源極 814 與汲極 815 之間的阻抗仍確保高導通電流及高速運作。此外，縮小電晶體

811 使得可能減少包括電晶體之記憶體電路所佔用的面積，並增加記憶體電路每單位面積的記憶體容量。

第 13C 圖所示之電晶體 821 包括在絕緣膜 822 上形成並作為主動層的氧化物半導體膜 823；在氧化物半導體膜 823 上形成的源極 824 與汲極 825；在氧化物半導體膜 823、源極 824、與汲極 825 上的閘絕緣膜 826；以及設置在閘絕緣膜 826 上之與氧化物半導體膜 823 重疊位置中的閘極 827。電晶體 821 又包括側壁 830，其置於閘極 827 的側面上並使用絕緣膜來形成。

第 13C 圖所示之電晶體 821 係為頂部閘極電晶體，其中閘極 827 會形成在氧化物半導體膜 823 上，且也係為頂部接觸電晶體，其中源極 824 與汲極 825 會形成在氧化物半導體膜 823 上。如同在電晶體 801 中，在電晶體 821 中的源極 824 與汲極 825 不與閘極 827 重疊；因此，能降低在源極 824 與閘極 827 之間以及在汲極 825 與閘極 827 之間的寄生電容，並能達到高速運作。

又，氧化物半導體膜 823 包括一對高濃度區域 828 及一對低濃度區域 829，其可藉由在形成閘極 827 之後，將給予 n 型導電性的摻雜物加入氧化物半導體膜 823 來得到。此外，在氧化物半導體膜 823 中，與閘極 827 重疊的區域係為通道形成區 831，其中有閘絕緣膜 826 置於閘極 827 與通道形成區 831 之間。在氧化物半導體膜 823 中，成對低濃度區域 829 係設置在成對高濃度區域 828 之間，且通道形成區 831 係設置在成對低濃度區域 829 之間。成

對低濃度區域 829 係置於氧化物半導體膜 823 之與側壁 830 重疊的區域中，其中有閘絕緣膜 826 置於低濃度區域 829 與側壁 830 之間。

如同包括在電晶體 801 中的高濃度區域 808 之情況，高濃度區域 828 與低濃度區域 829 能藉由離子植入法來形成。高濃度區域 808 的例子可為一種用來形成高濃度區域 828 的摻雜物。

例如，當使用氮作為摻雜物時，高濃度區域 828 中的氮原子濃度最好高於或等於 $5 \times 10^{19}/\text{cm}^3$ 且低於或等於 $1 \times 10^{22}/\text{cm}^3$ 。又，例如，當使用氮作為摻雜物時，低濃度區域 829 中的氮原子濃度最好高於或等於 $5 \times 10^{18}/\text{cm}^3$ 且低於 $5 \times 10^{19}/\text{cm}^3$ 。

添加給予 n 型導電性之摻雜物之高濃度區域 828 的導電性會比氧化物半導體膜 823 中的其他區域之導電性高。因此，在氧化物半導體膜 823 中設置高濃度區域 828，藉此能降低源極 824 與汲極 825 之間的阻抗。另外，低濃度區域 829 係設置在通道形成區 831 與高濃度區域 828 之間，以致能減少由於短通道效應而造成的臨界電壓往負向偏移。

當對氧化物半導體膜 823 使用 In-Ga-Zn 基氧化物半導體時，會在添加氮之後，以 300°C 至 600°C 之範圍內的溫度進行一小時加熱處理，以致於高濃度區域 828 中的氧化物半導體具有纖鋅礦晶體結構。又，低濃度區域 829 可取決於氮濃度而具有由於加熱處理而產生的纖鋅礦晶體結

構。當高濃度區域 828 中的氧化物半導體具有纖鋅礦晶體結構時，能更增加高濃度區域 828 的導電性且能更減少源極 824 與汲極 825 之間的阻抗。請注意爲了藉由形成具有纖鋅礦晶體結構之氧化物半導體來有效減少源極 824 與汲極 825 之間的阻抗，當使用氮作爲摻雜物時，高濃度區域 828 中的氮原子濃度範圍最好高於或等於 $1 \times 10^{20}/\text{cm}^3$ 且低於或等於 7atoms%。然而，即便氮原子濃度低於上述範圍，在一些情況中仍可得到具有纖鋅礦晶體結構的氧化物半導體。

再者，氧化物半導體膜 823 可以是 CAAC-OS 膜。當氧化物半導體膜 823 是 CAAC-OS 膜時，氧化物半導體膜 823 的導電性會比非晶半導體膜的導電性高；因此，能減少源極 824 與汲極 825 之間的阻抗。

即使縮小電晶體 821，減少源極 824 與汲極 825 之間的阻抗仍確保高導通電流及高速運作。此外，縮小電晶體 821 使得可能減少包括電晶體之記憶體電路所佔用的面積，並增加記憶體電路每單位面積的記憶體容量。

第 13D 圖所示之電晶體 841 包括在絕緣膜 842 上形成的源極 844 與汲極 845；在源極 844 與汲極 845 上形成並作爲主動層的氧化物半導體膜 843；在氧化物半導體膜 843、源極 844、與汲極 845 上的閘絕緣膜 846；以及在閘絕緣膜 846 上之與氧化物半導體膜 843 重疊位置中的閘極 847。電晶體 841 又包括側壁 850，其置於閘極 847 的側面上並使用絕緣膜來形成。

第 13D 圖所示之電晶體 841 係為頂部閘極電晶體，其中閘極 847 會形成在氧化物半導體膜 843 上，且也是底部接觸電晶體，其中源極 844 與汲極 845 會形成在氧化物半導體膜 843 下。如同在電晶體 801 中，在電晶體 841 中的源極 844 與汲極 845 不會與閘極 847 重疊；因此，能降低在源極 844 與閘極 847 之間以及在汲極 845 與閘極 847 之間的寄生電容，以致能達到高速運作。

又，氧化物半導體膜 843 包括一對高濃度區域 848 及一對低濃度區域 849，其可藉由在形成閘極 847 之後，將給予 n 型導電性的摻雜物加入氧化物半導體膜 843 來得到。此外，在氧化物半導體膜 843 中，與閘極 847 重疊的區域係為通道形成區 851，其中有閘絕緣膜 846 置於閘極 847 與通道形成區 851 之間。在氧化物半導體膜 843 中，成對低濃度區域 849 係設置在成對高濃度區域 848 之間，且通道形成區 851 係設置在成對低濃度區域 849 之間。成對低濃度區域 849 係置於氧化物半導體膜 843 中並與側壁 850 重疊的區域中，其中有閘絕緣膜 846 置於低濃度區域 849 與側壁 850 之間。

如同包括在電晶體 801 中的高濃度區域 808 之情況，成對高濃度區域 848 與成對低濃度區域 849 能藉由離子植入法來形成。高濃度區域 808 的例子可為一種用來形成高濃度區域 848 的摻雜物。

例如，當使用氮作為摻雜物時，高濃度區域 848 中的氮原子濃度最好高於或等於 $5 \times 10^{19}/\text{cm}^3$ 且低於或等於 $1 \times$

$10^{22}/\text{cm}^3$ 。又，例如，當使用氮作為摻雜物時，低濃度區域 849 中的氮原子濃度最好高於或等於 $5 \times 10^{18}/\text{cm}^3$ 且低於或等於 $5 \times 10^{19}/\text{cm}^3$ 。

添加給予 n 型導電性之摻雜物之高濃度區域 848 的導電性會比氧化物半導體膜 843 中的其他區域之導電性高。因此，在氧化物半導體膜 843 中包括高濃度區域 848，藉此能降低源極 844 與汲極 845 之間的阻抗。另外，低濃度區域 849 係設置在通道形成區 851 與高濃度區域 848 之間，以致能減少由於短通道效應而造成的臨界電壓往負向偏移。

當對氧化物半導體膜 843 使用 In-Ga-Zn 基氧化物半導體時，會在添加氮之後，以約在 300°C 至 600°C 之範圍內的溫度進行加熱處理，使高濃度區域 848 中的氧化物半導體能夠具有纖鋅礦晶體結構。又，低濃度區域 849 可取決於氮濃度而具有由於加熱處理而產生的纖鋅礦晶體結構。當高濃度區域 848 中的氧化物半導體具有纖鋅礦晶體結構時，能更增加高濃度區域 848 的導電性且能更減少源極 844 與汲極 845 之間的阻抗。請注意為了藉由形成具有纖鋅礦晶體結構之氧化物半導體來有效減少源極 844 與汲極 845 之間的阻抗，當使用氮作為摻雜物時，高濃度區域 848 中的氮原子濃度最好高於或等於 $1 \times 10^{20}/\text{cm}^3$ 且低於或等於 7atoms%。然而，即便氮原子濃度低於上述範圍，在一些情況中仍可得到具有纖鋅礦晶體結構的氧化物半導體。

再者，氧化物半導體膜 843 可以是 CAAC-OS 膜。當氧化物半導體膜 843 是 CAAC-OS 膜時，氧化物半導體膜 843 的導電性會比非晶半導體膜的導電性高；因此，能減少源極 844 與汲極 845 之間的阻抗。

即使縮小電晶體 841，減少源極 844 與汲極 845 之間的阻抗仍確保高導通電流及高速運作。此外，縮小電晶體 841 使得可能減少包括電晶體之記憶體電路所佔用的面積，並增加記憶體電路每單位面積的記憶體容量。

請注意已揭露一種方法來作為其中一種透過自動對準程序來製造作為在包括氧化物半導體之電晶體中的源極區與汲極區之高濃度區域的方法，即暴露出氧化物半導體膜的表面並進行氬電漿處理，以致降低在暴露於電漿之氧化物半導體膜中之區域的阻抗（S.Jeon et al.的「180 nm Gate Length Amorphous InGaZnO Thin Film Transistor for High Density Image Sensor Applications」，IEDM Tech. Dig.，第 504-507 頁，2010）。

然而，在製造方法中，在形成閘絕緣膜之後，必須部分地移除閘絕緣膜，以致於暴露出當作源極區與汲極區的部分。當部分地移除閘絕緣膜時，閘絕緣膜下方之氧化物半導體膜的部分會被過度蝕刻，使得減少作為源極區與汲極區之部分的厚度。因此，增加源極區與汲極區之阻抗，有可能發生由於過度蝕刻而造成之電晶體的特性缺陷。

為了縮小電晶體，必須採用具有高度處理準確度的乾式蝕刻法。然而，上述過度蝕刻很有可能當使用乾式蝕刻

法時發生，其中氧化物半導體膜的蝕刻率不會充分地與閘絕緣膜的蝕刻率不同。

例如，當氧化物半導體膜具有足夠的厚度時，就不產生問題，但在通道長度為 200 nm 以下之情況中，在充作通道形成區的氧化物半導體膜之部分的厚度必須是 20 nm 以下，最好是 10 nm 以下以防止短通道效應。當使用上述薄氧化物半導體膜時，如上所述，因為增加源極區與汲極區的阻抗且由於過度蝕刻所造成的電晶體的特性缺陷，因此過度蝕刻氧化物半導體膜是不利的。

然而，如本實施例所述，當在不露出氧化物半導體膜且留下閘絕緣膜之狀態下添加摻雜物到氧化物半導體層中時，能防止過度蝕刻氧化物半導體膜，並能降低對氧化物半導體膜之過度損害。此外，能保持氧化物半導體膜與閘絕緣膜之間的介面乾淨。藉此，能增進電晶體的特性及可靠度。

本實施例能適當地結合任何其他實施例來實作。

（實施例 8）

在本實施例中，將參考第 24A 及 24B 圖、第 25A 至 25C 圖、第 26A 及 26B 圖、第 27A 及 27B 圖、第 28 圖、第 29 圖、第 30 圖、和第 31A 及 31B 圖來說明對通道形成區使用包括以 In、Sn、和 Zn 為主要成分的氧化物半導體膜之電晶體及其特性。

第 24A 圖係電晶體的上視圖。第 24B 圖係沿著第 24A

圖中的虛點線 A-B 所得到的剖面圖。

第 24B 圖所示之電晶體包括一基板 600、一設置在基板 600 上的基底絕緣膜 602、一設置在基底絕緣膜 602 上的氧化物半導體膜 606、接觸氧化物半導體膜 606 的一對電極 614、一設置在氧化物半導體膜 606 以及成對電極 614 上的閘絕緣膜 608、一設置以與氧化物半導體膜 606 重疊的閘極 610，其中有閘絕緣膜 608 置於閘極 610 與氧化物半導體膜 606 之間、一設置以覆蓋閘絕緣膜 608 和閘極 610 的層間絕緣膜 616、穿過層間絕緣膜 616 中形成的開口連到成對電極 614 的佈線 618、及一設置以覆蓋層間絕緣膜 616 和佈線 618 的保護膜 620。

可使用玻璃基板作為基板 600。可使用氧化矽膜作為基底絕緣膜 602。可使用 In-Sn-Zn-O 膜作為氧化物半導體膜 606。可使用鎢膜作為成對電極 614。可使用氧化矽膜作為閘絕緣膜 608。閘極 610 可具有氮化鉭膜和鎢膜的疊層結構。層間絕緣膜 616 可具有氧氮化矽膜和聚亞醯胺膜的疊層結構。佈線 618 可各具有依鈦膜、鋁膜、與鈦膜的順序所形成之疊層結構。可使用聚亞醯胺膜作為保護膜 620。

請注意在具有第 24A 圖所示之結構的電晶體中，閘極 610 與成對電極 614 重疊的部分之寬度係稱作 L_{ov} 。同樣地，成對電極 614 不與氧化物半導體膜 606 重疊的部分之寬度係稱作 dW 。

在本實施例中，關於通道形成區，可使用含有 In、Sn

和 Zn 作為主要成分的氧化物半導體膜作為氧化物半導體膜 606。

藉由在加熱基板期間形成氧化物半導體膜或藉由形成氧化物半導體膜之後進行加熱處理，對通道形成區使用含有 In、Sn 和 Zn 作為主要成分之氧化物半導體膜的電晶體可具有良好的特性。請注意主要成分是指包含在 5 at.% 以上之成分中的元素。

當在刻意地加熱基板期間形成含有 In、Sn 和 Zn 作為主要成分的氧化物半導體膜時，可提高電晶體的場效移動率。另外，電晶體的臨界電壓會往正方向偏移。

這裡，以下將說明第 24A 及 24B 之電晶體的特性。

第 25A 至 25C 圖各顯示包括使用含有 In、Sn 和 Zn 作為主要成分並具有 $3\mu\text{m}$ 之通道長度 L 和 $10\mu\text{m}$ 之通道寬度 W 、及閘絕緣膜厚度為 100nm 之氧化物半導體膜的電晶體之特性。請注意 V_d 係設為 10V 。

第 25A 圖顯示藉由濺射法而不須刻意地加熱基板來形成含有 In、Sn 和 Zn 作為主要成分之氧化物半導體膜的電晶體之特性。電晶體之場效移動率為 $18.8\text{ cm}^2/\text{Vs}$ 。另一方面，當在刻意地加熱基板期間形成含有 In、Sn 和 Zn 作為主要成分之氧化物半導體膜時，可提高場效移動率。第 25B 圖顯示具有當以 200°C 加熱基板時所形成之含有 In、Sn 和 Zn 作為主要成分之氧化物半導體膜的電晶體之特性。電晶體之場效移動率為 $32.2\text{ cm}^2/\text{Vs}$ 。

藉由在形成含有 In、Sn 和 Zn 作為主要成分之氧化物

半導體膜之後進行加熱基板，可更提高場效移動率。第 25C 圖顯示具有藉由 200°C 的濺射法並接著受到 650°C 的加熱處理所形成之含有 In、Sn 和 Zn 作為主要成分之氧化物半導體膜的電晶體之特性。電晶體之場效移動率為 $34.5\text{ cm}^2/\text{Vs}$ 。

刻意地加熱基板預期能降低在藉由濺射法形成期間被引入到氧化物半導體膜中的水。此外，在膜形成之後進行加熱處理使氫、羥基或水分能從氧化物半導體膜中釋放而去除。以此方式，可以提高場效移動率。上述場效移動率的提高可以認為不僅是因為藉由脫水或脫氫作用而去除雜質，而且因為藉由提高密度而縮短原子間距離的緣故。能藉由從氧化物半導體膜去除雜質而使其高純度化，來結晶化氧化物半導體膜。在使用上述高純度化的非單晶氧化物半導體膜之情況下，理想上，預期會實現超過 $100\text{ cm}^2/\text{Vs}$ 的場效移動率。

可以下列方式來結晶化含有 In、Sn、Zn 作為主要成分的氧化物半導體膜：注入氧離子進氧化物半導體膜中、藉由加熱處理釋放含在氧化物半導體膜中的氫、羥基或水分、以及透過加熱處理或藉由之後進行的其他加熱處理來結晶化氧化物半導體膜。藉由上述晶化處理或再晶化處理可以得到結晶性良好的非單晶氧化物半導體膜。

在膜形成期間刻意地加熱基板及/或在膜形成後進行加熱處理，不僅可以提高場效移動率，而且還有助於使電晶體常閉化。在使用包含 In、Sn、Zn 作為主要成分且不

刻意加熱基板形成的氧化物半導體膜作為通道形成區之氧化物半導體膜的電晶體中，臨界電壓傾向往負方向偏移。然而，當採用在刻意加熱基板期間所形成的氧化物半導體膜時，可以解決臨界電壓往負方向偏移的問題。亦即，臨界電壓偏移使得電晶體成為常閉型的；由第 25A 和 25B 圖的對比可以確認此傾向。

請注意也可藉由改變 In、Sn 及 Zn 的比例來控制臨界電壓；當 In、Sn、Zn 的組成比（原子比）為 2：1：3 時，預期電晶體會是常閉型的。另外，當將靶材的組成比（原子比）設為 $\text{In} : \text{Sn} : \text{Zn} = 2 : 1 : 3$ 時，可以獲得結晶性高的氧化物半導體膜。

刻意的加熱基板溫度或加熱處理溫度為 150°C 以上，最好是 200°C 以上，更好是 400°C 以上。當在高溫下進行膜形成或加熱處理時，電晶體能成為常閉型。

藉由在膜形成期間刻意地加熱基板及/或藉由在膜形成後進行加熱處理，可以提高對於閘極偏壓應力的穩定性。例如，當在 150°C 以 $2\text{MV}/\text{cm}$ 的強度施加閘極偏壓達一個小時時，臨界電壓的漂移可小於 $\pm 1.5\text{V}$ ，最好小於 $\pm 1.0\text{V}$ 。

對下列兩電晶體進行 BT 測試：樣本 1（在形成氧化物半導體膜之後不進行加熱處理）及樣本 2（在形成氧化物半導體膜之後以 650°C 進行加熱處理）。

首先，在基板溫度為 25°C 且 V_d 為 10V 時測量電晶體之 V_g-I_d 特性。請注意 V_d 係汲極電壓（汲極與源極間的電

位差)。接著，將基板溫度設為 150°C 並將 V_d 設成 0.1V 。之後，施加 20V 的 V_g 使得施加到閘絕緣膜 608 的電場強度為 $2\text{MV}/\text{cm}$ ，並保持此條件達一小時。接著，將 V_g 設為 0V 。然後，在基板溫度為 25°C 且 V_d 為 10V 時測量電晶體的 V_g - I_d 特性。此過程就稱為正 BT 測試。

以類似的方式，首先，在基板溫度為 25°C 且 V_d 為 10V 時測量電晶體之 V_g - I_d 特性。接著，將基板溫度設為 150°C 並將 V_d 設成 0.1V 。之後，施加 -20V 的 V_g 使得施加到閘絕緣膜 608 的電場強度為 $-2\text{MV}/\text{cm}$ ，並保持此條件達一小時。接著，將 V_g 設為 0V 。然後，在基板溫度為 25°C 且 V_d 為 10V 時測量電晶體的 V_g - I_d 特性。此過程就稱為負 BT 測試。

第 26A 和 26B 圖分別顯示樣本 1 之正 BT 測試的結果以及樣本 1 之負 BT 測試的結果。第 27A 和 27B 圖分別顯示樣本 2 之正 BT 測試的結果以及樣本 2 之負 BT 測試的結果。

樣本 1 的因正 BT 測試及負 BT 測試而發生的臨界電壓之偏移量分別為 1.80V 及 -0.42V 。樣本 2 的因正 BT 測試及負 BT 測試而發生的臨界電壓之偏移量分別為 0.79V 及 0.76V 。發現到在樣本 1 及樣本 2 之每一者中，BT 測試前後的臨界電壓之偏移量都很小且其可靠性都很高。

可在氧氣圍中進行加熱處理；替代地，可首先在氮或惰性氣體之氣圍中或在減壓下進行加熱處理，並接著在含氧的氣圍中進行加熱處理。在脫水或脫氫作用之後將氧供

應到氧化物半導體，藉此能進一步提高加熱處理的效果。作為在脫水或脫氫作用之後供應氧的方法，可採用以電場加速氧離子並將其注入到氧化物半導體膜中的方法。

在氧化物半導體膜中或在氧化物半導體膜與接觸氧化物半導體膜的膜之間的介面容易產生由氧空缺導致的缺陷；然而，當藉由加熱處理使氧化物半導體膜中含有過剩的氧時，可以過剩的氧填充不斷產生的氧空缺。過剩的氧是主要存在於晶格間的氧。當將過剩的氧濃度設為高於或等於 $1 \times 10^{16} / \text{cm}^3$ 且低於或等於 $2 \times 10^{20} / \text{cm}^3$ 時，能不使結晶變形而使氧化物半導體膜中含有過剩的氧。

當進行加熱處理使得至少部分的氧化物半導體膜包括結晶時，可以獲得更穩定的氧化物半導體膜。例如，當以 X 線衍射（XRD）分析藉由使用組成比為 $\text{In} : \text{Sn} : \text{Zn} = 1 : 1 : 1$ 的靶材且不刻意加熱基板的濺射法所形成的氧化物半導體膜時，會觀察到光暈圖案。藉由對所形成的氧化物半導體膜進行加熱處理，可以使其結晶化。可適當地設定加熱處理的溫度；當以 650°C 進行加熱處理時，例如，可在 X 線衍射分析中觀察到明確的衍射峰值。

實施 In-Sn-Zn-O 基膜的 XRD 分析。使用 Bruker AXS 公司製造的 X 線衍射 D8 ADVANCE 來實施 XRD 分析，並以平面外法來進行測量。

準備樣本 A 及樣本 B 並對其進行 XRD 分析。以下將說明樣本 A 及樣本 B 的形成方法。

在完成了脫氫處理的石英基板上形成厚度為 100nm 的

In-Sn-Zn-O 基膜。

在氧氣圍下使用具有 100W (DC) 之功率的濺射設備來形成 In-Sn-Zn-O 基膜。使用原子比為 In : Sn : Zn=1 : 1 : 1 的 In-Sn-Zn-O 基靶材作為靶材。請注意將膜形成時的基板加熱溫度設定為 200℃。使用以此方式形成的樣本作為樣本 A。

接著，對以與樣本 A 相同的方法製造的樣本以 650℃ 進行加熱處理。作為加熱處理，首先在氮氣圍下進行一個小時的加熱處理，然後不降低溫度地在氧氣圍下再進行一個小時的加熱處理。使用以此方式形成的樣本作為樣本 B。

第 28 圖顯示樣本 A 及樣本 B 的 XRD 波譜。在樣本 A 中沒有觀測到起因於結晶的峰值，但是在樣本 B 中當 2θ 為 35°附近及 37°至 38°時觀察到起因於結晶的峰值。

如上所述，藉由在沉積含有 In、Sn 和 Zn 作為主要成分之氧化物半導體膜期間刻意地加熱基板及 / 或藉由在沉積後進行加熱處理，可以提高電晶體的特性。

這些基板加熱和加熱處理具有不使膜中含有對於氧化物半導體膜來說是惡性雜質的氫和羥基的效果，或者從膜中去除氫和羥基的效果。亦即，藉由從氧化物半導體膜去除充作施體雜質的氫，能高度純度化氧化物半導體膜。再者，即便在氧化物半導體膜中產生氧空缺，仍可藉由在氧氣圍中進行加熱處理將氧供應到氧化物半導體膜及 / 或從基底絕緣膜供應到氧化物半導體膜。由此，電晶體可成為

常閉型的，且氧化物半導體的高純度以及供應氧能使電晶體的截止電流為 $1\text{ aA}/\mu\text{m}$ 以下。在此，截止電流的單位表示每微米通道寬度的電流值。

第 29 圖顯示電晶體的截止電流與測量截止電流時的基板溫度（絕對溫度）之倒數之間的關係。在第 29 圖中，爲了方便起見，水平軸表示測量時的基板溫度的倒數乘以 1000 而得到的數值（ $1000/T$ ）。

具體來說，如第 29 圖所示，當基板溫度分別為 125°C 、 85°C 和室溫（ 27°C ）時，截止電流會是 $1\text{ aA}/\mu\text{m}$ （ $1\times 10^{-18}\text{ A}/\mu\text{m}$ ）以下、 $100\text{ zA}/\mu\text{m}$ （ $1\times 10^{-19}\text{ A}/\mu\text{m}$ ）以下、和 $1\text{ zA}/\mu\text{m}$ （ $1\times 10^{-21}\text{ A}/\mu\text{m}$ ）以下。分別在 125°C 、 85°C 和室溫下的截止電流最好是 $0.1\text{ aA}/\mu\text{m}$ （ $1\times 10^{-19}\text{ A}/\mu\text{m}$ ）以下、 $10\text{ zA}/\mu\text{m}$ （ $1\times 10^{-20}\text{ A}/\mu\text{m}$ ）或更小、和 $0.1\text{ zA}/\mu\text{m}$ （ $1\times 10^{-22}\text{ A}/\mu\text{m}$ ）以下。

爲了防止形成氧化物半導體膜期間氫或水分進入膜中，最好藉由充分抑制來自沉積室外部的洩漏或來自沉積室內壁的脫氣來提高濺射氣體的純度。例如，爲了防止水分被包含在膜中，最好使用露點為 -70°C 以下的氣體作為濺射氣體。另外，最好使用被高純度化以不含有如氫或水分之雜質的靶材。雖然可能藉由加熱處理去除含有 In、Sn、Zn 作為主要成分的氧化物半導體膜之膜中的水分，但因為從含有 In、Sn、Zn 作為主要成分的氧化物半導體膜中釋放水的溫度比從有 In、Ga、Zn 作為主要成分的氧化物半導體膜中釋放水的溫度高，所以最好形成原本就不含有水分的膜。

在形成氧化物半導體膜之後進行 650°C 的加熱處理的樣本 B 的電晶體中，評估基板溫度與電特性之間的關係。

具有第 24A 圖所示之結構的電晶體係用於測量。電晶體的通道長度 L 為 $3\mu\text{m}$ ，通道寬度 W 為 $10\mu\text{m}$ ， L_{ov} 為 $0\mu\text{m}$ ，及 dW 為 $0\mu\text{m}$ 。請注意 V_d 係設為 10V 。請注意基板溫度為 -40°C 、 -25°C 、 25°C 、 75°C 、 125°C 及 150°C 。

第 30 圖顯示 I_d （實線）及場效移動率（虛線）的 V_g 依賴性。第 31A 圖顯示基板溫度與臨界電壓的關係，而第 31B 圖顯示基板溫度與場效移動率的關係。

根據第 31A 圖可知基板溫度越高臨界電壓越低。請注意臨界電壓在 -40°C 至 150°C 的範圍內從 1.09V 降至 -0.23V 。

根據第 31B 圖可知基板溫度越高場效移動率越低。請注意移動率在 -40°C 至 150°C 的範圍內從 $36\text{cm}^2/\text{Vs}$ 降至 $32\text{cm}^2/\text{Vs}$ 。由此，可知在上述溫度範圍內電特性的變動很小。

在對通道形成區使用包括含有 In 、 Sn 、 Zn 作為主要成分的氧化物半導體的電晶體中，在將截止電流保持為 $1\text{aA}/\mu\text{m}$ 以下可得到 $30\text{cm}^2/\text{Vs}$ 以上，最好是 $40\text{cm}^2/\text{Vs}$ 以上，更好是 $60\text{cm}^2/\text{Vs}$ 以上的場效移動率，使得有可能達到 LSI 所要求的導通電流值。例如，在 L/W 為 $33\text{nm}/40\text{nm}$ 的 FET 中，當閘極電壓為 2.7V 且汲極電壓為 1.0V 時，能流過 $12\mu\text{A}$ 以上的導通電流。另外，在電晶體的運作所需要的溫度範圍內能確保足夠的電特性。當使用具有上述結

構之電晶體作為記憶體電路之電晶體時，可實現夠高的運作速度。

本實施例能適當地結合任何其他實施例來實作。

（實施例 9）

在本實施例中，將舉出包括根據本發明之一實施例之記憶體電路的電子裝置以降低功率耗損的說明。尤其是在不易連續接收電力之可攜式電子裝置的例子中，加入根據本發明之一實施例之具有低功率耗損的記憶體電路作為裝置的構件時，可能實現增加連續作業時間的優點。

根據本發明的一實施例的記憶體電路可被用於顯示裝置、個人電腦、或裝有記錄媒體之影像再生裝置（代表性地，再生如數位多用途碟（DVD）之記錄媒體的內容及具有用以顯示所再生的影像之顯示器的裝置）。可裝有根據本發明的一實施例之記憶體電路的電子裝置的其他例子，包括行動電話、包括可攜式遊戲機的遊戲機、可攜式資訊端點、電子書閱讀器、攝影機、數位靜止相機、護目鏡型顯示器（頭戴式顯示器）、導航系統、聲頻再生裝置（例如，車用音訊系統和數位音訊播放器）、複印機、傳真機、列印機、多功能列印機、自動提款機（ATM）、自動販賣機等等。

將參考第 14 圖及第 15 圖來說明根據本發明之一實施例的記憶體電路應用在如行動電話、智慧型手機、及電子書閱讀器的可攜式電子裝置上之例子。

第 14 圖係一可攜式電子裝置之方塊圖。第 14 圖所示之可攜式電子裝置包括一 RF 電路 901、一類比基頻電路 902、一數位基頻電路 903、一電池 904、一電源電路 905、一應用處理器 906、一快閃記憶體 910、一顯示控制器 911、一記憶體電路 912、一顯示器 913、一觸控感應器 919、一音頻電路 917、一鍵盤 918 等等。顯示器 913 包括一顯示部 914、一源極驅動器 915、及一閘極驅動器 916。應用處理器 906 包括一 CPU 907、一 DSP 908、及一介面 (IF) 909。將以上實施例所述之記憶體電路用於例如 CPU 907，使能降低功率耗損。

第 15 圖係一電子書閱讀器之方塊圖。電子書閱讀器包括一電池 1001、一電源電路 1002、一微處理器 1003、一快閃記憶體 1004、一音頻電路 1005、一鍵盤 1006、一記憶體電路 1007、一觸控面板 1008、一顯示器 1009、及一顯示控制器 1010。微處理器 1003 包括一 CPU 1011、一 DSP 1012、及一介面 1013。又，將以上實施例所述之記憶體電路用於例如 CPU 1011，使能降低功率耗損。

本實施例能適當地結合任何其他實施例來實作。

本申請書係基於 2011/5/13 向日本專利局申請的日本專利申請書第 2011-107831 號，特此須合併參考其全部內容。

【圖式簡單說明】

在附圖中：

第 1 圖繪示一記憶體電路的配置；

第 2 圖係顯示一記憶體電路之驅動方法的時序圖；

第 3 圖係顯示一記憶體電路之驅動方法的時序圖；

第 4 圖繪示一記憶體電路的配置；

第 5 圖繪示一記憶體電路的配置；

第 6 圖繪示一記憶體電路的配置；

第 7 圖繪示一記憶體處理單元的配置；

第 8 圖繪示一 CPU 的配置；

第 9A 至 9C 圖繪示一可用於記憶體電路的電晶體之形成方法；

第 10A 至 10C 圖繪示一可用於記憶體電路的電晶體之形成方法；

第 11A 至 11C 圖繪示一可用於記憶體電路的電晶體之形成方法；

第 12 圖係一可用於記憶體電路的電晶體之剖面圖；

第 13A 至 13D 圖各係一可用於記憶體電路的電晶體之剖面圖；

第 14 圖係一可攜式電子裝置的方塊圖；

第 15 圖係一可攜式電子裝置的方塊圖；

第 16 圖顯示由計算求得之移動率的閘極電壓依賴性；

第 17A 至 17C 圖各顯示由計算求得之汲極電流和移動率的閘極電壓依賴性；

第 18A 至 18C 圖各顯示由計算求得之汲極電流和移動

率的閘極電壓依賴性；

第 19A 至 19C 圖各顯示由計算求得之汲極電流和移動率的閘極電壓依賴性；

第 20A 及 20B 圖繪示用於計算之電晶體的剖面結構；

第 21A 至 21E 圖各繪示根據本發明之一實施例之氧化物材料的結構；

第 22A 至 22C 圖繪示根據本發明之一實施例之氧化物材料的結構；

第 23A 至 23C 圖繪示根據本發明之一實施例之氧化物材料的結構；

第 24A 圖係一電晶體的平面圖且第 24B 圖係其之剖面圖；

第 25A 至 25C 圖各顯示電晶體之特性；

第 26A 及 26B 圖各顯示電晶體之特性；

第 27A 及 27B 圖各顯示電晶體之特性；

第 28 圖顯示氧化物半導體膜的 XRD 波譜；

第 29 圖顯示電晶體的截止電流；

第 30 圖顯示電晶體之特性；及

第 31A 及 31B 圖各顯示基板溫度與場效移動率的關係。

【主要元件符號說明】

100：記憶體電路

102：第一記憶體電路

104：第二記憶體電路

108：第一開關

110：第二開關

106：相位反向器電路

112：第一電晶體

114：電容器

116：第二電晶體

118：第三電晶體

OS：氧化物半導體

IN：輸入信號

CLK：時脈信號

Vdd：電源電壓

CLKB：時脈反向信號

OUT：輸出信號

Na：節點 a

Nb：節點 b

Nc：節點 c

120：第四電晶體

122：第五電晶體

124：電晶體

126：電晶體

128：電晶體

130：電晶體

132：電晶體

134 : 電 晶 體
136 : 電 晶 體
138 : 電 晶 體
140 : 電 晶 體
142 : 電 晶 體
200 : 記 憶 體 電 路
240 : 相 位 反 向 器 電 路
242 : 第 一 開 關
246 : 第 二 電 路
244 : 第 一 記 憶 體 電 路
248 : 第 二 記 憶 體 電 路
202 : 電 晶 體
204 : 電 晶 體
206 : 電 晶 體
208 : 電 晶 體
210 : 電 晶 體
212 : 電 晶 體
214 : 電 晶 體
216 : 電 晶 體
218 : 電 晶 體
220 : 電 晶 體
222 : 電 晶 體
224 : 電 晶 體
226 : 電 晶 體

228 : 電 晶 體

230 : 電 晶 體

232 : 電 晶 體

234 : 電 晶 體

236 : 電 晶 體

150 : 記 憶 體 處 理 單 元

151 : 算 術 電 路

152 : 算 術 電 路

153 : 記 憶 體 電 路

154 : 記 憶 體 電 路

155 : 記 憶 體 電 路

156 : 控 制 電 路

157 : 電 源 控 制 電 路

9900 : 基 板

9901 : 算 術 邏 輯 單 元

9902 : ALU 控 制 器

9903 : 指 令 解 碼 器

9904 : 中 斷 控 制 器

9905 : 時 序 控 制 器

9906 : 暫 存 器

9907 : 暫 存 器 控 制 器

9908 : 匯 流 排 介 面

9909 : 可 複 寫 ROM

9920 : ROM 介 面

CLK1：時脈信號

CLK2：時脈信號

700：基板

701：絕緣膜

702：半導體膜

703：閘絕緣膜

704：閘絕緣電極

705：雜質區

706：通道形成區

707：絕緣膜

708：絕緣膜

709：氧化物半導體膜

710：導電膜

711：導電膜

712：閘絕緣膜

713：閘絕緣膜

714：導電膜

715：絕緣膜

801：電晶體

802：絕緣膜

803：氧化物半導體膜

804：源極

805：汲極

806：閘絕緣膜

807：閘極
 808：高濃度區域
 809：通道形成區
 811：電晶體
 812：絕緣膜
 813：氧化物半導體膜
 814：源極
 815：汲極
 816：閘絕緣膜
 817：閘極
 818：高濃度區域
 819：通道形成區
 821：電晶體
 822：絕緣膜
 823：氧化物半導體膜
 824：源極
 825：汲極
 826：閘絕緣膜
 827：閘極
 828：高濃度區域
 829：低濃度區域
 830：側壁
 831：通道形成區
 841：電晶體

- 842：絕緣膜
- 843：氧化物半導體膜
- 844：源極
- 845：汲極
- 846：閘絕緣膜
- 847：閘極
- 848：高濃度區域
- 849：低濃度區域
- 850：側壁
- 851：通道形成區
- 901：RF 電路
- 902：類比基頻電路
- 903：數位基頻電路
- 904：電池
- 905：電源電路
- 906：應用處理器
- 907：CPU
- 908：DSP
- 909：介面
- 910：快閃記憶體
- 911：顯示控制器
- 912：記憶體電路
- 913：顯示器
- 914：顯示部

915：源極驅動器

916：閘極驅動器

917：音頻電路

918：鍵盤

919：觸控感應器

1001：電池

1002：電源電路

1003：微處理器

1004：快閃記憶體

1005：音頻電路

1006：鍵盤

1007：記憶體電路

1008：觸控面板

1009：顯示器

1010：顯示控制器

1001：CPU

1012：DSP

1013：介面

501：基底絕緣膜

502：嵌入絕緣膜

503a：半導體區

503b：半導體區

503c：半導體區

504：閘絕緣膜

505：閘極

506a：側壁絕緣膜

506b：側壁絕緣膜

507：絕緣膜

508a：源極

508b：汲極

600：基板

602：基底絕緣膜

606：氧化物半導體膜

608：閘絕緣膜

610：閘極

614：電極

616：層間絕緣膜

618：佈線

620：保護膜

七、申請專利範圍：

1. 一種記憶體電路，包含：

一第一記憶體電路；

一第二記憶體電路；

一第一開關；

一第二開關；及

一電路，組態以輸出一輸入信號之反相信號，

其中該第一記憶體電路包含一第一電晶體、一第二電晶體、一第三電晶體、及一電容器，

其中該第一電晶體包含一氧化物半導體膜，

其中該第一電晶體之源極和汲極之一者係連接一第一信號線，且該第一電晶體之該源極和該汲極之另一者係連接該電容器之一電極和該第二電晶體的閘極，

其中該電容器之另一電極係接地，

其中該第一電晶體之閘極係連接一第二信號線，

其中該電路之輸入端係連接該第二信號線，且該電路之輸出端係連接該第一開關之輸入端，

其中該電路之第一端係連接一電源供應線，且該電路之第二端係接地，

其中該第一開關之第一端係連接該電源供應線，該第一開關之第二端係連接該第二電晶體之源極和汲極之一者，且該第二電晶體之該源極和該汲極之另一者係接地，

其中該第三電晶體之閘極係連接該第二電晶體之該閘極，該第三電晶體之源極和汲極之一者係連接該電源供應

線，且該第三電晶體之該源極和該汲極之另一者係連接該第一開關的輸出端，

其中該第二開關之第一端係連接該電路之該輸出端，且該第二開關之第二端係連接該第二信號線，且

其中該第一開關之該輸出端係通過該第二開關連接該第二記憶體電路。

2. 一種記憶體電路，包含：

一第一記憶體電路；

一第二記憶體電路；

一第一開關；

一第二開關；及

一電路，組態以輸出一輸入信號之反相信號，

其中該第一記憶體電路包含一第一電晶體、一電容器、一第二電晶體、及一第三電晶體，

其中該第一開關包含一第四電晶體和一第五電晶體，

其中該第一電晶體包含一氧化物半導體，

其中該第一電晶體之源極和汲極之一者係連接一第一信號線，且該第一電晶體之該源極和該汲極之另一者係連接該電容器之一電極和該第二電晶體的閘極，

其中該電容器之另一電極係接地，

其中該第一電晶體之閘極係連接一第二信號線，

其中該電路之輸入端係連接該第二信號線，且該電路之輸出端係連接該第四電晶體之閘極和該第五電晶體之閘極，

其中該電路之第一端係連接一電源供應線，且該電路之第二端係接地，

其中該第四電晶體之源極和汲極之一者係連接該電源供應線，該第四電晶體之該源極和該汲極之另一者係連接該第五電晶體之源極和汲極之一者，該第五電晶體之該源極和該汲極之另一者係連接該第二電晶體之源極和汲極之一者，且該第二電晶體之該源極和該汲極之另一者係接地，

其中該第三電晶體之閘極係連接該第二電晶體之該閘極，該第三電晶體之源極和汲極之一者係連接該電源供應線，且該第三電晶體之該源極和該汲極之另一者係連接該第四電晶體之該源極和該汲極之另一者與該第五電晶體之該源極和該汲極之一者，

其中該第二開關之第一端係連接該電路之該輸出端，且該第二開關之第二端係連接該第二信號線，且

其中該第四電晶體之該源極和該汲極之另一者與該第五電晶體之該源極和該汲極之一者係透過該第二開關連接該第二記憶體電路。

3. 一種記憶體電路，包含：

一第一電晶體，包含一氧化物半導體，其中該第一電晶體之源極和汲極之一者係電性連接一第一信號線，且該第一電晶體之閘極係電性連接一第二信號線；

一第二電晶體，其中該第二電晶體之閘極係電性連接該第一電晶體之該源極和該汲極之另一者，且該第二電晶

體之源極和汲極之一者係電性連接一第一電源供應線；

一第三電晶體，其中該第三電晶體之閘極係電性連接該第一電晶體之該源極和該汲極之另一者，且該第三電晶體之源極和汲極之一者係電性連接一第二電源供應線；

一第四電晶體，其中該第四電晶體之源極和汲極之一者係電性連接該第二電源供應線；

一第五電晶體，其中該第五電晶體之閘極係電性連接該第四電晶體之閘極，該第五電晶體之源極和汲極之一者係電性連接該第三電晶體之該源極和該汲極之另一者與該第四電晶體之該源極和該汲極之另一者，且該第五電晶體之該源極和該汲極之另一者係電性連接該第二電晶體之該源極和該汲極之另一者，且

一電容器，其中該電容器之一電極係電性連接該第一電晶體之該源極和該汲極之另一者，且該電容器之另一電極係電性連接該第一電源供應線。

4. 如申請專利範圍第 1、2 及 3 項中任一項所述之記憶體電路，其中該第一電晶體包含一含有 In、Ga、和 Zn 的氧化物半導體材料。

5. 如申請專利範圍第 1、2 及 3 項中任一項所述之記憶體電路，其中該第一電晶體包含一含有 In、Sn、和 Zn 的氧化物半導體材料。

6. 如申請專利範圍第 3 項所述之記憶體電路，更包含一開關以及一透過該開關電性連接該第三電晶體之該源極和該汲極之另一者的一記憶體電路。

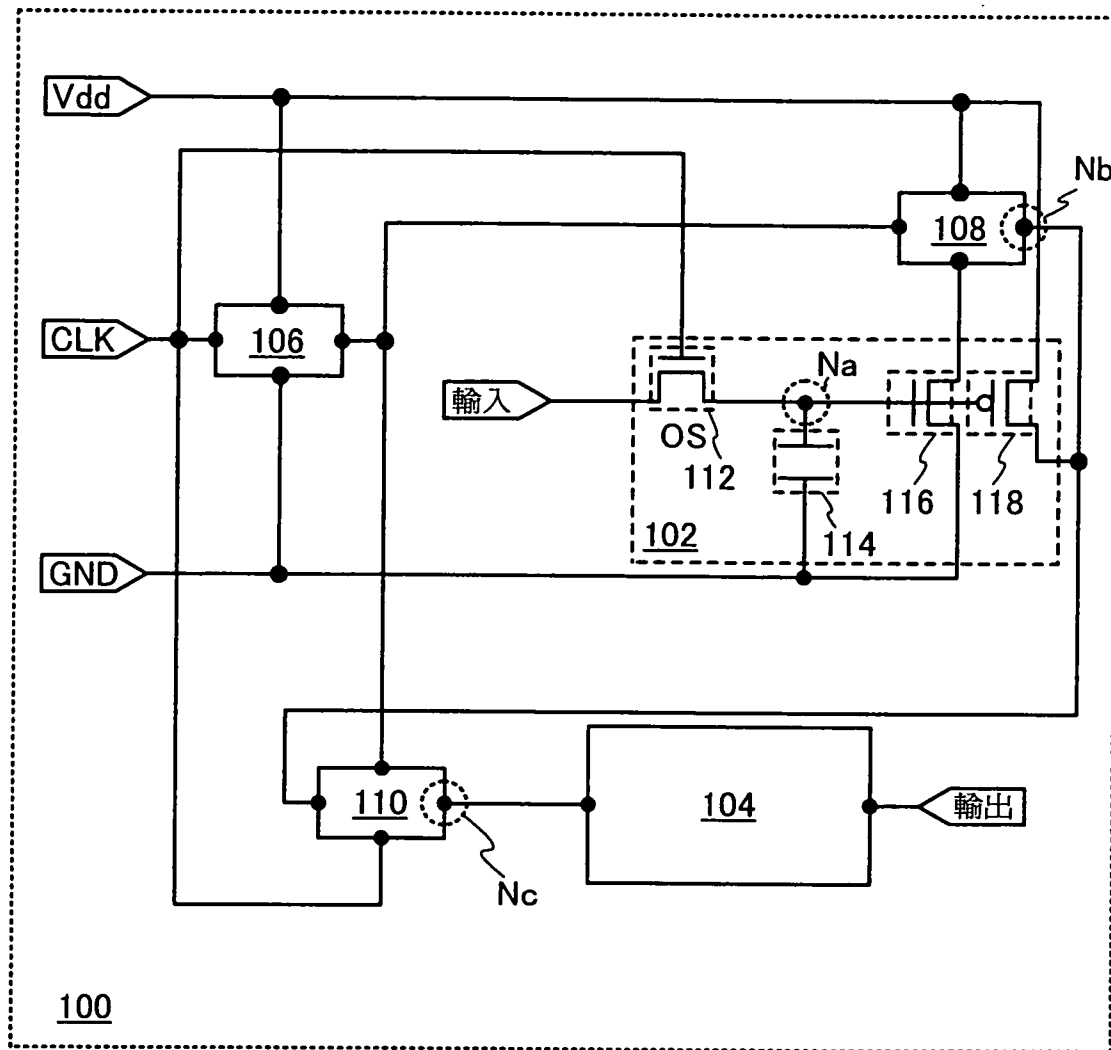
7. 如申請專利範圍第 3 項所述之記憶體電路，更包含一電路，其電性連接該第四電晶體之該閘極和該第五電晶體之該閘極，其中該電路組態以輸出一輸入信號之反相信號。

8. 如申請專利範圍第 3 項所述之記憶體電路，其中該第二電晶體和該第四電晶體係 n 通道電晶體，且其中該第三電晶體和該第五電晶體係 p 通道電晶體。

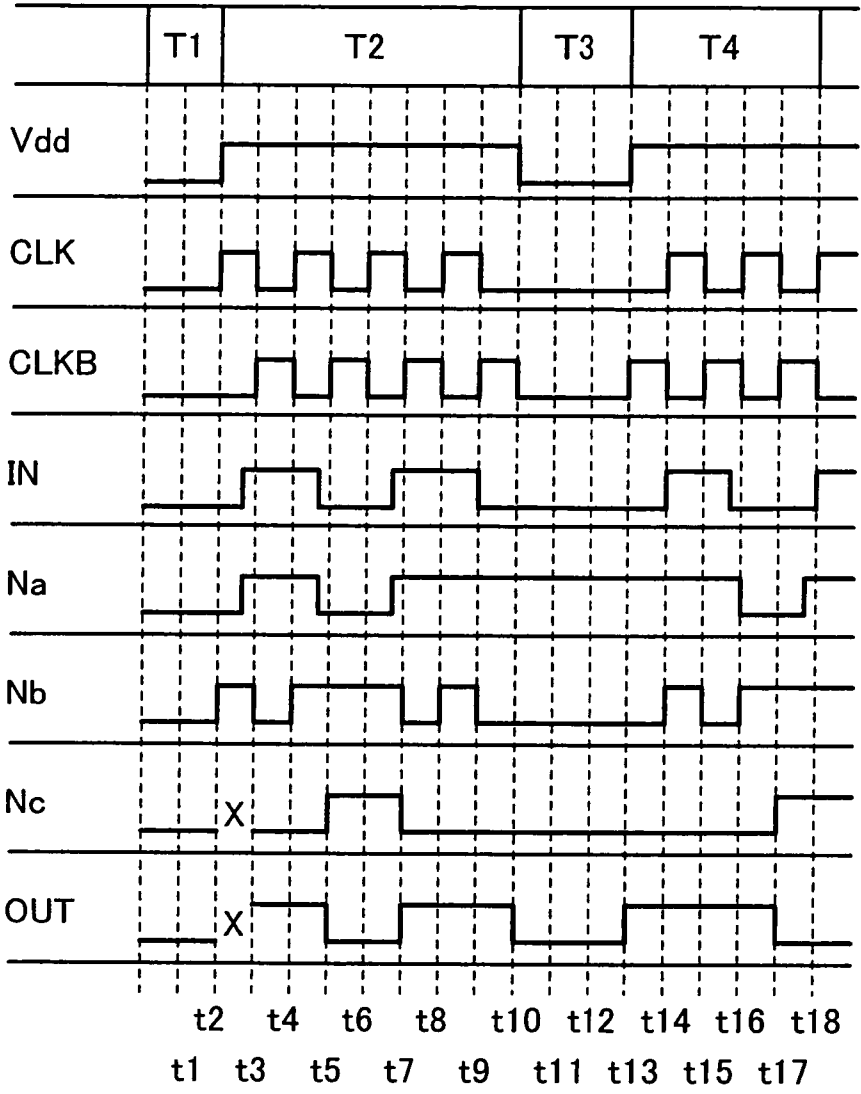
9. 一種電子裝置，包含：

如申請專利範圍第 1、2 及 3 項中任一項所述之記憶體電路。

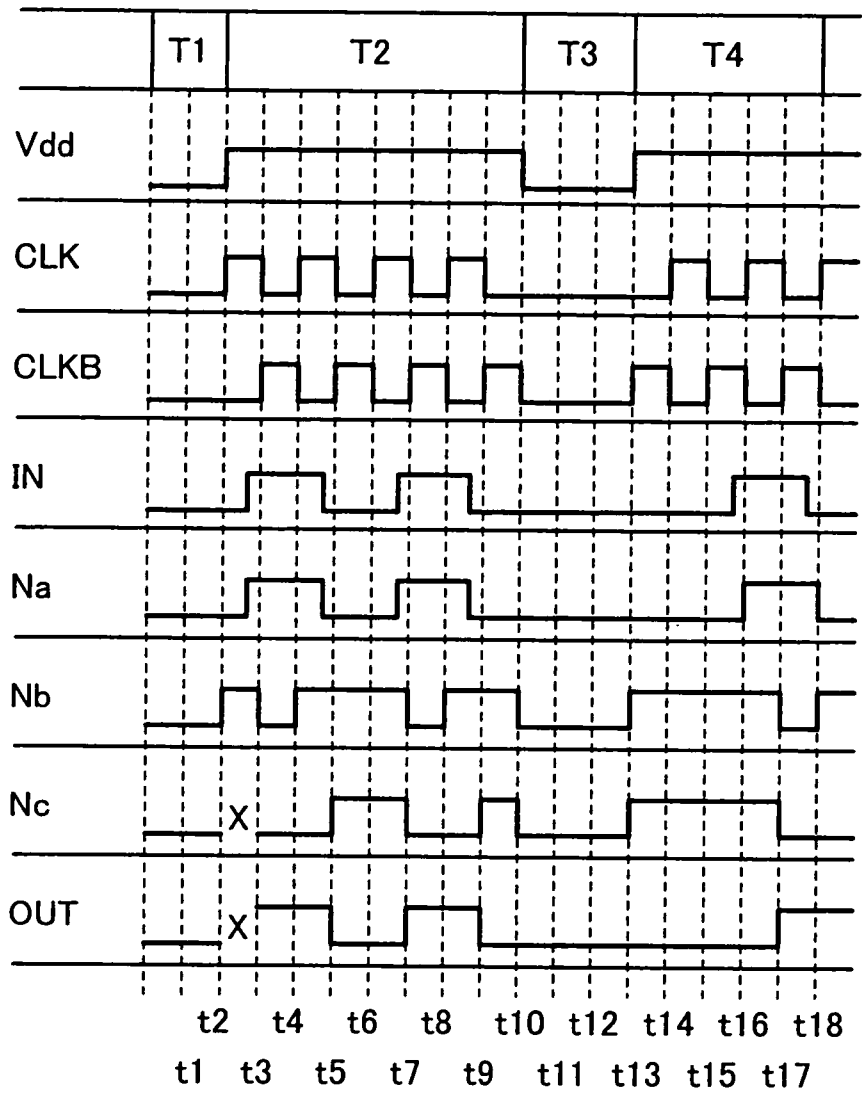
第1圖



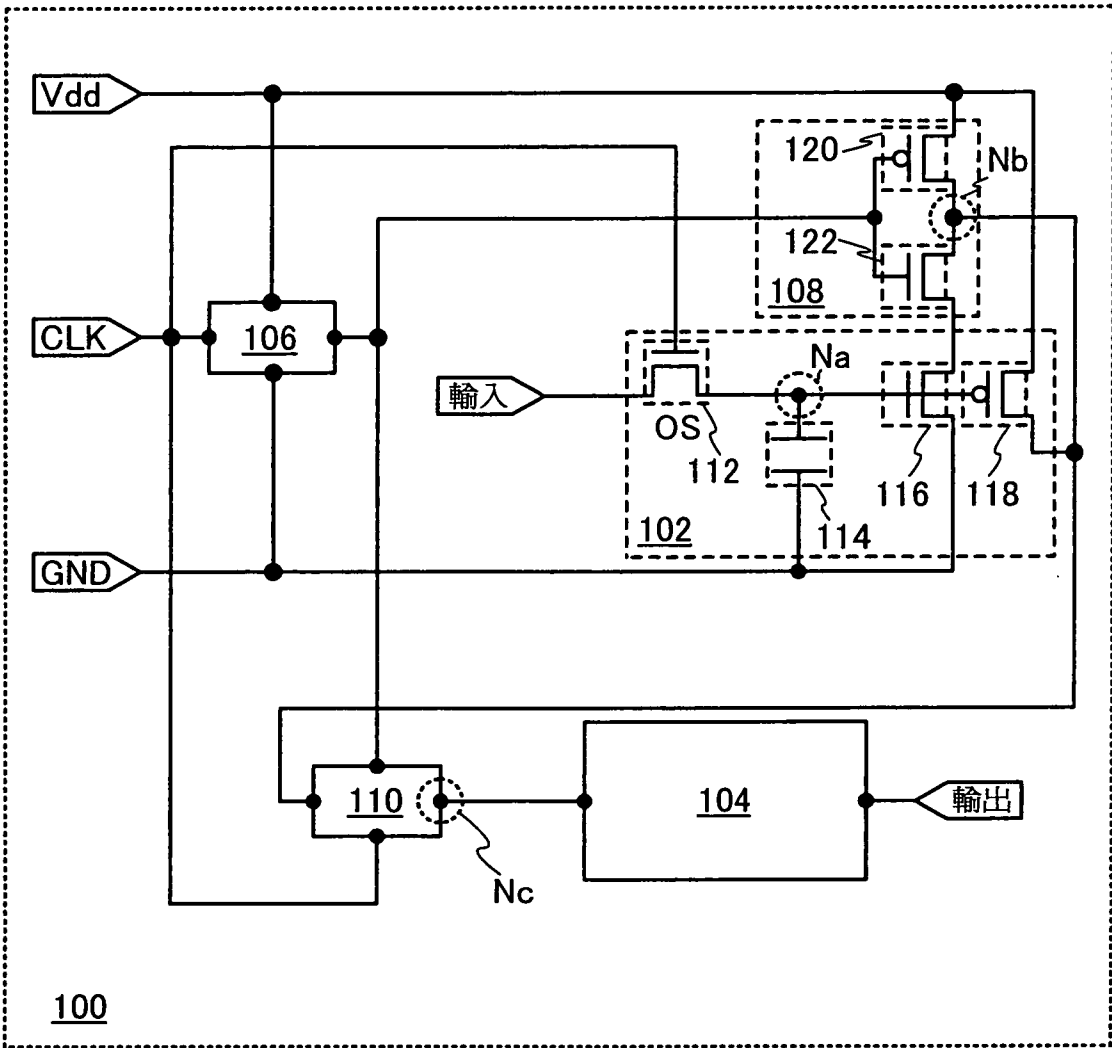
第2圖



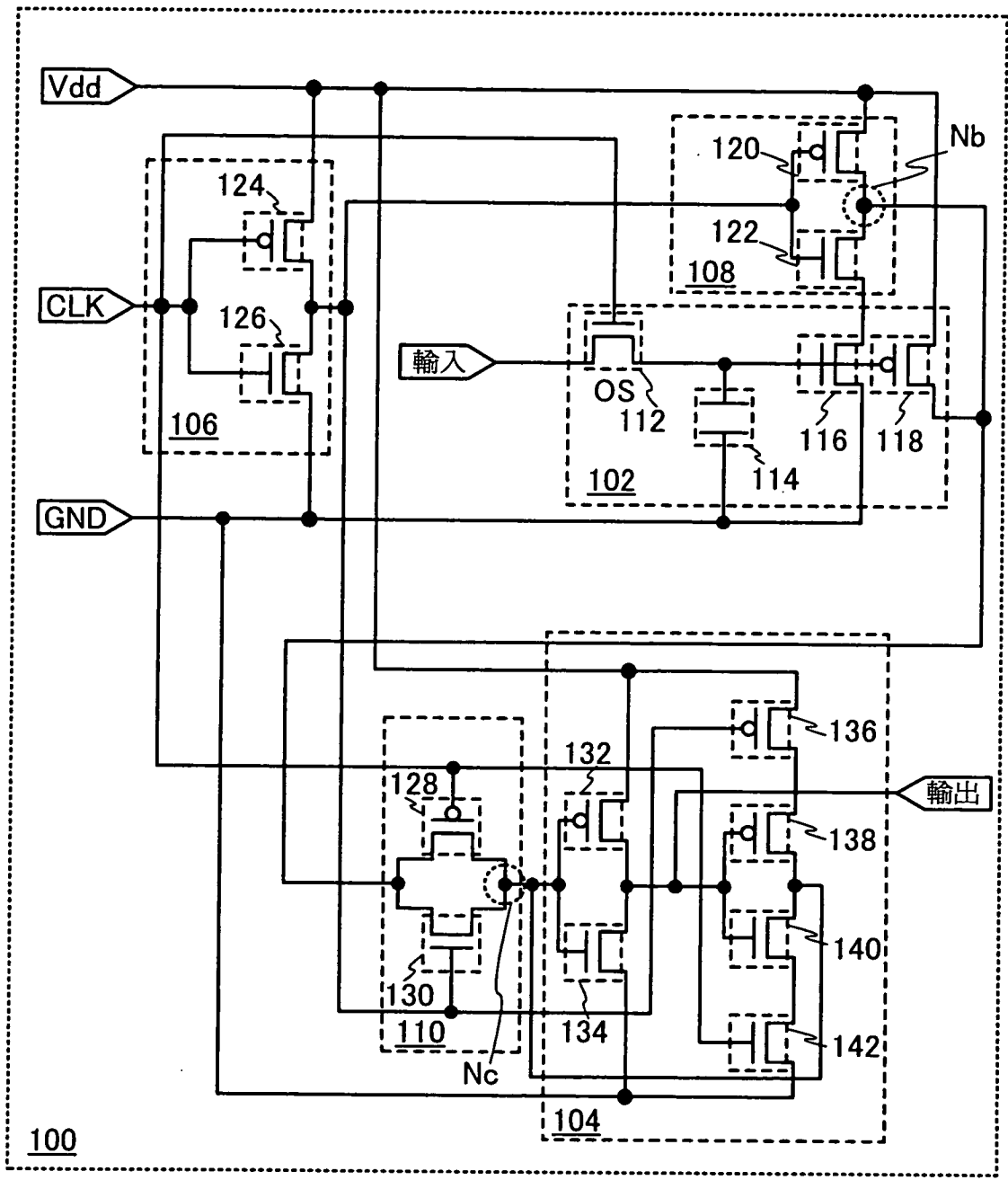
第3圖



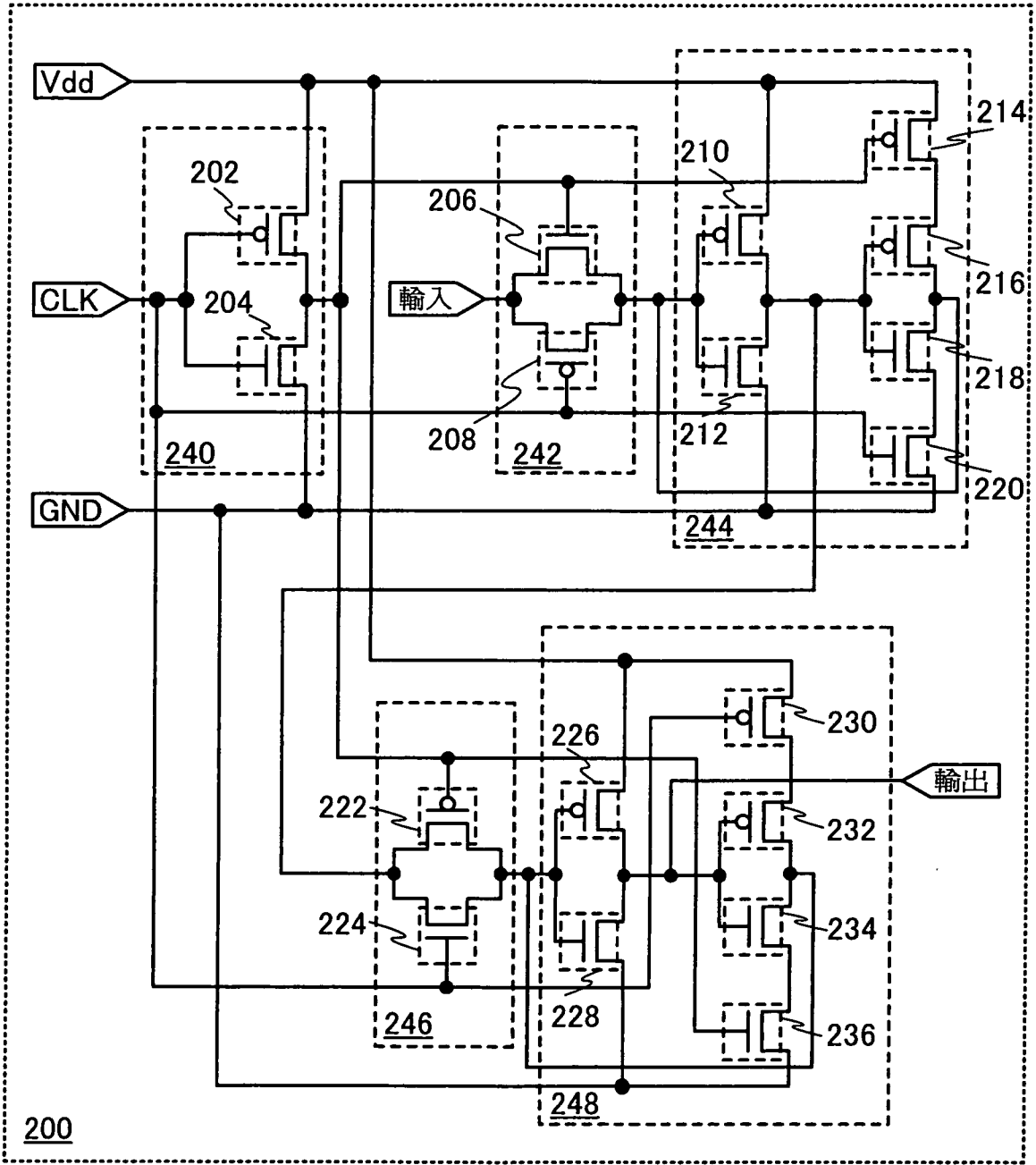
第4圖



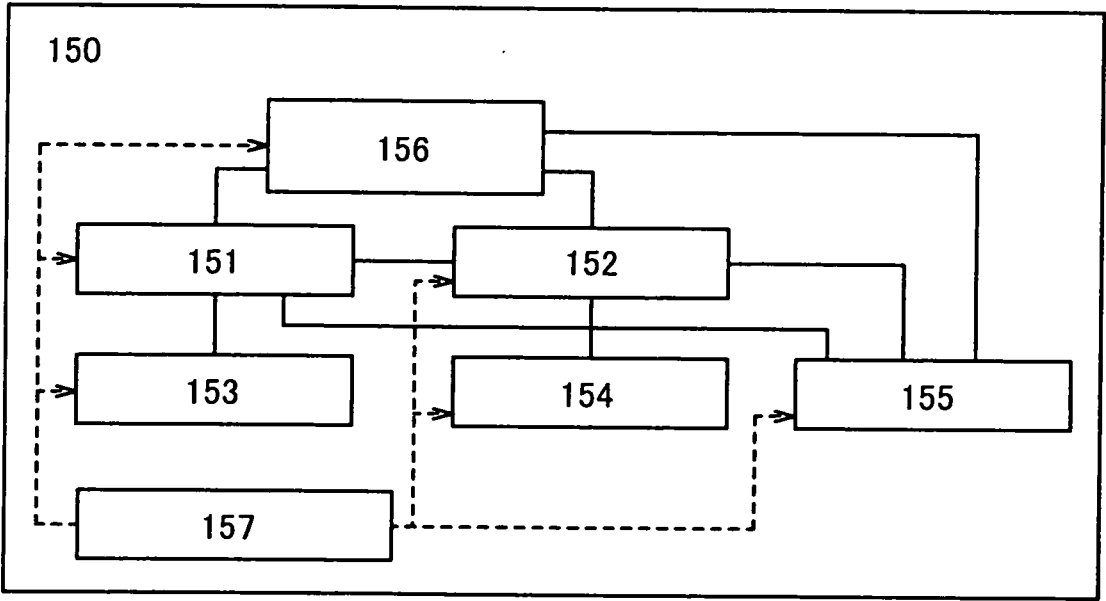
第5圖



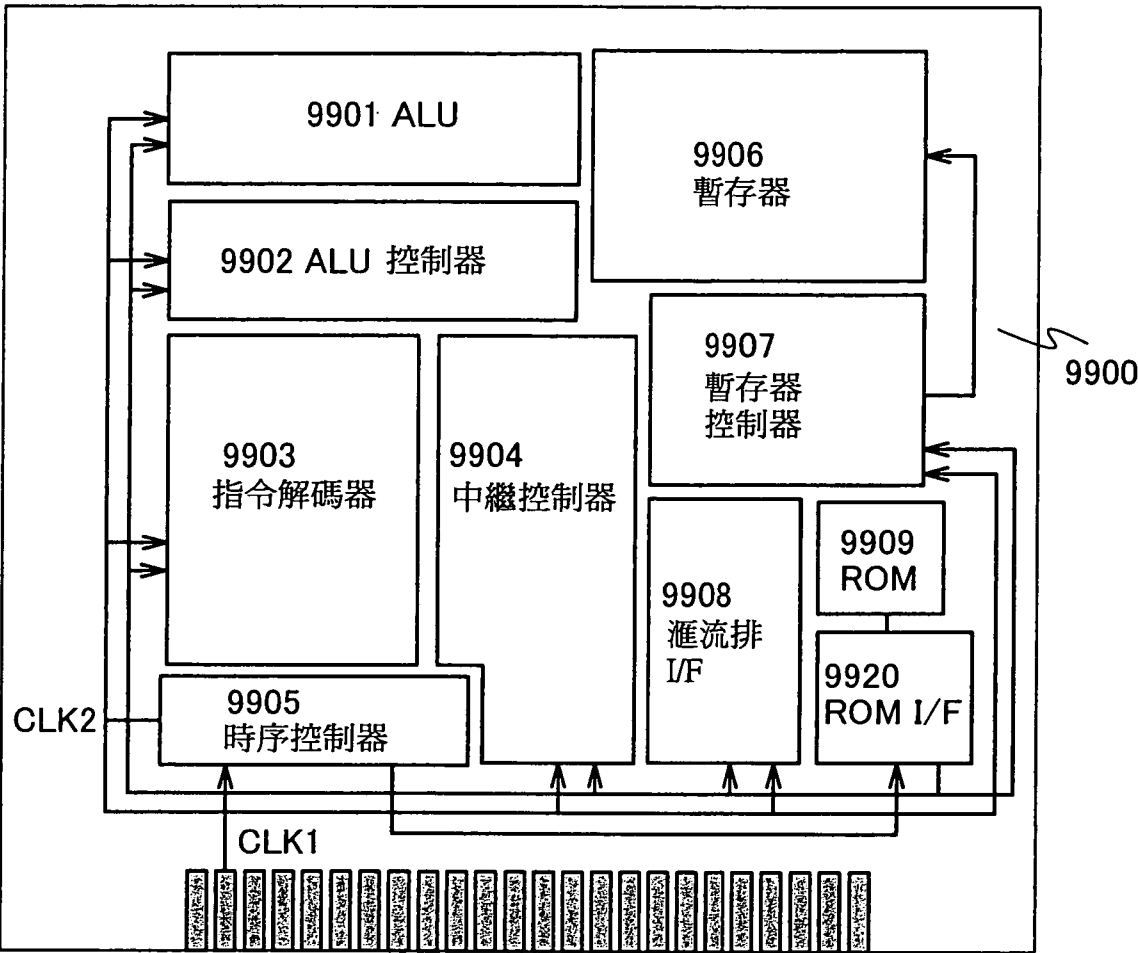
第6圖



第7圖



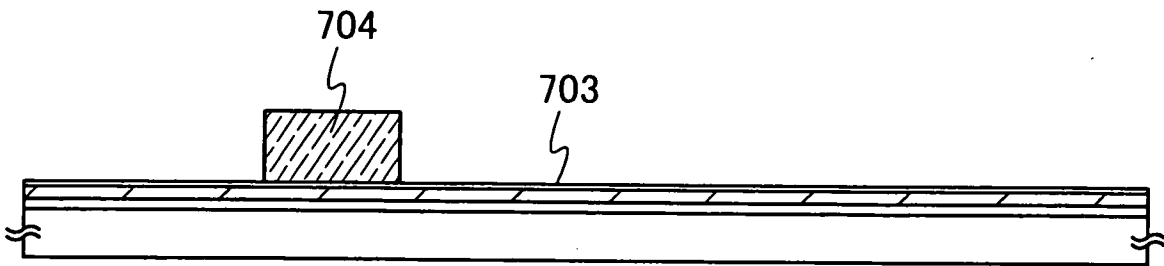
第8圖



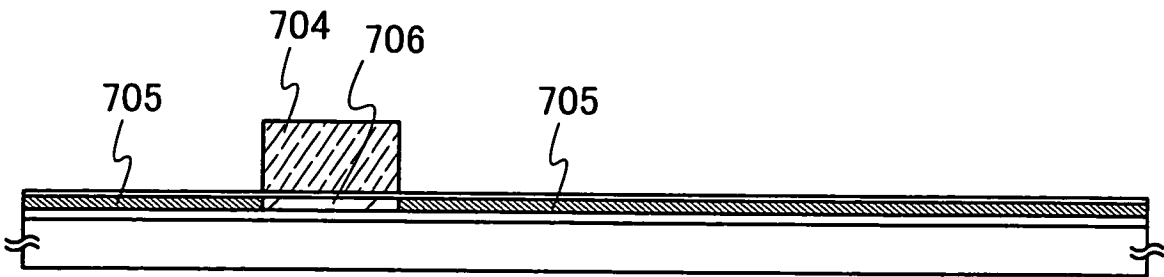
第9A圖



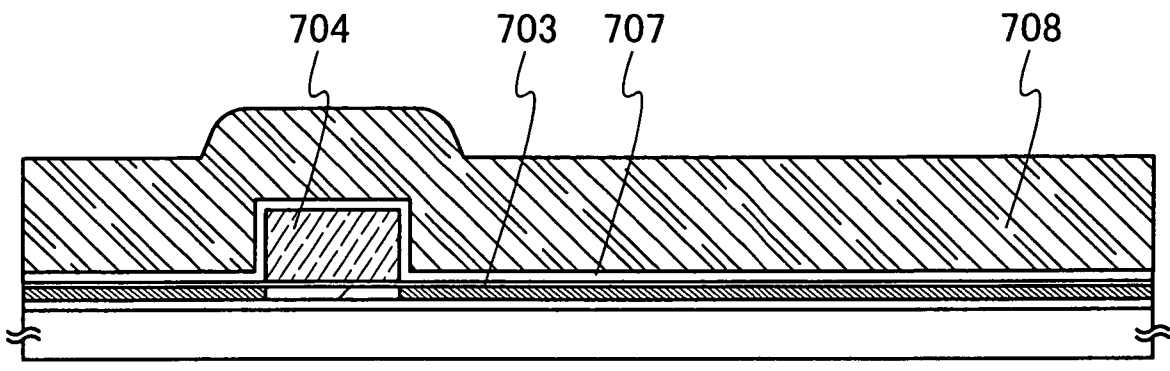
第9B圖



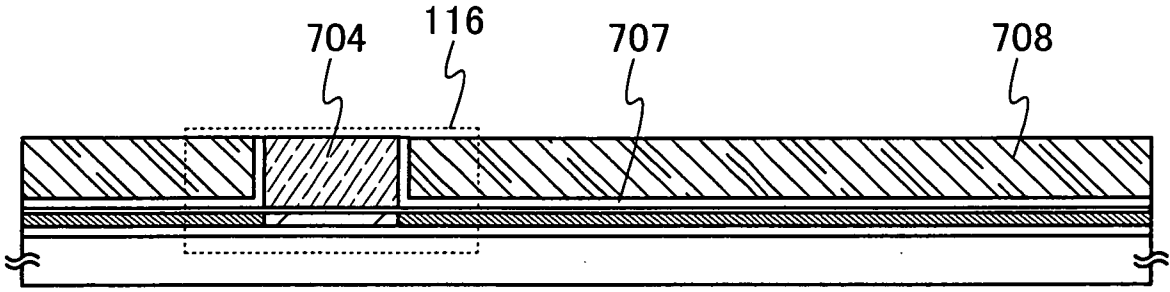
第9C圖



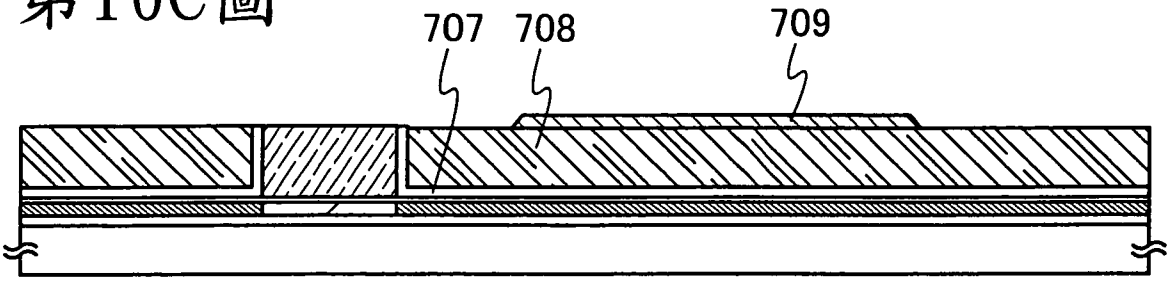
第10A圖



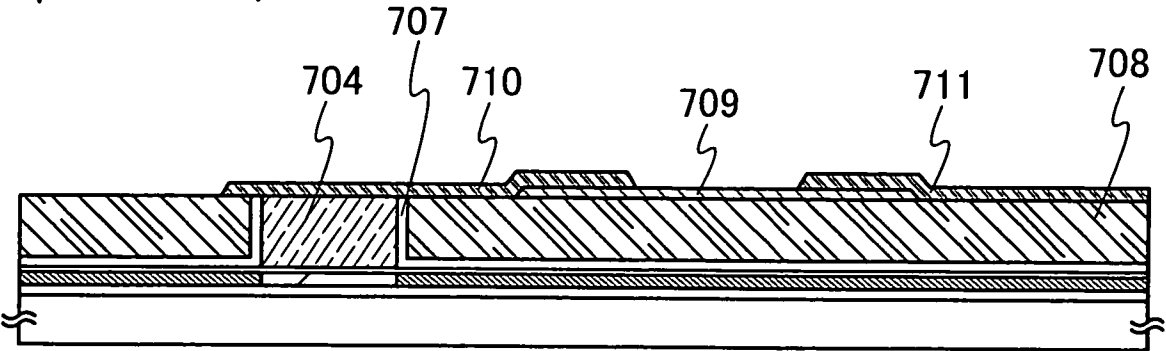
第10B圖



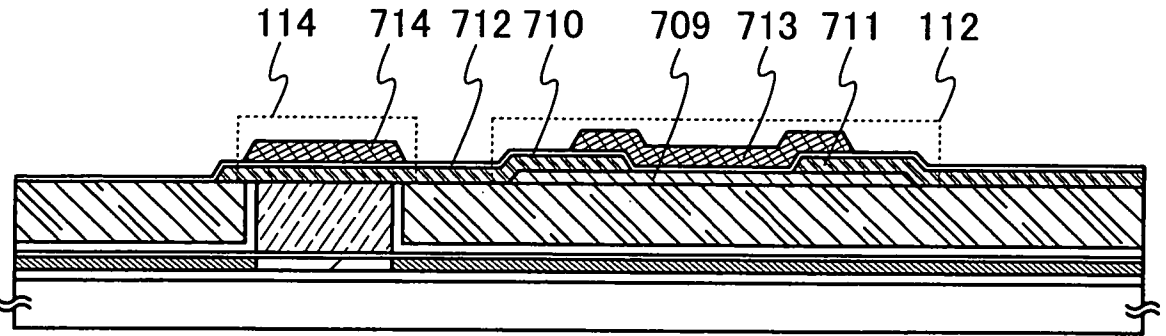
第10C圖



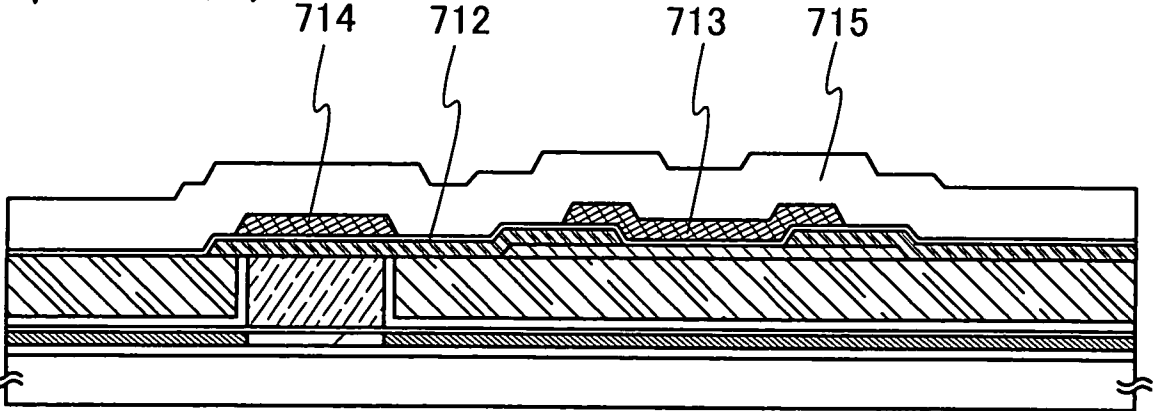
第11A圖



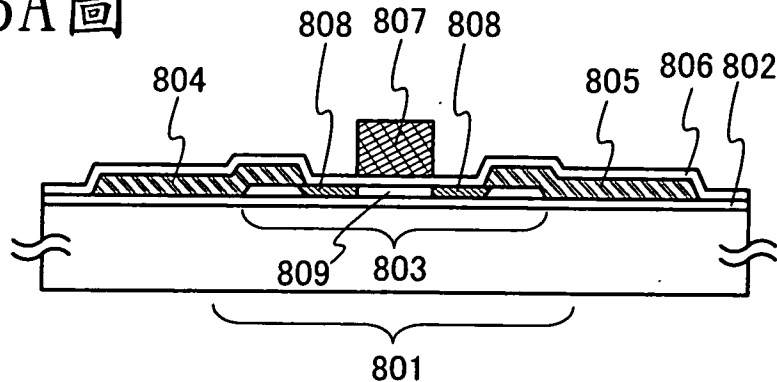
第11B圖



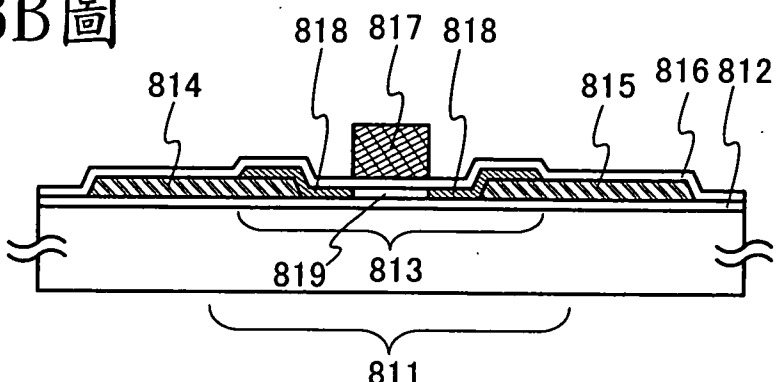
第11C圖



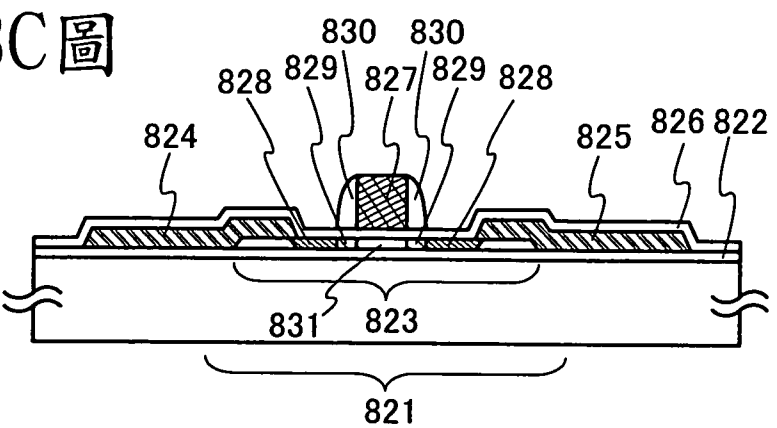
第13A圖



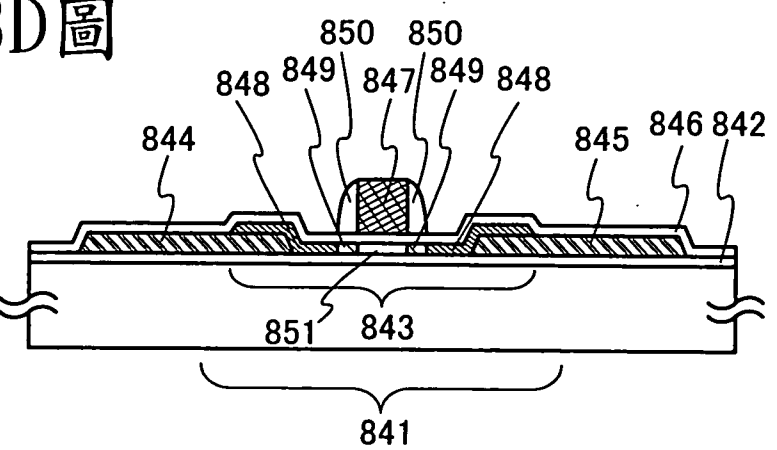
第13B圖



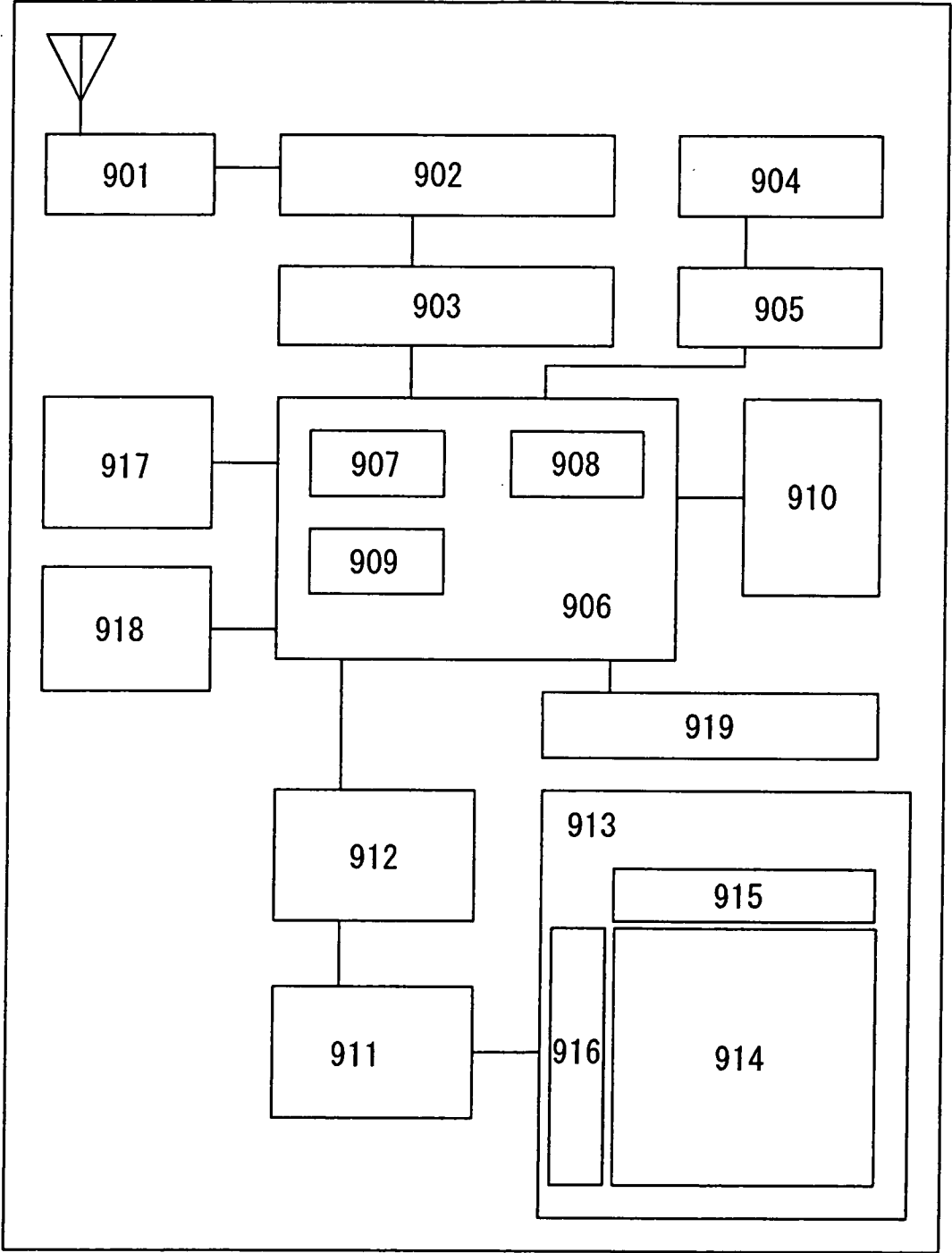
第13C圖



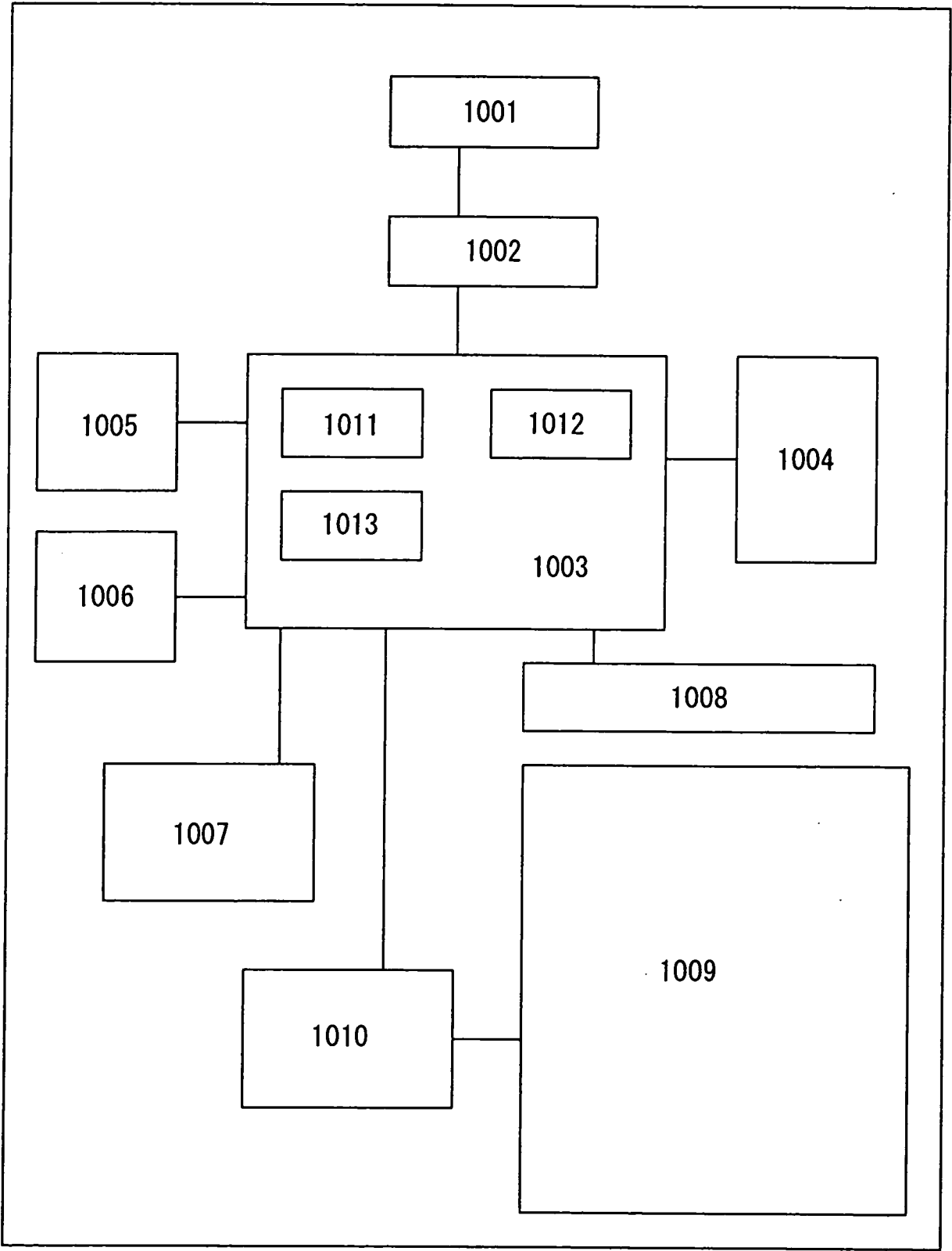
第13D圖



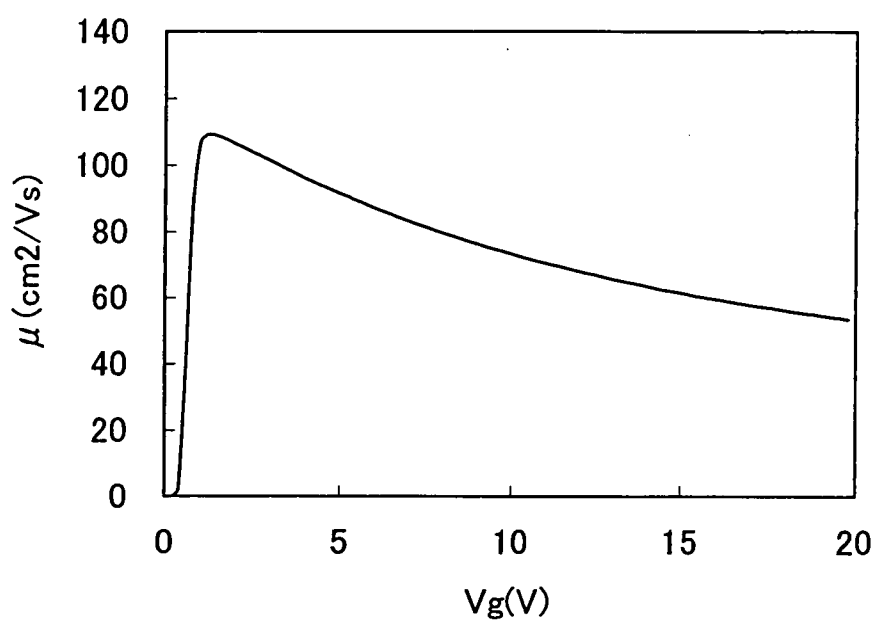
第14圖



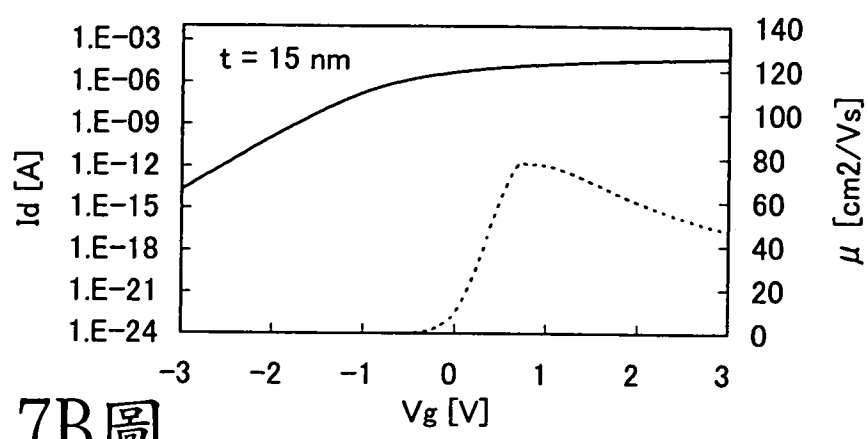
第15圖



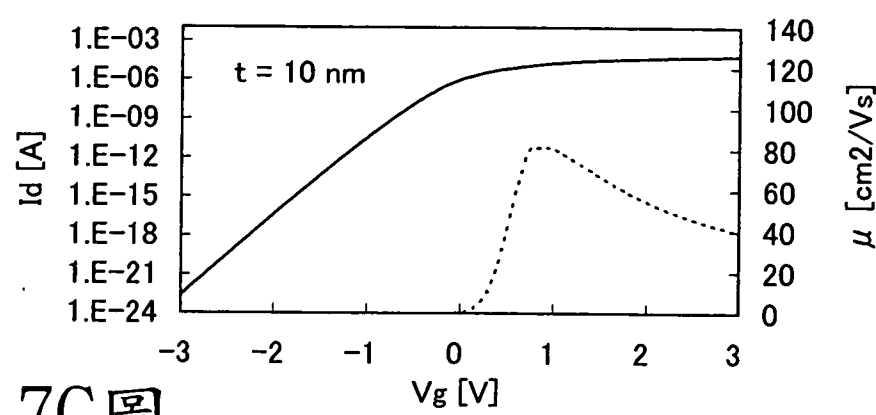
第16圖



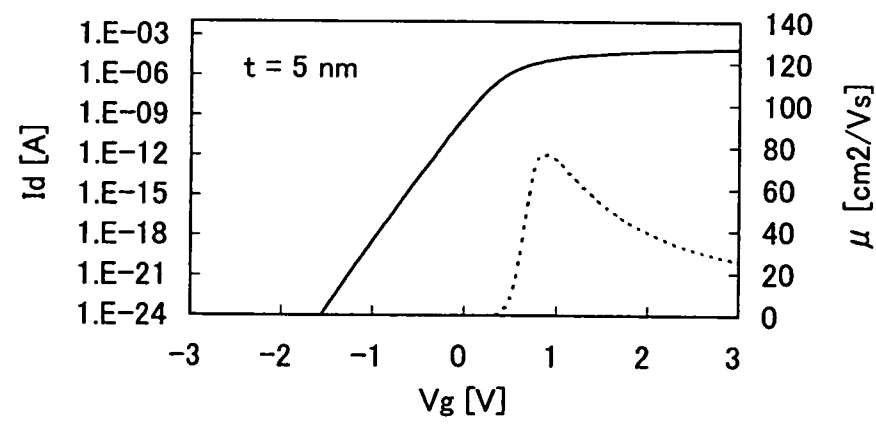
第17A圖



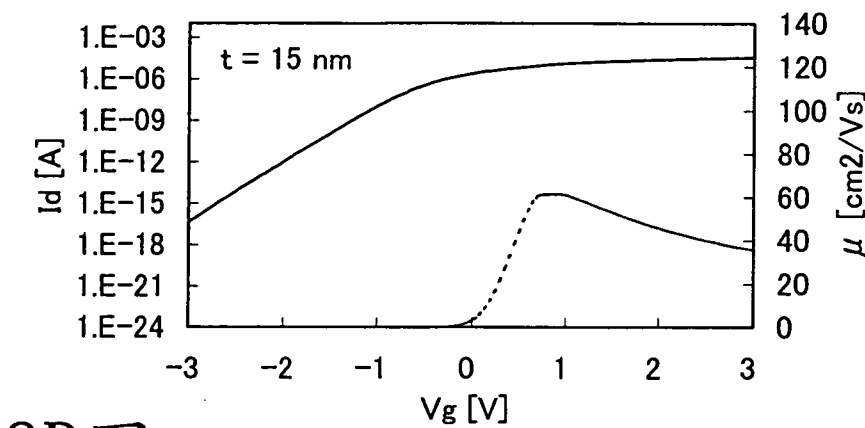
第17B圖



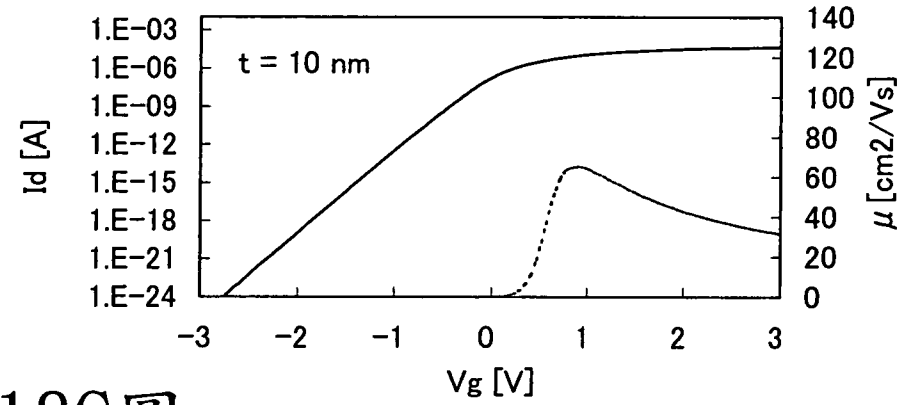
第17C圖



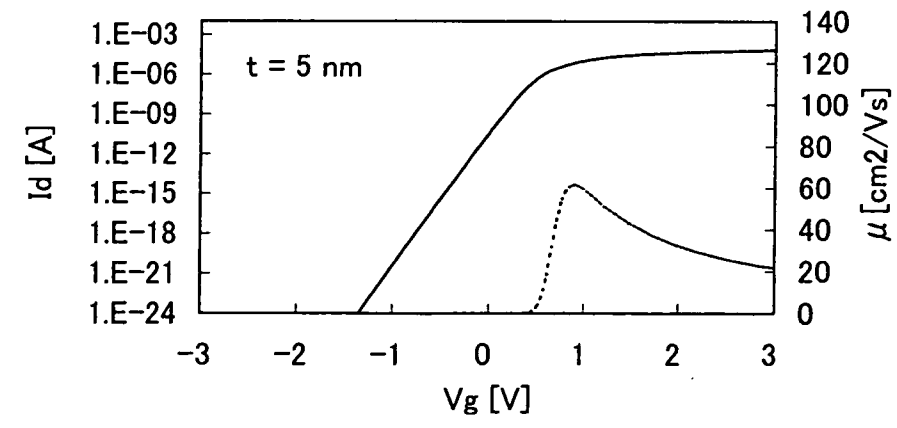
第18A圖



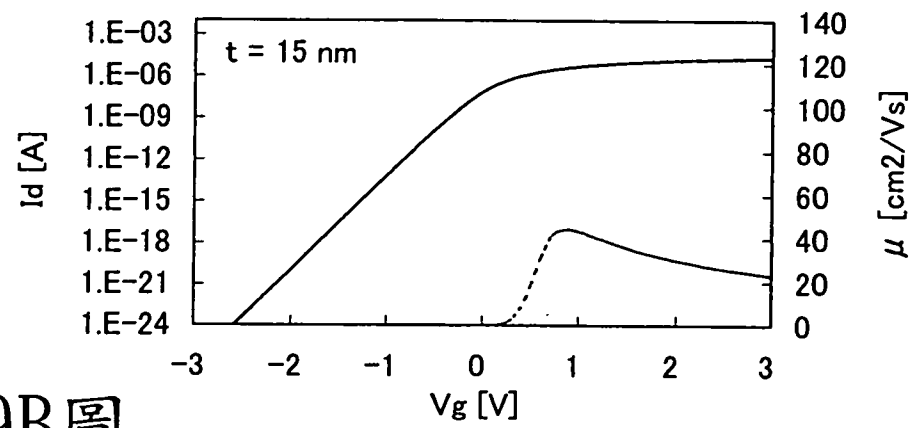
第18B圖



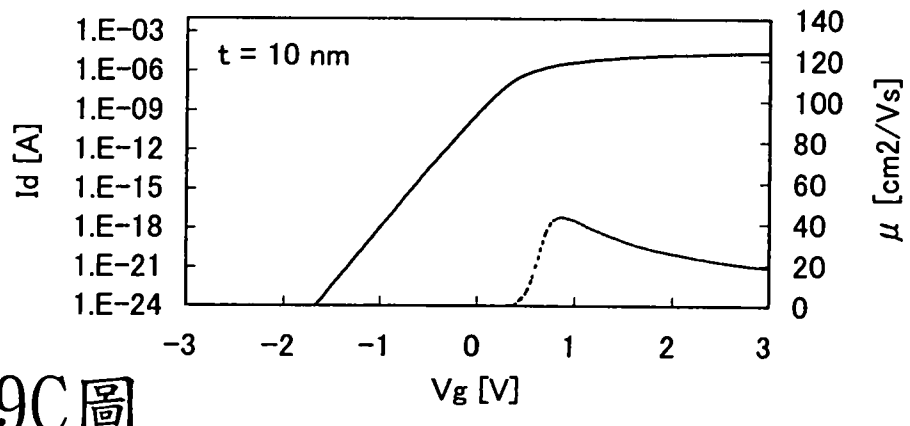
第18C圖



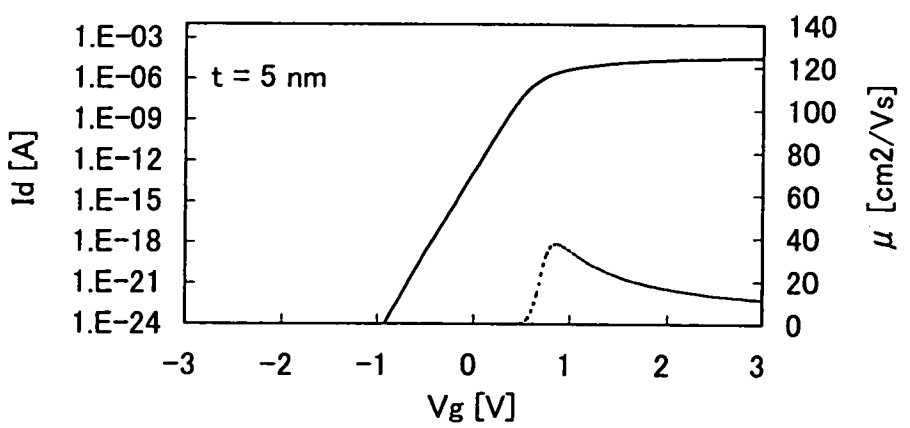
第19A圖



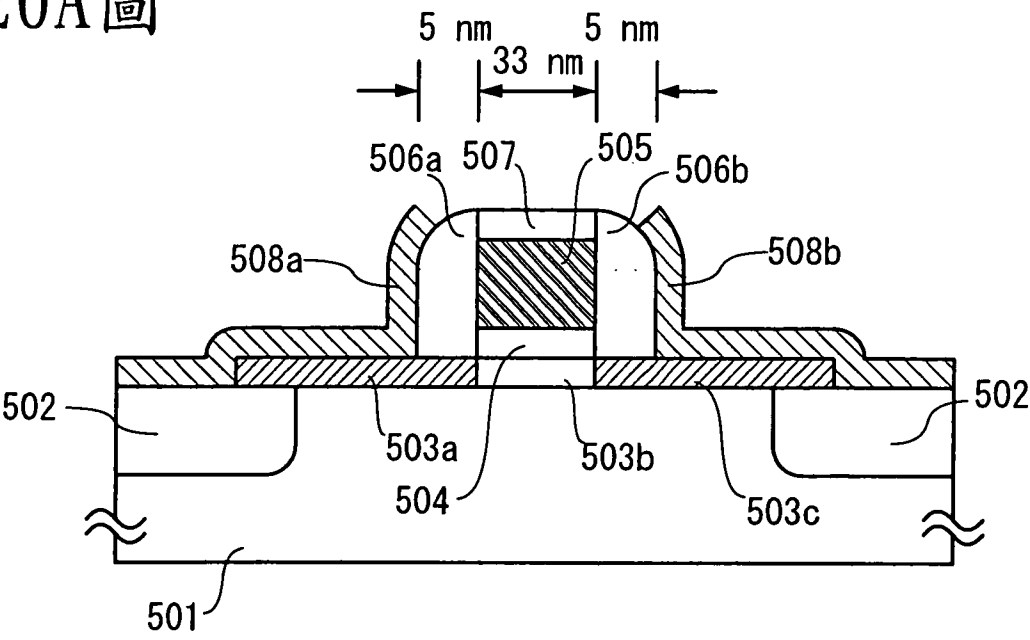
第19B圖



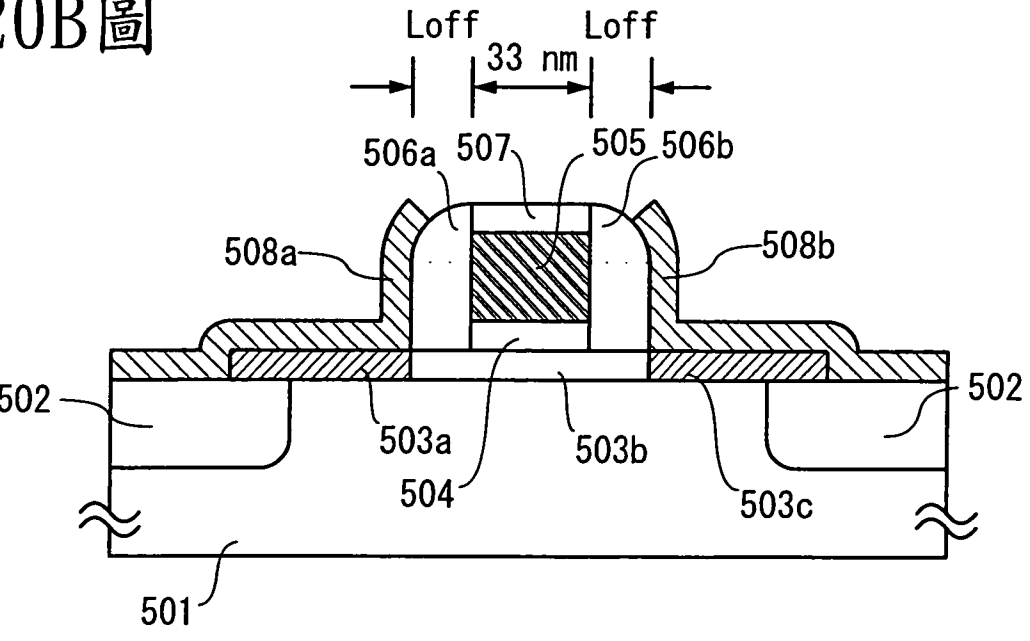
第19C圖



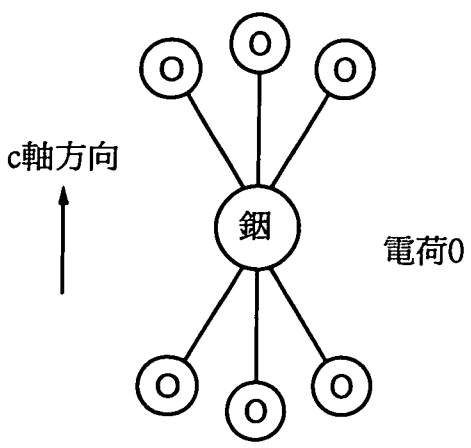
第20A圖



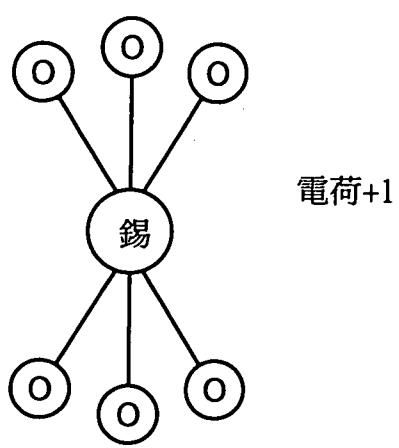
第20B圖



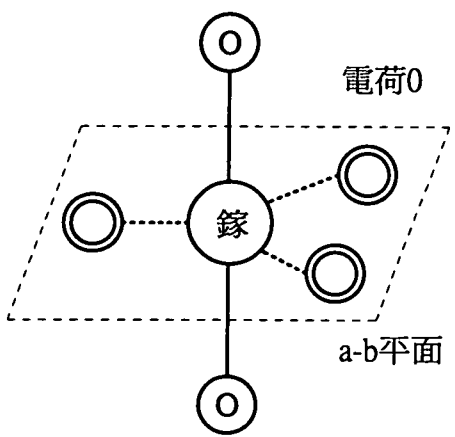
第21A圖



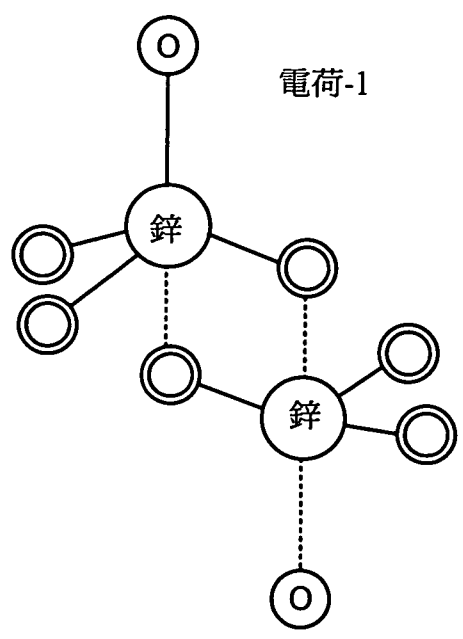
第21D圖



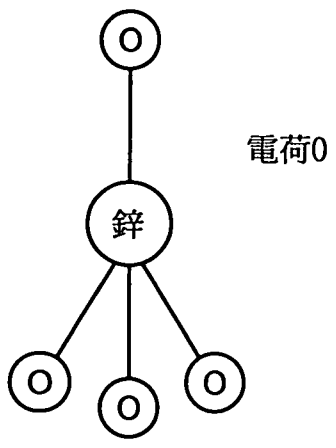
第21B圖



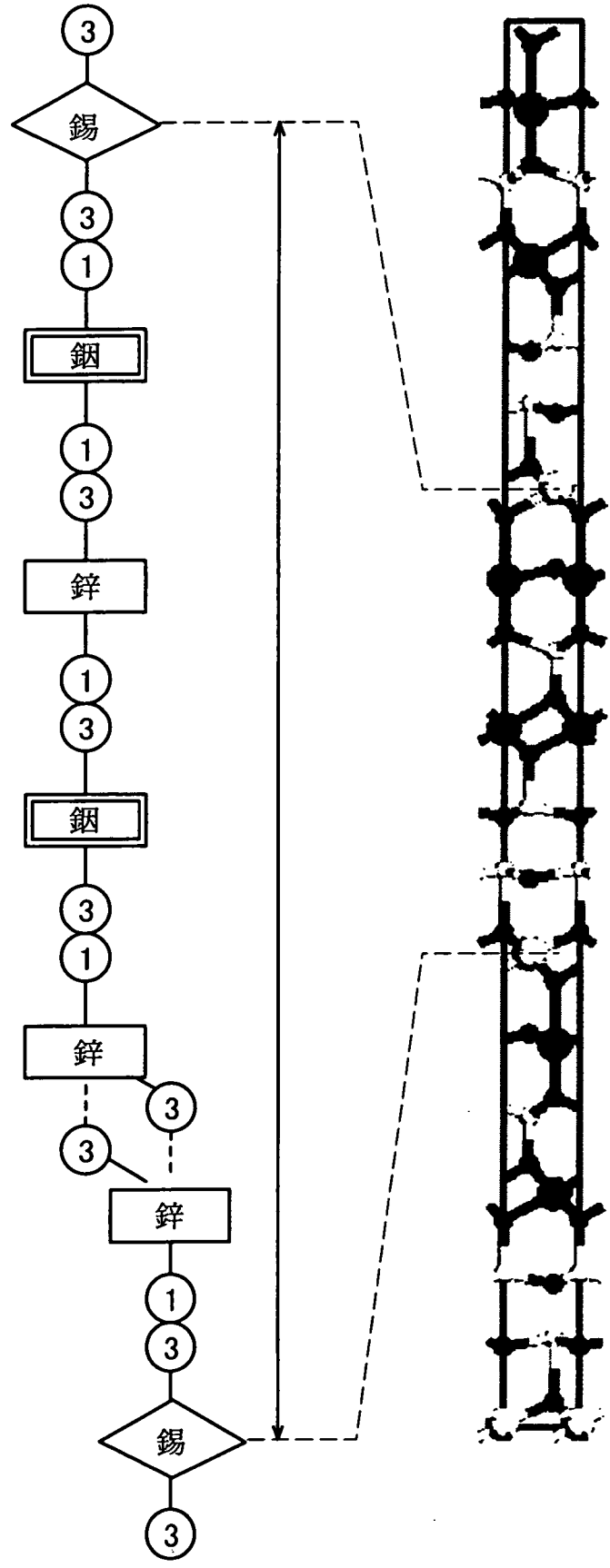
第21E圖



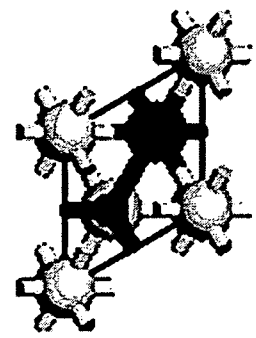
第21C圖



第22A圖 第22B圖



第22C圖

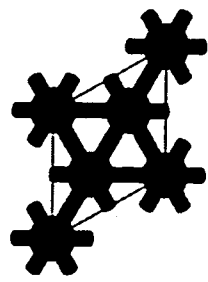
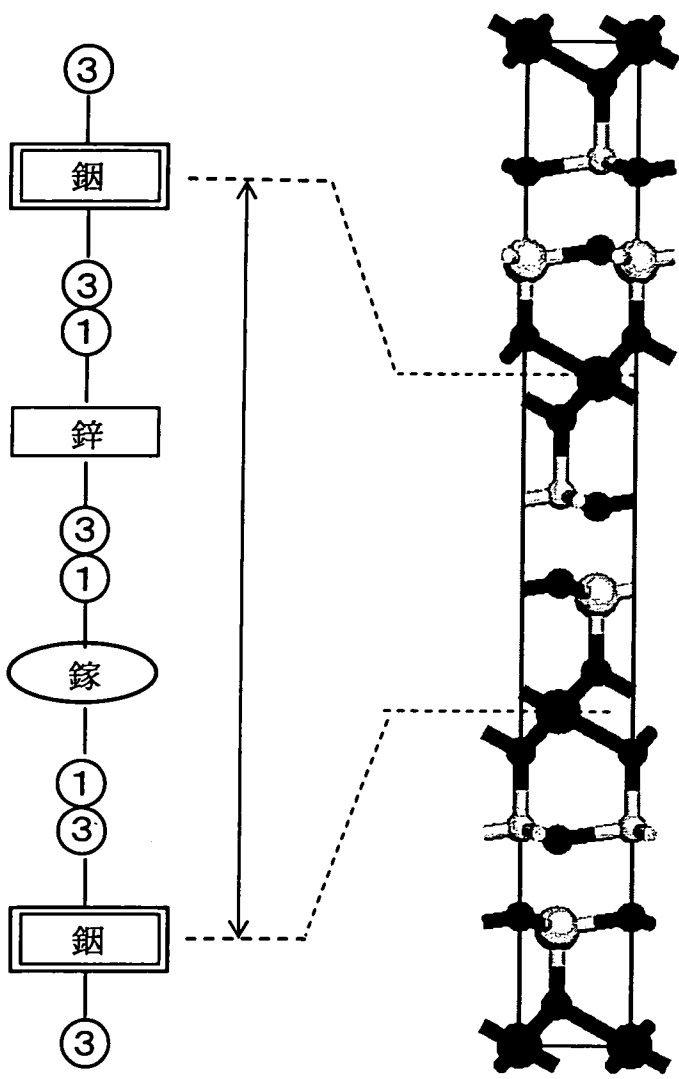


- 銨
- 錫
- 鋅
- 0

第23A圖

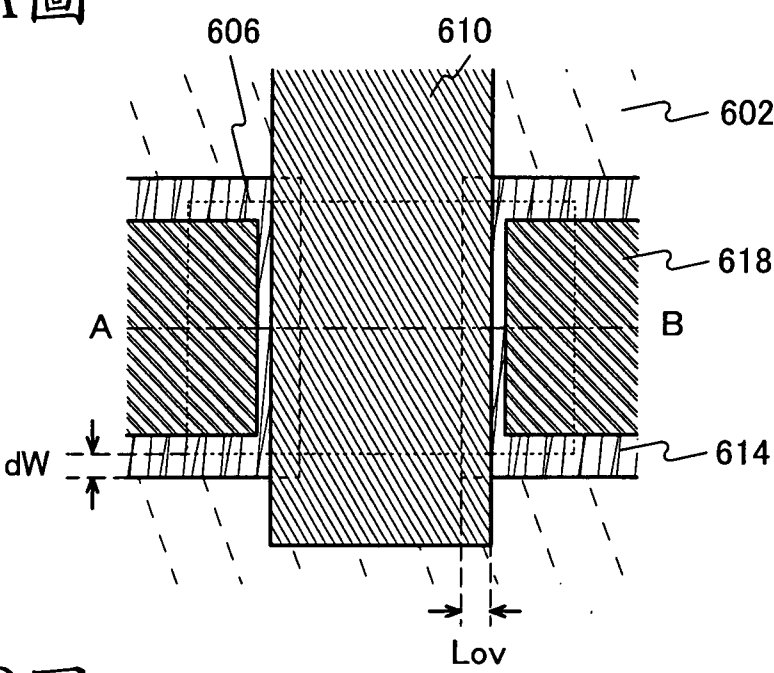
第23B圖

第23C圖

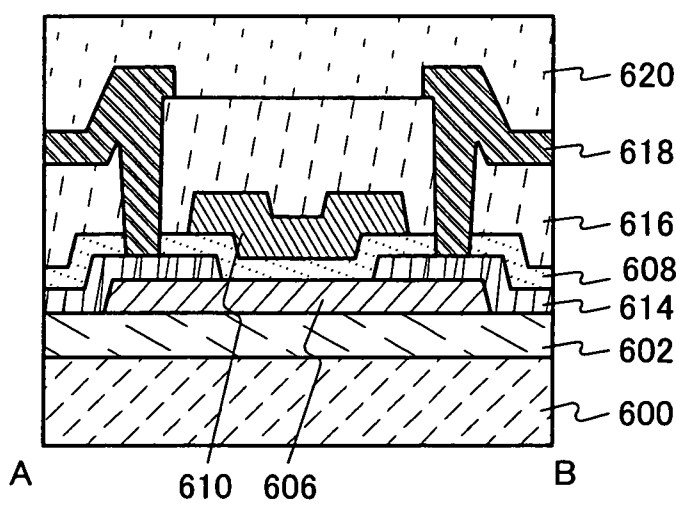


- 鋼
- 鎳
- 鋅
- O

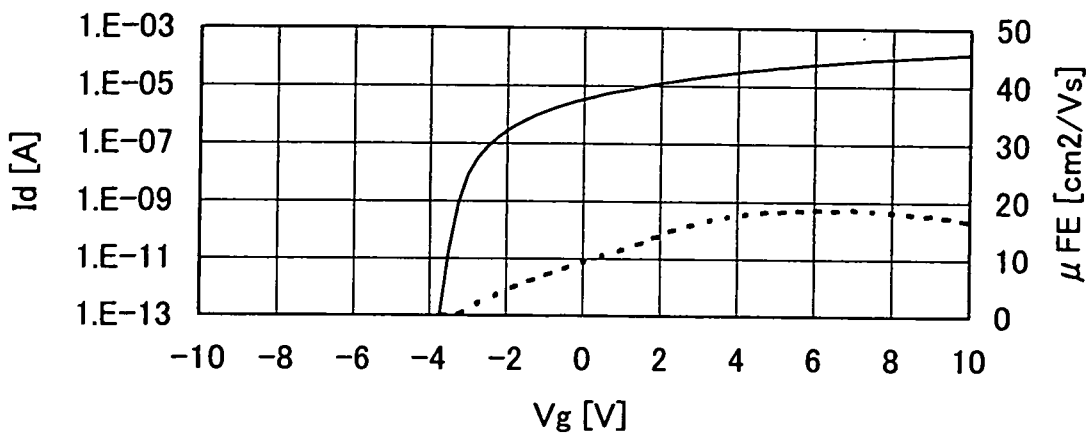
第24A圖



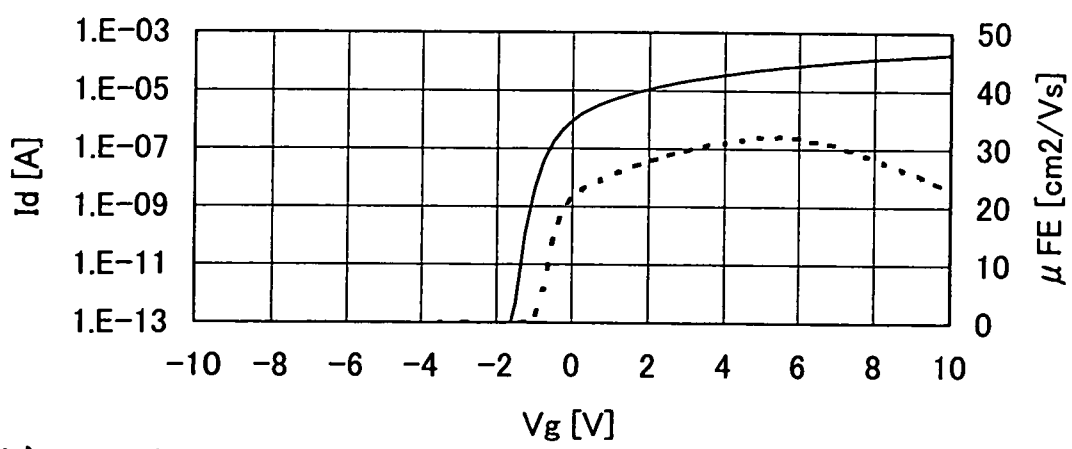
第24B圖



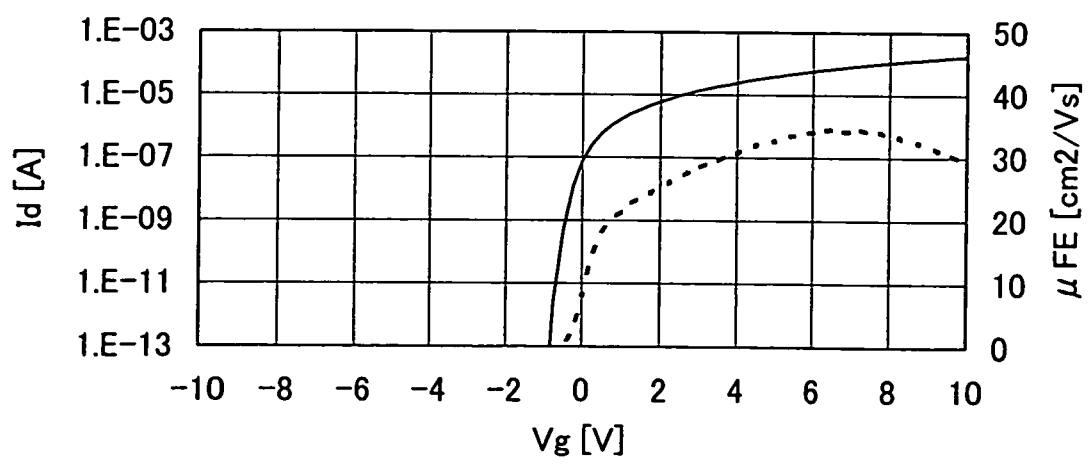
第25A圖



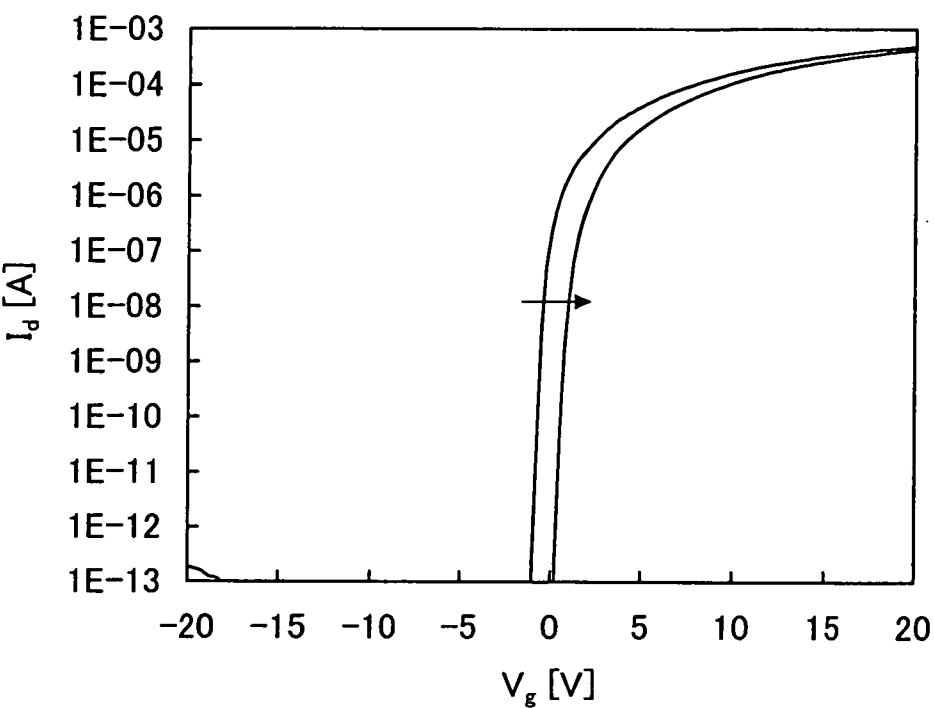
第25B圖



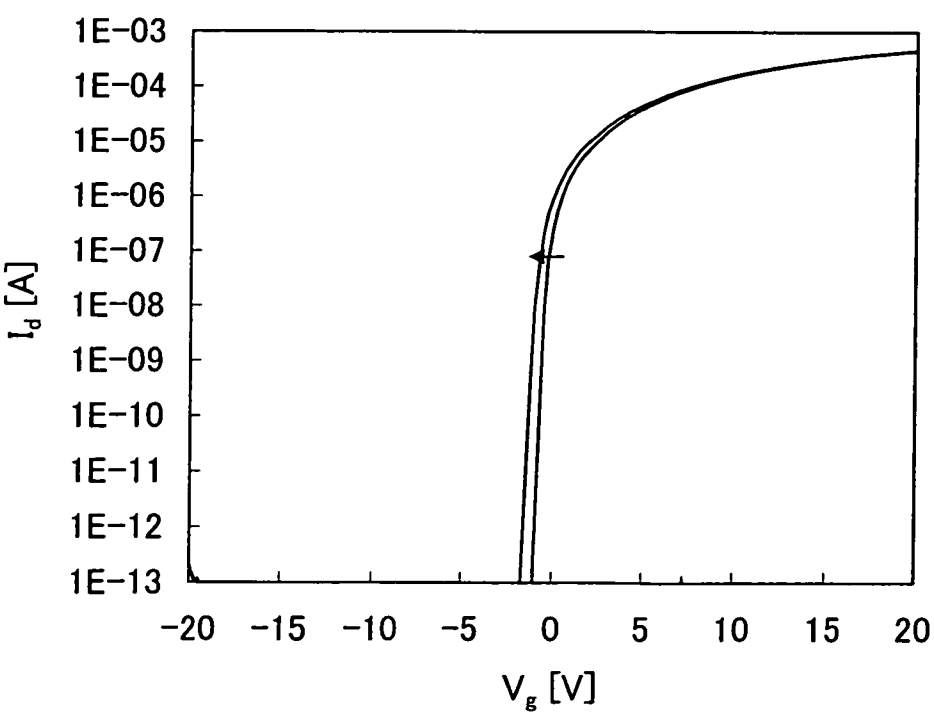
第25C圖



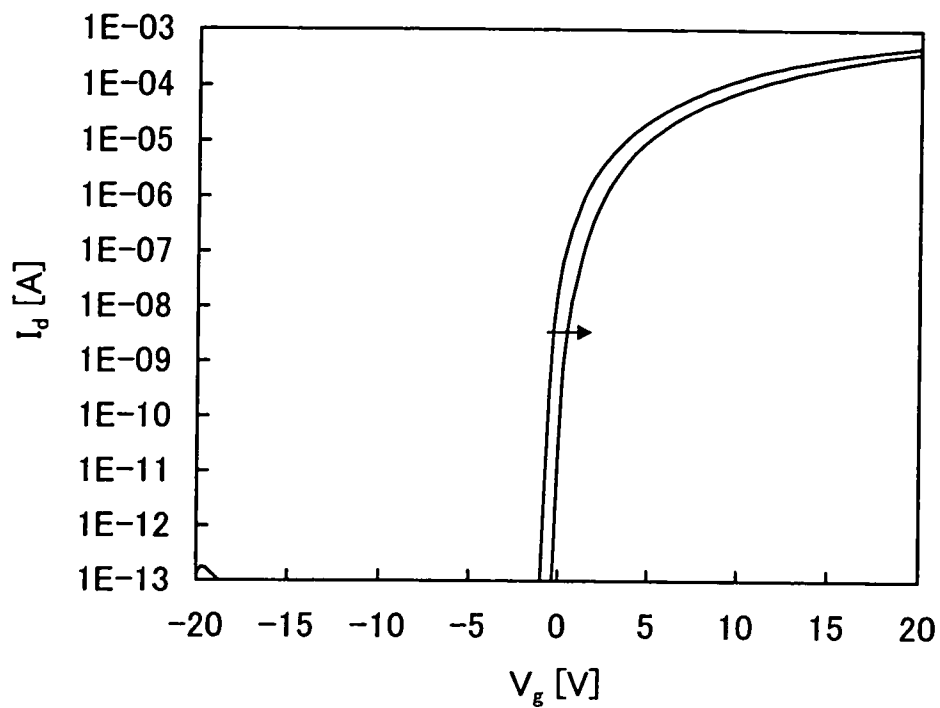
第26A圖



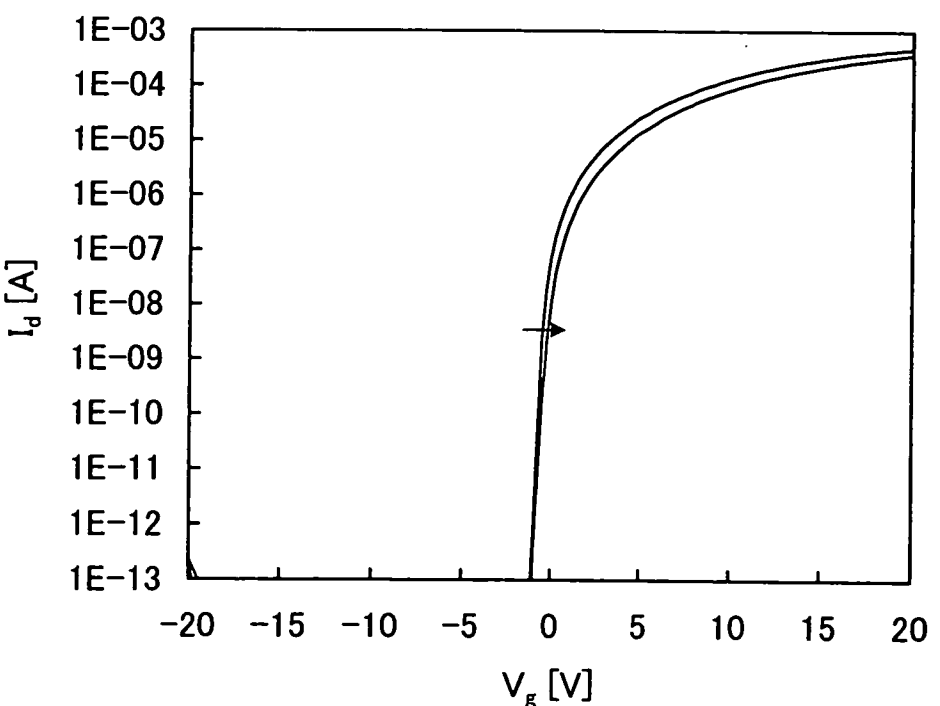
第26B圖



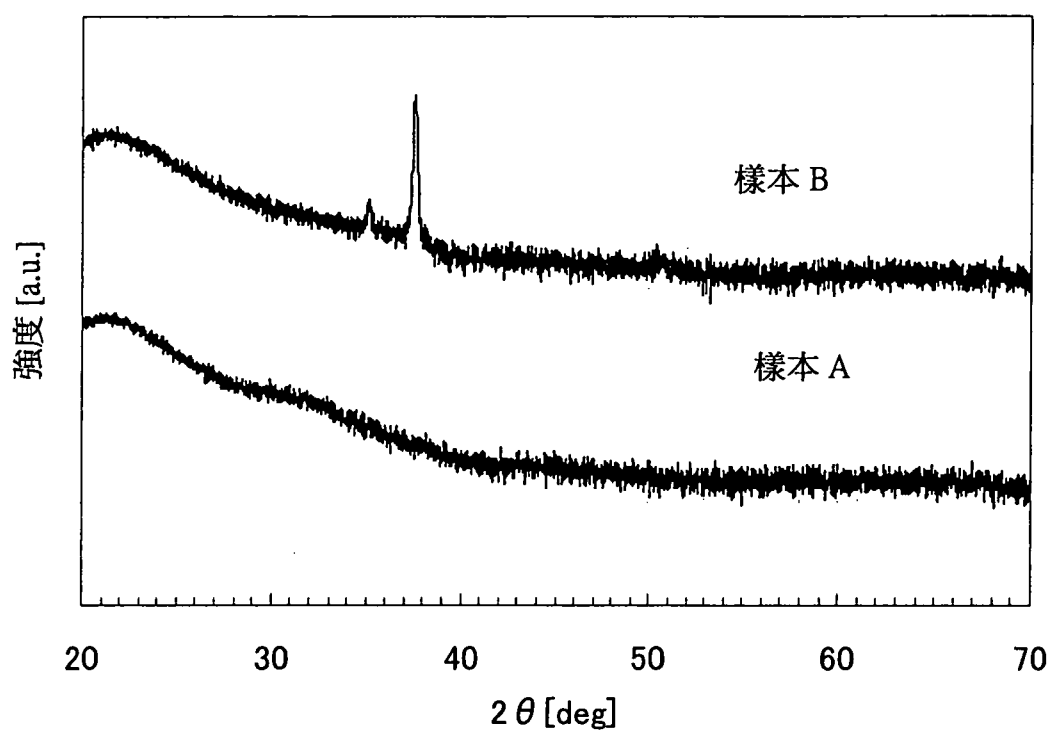
第27A圖



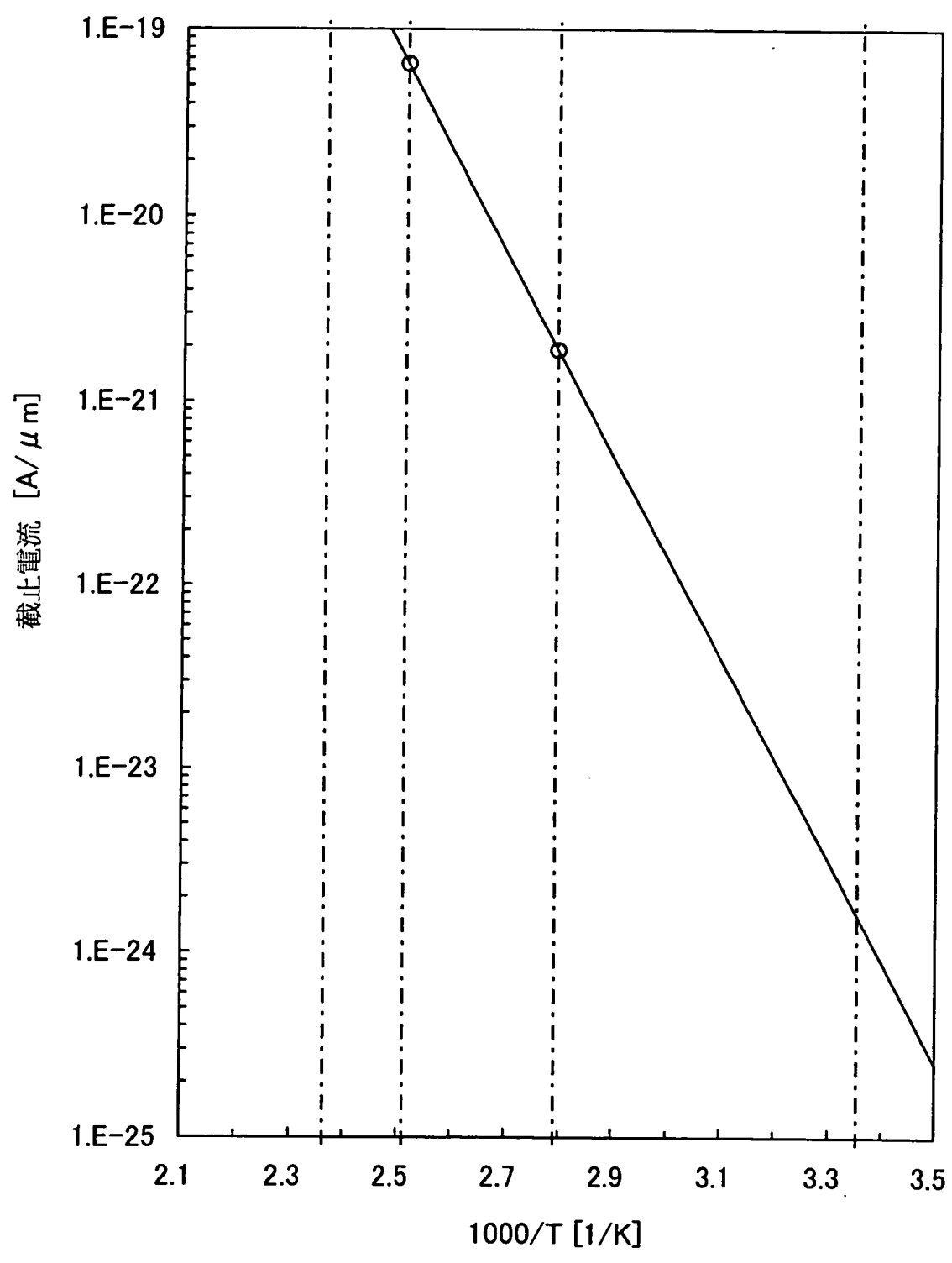
第27B圖



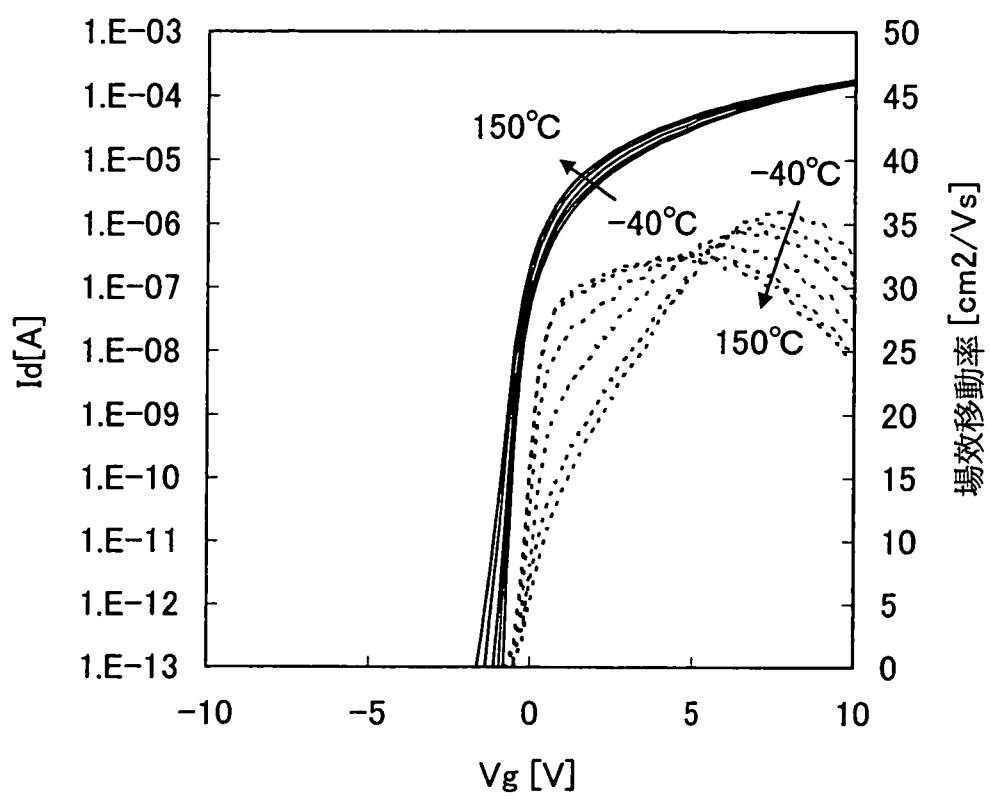
第28圖



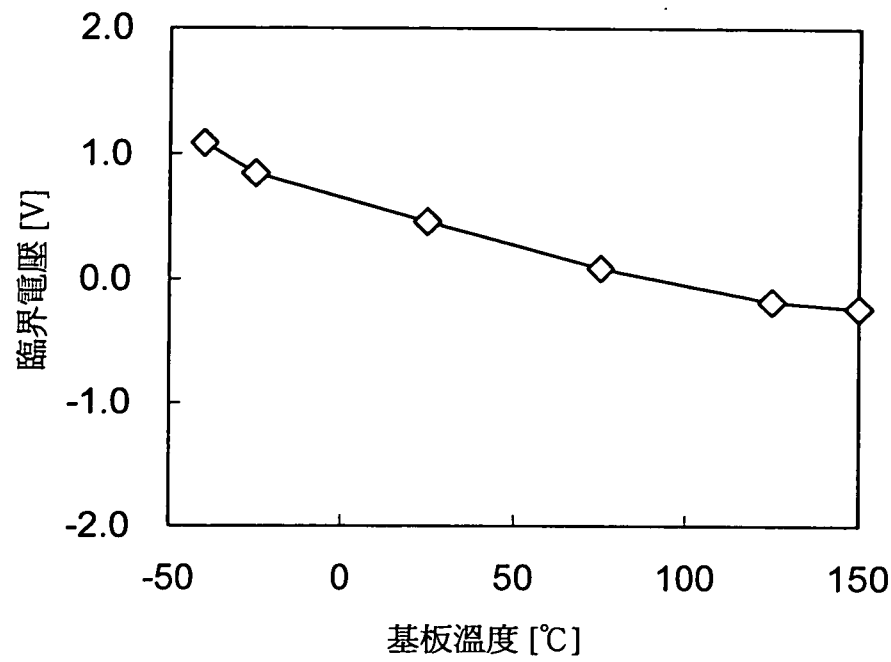
第29圖



第30圖



第31A圖



第31B圖

