

(19) 日本国特許庁(JP)

## (12) 特許公報(B2)

(11) 特許番号

特許第6126489号  
(P6126489)

(45) 発行日 平成29年5月10日(2017.5.10)

(24) 登録日 平成29年4月14日(2017.4.14)

(51) Int.Cl.

B 41 J 2/14 (2006.01)  
B 41 J 2/01 (2006.01)

F 1

B 41 J 2/14 201  
B 41 J 2/14 611  
B 41 J 2/01 401

請求項の数 15 (全 15 頁)

(21) 出願番号	特願2013-157117 (P2013-157117)
(22) 出願日	平成25年7月29日 (2013.7.29)
(65) 公開番号	特開2015-24633 (P2015-24633A)
(43) 公開日	平成27年2月5日 (2015.2.5)
審査請求日	平成28年5月13日 (2016.5.13)

(73) 特許権者	000001007 キヤノン株式会社 東京都大田区下丸子3丁目30番2号
(74) 代理人	100076428 弁理士 大塚 康徳
(74) 代理人	100112508 弁理士 高柳 司郎
(74) 代理人	100115071 弁理士 大塚 康弘
(74) 代理人	100116894 弁理士 木村 秀二
(74) 代理人	100130409 弁理士 下山 治
(74) 代理人	100134175 弁理士 永川 行光

最終頁に続く

(54) 【発明の名称】記録素子基板、記録ヘッド及び記録装置

## (57) 【特許請求の範囲】

## 【請求項 1】

記録を行うための記録素子と、

第1電圧を受ける第1電源ノードにドレイン端子が接続され、前記記録素子にソース端子及びバックゲート端子が接続されたMOSトランジスタと、

前記第1電源ノードとは別の第2電源ノードを含み、前記MOSトランジスタのゲート端子に第2電圧を供給するユニットと、を備え、

前記ユニットは、前記第1電源ノードに前記第1電圧が供給されていない場合に、前記ゲート端子と前記ドレイン端子との間の電位差が前記第1電源ノードに前記第1電圧が供給されているときの前記第2電圧よりも小さくなるように前記ゲート端子及び前記ドレン端子の少なくとも一方の電位を制御する

ことを特徴とする記録素子基板。

## 【請求項 2】

前記ユニットは、

前記第2電源ノードに接続され、前記MOSトランジスタのゲート端子に前記第2電圧の信号を出力するレベルシフタと、

第3電圧を受ける第3電源ノードと、

前記第3電圧を用いて、前記第2電源ノードに供給するための電圧を生成する電圧生成部と、をさらに含み、

前記ユニットは、前記第1電源ノードに前記第1電圧が供給されていない場合に、前記

10

20

電圧生成部を休止状態に制御することを特徴とする請求項 1 に記載の記録素子基板。

**【請求項 3】**

前記ユニットは、N チャネル型のトランジスタと、抵抗素子とを含み、前記 N チャネル型のトランジスタのドレイン端子は、前記第 3 電源ノードに接続され、前記 N チャネル型のトランジスタのゲート端子は、前記第 1 電源ノードに接続され、前記抵抗素子は、前記 N チャネル型のトランジスタのソース端子と接地ノードとの間に配されることを特徴とする請求項 2 に記載の記録素子基板。

**【請求項 4】**

前記ユニットは、前記第 1 電源ノードと前記第 2 電源ノードとを接続するダイオードを含む

ことを特徴とする請求項 1 に記載の記録素子基板。

**【請求項 5】**

前記第 2 電源ノードが前記 MOS トランジスタのゲート端子に接続されることを特徴とする請求項 4 に記載の記録素子基板。

**【請求項 6】**

前記ユニットは、前記第 2 電源ノードに接続され、前記 MOS トランジスタのゲート端子に前記第 2 電圧の信号を出力するレベルシフタと、

第 3 電圧を受ける第 3 電源ノードと、

前記第 3 電圧を用いて、前記第 2 電源ノードへ供給するための電圧を生成する電圧生成部と、をさらに含み、

前記ユニットは、前記第 1 電源ノードと前記第 3 電源ノードとを接続するダイオードを含む、

ことを特徴とする請求項 1 に記載の記録素子基板。

**【請求項 7】**

前記ユニットは、前記第 1 電源ノードと前記第 2 電源ノードとを接続する接続トランジスタを含み、

前記ユニットは、前記第 1 電圧が供給されていない場合に、前記接続トランジスタを導通状態に制御する

ことを特徴とする請求項 1 に記載の記録素子基板。

**【請求項 8】**

前記ユニットは、N チャネル型のトランジスタと、抵抗素子とを含み、前記 N チャネル型のトランジスタのソース端子は、接地ノードに接続され、前記 N チャネル型のトランジスタのゲート端子は、前記第 1 電源ノードに接続され、前記抵抗素子は、前記 N チャネル型のトランジスタのドレイン端子と前記第 2 電源ノードとの間に配される

ことを特徴とする請求項 7 に記載の記録素子基板。

**【請求項 9】**

前記 MOS トランジスタはソースフォロワとして動作する

ことを特徴とする請求項 1 乃至 8 のいずれか 1 項に記載の記録素子基板。

**【請求項 10】**

前記記録素子にドレイン端子が接続され、接地ノードにソース端子が接続された第 2 の MOS トランジスタをさらに有する

ことを特徴とする請求項 1 乃至 9 のいずれか 1 項に記載の記録素子基板。

**【請求項 11】**

前記ユニットは、前記第 1 電圧が供給されている場合に、前記 MOS トランジスタを非導通状態にする非活性信号を、前記 MOS トランジスタのゲート端子に出力する

ことを特徴とする請求項 1 乃至 9 のいずれか 1 項に記載の記録素子基板。

10

20

30

40

50

**【請求項 1 2】**

前記MOSトランジスタはDMOSトランジスタで構成されていることを特徴とする請求項1乃至11のいずれか1項に記載の記録素子基板。

**【請求項 1 3】**

前記記録素子を複数備えることを特徴とする請求項1乃至12のいずれか1項に記載の記録素子基板。

**【請求項 1 4】**

請求項1乃至13のいずれか1項に記載の記録素子基板と、前記記録素子に対応して設けられ、前記記録素子に電流が流れたことに応答してインクを吐出するインク吐出口と、を備えることを特徴とする記録ヘッド。

10

**【請求項 1 5】**

請求項14に記載の記録ヘッドと、前記記録ヘッドを駆動する記録ヘッドドライバと、を備えることを特徴とする記録装置。

**【発明の詳細な説明】****【技術分野】****【0001】**

本発明は、記録素子基板、記録ヘッド及び記録装置に関する。

20

**【背景技術】****【0002】**

特許文献1および特許文献2に記載されたインクジェット方式の記録装置は、記録媒体に対して記録を行う記録ヘッドを備える。記録ヘッドは記録素子基板を備える。当該記録素子基板には、記録素子と、記録素子を駆動するための駆動トランジスタを含むドライブ回路とが設けられる。記録素子に電力を供給する電源線と、ドライブ回路の電源線とは分離されている。駆動トランジスタは、記録素子と、記録素子に電力を供給する電源線との間に配される。

**【0003】**

特許文献1に記載の記録素子基板においては、記録素子に印加される電圧を、駆動トランジスタの制御端子の電圧によって制御している。この構成によると、記録素子に電力を供給する電源線の電位変動が生じた場合でも、記録素子に印加される電圧への当該電位変動による影響が低減される。

30

**【先行技術文献】****【特許文献】****【0004】**

【特許文献1】特開2002-355970号公報

【特許文献2】特開2010-155452号公報

**【発明の概要】****【発明が解決しようとする課題】**

40

**【0005】**

ところで、例えば記録ヘッドが適切に装着されていない場合など、ドライブ回路の電源線に電源電圧が供給され、一方で、記録素子に電力を供給する電源線には電源電圧が供給されない場合がある。

**【0006】**

このような場合、ドライブ回路には電源電圧が供給されるため、ドライブ回路は駆動トランジスタのゲートに所定の電圧を出力しうる。一方で、記録素子に電力を供給する電源線には電源電圧が供給されていないので、駆動トランジスタのドレイン電位が不定になり、例えばドレイン電位が0[V]のときはチャネル電位も0[V]になりうる。そのため、駆動トランジスタのゲート-基板間で過電圧が生じ、絶縁破壊をもたらしうる。

50

**【0007】**

本発明の目的は、駆動トランジスタにおいて絶縁破壊が生じる可能性を低減する技術を提供することにある。

**【課題を解決するための手段】****【0008】**

本発明の一つの側面は記録素子基板にかかり、前記記録素子基板は、記録を行うための記録素子と、第1電圧を受ける第1電源ノードにドレイン端子が接続され、前記記録素子にソース端子及びバックゲート端子が接続されたMOSトランジスタと、前記第1電源ノードとは別の第2電源ノードを含み、前記MOSトランジスタのゲート端子に第2電圧を供給するユニットと、を備え、前記ユニットは、前記第1電源ノードに前記第1電圧が供給されていない場合に、前記ゲート端子と前記ドレイン端子との間の電位差が前記第1電源ノードに前記第1電圧が供給されているときの前記第2電圧よりも小さくなるように前記ゲート端子及び前記ドレイン端子の少なくとも一方の電位を制御することを特徴とする。

10

**【発明の効果】****【0009】**

本発明によれば、駆動トランジスタにおいて絶縁破壊が生じる可能性を低減することができる。

**【図面の簡単な説明】**

20

**【0010】**

【図1】記録装置の構成例を説明する図。

【図2】記録素子基板の一部および高耐圧トランジスタの構成例を説明する図。

【図3】記録トランジスタを制御するユニットの構成例を説明する図。

【図4】ユニットの構成例を説明する図。

【図5】記録素子基板の他の構成例を説明する図。

【図6】記録素子基板の他の構成例を説明する図。

【図7】ユニットの他の構成例を説明する図。

【図8】ユニットの他の構成例を説明する図。

【図9】記録素子基板の他の構成例を説明する図。

30

【図10】ユニットの他の構成例を説明する図。

**【発明を実施するための形態】****【0011】**

(記録装置の構成例)

図1を参照しながら、インクジェット方式の記録装置の構成例を述べる。記録装置は、例えば、記録機能のみを有するシングルファンクションプリンタでもよいし、記録機能、FAX機能、スキャナ機能等の複数の機能を有するマルチファンクションプリンタでもよい。また、記録装置は、カラーフィルタ、電子デバイス、光学デバイス、微小構造物等を所定の記録方式で製造する製造装置をも含みうる。

**【0012】**

40

図1の(A)は、記録装置PAの外観構成の一例を示す斜視図である。記録装置PAは、インクを吐出して記録を行う記録ヘッド3をキャリッジ2に搭載し、キャリッジ2を矢印A方向に往復移動させて記録を行う。記録装置PAは、プリント用紙などの記録媒体Pを、給紙機構5を介して給紙し、記録位置まで搬送する。記録装置PAは、その記録位置において記録ヘッド3から記録媒体Pにインクを吐出することにより記録を行う。

**【0013】**

キャリッジ2には、記録ヘッド3の他、例えば、インクカートリッジ6が搭載される。インクカートリッジ6は、記録ヘッド3に供給するインクを貯留する。インクカートリッジ6は、キャリッジ2に対して着脱自在になっている。また、記録装置PAは、カラー記録が可能である。そのため、キャリッジ2には、マゼンタ(M)、シアン(C)、イエロ

50

(Y)、ブラック(K)のインクをそれぞれ収容する4つのインクカートリッジが搭載されている。これら4つのインクカートリッジは、それぞれ独立して着脱可能である。

#### 【0014】

記録ヘッド3は、インクを吐出するためのインク吐出口(ノズル)を有し、また、ノズルに対応して設けられた電気熱変換体(ヒータ)を備える記録素子基板を具備する。ヒータには記録信号にしたがうパルス電圧が印加され、パルス電圧が印加されたヒータによる熱エネルギーによってインク内で気泡が生じ、当該ヒータに対応するノズルからインクが吐出される。

#### 【0015】

図1の(B)は、記録装置PAのシステム構成を例示している。記録装置PAは、インターフェース1700、MPU1701、ROM1702、RAM1703及びゲートアレイ1704を有する。インターフェース1700には記録信号が入力される。ROM1702は、MPU1701が実行する制御プログラムを格納する。RAM1703は、前述の記録信号や記録ヘッド1708に供給された記録データ等、各種データを保存する。ゲートアレイ1704は、記録ヘッド1708に対する記録データの供給制御を行い、また、インターフェース1700、MPU1701、RAM1703の間のデータ転送の制御を行う。

#### 【0016】

また、記録装置PAは、記録ヘッドドライバ1705、並びにモータドライバ1706及び1707、搬送モータ1709、キャリアモータ1710をさらに有する。記録ヘッドドライバ1705は記録ヘッド1708を駆動する。モータドライバ1706及び1707は搬送モータ1709及びキャリアモータ1710をそれぞれ駆動する。搬送モータ1709は記録媒体を搬送する。キャリアモータ1710は記録ヘッド1708を搬送する。

#### 【0017】

インターフェース1700に記録信号が入力されると、この記録信号は、ゲートアレイ1704とMPU1701の間で所定の形式の記録データに変換されうる。この記録データにしたがって各機構が所望の動作を行い、このようにして上述の記録が為される。

#### 【0018】

##### (第1実施形態)

図2乃至4を参照しながら、第1実施形態の記録素子基板I1を説明する。図2(a)は、記録素子基板I1の回路構成例を示している。記録素子基板I1は、ヒータRH1とNMOSトランジスタDMN1とユニット101とを備える。ヒータRH1は記録を行うための記録素子であり、通電されることにより熱エネルギーを発生する。トランジスタDMN1は、ドレイン端子が、第1電圧VH(例えば24~32[V])を受ける電源ノードN<sub>VH</sub>に接続されており、ソース端子及びバックゲート端子が、ヒータRH1に接続されている。トランジスタDMN1は、高耐圧トランジスタであるDMOSトランジスタの構造を採りうる。なお、本明細書において、特に断りがない限り、電圧は接地ノードの電位を基準としたときの電位差として定義される。接地ノードは、通常、電源の基準電位側の端子に接続されるノードである。

#### 【0019】

図2(b)は、トランジスタDMN1に用いられるトランジスタの例として、Nチャネル型のDMOSトランジスタの構成例を示している。ここで例示されるDMOSトランジスタの構造は、公知の半導体製造プロセスを用いて形成されうる。P型半導体領域111を含む基板にN型半導体領域110が形成されており、N型半導体領域110の中にはP型半導体領域109が設けられている。P型半導体領域109の中には高濃度P型領域107bgが設けられている。P型半導体領域109の中には高濃度N型領域108sが設けられている。N型半導体領域110の中のP型半導体領域109から離れた位置には高濃度N型領域108dが設けられている。基板上にはフィールド酸化膜106やゲート絶縁膜を含む絶縁膜が設けられている。また、P型半導体領域109とN型半導体領域11

10

20

30

40

50

0との境界を含む領域の上には、ゲート絶縁膜を介してゲート電極が設けられている。ゲート電極の一部は、フィールド酸化膜106の上に設けられている。端子102はソース端子に対応し、端子103はドレイン端子に対応し、端子104はゲート端子に対応し、端子105はバックゲート端子(バルク端子)に対応している。

#### 【0020】

この構成によると、トランジスタDMN1は、高耐圧トランジスタとして機能しうる。例えば、ドレイン端子に第1電圧VHが印加され、ソース端子に0Vの電圧が印加された場合、P型半導体領域109と、高濃度N型領域108dおよびN型半導体領域110とが構成するPN接合ダイオードに、逆バイアスが印加される。このとき、N型半導体領域110によって、ドレイン領域に対応するN型領域108dからチャネルの形成されるP型半導体領域109までの電界を緩和することができる。言い換えると、P型半導体領域109とN型半導体領域110との境界を含む領域の電位を0Vに近づけることができる。したがって、ゲート端子に0Vに近い電圧が供給されても、ゲート電極-チャネル間に過電圧が生じない。また、ゲート電極とドレイン領域に対応するN型領域108dとの間の絶縁は、フィールド酸化膜106によって高耐圧が得られる。また、この構成によると、例えば、ソース及びバックゲートと接地ノードとを電気的に分離することができ、ヒータRHにヒータ電流が流れると、ソースの電位が上がるため、ゲート-ソース間での絶縁破壊が防止されうる。

#### 【0021】

ユニット101は、トランジスタDMN1のゲート端子とドレイン端子とに接続されており、トランジスタDMN1を複数の動作モードで制御する。ユニット101は、トランジスタDMN1のドレイン端子に電圧VHが適切に供給されている場合には第1モードで動作し、トランジスタDMN1を導通状態にする第2電圧VHTMH(例えば24~32[V])をトランジスタDMN1のゲート端子に出力しうる。トランジスタDMN1を導通状態にすることが可能な第2電圧VHTMHは、トランジスタDMN1を制御する信号のHiレベル(以下、活性信号と呼ぶ)に対応する電圧である。また、ユニット101は、ドレイン端子に電圧VHが適切に供給されていない場合には第2モードで動作し、ゲート端子とドレイン端子との間の電位差VGDを小さくする。より具体的に、本実施形態では、電位差VGDが第2電圧VHTMHよりも小さくなるように、ゲート端子の電位を制御する。

#### 【0022】

電圧VHが供給されていない場合は、電源ノードNVHの電位やトランジスタDMN1のドレイン電位は不定状態になる。例えば、ドレイン電位が0[V]のときはチャネル電位も0[V]となる。一方、トランジスタDMN1のゲートには、電源ノードNVHの電位変動にかかわらず、又は電圧VHが供給されていない場合でも、第2電圧VHTMHが供給されうる。その結果、ゲート-基板間に過電圧が生じ、絶縁破壊をもたらしうる。そこで、電圧VHが供給されていない場合には、ユニット101が、上述の第2モードで動作してゲート端子の電位を制御し、ゲート端子とドレイン端子との間の電位差VGDを小さくすることによって、この絶縁破壊が生じる可能性を低減する。なお、ゲート端子とドレイン端子との間の電位差VGDを、第2電圧VHTMHよりわずかでも小さくすることで、絶縁破壊が生じる可能性を低減することができる。もちろん、ゲート端子とドレイン端子との間の電位差VGDを0Vにすることで、絶縁破壊が生じる可能性を大幅に低減することができる。

#### 【0023】

なお、電圧VHが供給されていない場合、通常、これらの電位は基板を介して接地ノードの電位と等しくなりうるが、当該電位の不定状態を回避するため、例えば抵抗値の大きい抵抗素子を用いて電源ノードNVHをプルダウン固定してもよい。

#### 【0024】

図3は、ユニット101の回路構成例を示している。ユニット101は、検出部112と、電圧生成部113と、信号処理部114と、レベルシフタ115とを備えている。検

10

20

30

40

50

出部 112 は、電圧 V<sub>H</sub> が印加されているか否かを検出し、電源ノード N<sub>VH</sub> の電位をモニタするモニタ部として機能する。電圧生成部 113 は、第 3 電圧 V<sub>H</sub>T ( 例えは 24 ~ 32 [V] ) を受け、検出部 112 の出力 ( 即ち、モニタ結果 ) に基づいて当該電圧 V<sub>H</sub>T を用いて電圧 V<sub>H</sub>TMH を生成する。信号処理部 114 は、記録装置の本体からの画像信号や制御信号を処理する。信号処理部 114 には、ロジック用の電源電圧である電圧 V<sub>DD</sub> ( 例えは 3.3 [V] ) が供給される。信号処理部 114 は、記録データに基づいて、各レベルシフタ 115 を介して各トランジスタ MN に信号を出力し、これにより各ヒータ RH が駆動される。レベルシフタ 115 は、電圧 V<sub>DD</sub> 及び V<sub>H</sub>TMH が供給されており、信号処理部 114 からの信号を、電圧 V<sub>DD</sub> の電位レベルから電圧 V<sub>H</sub>TMH の電位レベルにレベルシフトして出力する。

10

#### 【 0025 】

図 4 ( a ) は、検出部 112 の構成例を示している。検出部 112 は、例えは NMOS トランジスタ MN1 と抵抗素子 R1 及び R2 を用いて構成されうる。トランジスタ MN1 並びに抵抗素子 R1 及び R2 は電源ノード N<sub>VHT</sub> と接地ノードとの間に電流経路を形成するように配されており、トランジスタ MN1 のゲートは電源ノード N<sub>VH</sub> に接続されている。この構成により、検出部 112 は、電源ノード N<sub>VH</sub> の電位に応じて、抵抗素子 R1 と R2 との間のノードの電位を出力する。

#### 【 0026 】

図 4 ( b ) は、電圧生成部 113 の構成例を示している。検出部 112 の OUT ノードが、電圧生成部 113 の IN ノードと接続される。電圧生成部 113 は、抵抗素子 R3 ~ R7 と、NMOS トランジスタ MN2 と、PMOS トランジスタ MP1 とを用いて構成されうる。抵抗素子 R3 及び R4 並びにトランジスタ MN2 は、電源ノード N<sub>VHT</sub> と接地ノードとの間に電流経路を形成するように配されている。トランジスタ MP1 並びに抵抗素子 R5 及び R6 は、電源ノード N<sub>VHT</sub> と接地ノードとの間に電流経路を形成するように配されている。トランジスタ MN3 及び抵抗素子 R7 は、電源ノード N<sub>VH</sub> と接地ノードとの間に電流経路を形成するように配されている。また、抵抗素子 R3 と R4 との間のノードとトランジスタ MP1 のゲートとは接続されている。抵抗素子 R5 と R6 との間のノードとトランジスタ MN3 のゲートとは接続されている。この構成により、電圧生成部 113 は、トランジスタ MN2 のゲートの電位 ( 即ち、検出部 112 からの出力 ) に応じて、トランジスタ MN3 と抵抗素子 R7 との間のノードの電位を出力する。

20

#### 【 0027 】

以上の構成により、電圧 V<sub>H</sub> が供給されている場合は、電圧生成部 113 は、検出部 112 の出力を受けて電圧 V<sub>H</sub>TMH を出力する。一方、電圧 V<sub>H</sub> が供給されていない場合は、トランジスタ MN1 は非導通状態となり、検出部 112 の出力は 0 [V] となるため、電圧生成部 113 の出力は 0 [V] となる。なお、その結果、レベルシフタ 115 には電圧 V<sub>H</sub>TMH が供給されないため、レベルシフタ 115 は休止状態となる。

30

#### 【 0028 】

図 4 ( c ) は、レベルシフタ 115 の構成例を示している。レベルシフタ 115 は、インバータ INV1 及び INV2 と、NMOS トランジスタ MN4 及び MN5 と、PMOS トランジスタ MP2 ~ MP5 を用いて構成されうる。インバータ INV1 は、信号処理部 114 からの出力を受け、インバータ INV2 に出力する。NMOS トランジスタ MN4 及び MN5 並びに PMOS トランジスタ MP2 ~ MP5 は、インバータ INV1 及び INV2 の出力を受けて、信号処理部 114 からの信号について、電位レベルのレベルシフトを行う回路部を形成する。具体的には、トランジスタ MP5 、 MP2 及び MN4 は電圧 V<sub>H</sub>TMH の電源ノード N<sub>VHTMH</sub> と接地ノードとの間に電流経路を形成するように配されている。トランジスタ MP4 、 MP3 及び MN5 は、電圧 V<sub>H</sub>TMH の電源ノード N<sub>VHTMH</sub> と接地ノードとの間に電流経路を形成するように配されている。トランジスタ MP2 及び MN4 のゲートはインバータ INV1 の出力を受ける。トランジスタ MP3 及び MN5 のゲートはインバータ INV2 の出力を受ける。また、トランジスタ MP2 と MN4 の間のノードは、トランジスタ MP4 のゲートに接続される。トランジスタ MP3

40

50

とM N 5との間のノードは、トランジスタM P 5のゲートに接続されている。

#### 【0029】

レベルシフタ115は、電圧V Hが供給されている場合は、電圧生成部113から電圧V H T M Hが供給されるので動作状態になり、信号処理部114からの活性信号を、電圧V D Dの電位レベルから電圧V H T M Hの電位レベルにレベルシフトして出力する。即ち、レベルシフタ115を含むユニット101は、電圧V Hが供給されている場合には前述の第1モードで動作し、トランジスタD M N 1を導通状態にする活性信号をゲート端子に出力しうる。また、レベルシフタ115は、信号処理部114からの信号に基づいて非活性信号（トランジスタD M N 1を制御する信号のL o wレベル）も出力しうる。即ち、ユニット101は、電圧V Hが供給されている場合には、第1モードの他、トランジスタD M N 1を非導通状態にする非活性信号をゲート端子に出力する第3モードをさらに有しうる。10

#### 【0030】

一方、電圧V Hが供給されていない場合は、レベルシフタ115は、電圧生成部113から電圧V H T M Hが供給されないので休止状態であり、レベルシフトを行わず、その出力は0[V]である。その結果、トランジスタD M N 1のゲート電位は0[V]になる。即ち、レベルシフタ115を含むユニット101は、トランジスタD M N 1のゲート-ドレイン間の電位差V<sub>G D</sub>を、電圧V H T M Hの電位レベルと接地レベルとの電位差よりも小さくする第2モードで動作する。20

#### 【0031】

本実施形態によると、ヒータR H 1及びトランジスタD M N 1に対して電圧V Hが供給されていない際のトランジスタD M N 1の絶縁破壊を防止するのに有利である。具体的には、ユニット101は、電圧V Hが供給されていない場合には、トランジスタD M N 1のゲート-ドレイン間の電位差V<sub>G D</sub>を、電圧V H T M Hよりも小さくする。本実施形態では、ユニット101は、トランジスタD M N 1のゲート電位をトレイン電位に近づけることで電位差V<sub>G D</sub>を小さくし、その結果、ゲート-基板間で過電圧が生じることによる絶縁破壊を防止する。20

#### 【0032】

本実施形態では、検出部112が、トランジスタD M N 1のゲート端子の電圧を制御する制御部として機能する。なお、上述では、ユニット101の構成要素として検出部112、電圧生成部113およびレベルシフタ115を例示したが、各々が同様の機能を有する構成を採ればよく、本発明はこれらの構成に限られるものではない。30

#### 【0033】

##### （第2実施形態）

図5乃至7を参照しながら、第2実施形態の記録素子基板I 2を説明する。上述の第1実施形態では、理解を容易にするために、ヒータR H 1及びトランジスタD M N 1を1つずつ配した構成を例示したが、本発明はこの構成に限られるものではない。例えば、記録素子基板には複数のヒータと、それに対応する複数のトランジスタとが配されてもよい。また、記録素子基板I 2は、2つのトランジスタを各ヒータに対応して設けている点で第1実施形態の記録素子基板I 1と異なる。40

#### 【0034】

図5は、記録素子基板I 2の構成例を示している。記録素子基板I 2は、複数のヒータR H 1 k (R H 1 1 ~ R H 1 m)と、複数のN M O SトランジスタD M N 1 k (D M N 1 1 ~ D M N 1 m)と、複数のN M O SトランジスタM N 1 k (M N 1 1 ~ M N 1 m)とを備える (k = 1 ~ m)。トランジスタM N 1 kは、ヒータR H 1 kを駆動するためのトランジスタであり、トランジスタD M N 1 kは、ヒータR H 1 kに定電流を供給するためのトランジスタである。また、記録素子基板I 2は、トランジスタD M N 1 k及びM N 1 kを制御するユニット116を有しており、ユニット116には電圧V HおよびV H Tが供給される。ユニット116は、前述のユニット101に対応し、第1実施形態と同様に、電圧V Hが供給されていない場合に、各トランジスタD M N 1 kをゲート-ドレイン間の50

電位差  $V_{GD}$  が小さくなるように制御する。

【0035】

図6は、ユニット116の構成例をより具体的に示している。ユニット116は、前述の検出部112と、前述の信号処理部114と、各トランジスタMN1kに対応して設けられた複数のレベルシフタ115と、第1の電圧生成部117と、第2電圧生成部118と、を有する。

【0036】

電圧生成部117は、前述の電圧生成部113と同様の動作を行い、検知部112からの出力に基づいて、電圧VHTを用いて電圧VHTMH（例えば24～32[V]）を生成する。生成された電圧VHTMHは、電源ノードN<sub>VHTMH</sub>を介して各トランジスタDMN1kのゲートに供給される。これにより、各トランジスタDMN1kはソースフォロワ動作を行い、そのソース電位がゲート電位で定まるため、電圧VHの電源ノードN<sub>VH</sub>で電位変動が生じた場合でもヒータRH1kには定電流が供給されうる。

【0037】

図7は、電圧生成部117の構成例を示している。電圧生成部117は、例えば、図3(b)の電圧生成部113の構成に、NMOSトランジスタMN6をさらに用いて構成される。具体的には、トランジスタMN6は、トランジスタMN2と接地ノードとの間に配され、ゲートは電源ノードN<sub>VDD</sub>に接続されている。

【0038】

電圧生成部118は、電圧VHTの電源ノードN<sub>VHT</sub>に接続されており、電圧VHTを用いて電圧VHTML（例えば3～5[V]）を生成する。生成された電圧VHTMLは、電源ノードN<sub>VHTML</sub>を介して各レベルシフタ115に供給される。これにより、各レベルシフタ115は、信号処理部114からの信号のレベルシフトを行う。信号処理部114は、記録データに基づいて、各レベルシフタ115を介して各トランジスタMN1kに信号を出力し、これに応答して各ヒータRH1kが駆動される。

【0039】

上述の構成によると、電源VH及びVDDが適切に供給されている場合には、電圧生成部117では、検出部112からの出力を受けてトランジスタMN2が導通状態になり、また、トランジスタMN6も導通状態になる。その結果、トランジスタMP1及びトランジスタMN3も導通状態になり、電圧VHTMHが生成される。

【0040】

一方、電源VH及びVDDの少なくとも一方が適切に供給されていない場合には、トランジスタMN2又はMN6が非導通状態になるため、トランジスタMP1は、ゲート電位が電圧VHTと等しくなって非導通状態になる。その結果、トランジスタMN3は、ゲート電位が接地ノードの電位と等しくなって非導通状態になり、電圧生成部117では電圧VHTMHは生成されず、その出力は0[V]となる。

【0041】

以上、本実施形態によると、電圧生成部117は、電圧VH及びVDDが供給されている場合には、各トランジスタDMN1kに電圧VHTMHの電位レベルの活性信号を供給する。その結果、ヒータRH1kにはトランジスタDMN1kから定電流が供給される。

【0042】

一方、電圧VH及びVDDの少なくとも一方が供給されていない場合には、電圧生成部117は0[V]を出力する。その結果、各トランジスタDMN1kのゲート-ドレイン間の電位差 $V_{GD}$ は、電圧VHTMHよりも小さくなる。よって、本実施形態によっても第1実施形態と同様の効果が得られる。また、この構成によると、トランジスタMN2及びMN6の少なくとも一方と、トランジスタMP1と、トランジスタMN3とは非導通状態になっており、電源ノードN<sub>VHT</sub>と接地ノードとの間の電流経路が遮断されているため、消費電力の低減に有利である。また、電圧生成部117が0[V]を出力することによって各トランジスタDMN1kも非導通状態になるため、各ヒータRH1kの誤動作や

10

20

30

40

50

それに伴うヒータ損傷も防止されうる。

**【0043】**

本実施形態では、検出部112が、トランジスタDMN1のゲート端子の電圧を制御する制御部として機能する。なお、上述では、ユニット116の電圧生成部117の構成を例示したが、同様の機能を有する構成を採ればよく、本発明はこの構成に限られるものではない。

**【0044】**

(第3実施形態)

図8を参照しながら、第3実施形態を説明する。第3実施形態は、図8(a)に例示されるように、ユニット101'において、検知部112の代わりにダイオードD1を用いる点で第1実施形態と異なる。ダイオードD1は、電源ノードN<sub>VHT</sub>と電源ノードN<sub>VH</sub>との間に、アノードがN<sub>VHT</sub>側でカソードがN<sub>VH</sub>側になるように設けられる。ダイオードD1は、電源ノードN<sub>VH</sub>の電位が電源ノードN<sub>VHT</sub>の電位よりも小さくなり、その電位差が例えば0.6[V]以上になると、電源ノードN<sub>VHT</sub>から電源ノードN<sub>VH</sub>に電流が流れる。即ち、電圧VHが供給されていない場合には、電源ノードN<sub>VH</sub>にはダイオードD1を介して電源ノードN<sub>VHT</sub>から電圧が供給される。その結果、電源ノードN<sub>VH</sub>の電位が上がり、トランジスタDMN1のドレイン電位がゲート電位に近づいて、ゲート-ドレイン間の電位差V<sub>GD</sub>が小さくなる。

**【0045】**

図8(b)は、電圧生成部113'の構成例を示している。電圧生成部113'は、前述の図3(b)の電圧生成部113の構成の一部を用いて構成されうる。具体的には、抵抗素子R5及びR6と、トランジスタMN3及び抵抗素子R7とが、電源ノードN<sub>VHT</sub>と接地ノードとの間に、それぞれ電流経路を形成するように配されうる。この構成によると、電圧VHTの抵抗素子R5及びR6による分圧電圧がトランジスタMN3のゲートに入力され、当該分圧電圧に応じた電圧VHTMHが出力される。

**【0046】**

本実施形態によると、電圧VHが供給されていない場合でもヒータRH1には電流が流れうる。しかし、ヒータRH1に電流が流れることによってトランジスタDMN1のソース電位が上昇するため、ゲート-基板間で過電圧が生じることによる絶縁破壊が防止される。即ち、電圧VHが供給されていない場合にトランジスタDMN1のドレイン電位がゲート電位に近づける本実施形態によっても、第1実施形態と同様の効果が得られる。

**【0047】**

また、本実施形態によるトランジスタDMN1の制御方式を、第2実施形態の構成に適用することも可能である。例えば、図9に示される記録素子基板I3のように、検出部112及び電圧生成部117に代わって、ダイオードD1を用いてもよい。この構成によっても、電圧VHが供給されていない場合には、トランジスタDMN1のドレイン電位がゲート電位に近づいて、ゲート-ドレイン間の電位差V<sub>GD</sub>が小さくなる。また、図9に示されるように、電圧生成部117は省略されてもよく、本構成では、電源ノードN<sub>VHT</sub>が、トランジスタDMN1kのゲート端子に電圧VHTを供給する。

**【0048】**

本実施形態では、ダイオードD1が、トランジスタDMN1のドレイン端子の電圧を制御する制御部として機能する。なお、本実施形態では、1つのダイオードD1を示したが、2以上のダイオードを設けた構成でもよく、チップレイアウトに応じてこれらのダイオードを分散して配置してもよい。また、電圧VHTの電源の負担を軽減するため、2以上のダイオードを直列に配置して、電源ノードN<sub>VH</sub>への電圧の供給能力を抑えてよい。また、電圧VHと電圧VHTがほぼ等しい場合には、ダイオードD1は、電源ノードN<sub>VHT</sub>と電源ノードN<sub>VH</sub>との間に、カソードがN<sub>VHT</sub>側でアノードがN<sub>VH</sub>側になるよう設けられてもよい。このように接続することで、ダイオードD1の降伏電圧(例えば7V)を閾値として用いることができる。また、上述では、ダイオードD1を用いた構成を例示したが、同様の機能を有する構成を採ればよく、本発明はこの構成に限られるもの

10

20

30

40

50

ではない。例えば、ダイオードD1の代わりにダイオード接続されたトランジスタ（接続トランジスタ）が用いられてもよい。この場合は、電源ノードN<sub>VH\_T</sub>-N<sub>VH</sub>間の電位差が当該トランジスタの閾値電圧より大きくなったときに、電源ノードN<sub>VH</sub>に電源ノードN<sub>VH\_T</sub>から電圧が供給される。

#### 【0049】

##### （第4実施形態）

図10を参照しながら、第4実施形態の記録素子基板I4を説明する。図10(a)は、記録素子基板I4の構成例を示している。本実施形態は、ユニット101Aの構成が第1および第3実施形態と異なっており、検出部112'を用いて電源ノードN<sub>VH</sub>の電位に基づいてNMOSトランジスタMN7を制御する点で異なる。具体的には、トランジスタMN7は、電源ノードN<sub>VH</sub>と電源ノードN<sub>VH\_T</sub>との間に電流経路を形成するように配されており、トランジスタMN7のゲートは検出部112'の出力を受ける。検出部112'は、電圧VHが供給されていない場合にトランジスタMN7を導通状態にするよう構成されればよい。なお、ここでは、理解を容易にするため、ヒータRH1k並びにトランジスタDMN1k及びMN1kを1つずつ示したが、これらの数量は本実施形態に限られるものではない。

#### 【0050】

図10(b)は、検出部112'の構成例を示している。検出部112'は、例えば抵抗素子R1およびトランジスタMN8を用いて構成されうる。この構成によると、電圧VHが供給されている場合には抵抗素子R1とトランジスタMN8とによる分圧電圧が検出部112'から出力される。抵抗素子R1及びトランジスタMN8は、当該分圧電圧によってトランジスタMN7が非導通状態になるように設計されればよく、例えば当該分圧電圧が、ほぼ0[V]になるように設計されればよい。

#### 【0051】

一方、電圧VHが供給されていない場合には、検出部112'の出力は電源ノードN<sub>VH\_T</sub>の電位に等しくなり、それによってトランジスタMN7は導通状態になる。これにより、電源ノードN<sub>VH</sub>と電源ノードN<sub>VH\_T</sub>とは電気的に接続され、電源ノードN<sub>VH</sub>にはトランジスタMN7を介して電源ノードN<sub>VH\_T</sub>から電圧が供給される。その結果、電源ノードN<sub>VH</sub>の電位が上がり、トランジスタDMN1のドレイン電位がゲート電位に近づいて、ゲート-ドレイン間の電位差V<sub>GD</sub>が小さくなる。

#### 【0052】

なお、トランジスタMN7及びMN8には、電圧VH及びVHTないしそれに近い電圧が印加されうるため、前述の高耐圧トランジスタを用いるとよい。その他の構成要素については、前述の各実施形態と同様であるため説明を省略する。

#### 【0053】

以上、本実施形態によっても第3実施形態と同様の効果が得られ、電圧VHが供給されていない際のトランジスタDMN1kの絶縁破壊を防止するのに有利である。

#### 【0054】

以上の4つの実施形態を述べたが、本発明はこれらに限られるものではなく、目的、状態、用途及び機能その他の仕様に応じて、適宜、変更が可能であり、他の実施形態によっても為されうる。例えば、以上の各実施形態では、記録素子としてヒータ（電気熱変換体）を用いた構成が示されたが、圧電素子を用いた記録方式その他の公知の記録方式が採られてもよい。また、例えば、各パラメータ（電圧の値など）は、仕様・用途に応じて変更されうるし、当該変更に伴って、各ユニットは各自が適切に動作するように変更されうる。

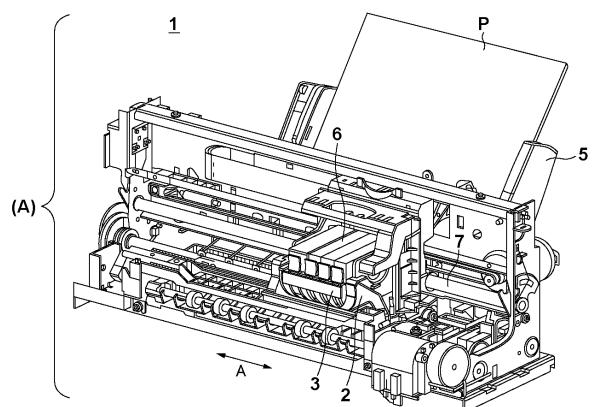
10

20

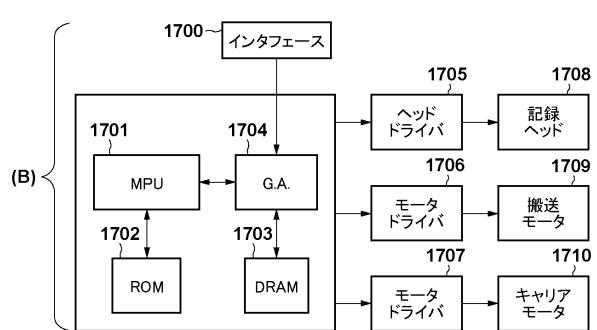
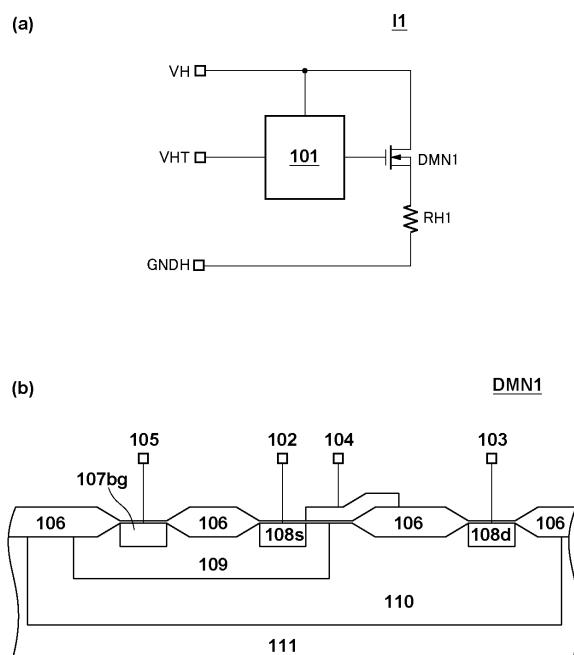
30

40

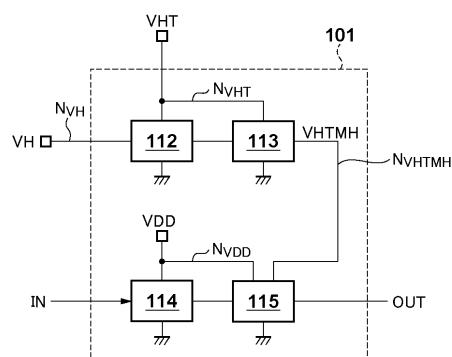
【図1】



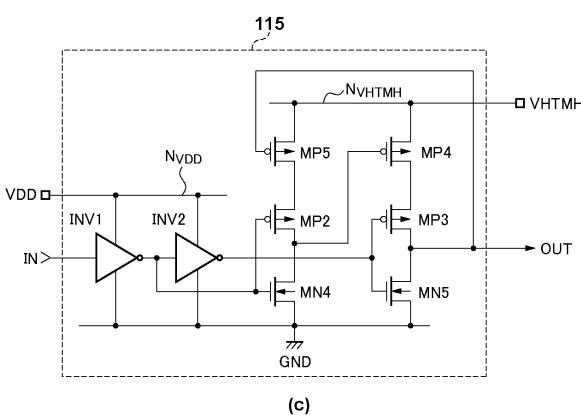
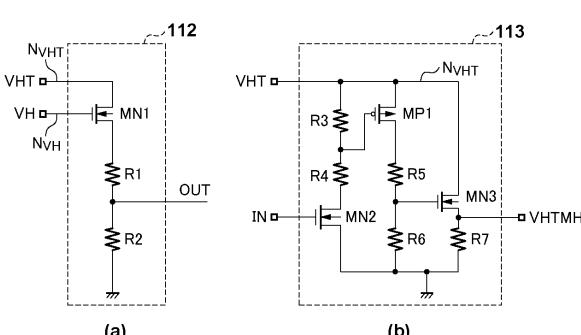
【図2】



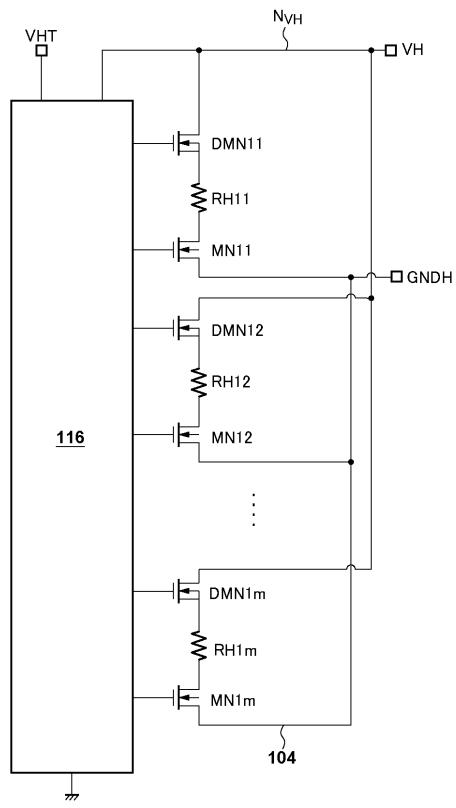
【図3】



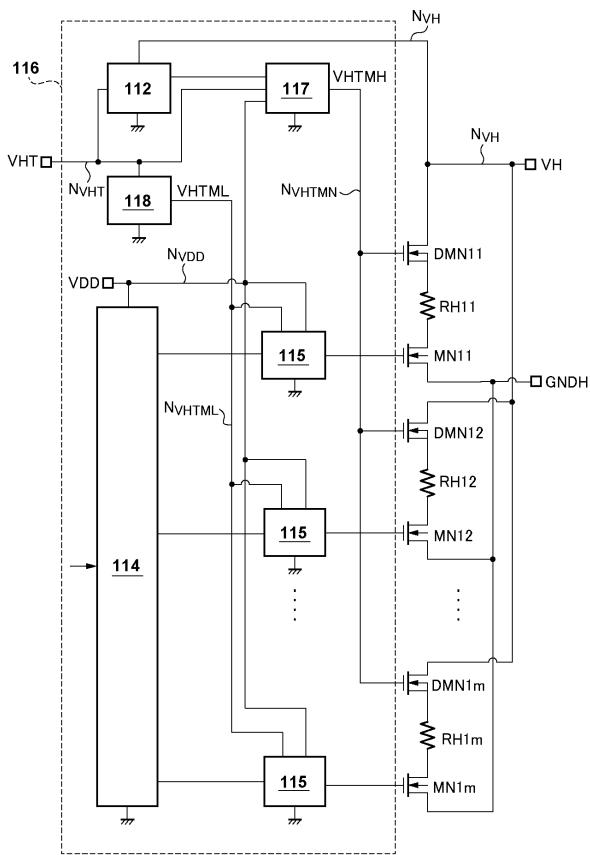
【図4】



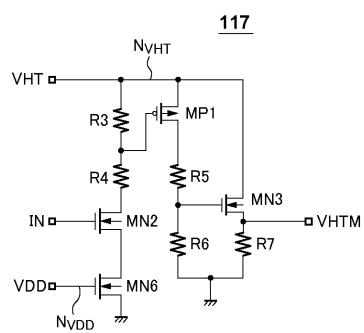
【図5】



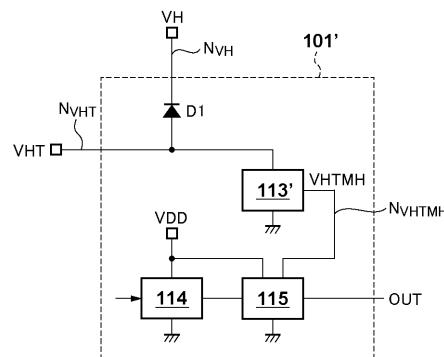
【図6】



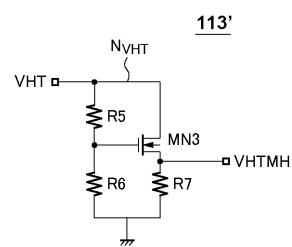
【図7】



【図8】

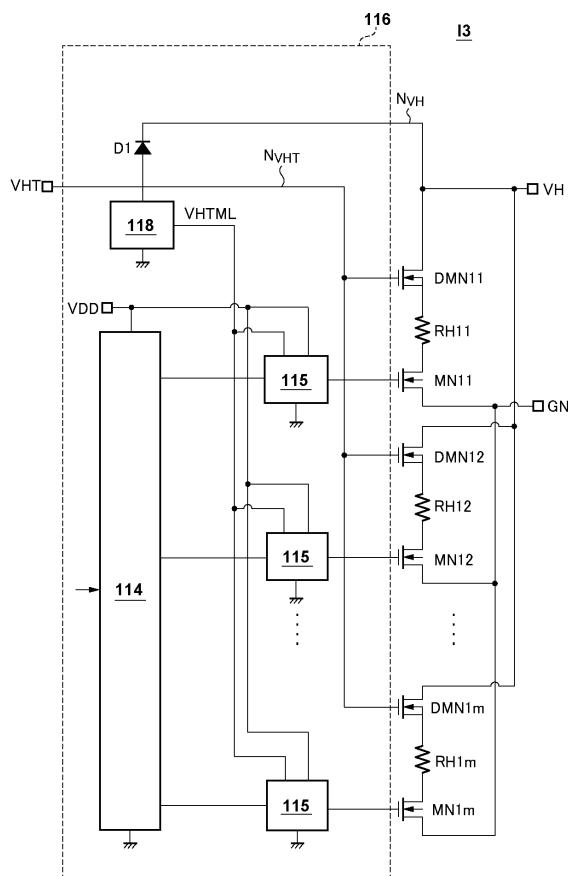


(a)

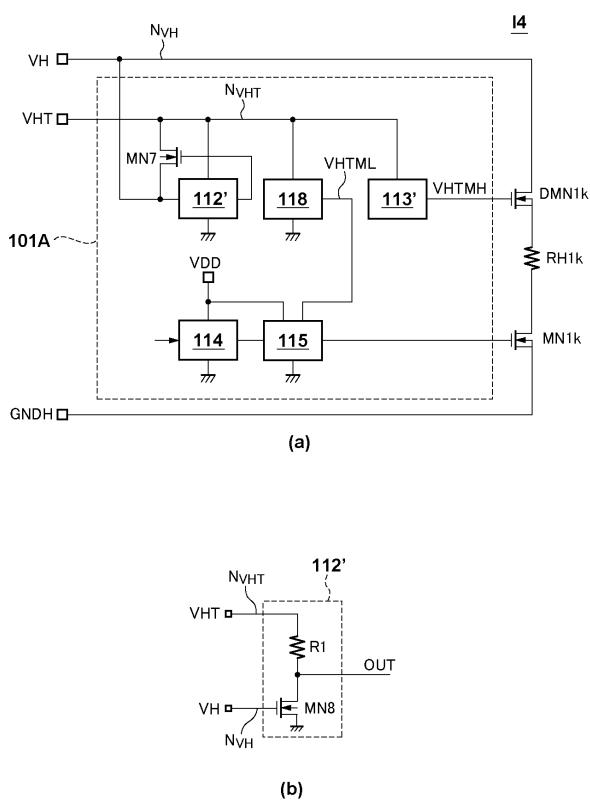


(b)

【図9】



【図10】



---

フロントページの続き

(72)発明者 遠藤 航

東京都大田区下丸子3丁目30番2号 キヤノン株式会社内

(72)発明者 高木 誠

東京都大田区下丸子3丁目30番2号 キヤノン株式会社内

(72)発明者 大村 昌伸

東京都大田区下丸子3丁目30番2号 キヤノン株式会社内

審査官 村田 順一郎

(56)参考文献 特開2009-029117(JP, A)

米国特許出願公開第2006/0262156(US, A1)

特開2009-253059(JP, A)

特開平10-151746(JP, A)

(58)調査した分野(Int.Cl., DB名)

B41J 2/01 - 2/215