

[19] 中华人民共和国国家知识产权局

[51] Int. Cl⁷

H01L 29/786

H01L 21/336



[12] 发明专利申请公开说明书

[21] 申请号 200410103856.8

[43] 公开日 2005年6月1日

[11] 公开号 CN 1622341A

[22] 申请日 2004.11.26

[21] 申请号 200410103856.8

[30] 优先权

[32] 2003.11.28 [33] KR [31] 85848/2003

[71] 申请人 三星 SDI 株式会社

地址 韩国京畿道

[72] 发明人 黄义勋 李相杰 金得钟

[74] 专利代理机构 北京市柳沈律师事务所

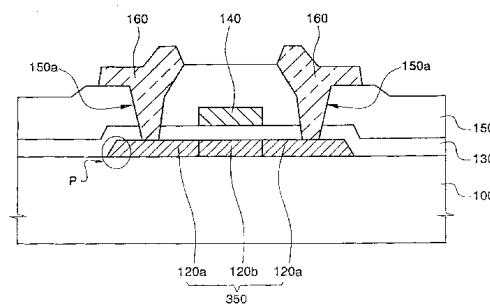
代理人 张平元 赵仁临

权利要求书 2 页 说明书 6 页 附图 11 页

[54] 发明名称 薄膜晶体管

[57] 摘要

本发明的薄膜晶体管可包括栅绝缘层和底图形，底图形位于栅绝缘层下方并与栅绝缘层接触、具有至多约 80° 的锥角的边缘。采用这种设计，能够提高栅绝缘层的介电强度。底图形可以是栅电极层。



ISSN 1008-4274

1. 一种薄膜晶体管，其中包括：
栅绝缘层；和
- 5 位于下部并与栅绝缘层接触、具有不大于约 80° 的锥角的边缘的底图形。
2. 权利要求 1 中所述的薄膜晶体管，其中，底图形的边缘的锥角具有至少约 30° 的角。
3. 权利要求 1 中所述的薄膜晶体管，其中，底图形的边缘的锥角具有约
- 10 60° ~约 75° 的角。
4. 权利要求 1 中所述的薄膜晶体管，其中，栅绝缘层包括氧化硅层。
5. 权利要求 1 中所述的薄膜晶体管，其中，栅绝缘层通过等离子体增强化学气相淀积形成。
6. 权利要求 1 中所述的薄膜晶体管，其中，底图形包括半导体层。
- 15 7. 权利要求 1 中所述的薄膜晶体管，其中，底图形包括栅电极。
8. 权利要求 7 中所述的薄膜晶体管，其中，栅电极厚约 500\AA ~约 3000\AA 。
9. 一种薄膜晶体管的制造方法，其中包括：
在衬底上淀积底图形；和
在底图形上直接淀积栅绝缘层；
- 20 其中，底图形有不大于约 80° 的锥角的边缘。
10. 权利要求 9 中所述的方法，其中，底图形的边缘的锥角具有至少约 30° 的角。
11. 权利要求 9 中所述的方法，其中，底图形的边缘的锥角具有约 60° ~约 75° 的角。
- 25 12. 权利要求 9 中所述的方法，其中，栅绝缘层包括氧化硅层。
13. 权利要求 9 中所述的方法，还包括通过等离子体增强化学气相淀积形成栅绝缘层。
14. 权利要求 9 中所述的方法，其中，底图形包括半导体层。
15. 权利要求 9 中所述的方法，其中，底图形包括栅电极。
- 30 16. 权利要求 15 中所述的方法，其中，栅电极厚约 500\AA ~约 3000\AA 。
17. 一种显示器，其中包括：

多个像素电极的阵列，
该多个像素电极包括薄膜晶体管，和
该薄膜晶体管包括栅绝缘层；和
位于栅绝缘层下部并与其接触、具有不大于约 80° 的锥角的边缘的底图
5 形。

18. 权利要求 17 中所述的显示器，其中，底图形的边缘的锥角具有至少
约 30° 的角。

19. 权利要求 17 中所述的显示器，其中，底图形的边缘的锥角具有约
 60° ~ 约 75° 的角。

10 20. 权利要求 17 中所述的显示器，其中，底图形包括栅电极。

薄膜晶体管

5 相关申请的相互参考

本申请要求2003年11月28日申请的韩国专利申请 No.2003-85848 的优先权，这里引入其全部公开内容供参考。

发明背景

10 1. 发明领域

本申请涉及一种薄膜晶体管，更详细地说涉及一种具有改进的栅绝缘层介电强度的薄膜晶体管。

2. 相关技术的描述

15 通常，薄膜晶体管包括半导体层、栅电极、源/漏电极和插入半导体层和栅电极之间的栅绝缘层。对于使用薄膜晶体管的电路，为了进行高速操作，必须减小薄膜晶体管的阈值电压。薄膜晶体管的阈值电压与栅绝缘层的厚度具有密切的关系，因此，应当减薄栅绝缘层以减小阈值电压。

然而，当栅绝缘层变薄时，栅绝缘层的介电强度会退化。栅绝缘层的介电强度指的是栅绝缘层不被击穿而能够承受的最大电场。当栅绝缘层的介电强度低于设计值时，会发生击穿。这会导致薄膜晶体管性能的操作缺陷和使用薄膜晶体管的显示器出现相应的显示缺陷。

20 为了改进栅绝缘层的介电强度特性，韩国专利申请 No.1994-035626 公开了一种通过低温 CVD 淀积氧化层并接着进行热氧化的方法。然而，这种情形中的热氧化需要高温，因此，不利的是需要昂贵的石英衬底。

发明内容

本申请提供一种具有改进的栅绝缘层介电强度的薄膜晶体管。

30 薄膜晶体管可以包括栅绝缘层，和位于栅绝缘层下部并与其接触、边缘具有 80° 或更小锥角的底图形。

优选的是，底图形边缘的锥角具有至少 30° 的角度。更优选的是，底图

形边缘的锥角具有 $60^{\circ} \sim 75^{\circ}$ 的角度。

优选的栅绝缘层由氧化硅层制得。而且，优选的栅绝缘层通过等离子体增强化学气相淀积(PECVD)制得。

底图形是半导体层。底图形可以是栅电极。这里，优选栅电极具有约
5 500Å~约 3000Å 的厚度。

附图的简单说明

图 1 示出典型的顶栅薄膜晶体管的平面图。

图 2A 和 2B 分别说明本发明一个实施例的顶栅薄膜晶体管制作时沿图 1
10 的线 I - I' 和 II - II' 的截面图。

图 3 是说明本发明另一实施例的底栅薄膜晶体管和其制造方法的截面图。

图 4A、5A、6A 和 7A 是分别示出实施例 1、2、比较例 1 和 2 的薄膜晶
体管的半导体层的边缘图。

15 图 4B、5B、6B 和 7B 是分别示出实施例 1、2、比较例 1 和 2 的薄膜晶
体管中栅绝缘层的介电强度特性图。

发明详述

现在参照附图更充分地说明本发明，图中示出了本发明的优选实施例。
20 然而，本发明可以以不同的方式实施，并且不应当解释为受这些实施例限制。
在图中，为清楚起见，放大了各层和区域的厚度。整个说明书中相同的数字
表示相同的元件。

如图 1 所示，半导体层 120 可以沿一个方向放置，与半导体层 120 交叉
的栅电极 140 放置在半导体层 120 上。栅绝缘层(未示出)放置在半导体层 120
25 和栅电极 140 之间。源/漏电极 160 位于半导体层 120 的两端上。

如图 2A 和 2B 所示，提供衬底 100，并优选在衬底 100 上形成缓冲层(未
示出)。缓冲层可以保护薄膜晶体管的有源部分，使其避免在后续工艺中从衬
底 100 中发射出的杂质的影响。缓冲层可以由例如氧化硅层、氮化硅层、氮
氧化硅层或其叠层形成。优选的是，在缓冲层上形成非晶层之后，通过准分
30 子激光退火(ELA)、连续横向凝固(SLS)、金属诱导结晶(MIC)、金属诱导横向
结晶(MILC)等使非晶层结晶。这种方法可以形成多晶硅层。优选的是多晶硅

厚约 300Å ~ 约 1000Å 之间。

5 接下来,在多晶硅层上形成光致抗蚀图形,并蚀刻多晶硅层(用光致抗蚀图形作掩模)形成半导体层 120。可以使形成的半导体层 120 具有一锥角边缘,其中,该边缘的锥角具有 80°或更小的角度。优选的是,通过干法蚀刻进行多晶硅层的蚀刻,其具有优良的蚀刻均匀性和低刻蚀 CD 损失。另外,优选使用 O₂ 和 SF₆ 的混合气体作为蚀刻气体,形成具有锥角边缘的半导体层 120。当 SF₆ 蚀刻硅时, O₂ 可用于蚀刻光致抗蚀图形的侧面。这可以相应地使半导体层 120 形成为具有锥形边缘。通过 O₂ 和 SF₆ 的流速/体积比,能够调节半导体层 120 的边缘的锥角。

10 接下来,在半导体层 120 上形成覆盖半导体层 120 的栅绝缘层 130。栅绝缘层 130 由例如氧化硅层或氮化硅层形成。然而,由于氧化硅良好的介电强度,优选栅绝缘层 130 由氧化硅层形成。虽然其它技术也可使用,但优选栅绝缘层 130 通过低温 PECVD 形成。

15 半导体层 120 被形成为具有 80°或更小的锥角边缘。这种锥角的选择有助于防止淀积的栅绝缘层 130 在半导体层 120 的侧面变薄的现象。当栅绝缘层 130 在半导体层 120 的侧面变薄时,栅绝缘层 130 在薄处能呈现出介电击穿。因此,半导体层 120 被形成为具有 80°或更小的锥角边缘,栅绝缘层 130 能够均匀地在半导体层 120 的上面和侧面形成。因此,可提高栅绝缘层 130 的介电强度。

20 半导体层 120 的边缘的锥角优选约为 30°或更大。当锥角小于约 30°时,低于 30°的薄边缘导致半导体 120 的电阻增大。这使产生于半导体层 120 中的沟道电阻增大。更优选地是,为了平衡电阻特性和介电强度特性,半导体 120 的边缘的锥角可以在约 60°~约 75°之间。

25 另外,可以在栅绝缘层 130 上淀积栅电极材料,并构图,形成栅电极 140。然后,使用栅电极 140 作为掩模,注入杂质到半导体层 120。因此,在半导体层 120 中形成源/漏区 120a。位于源/漏区 120a 之间的区域可限定为沟道区 120b。

30 另外,可以形成覆盖具有栅电极 140 的衬底整个表面的中间层 150,在中间层 150 中形成各自暴露源/漏区 120a 之一的源/漏接触孔 150a。在形成源/漏接触孔 150a 处的衬底之上,可以淀积源/漏电极材料。通过这种方式构图,可以形成分别通过源/漏接触孔 150a 与源/漏区 120a 接触的源/漏电极 160。

图3示出了根据本发明另一实施例的底栅薄膜晶体管和其制造方法的截面图。

提供如图3所示的衬底300。在衬底300上可淀积栅电极材料并在淀积的栅电极材料上形成光致抗蚀图形(未示出)。用光致抗蚀图形作掩模，可以
5 蚀刻栅电极材料，形成栅电极320。栅电极320可形成具有约 80° 或更小角度的锥角边缘。优选的是通过具有优良的蚀刻均匀性和低蚀刻CD损失的干法蚀刻，蚀刻栅电极材料。而且，优选的是使用 O_2 和 SF_6 的混合气体作为刻蚀气体，形成具有锥角边缘的栅电极320。如上所述， O_2 可用于蚀刻光致抗蚀图形的侧面。这可使该层具有锥角边缘。通过控制 O_2 和 SF_6 的流速/体积
10 比，调整栅电极320中边缘的锥角。

对于平板显示器来说，当在形成栅电极320同时形成的栅极布线的电阻特性和蚀刻CD损失平衡时，栅电极320厚度介于约 500\AA ~约 3000\AA 之间是优选的。

另外，在栅电极320上淀积栅绝缘层330。栅绝缘层330由例如氧化硅
15 层或氮化硅层形成。优选的是，栅绝缘层330利用氧化硅层形成。另外，通过低温PECVD法或其它类似的方法，形成栅绝缘层330是优选的。

形成的栅电极320具有约 80° 或更小的锥角边缘。这可以减弱栅绝缘层330在栅电极320的边缘变得太薄的问题。当栅绝缘层330在栅电极320的边缘变薄时，在栅绝缘层330的薄处出现介电击穿。因此，栅电极320可具有
20 有 80° 或更小的锥角边缘，以使能够在栅电极320的上面和侧面均匀形成栅绝缘层330。因此，能够提高栅绝缘层330的介电强度。

出于与前边的实施例同样的原因，栅电极320中边缘的锥角具有 30° 或更大是优选的。

另外，可在栅绝缘层330上依次形成半导体层和欧姆接触层。这里，优
25 选的是，半导体层由非晶硅形成，欧姆接触层可以是非晶硅中掺入杂质的区域。然而，在由非晶硅形成半导体层之后，通过ELA、SLS、MIC、MILC等使其结晶，形成多晶硅层。对欧姆接触层和半导体层依次构图，形成半导体图形340和欧姆接触层图形350。在本实施例中，形成的半导体图形340覆盖栅电极320。

30 另外，在欧姆接触层图形350上淀积源/漏电极材料，并构图，形成源/漏电极360。在本实施例中，半导体层图形340暴露在源/漏电极360之间。

为了进一步帮助读者理解本发明，下面说明几个实施例。

实施例 1

在绝缘衬底上形成非晶硅层，构图，形成厚 500Å 的多晶硅层。在多晶
5 硅层上形成光致抗蚀图形。用光致抗蚀图形作掩模，蚀刻多晶硅层，形成半
导体层。使用比例为 120/180sccm 的 SF₆/O₂ 气体，蚀刻多晶硅，形成半导体
层。另外，在半导体层上 PECVD 淀积 1000Å 厚的氧化硅层，形成栅绝缘层。
在栅绝缘层上形成栅电极，从而制得本实施例的薄膜晶体管。

10 实施例 2

在本实施例中，除了使用比例为 100/200sccm 的 SF₆/O₂ 气体，蚀刻多晶
硅层外，用与实施例 1 中相同的方法，制造薄膜晶体管。

比较例 1

15 除了使用比例为 150/150sccm 的 SF₆/O₂ 气体，蚀刻多晶硅层外，用与实
施例 1 中相同的方法，制造薄膜晶体管。

比较例 2

20 除了使用比例为 150/50sccm 的 SF₆/O₂ 气体，刻蚀多晶硅层外，用与实
施例 1 中相同的方法，制造薄膜晶体管。

如图 4 所示，对于实施例 1 的薄膜晶体管，半导体层中边缘的锥角 R 具
有约 78° 的角度。如图 5A 所示，对于实施例 2 的薄膜晶体管，半导体层中
边缘的锥角 S 具有约 60° 的角度。如图 6A 所示，对于比较例 1 的薄膜晶体
管，半导体层中边缘的锥角 T 具有约 82° 的角度。如图 7A 所示，对于比较
25 例 2 的薄膜晶体管，半导体层中边缘的锥角 U 具有约 90° 的角度。

图 4B、5B、6B 和 7B 是分别示出实施例 1、实施例 2、比较例 1 和比较
例 2 的薄膜晶体管中栅绝缘层的介电强度图。在图中，X 轴表示栅电极和半
导体层之间的电场(MV/cm)，Y 轴表示在栅电极处测得的漏电流(A)。

30 如图 4B 和 5B 所示，对于实施例 1 和 2 的薄膜晶体管，直至栅电极和半
导体层之间的电场达到约 5MV/cm 时，漏电流大致保持为定值(约 1×10^{-12} A)。
因此，提高了实施例 1 和实施例 2 的薄膜晶体管中的栅绝缘层的介电强度。

如图 6B 和 7B 所示,对于比较例 1 和 2 的薄膜晶体管,当栅电极和半导体层之间的电场超过 2MV/cm 时,栅极漏电流呈现迅速增长。这表示栅绝缘层被介电击穿。这种击穿会导致薄膜晶体管故障。也会导致使用薄膜晶体管的显示器出现缺陷。这种情况下的缺陷包括点缺陷、线缺陷或亮度不均匀。

- 5 如上所述,根据本发明,栅绝缘层的底图形可以具有 80° 或更小的锥角的边缘,从而提高栅绝缘层的介电强度。因此,能够阻止薄膜晶体管的故障和呈现的缺陷(当薄膜晶体管用于显示器时)。

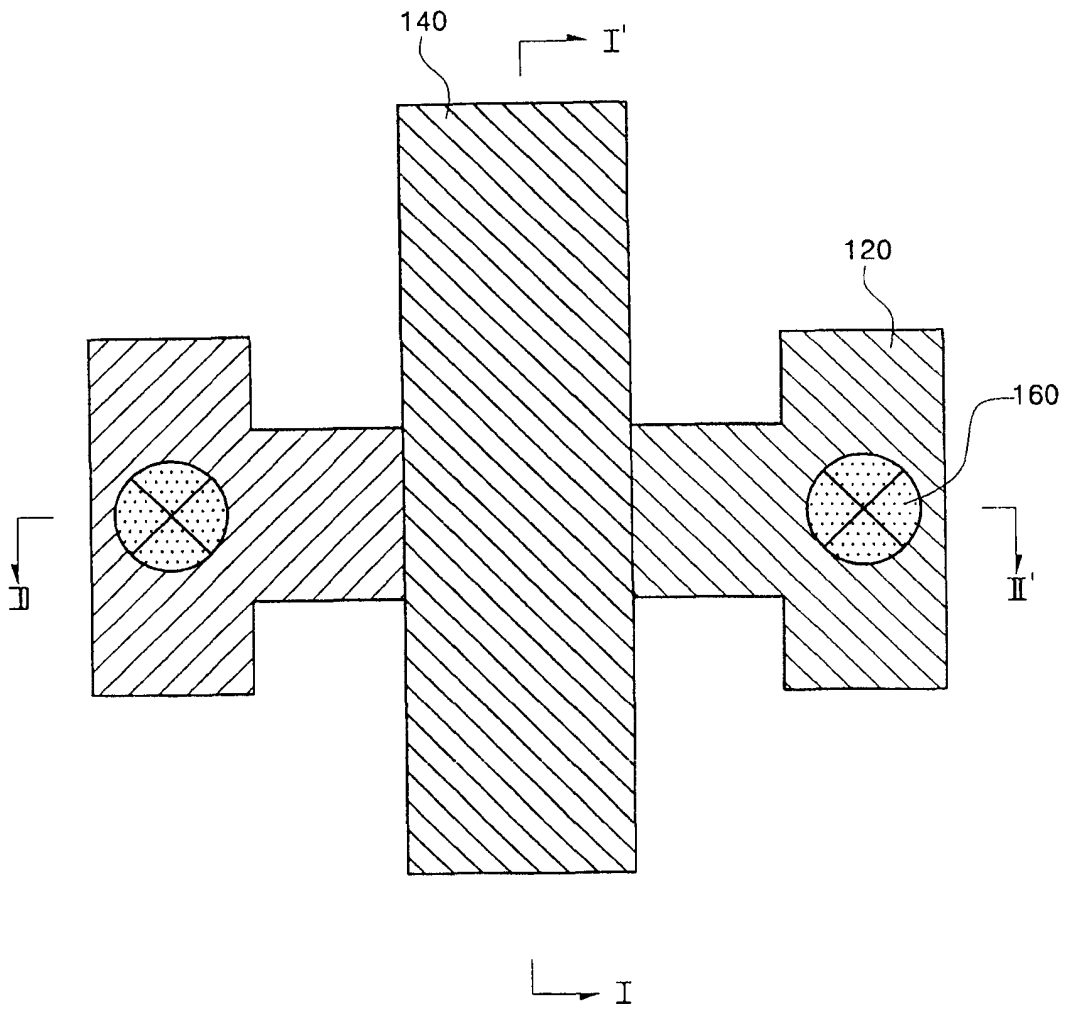


图 1

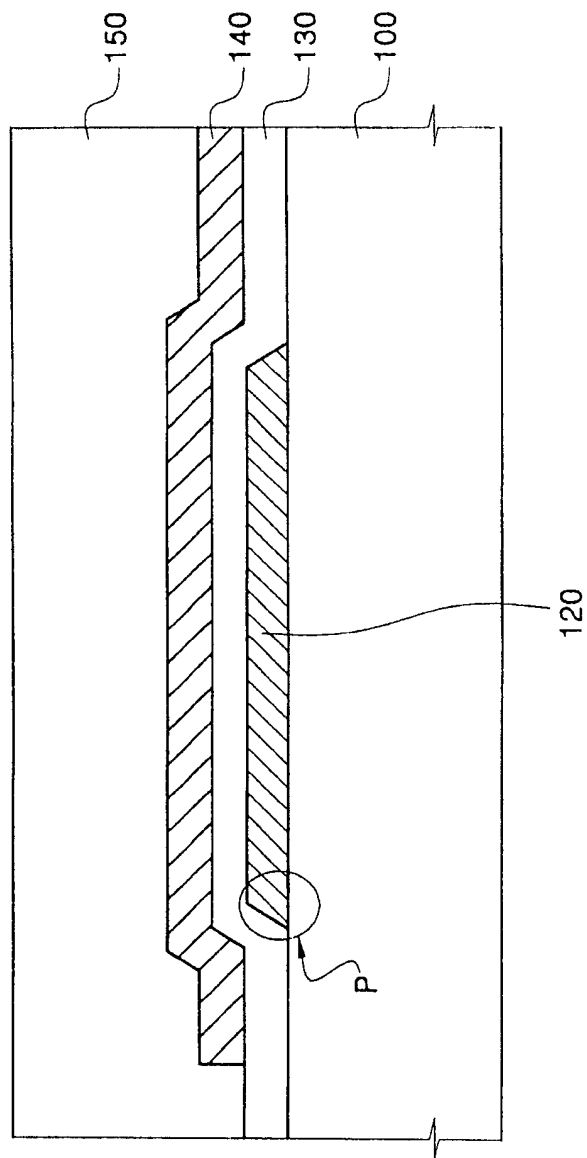


图 2A

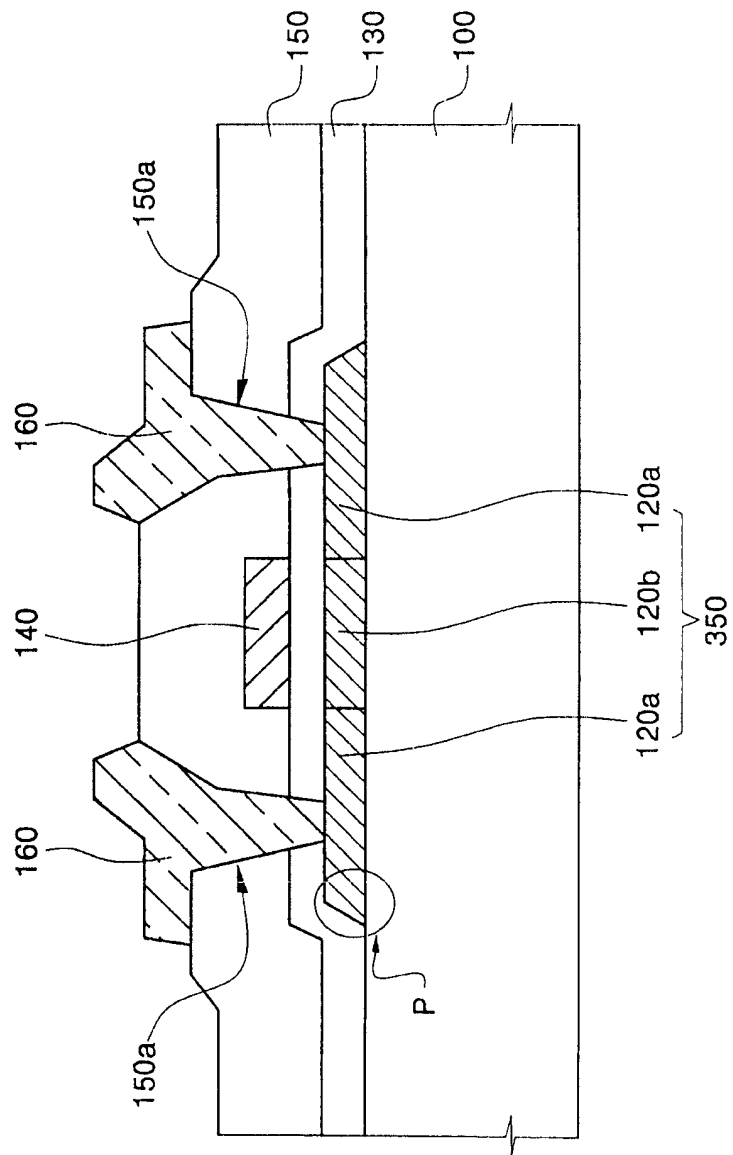


图 2B

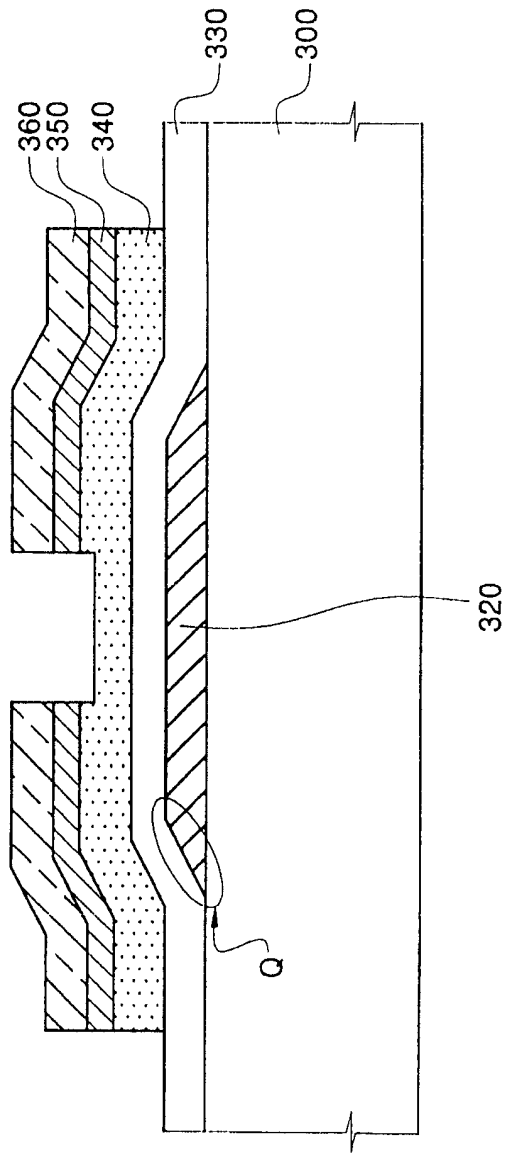


图 3



R

图 4A

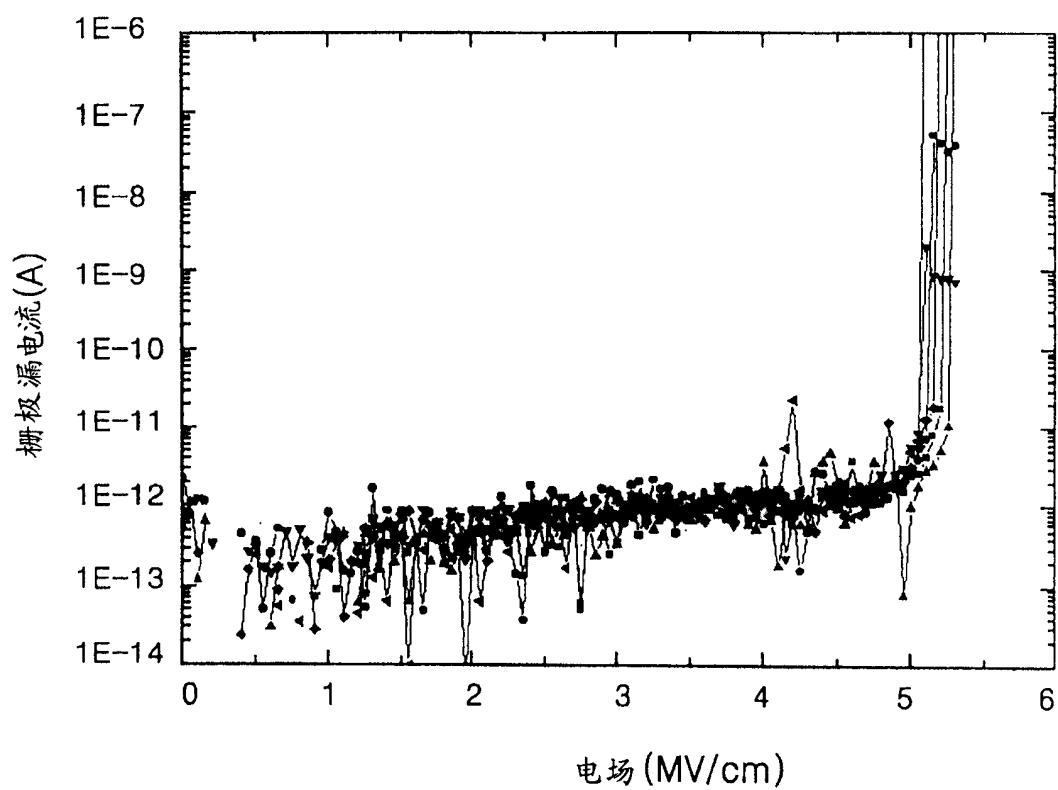
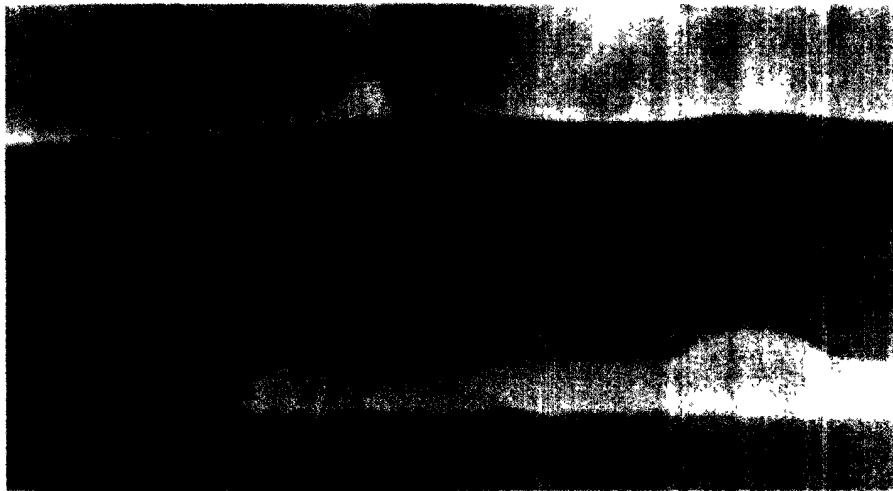


图 4B



S

图 5A

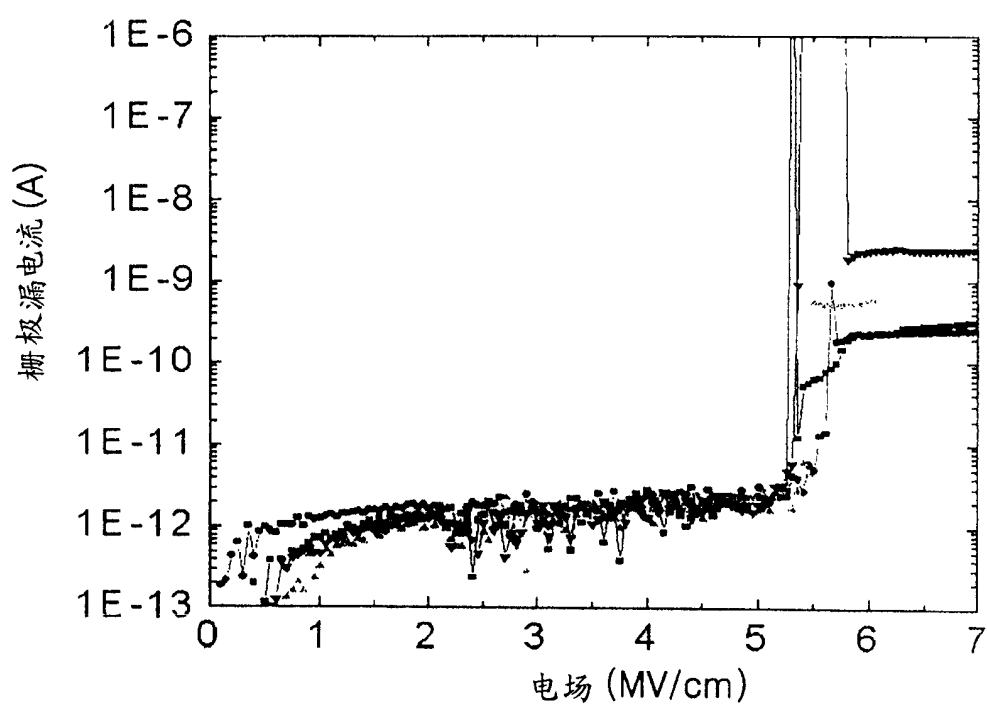


图 5B

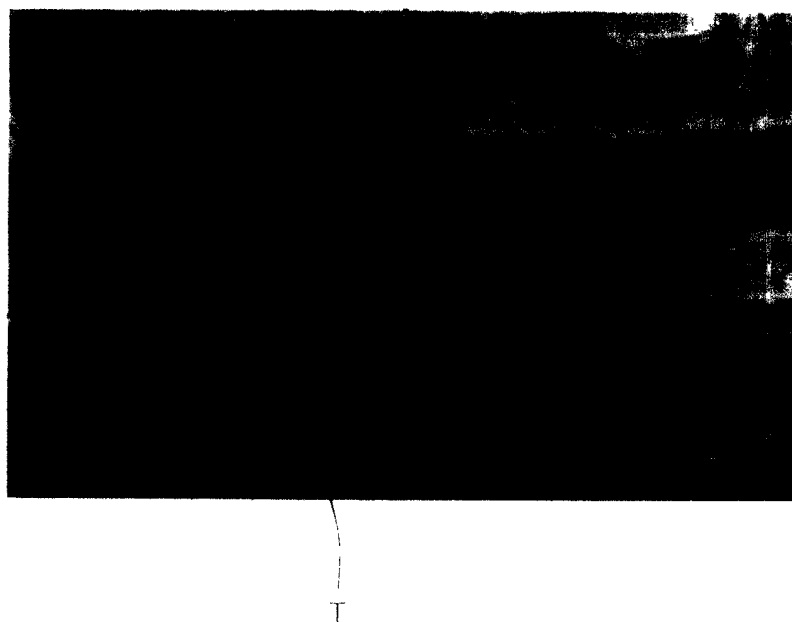


图 6A

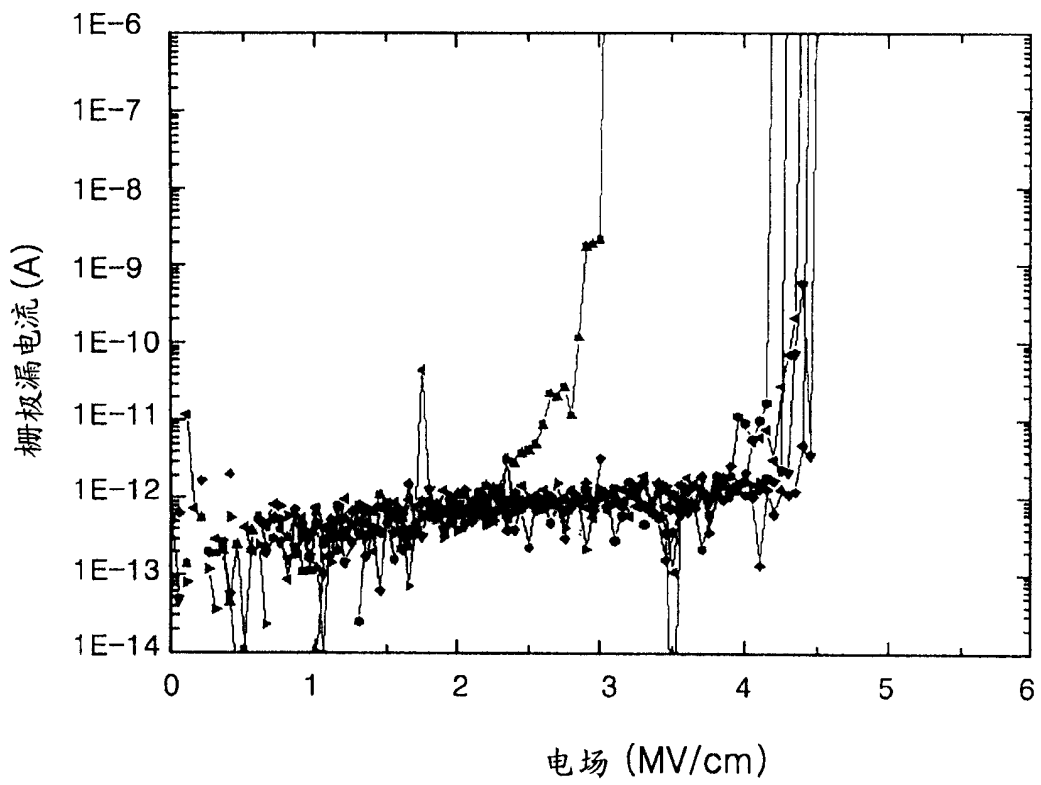


图 6B

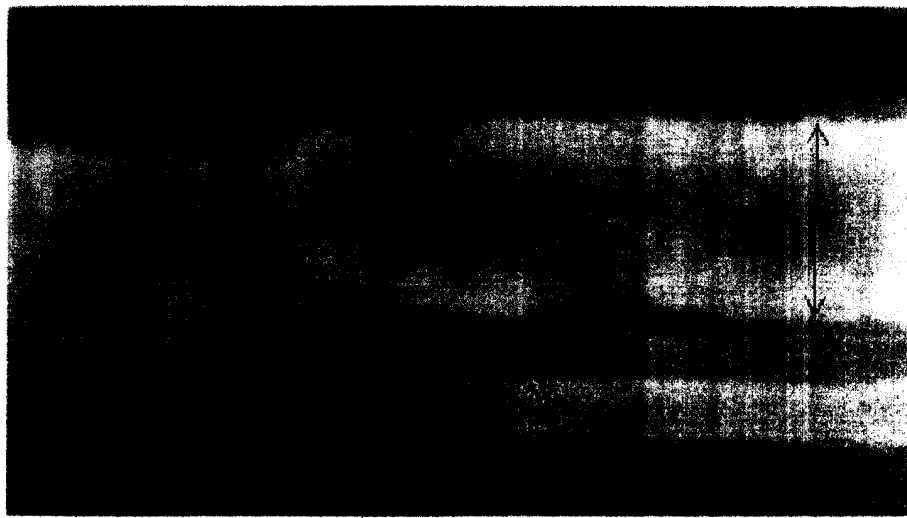


图 7A

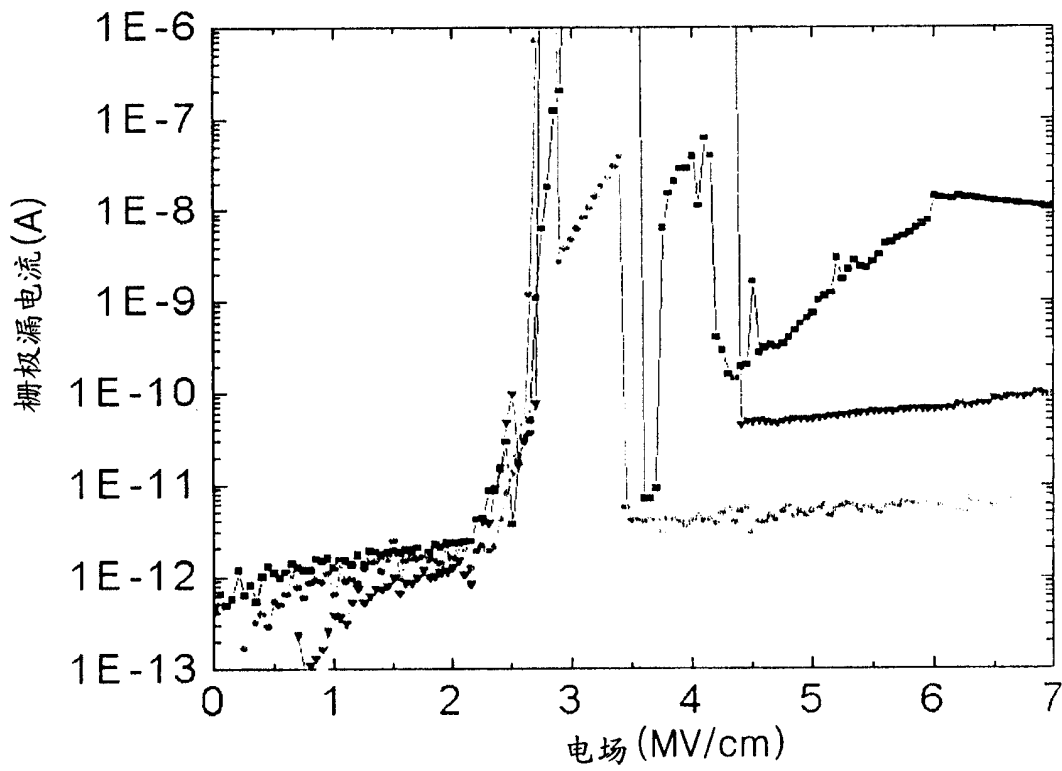


图 7B