

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2016年1月21日(21.01.2016)



(10) 国際公開番号

WO 2016/009924 A1

- (51) 国際特許分類:
H03F 3/34 (2006.01) *H03F 3/45* (2006.01)
- (21) 国際出願番号: PCT/JP2015/069681
- (22) 国際出願日: 2015年7月8日(08.07.2015)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2014-144598 2014年7月14日(14.07.2014) JP
- (71) 出願人: 株式会社エイアールテック(A-R-TEC CORP.) [JP/JP]; 〒7390005 広島県東広島市西条大坪町10番29-1205号 Hiroshima (JP).
- (72) 発明者: 村坂 佳隆(MURASAKA, Yoshitaka); 〒7390005 広島県東広島市西条大坪町10番29-1205号 Hiroshima (JP). 岩田 穆(IWATA, Atsushi); 〒7390005 広島県東広島市西条大坪町10番29-1205号 Hiroshima (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA,

BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

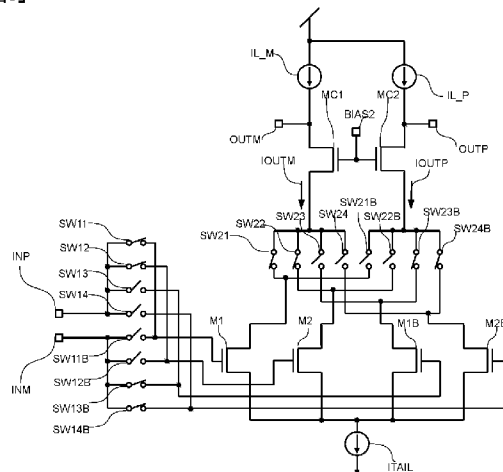
添付公開書類:

- 国際調査報告 (条約第21条(3))

(54) Title: OPERATIONAL AMPLIFIER CIRCUIT

(54) 発明の名称: 演算増幅回路

[図3]



(57) Abstract: The present invention reduces glitch noise caused by finite frequency characteristics and slew rate of an operational amplifier circuit that utilizes a chopper modulation technique. In the operational amplifier circuit, which has an even number of signal amplification units greater than or equal to four and an even number of current source units greater than or equal to four, the offset of the signal amplification units and current source units and 1/f noise are modulated, said signal amplification units having a modulation and demodulation function for input signals and outputting a current in accordance with the input signals, and said current source units having a modulation function for output current. Four or more patterns of a combination of states in modulation operation are set for the signal amplification units or the current source units and two or more patterns are set for the other to reduce the number of signal amplification units and current source units involved in a single state transition. Furthermore, different values are set for state transition cycles of the signal amplification units and current source units in order to control the states of the signal amplification units and current source units so as not to transition at the same time, thereby reducing glitch noise.

(57) 要約:

[続葉有]

WO 2016/009924 A1



チョッパ変調技術を用いた演算増幅回路の有限の周波数特性とスルーレートに起因するグリッジ形状のノイズを低減する。入力信号を変調および復調する機能を有し入力信号に応じて電流を出力する4以上の偶数個の信号増幅ユニットと、出力する電流を変調する機能を有する4以上の偶数個の電流源ユニットを有する演算増幅回路で、信号増幅ユニットおよび電流源ユニットのオフセットと $1/f$ 雑音を変調する。信号増幅ユニットと電流源ユニットの変調動作に伴う状態の組み合わせの数のうちいずれか一方を4パターン以上、もう一方を2パターン以上として、1度の状態遷移で発生する信号増幅ユニットや電流源ユニットの数を減らし、さらに信号増幅ユニットと電流源ユニットの状態遷移の周期を異なる値と設定し、信号増幅ユニットと電流源ユニットの状態遷移が同時に発生しないように制御して、グリッジ形状のノイズを低減する。

明 細 書

発明の名称： 演算増幅回路

技術分野

[0001] 本発明は演算増幅回路に関し、特に演算増幅回路のオフセット電圧及び $1/f$ 雑音の低減のための回路技術に関するものである。

背景技術

[0002] 演算増幅回路は半導体集積回路において幅広い用途で用いられる。特に、現在は高速、低電力、コストの面から、CMOSプロセスで製造される半導体集積回路が主流であるので演算増幅回路もMOSトランジスタで構成される。

[0003] MOSトランジスタの比精度に起因するオフセットや $1/f$ 雑音は、バイポーラトランジスタに比べて一般に1桁程度悪いので、低オフセット電圧で且つ低雑音の演算増幅回路の実現が難しい。

[0004] この問題を解決するためにあるのが、（非特許文献1、2）や（特許文献1から5）に示すチョッパ変調技術である。

[0005] 図1にチョッパ変調技術を用いた演算増幅回路を示す。演算増幅回路2の入力と出力にそれぞれチョッパ回路1と3を設けて、変調周波数FCHOPで変調動作を行う。

[0006] 入力信号は入力チョッパ回路で変調されて、その変調された信号は演算増幅回路で増幅され、出力のチョッパ回路で復調される。信号の増幅は、変調された高い周波数でなされるため、演算増幅回路のオフセット電圧や $1/f$ 雑音の影響を除去できる。

[0007] 一方、演算増幅回路のオフセット電圧や $1/f$ 雑音は出力のチョッパ回路で変調周波数FCHOPとその奇数次の高調波に変調されるので、出力の低周波にはオフセット電圧や $1/f$ 雑音が現れない。

[0008] チョッパ変調技術を用いた演算増幅回路は、低オフセット電圧や、 $1/f$ 雑音の特性を生かして様々な用途に用いられる。例えば（特許文献2から4）

や（非特許文献1、2）に挙げたデルタシグマAD変換器やバンドギャップリファレンス回路などがある。

[0009] 変調された演算増幅回路のオフセット電圧や $1/f$ 雑音成分が特性上問題になる場合は、ローパスフィルタを設けて除去する必要がある。

先行技術文献

特許文献

[0010] 特許文献1：米国特許4 9 4 7 1 3 5

特許文献2：米国特許4 9 3 9 5 1 6

特許文献3：米国特許4 9 9 4 8 0 5

特許文献4：米国特許6 4 6 2 6 1 2

特許文献5：米国特許7 2 2 4 2 1 6

非特許文献

[0011] 非特許文献1：KC Hsieh, PR Gray, D. Senderowicz, and DG Messerschmidt, "A low-noise chopper-stabilized differential switched-capacitor filtering technique," IEEE J. Solid-State Circuits, vol. SC-16, pp. 708-715, Dec. 1981.

非特許文献2：Sanduleanu, M. A. T., et al., "Accurate low power bandgap voltage reference in $0.5\mu\text{m}$ CMOS technology," Electronic Letters, May 14, 1998, vol. 34 No. 10, p. 1025.

発明の概要

発明が解決しようとする課題

[0012] チョップ変調技術を用いた演算増幅回路では、演算増幅回路2への正相と逆

相の入力および出力電圧がチョッパ回路 1 と 3 により交互に入れ替わるため、演算増幅回路 2 の周波数特性とスルーレートともに高い性能が要求される。

[0013] 例えば入力信号が変調周波数 F_{CHOP} よりも低い周波数の正弦波である場合、演算増幅回路 2 の端子 $OUTPUT_I$ と $OUTPUT_M$ は、時間 $0.5 / F_{CHOP}$ で正弦波の最大値から最小値まで変化する必要がある。すなわち、周波数特性とスルーレートについて、増幅すべき信号に要するよりも高い値が必要になる。また、この周波数特性とスルーレートの不足は歪の原因となる。

[0014] (特許文献 5) では、チョッパ変調技術を用いた演算増幅回路を、図 2 の 4 a、4 b で示すように 2 つ以上のセグメントに分割して、一度に状態が変化する演算増幅回路の数を減らす事で前記の周波数特性とスルーレートの影響を低減している。

[0015] 例えば、4 a、4 b の各セグメントの比率を等しくした場合は、一度に状態が変化するのは 4 a または 4 b のいずれかのセグメントなので、前記の周波数特性とスルーレートの影響を半分にできる。

[0016] しかし、チョッパ変調技術を用いた演算増幅回路をセグメントに分割すると、分割後の各セグメントについて統計的なばらつきが増加する。これによりセグメント間にスルーレートのミスマッチが発生して、歪を悪化させる可能性がある。また、有限の周波数特性とスルーレートに起因するグリッジ形状のノイズの低減方法についてはまだ改善の余地があった。

課題を解決するための手段

[0017] 本発明の演算増幅回路は、入力信号に応じて電流を出力する N 個 (N は 4 以上の偶数) の信号増幅ユニットと、電流を出力する M 個 (M は 4 以上の偶数) の電流源ユニットと、信号増幅ユニットの出力電流の合計値を制限するための回路を有する。信号増幅ユニットは差動の入力信号を変調し差動の出力電流を復調するためのスイッチからなるセレクタを有し、電流源ユニットは差動の出力電流を変調するためのスイッチからなるセレクタを有し、信号増

幅ユニットと電流源ユニットのオフセット及び $1/f$ 雑音を変調する。

- [0018] 信号増幅ユニットと電流源ユニットの変調動作に伴う状態の組み合わせの数のうち、いずれか一方を4パターン以上、もう一方を2パターン以上となるよう制御を行い、且つ1度の状態遷移で発生する信号増幅ユニットと電流源ユニットの遷移数を減らすように制御を行う。また信号増幅ユニットと電流源ユニットの状態遷移が同時に発生しないように状態遷移のタイミングをずらす、信号増幅ユニットと電流源ユニットの状態遷移の周期を異なる値とするなどの制御を行う。

発明の効果

- [0019] チョップ変調技術と同様に低オフセット電圧で $1/f$ 雑音を低減した演算増幅回路を実現できる。チョップ変調技術に比べ、1回の状態遷移あたりに変化する信号の変化量が減少するので、演算増幅回路に必要な周波数特性やスルーレートが低下し、有限の周波数特性とスルーレートに起因するグリッジ形状のノイズや歪を低減できる。
- [0020] 回路のスルーレートは信号増幅ユニットの出力電流の合計値で決まるので、演算増幅回路をセグメント化する場合よりもスルーレートのミスマッチの問題を低減できる。N個の信号増幅ユニットの出力電流について、これらの加算はN個の出力端子同士を短絡することで容易に行える。M個の電流源ユニットの出力電流についても、これらの加算はM個の各出力端子同士を短絡することで容易に行える。また、出力電流を加算した後に電流入力型のゲート接地アンプなどの信号増幅手段で信号を増幅できるので、出力端子での電圧変動が小さくなり、回路に必要な周波数特性とスルーレートが低下し、周波数特性とスルーレートに起因する出力の歪を低減できる。
- [0021] 信号増幅ユニットと電流源ユニットの状態遷移のタイミングを別々に制御できるので、状態遷移のタイミングを分散させられる。これにより1回の状態遷移あたりに変化する信号の変化量をさらに低減できるので、有限の周波数特性とスルーレートに起因するグリッジ形状のノイズや歪をさらに低減できる。そして、信号増幅ユニットと電流源ユニットの状態遷移の周期を異なる

値に設定できる。つまり信号増幅および電流源ユニットそれぞれに適切な状態遷移の周期を設定できる。

図面の簡単な説明

[0022] [図1]従来のチョッパ変調技術の説明図

[図2]チョッパ変調技術を用いた演算増幅回路をセグメント化した従来技術の説明図

[図3]実施例1の回路図

[図4]従来のチョッパ変調技術を用いた場合の、信号増幅ユニットの状態と出力電圧を示したタイミングチャート

[図5]実施例1の、信号増幅ユニットの状態と出力電圧を示したタイミングチャート

[図6]スイッチを制御する信号として擬似ランダム信号を用いた場合の信号増幅ユニットの状態と出力電圧を示したタイミングチャート

[図7]実施例2の回路図

[図8]実施例2の、信号増幅ユニットの状態と出力電圧を示したタイミングチャート

[図9]実施例3の回路図

[図10]実施例3の、信号増幅ユニットと電流源ユニットの状態を示したタイミングチャート

[図11]図10に対して信号増幅ユニットと電流源ユニットの状態遷移タイミングを $T_{CHOP}/8$ ずらした場合を示したタイミングチャート

[図12]図10に対して信号増幅ユニットと電流源ユニットの状態遷移タイミングを $T_{CHOP}/8$ ずらして、且つ両者の状態遷移周期が異なる場合を示したタイミングチャート

[図13]実施例4の回路図

[図14]実施例5の回路図

[図15]実施例6の回路図、実施例4の回路を用いたバンドギャップリファレンスの回路図

発明を実施するための形態

実施例 1

[0023] 実施例 1 を図 3 に示す。

[0024] 演算増幅回路はスイッチ SW 1 1 ～ 1 4、スイッチ SW 1 1 B ～ 1 4 B、スイッチ SW 2 1 ～ 2 4、スイッチ SW 2 1 B ～ 2 4 B と、トランジスタ M 1、M 2、M 1 B、M 2 B を有する信号増幅ユニット 4 つと、信号増幅ユニットから出力される電流を増幅する信号増幅手段のトランジスタ MC 1、MC 2 と、電流源 I L _ M、I L _ P とテイル電流源 I T A I L で構成されている。

[0025] 信号増幅ユニットはそれぞれ、

スイッチ SW 1 1、SW 1 1 B、SW 2 1、SW 2 1 B と、トランジスタ M 1 で 1 回路、

スイッチ SW 1 2、SW 1 2 B、SW 2 2、SW 2 2 B と、トランジスタ M 2 で 1 回路、

スイッチ SW 1 3、SW 1 3 B、SW 2 3、SW 2 3 B と、トランジスタ M 1 B で 1 回路、

スイッチ SW 1 4、SW 1 4 B、SW 2 4、SW 2 4 B と、トランジスタ M 2 B で 1 回路

で構成されている。便宜的に、これらの信号増幅ユニットをそれぞれ 1 ～ 4 番の信号増幅ユニットと名前を付ける。

[0026] スイッチ SW 1 1 と SW 1 1 B は同時に導通する事はない。

すなわち、スイッチ SW 1 1 が導通しているときは、SW 1 1 B は遮断状態で、スイッチ SW 1 1 B が導通しているときは、SW 1 1 は遮断状態である。

[0027] スイッチ SW 1 2 ～ 1 4 と SW 1 2 B ～ 1 4 B、スイッチ SW 2 1 ～ 2 4 と SW 2 1 B ～ 2 4 B についても同様に、一方のスイッチが導通しているときは、もう一方のスイッチは遮断状態である。

[0028] ここで 1 番目の信号増幅ユニットの動作について説明する。1 番目の信号増

幅ユニットは、

正相の入力端子 I N P に入力された信号をスイッチ S W 1 1 がトランジスタ M 1 のゲート端子に伝達して S W 2 1 を介してトランジスタ M 1 のドレイン端子とトランジスタ M C 1 のソース端子を接続する状態 1 と、

逆相の入力端子 I N M に入力された信号をスイッチ S W 1 1 B がトランジスタ M 1 のゲート端子に伝達して S W 2 1 B を介してトランジスタ M 1 のドレイン端子をトランジスタ M C 2 のソース端子に接続する状態 2 の 2 つの状態をもつ。

[0029] 残りの 2 から 4 番目の信号増幅ユニットについても同様の動作を行う。

すなわち、正相の入力端子 I N P に入力された信号を増幅して、出力電流をトランジスタ M C 1 のソース端子に出力する状態 1 と逆相の入力端子 I N M に入力された信号を増幅して、出力電流をトランジスタ M C 2 のソース端子に出力する状態 2 の 2 つの状態をもつ。

[0030] つまり、スイッチ S W 1 1 ～ 1 4 とスイッチ S W 1 1 B ～ 1 4 B は入力信号を変調する動作を行い、スイッチ S W 2 1 ～ 2 4 とスイッチ S W 2 1 B ～ 2 4 B は入力信号を復調する動作を行う。

[0031] 信号増幅ユニットの出力は電流なので、各信号増幅ユニットの出力の加算は信号増幅ユニットの出力端子同士を短絡することで容易に行える。

[0032] さらに、出力電流をトランジスタ M C 1 と M C 2 のソース端子に入力し、M C 1 と M C 2 をゲート接地アンプとして動作させると M C 1 と M C 2 のソース端子のインピーダンスは低くなるため、本発明の変調動作に伴う電流源ユニットの出力端子の電圧変動を小さくできる効果があり回路動作に要求される周波数特性とスルーレートを低減できる。

[0033] 信号増幅ユニットを構成するトランジスタ M 1、M 2、M 1 B、M 2 B のソース端子は短絡してテイル電流源 I T A I L から電流を供給する。これによって、信号増幅ユニットの出力電流の合計がテイル電流源の電流量により制限される。

[0034] 段落 (0 0 3 2) より、本発明では動作中の任意の時間において 1 つの差動

対に信号を入力しているとみなす事ができ、スルーレートは各信号増幅ユニットの状態によらずほぼ一定になるので、段落（００１６）に示した演算増幅回路をセグメント化する場合のセグメント間のスルーレートのミスマッチに起因する歪の問題を軽減できる。

[0035] それぞれの信号増幅ユニットが状態１と状態２である時間の割合は、オフセットと $1/f$ 雑音の変調動作の観点から、５０％対５０％であるのが望ましい。比率がこの値からずれるとオフセットと $1/f$ 雑音の変調の効果が低下する。

[0036] トランジスタMC１とMC２のドレイン端子は、それぞれ逆相、正相の出力端子のOUTM、OUTPに接続する。

[0037] 出力端子OUTM、OUTPには、負荷として電流源IL_M、IL_Pを接続する。

[0038] 正相の出力端子OUTPと逆相の出力端子OUTMの同相電圧を制御するために、コモンモードフィードバック回路を設けて電流源IL_M、IL_Pまたはテイル電流ITAILの電流量を調整してもよい。

[0039] 本実施例では、トランジスタM１、M２、M１B、M２Bは等しいデバイスサイズで作り、同じバイアス状態では等しいドレイン電流が流れるように設計する場合を説明する。

[0040] 図４に従来のチョッパ安定技術と同等の効果を得られるように図３の回路を制御した場合の、信号増幅ユニットの状態と出力電圧を示したタイミングチャートを示す。このタイミングチャートについて明示的に状態１と示していない部分は状態２である。

[0041] 変調信号周期TCHOP内の１～４番目の信号増幅ユニットの状態の組み合わせは、TCHOP／２ごとに変化する。具体的な信号増幅ユニットの状態の組み合わせは、それぞれ

状態１、１、２、２と

状態２、２、１、１の２パターンである。

[0042] 正相と逆相の入力端子INPとINMに等しい直流信号を印加している場合

、出力端子OUTMとOUTPにはオフセットと $1/f$ 雑音が変調信号周期TCHOPの信号で変調されたものが現れる。すなわち、正相と逆相の出力端子OUTPとOUTMには時間TCHOP/2ごとに2つの状態を交互に遷移する矩形波になる。

[0043] 加えて状態遷移のタイミングにおいては、信号増幅ユニットの有限の周波数特性とスルーレートに起因するグリッジ形状のノイズがOUTPとOUTMに現れる。

[0044] 図5に本発明を用いて、2番目と4番目の信号増幅ユニットの状態遷移のタイミングをTCHOP/4の時間遅らせた場合の、信号増幅ユニットの状態と出力電圧を示したタイミングチャートを示す。このタイミングチャートについて明示的に状態1と示していない部分は状態2である。

[0045] 変調信号周期TCHOP内の1～4番目の信号増幅ユニットの状態の組み合わせは、TCHOP/4の時間ごとに変化する。具体的な信号増幅ユニットの状態の組み合わせは、それぞれ

状態1、2、2、1と

状態1、1、2、2と

状態2、1、1、2と

状態2、2、1、1の4パターンである。

[0046] オフセットと $1/f$ 雑音は、TCHOP/4の時間ごとに4つの状態を順番に遷移する波形に変調されるので、チョッパ変調技術と同様の効果が得られる。

[0047] 一度の状態遷移あたりの信号増幅ユニット数が従来のチョッパ変調技術に比べ半分に減少するため、状態遷移のタイミングで発生する信号増幅ユニットの有限の周波数特性とスルーレートに起因するグリッジ形状のノイズは減少する。

[0048] 2番目と4番目の信号増幅ユニットの状態遷移のタイミングをTCHOP/4の時間遅らせる例を示したが、これはこの時間を厳密にTCHOP/4にする必要があると限定するものではない。

- [0049] また、信号増幅ユニットの状態の組み合わせのパターンについて、これは組み合わせの数を4に限定するものではない。4個の信号増幅ユニットのうち重複のない2個を選ぶ組み合わせは最大で $C(4, 2) = 6$ 通りとなりうる。
- [0050] 本実施例で示したトランジスタM1、M2、M1B、M2Bは、入力信号に応じて電流を出力する回路であれば良い。例えばトランジスタM1の前段に増幅回路を設けても良く、トランジスタM1のドレイン端子とSW21、SW21Bの間にさらにゲート接地アンプを設けても良い。回路を構成するデバイスはMOSトランジスタに限定するものではない。
- [0051] なお、前記のスイッチを制御する信号は、原理的には周期信号である必要はなく、ランダム信号であっても良い。前記ランダム信号は周期性の有無を問わない。
- [0052] 図6にスイッチを制御する信号として擬似ランダム信号を用いた場合のスイッチの状態と出力電流を示したタイミングチャートを示す。このタイミングチャートについて明示的に状態1と示していない部分は状態2である。
- [0053] 1番目の信号増幅ユニットは周期TPRBSの擬似ランダム信号がH1の場合は状態1になるとして制御し、3番目の信号増幅ユニットは前記擬似ランダム信号がLOWの場合は状態1になるとして制御する。2と4番目の信号増幅ユニットはそれぞれ1と3番目の信号増幅ユニットの状態をTPRBS/16の時間だけ遅延させて制御している。

実施例 2

- [0054] 実施例1で示した信号増幅ユニットの数は4個に限定されるものではなく、4個以上の偶数であればよい。図7に実施例2の回路図を示す。
- [0055] 実施例1の回路にスイッチSW15～18、スイッチSW15B～18B、スイッチSW25～28、スイッチSW25B～28Bと、トランジスタM3、M4、M3B、M4Bを有する信号増幅ユニット4つを加えている。
- [0056] 追加した信号増幅ユニットは、それぞれ
スイッチSW15、SW15B、SW25、SW25Bと、トランジスタM3で1回路、

スイッチSW16、SW16B、SW26、SW26Bと、トランジスタM4で1回路、

スイッチSW17、SW17B、SW27、SW27Bと、トランジスタM3Bで1回路、

スイッチSW18、SW18B、SW28、SW28Bと、トランジスタM4Bで1回路

である。便宜的に、これらの信号増幅ユニットをそれぞれ5～8番の信号増幅ユニットと名前を付ける。

[0057] これらの5から8番目の信号増幅ユニットについても段落(0027)と同様の動作を行う。

すなわち、正相の入力端子INPに入力された信号を増幅して出力電流をトランジスタMC1のソース端子に出力する状態1と、逆相の入力端子INMに入力された信号を増幅して出力電流をトランジスタMC2のソース端子に出力する状態2の2つの状態をもつ。

[0058] 本実施例では、トランジスタM1からM4、およびM1BからM4Bは等しいデバイスサイズで作り、同じバイアス状態では等しいドレイン電流が流れるように設計する場合を説明する。

[0059] 図8に実施例2の信号増幅ユニットの状態と出力電圧を示したタイミングチャートを示す。このタイミングチャートについて明示的に状態1と示していない部分は状態2である。

[0060] 1番目の信号増幅ユニットの動作状態に対して、2から8番目の信号増幅ユニットの動作タイミングを順番に $T_{CHOP}/8$ ずつ遅らせる。

[0061] これにより変調信号周期 T_{CHOP} 内の1～8番目の信号増幅ユニットの状態の組み合わせは、 $T_{CHOP}/8$ の時間ごとに変化する。具体的な信号増幅ユニットの状態の組み合わせは、それぞれ

状態1、2、2、2、2、1、1、1 と、

状態1、1、2、2、2、2、1、1 と、

状態1、1、1、2、2、2、2、1 と、

状態 1、1、1、1、 2、2、2、2 と、

状態 2、1、1、1、 1、2、2、2 と、

状態 2、2、1、1、 1、1、2、2 と、

状態 2、2、2、1、 1、1、1、2 と、

状態 2、2、2、2、 1、1、1、1 との 8 パターンである。

[0062] オフセットと $1/f$ 雑音は、 $TCHOP/8$ の時間ごとに 8 つの状態を順番に遷移する波形に変調されるので、チョッパ変調技術と同様の効果が得られる。

[0063] 一度の状態遷移あたりの信号増幅ユニット数が従来のチョッパ変調技術に比べ $1/4$ に減少するため、状態遷移のタイミングで発生する信号増幅ユニットの有限の周波数特性とスルーレートに起因するグリッジ形状のノイズも減少する。

[0064] 1 番目の信号増幅ユニットの動作状態に対して、2 から 8 番目の信号増幅ユニットの動作タイミングを順番に $TCHOP/8$ ずつ遅らせる例を示したが、これはこの時間を厳密に $TCHOP/8$ にする必要があると限定するものではない。

[0065] また、電流 I_{OUTM} 、電流 I_{OUTP} を構成する信号増幅ユニットの状態の組み合わせが 8 パターンの例を示したが、これは組み合わせの数を 8 に限定するものではない。8 個の信号増幅ユニットのうち重複のない 4 個を選ぶ組み合わせは最大で $C(8, 4) = 70$ 通りとなりうる。信号増幅ユニットの数を N 個とした場合の組み合わせの最大値は $C(N, N/2)$ で決まる。

実施例 3

[0066] 実施例 1 と 2 で示した電流源 I_{LM} 、 I_{LP} に起因するオフセット、 $1/f$ 雑音を除去するための実施例 3 を図 9 に示す。

[0067] 実施例 1 の電流源 I_{LM} 、 I_{LP} にかえて、スイッチ $SW_{31} \sim 34$ 、スイッチ $SW_{31B} \sim 34B$ と、電流源 I_{L5} 、 I_{L6} 、 I_{L5B} 、 I_{L6B} を有する電流源ユニットを 4 つ有する。

[0068] 電流源ユニットはそれぞれ、

スイッチSW31、SW31Bと、電流源IL5で1回路、
スイッチSW32、SW32Bと、電流源IL6で1回路、
スイッチSW33、SW33Bと、電流源IL5Bで1回路、
スイッチSW34、SW34Bと、電流源IL6Bで1回路
で構成されている。便宜的に、これらの電流増幅ユニットをそれぞれ1～4
番の電流源ユニットと名前を付ける。

[0069] ここで1つの電流源ユニットの動作について説明する。1番目の電流源ユニットは、電流源IL5の電流をスイッチSW31を介して出力端子OUTMに接続する状態3と、スイッチSW31Bを介して出力端子OUTPに接続する状態4の2つの状態をもつ。

[0070] 残りの2から4番目の電流源ユニットについても同様の動作を行う。すなわち、電流源IL6、IL5B、IL6Bの電流を出力端子OUTMに接続する状態3と、電流源IL6、IL5B、IL6Bの電流を出力端子OUTPに接続する状態4の2つの状態をもつ。

[0071] 電流源ユニットの出力は電流なので、各電流源ユニットの出力の加算は電流源ユニットの出力端子同士を短絡することで容易に行える。

[0072] それぞれの電流源ユニットが状態3と状態4である時間の割合は、オフセットと $1/f$ 雑音の変調動作の観点から、50%対50%であるのが望ましい。比率がこの値からずれるとオフセットと $1/f$ 雑音の変調の効果が低下する。

[0073] 正相の出力端子OUTPと逆相の出力端子OUTMの同相電圧を制御するために、コモンモードフィードバック回路を設けて電流源IL5、IL6、IL5B、IL6Bまたはテイル電流ITAILの電流量を調整してもよい。

[0074] 本実施例では、電流源IL5、IL6、IL5B、IL6Bを等しいデバイスサイズで作ри、同じバイアス状態では等しいドレイン電流が流れるように設計する場合を説明する。

[0075] 図10に信号増幅ユニット、電流源ユニットの状態のタイミングチャートを示す。

信号増幅ユニットの状態のタイミングチャートについて明示的に状態 1 と示していない部分は状態 2 であり、電流源ユニットの状態のタイミングチャートについて明示的に状態 3 と示していない部分は状態 4 である。

[0076] 1 から 4 番目の信号増幅ユニットが状態 1 と状態 2 であるタイミングが 1 から 4 番目の電流源ユニットが状態 3 と状態 4 であるタイミングと等しい状態である。

変調信号周期 TCHOP 内の 1 ～ 4 番目の信号増幅ユニットの状態の組み合わせは段落 (0044) に示す通り 4 パターンであり、同様に 1 ～ 4 番目の電流源ユニットの状態の具体的な組み合わせはそれぞれ

状態 3、4、4、3 と

状態 3、3、4、4 と

状態 4、3、3、4 と

状態 4、4、3、3 の 4 パターンである。

[0077] 段落 (0045) と同様に、電流源 IL5、IL6、IL5B、IL6B のオフセットと $1/f$ 雑音は、TCHOP/4 の時間ごとに 4 つの状態を順番に遷移する波形に変調されるので、チョッパ変調技術と同様の効果が得られる。

[0078] 段落 (0046) と同様に、一度の状態遷移あたりの電流源ユニット数が従来のチョッパ変調技術に比べ半分に減少するため、状態遷移のタイミングで発生する信号増幅ユニットの有限の周波数特性とスルーレートに起因するグリッジ形状のノイズは減少する。

[0079] 信号増幅ユニットの状態遷移と電流源ユニットの状態遷移が同時に発生しないよう制御する方法の例を図 11 に示す。信号増幅ユニットの状態のタイミングチャートについて明示的に状態 1 と示していない部分は状態 2 であり、電流源ユニットの状態のタイミングチャートについて明示的に状態 3 と示していない部分は状態 4 である。

[0080] 図 11 は、図 10 の 1 から 4 番目の電流源ユニットの動作タイミングを TCHOP/8 だけ遅らせたものである。

[0081] これにより、信号増幅ユニットと電流源ユニットの状態遷移が同時に発生しないようにできるので、従来のセグメント化された演算増幅回路を用いたチョッパ変調技術に比べて、状態遷移のタイミングで発生する信号増幅ユニットの有限の周波数特性とスルーレートに起因するグリッジ形状のノイズを低減できる。

[0082] 段落（００７９）で $TCHOP/8$ だけ動作タイミングを遅らせると記載したが、これは段落（００８０）の記載のように信号増幅ユニットと電流源ユニットの状態遷移を同時に発生させないのが目的なので、動作タイミングを遅らせる量は $TCHOP/8$ に限定されない。

[0083] 図１１に加えて、信号増幅ユニットの状態遷移と電流源ユニットの状態遷移の周期が異なる場合の例を図１２に示す。信号増幅ユニットの状態のタイミングチャートについて明示的に状態１と示していない部分は状態２であり、電流源ユニットの状態のタイミングチャートについて明示的に状態３と示していない部分は状態４である。

[0084] 図１２は、図１０の１から４番目の電流源ユニットの動作タイミングを $TCHOP/8$ だけ遅らせて、さらに状態遷移の周期を $TCHOP$ の２倍の $2TCHOP$ としたものであり、信号増幅ユニットと電流源ユニットの状態遷移が同時に発生しないように制御している。

[0085] 信号増幅ユニットと電流源ユニットの状態遷移の周期、つまり変調の周波数は、従来のチョッパ変調技術と同様に $1/f$ 雑音を除去する観点から各ユニットを構成するデバイスが発する $1/f$ 雑音のコーナ周波数よりも高い周波数とするのが望ましい。

一方変調の周波数が高いと、信号増幅ユニットと電流源ユニットに要求される動作速度が高まり大面積化や消費電流増加を招くため、変調の周波数はなるべく低い方が望ましい。

[0086] ここで、デバイスの種類や大きさ等により、信号増幅ユニットと電流源ユニットの $1/f$ 雑音のコーナ周波数が異なる場合、図１２に示すように両者の変調の周波数を異なる値に設定できるので、段落（００８０）と（００８１

）の考えに基づいて、信号増幅ユニットと電流源ユニットの状態遷移を同時に発生させないように両者の変調の周波数を設定できる。

[0087] 図 1 2 では信号増幅ユニットの状態遷移の周期が電流源ユニットの周期よりも短い例を示したが、これらの周期の大小関係は図 1 2 の例に限定するものではない。信号増幅ユニットの状態遷移の周期が電流源ユニットの周期よりも長くてもよい。

[0088] 信号増幅ユニットと電流源ユニットの状態遷移が同時に発生しないように制御するのが望ましく、これを実現するためには信号増幅ユニットと電流源ユニットの状態遷移の動作は同期していることが望ましい。

つまり、言い換えると信号増幅ユニットと電流源ユニットの状態遷移の周期の比が自然数対自然数で表せられる事が望ましい。

[0089] 電流源ユニットの数は 4 個に限定されず、M 個（M は 4 以上の偶数）であればよい。信号増幅ユニットの個数の N 個と電流源ユニットの数の M 個は同じである必要はなく、異なる値であってもよい。

[0090] 信号増幅ユニットの状態の組み合わせの数と、電流源ユニットの状態の組み合わせの数は同じ数である必要はなく、異なる数であってもよい。

[0091] デバイスの種類や大きさ等で決まる回路特性によっては、信号増幅ユニットと電流源ユニットの状態の組み合わせの数を両方とも 4 パターン以上にする必要はなく、信号増幅ユニットと電流源ユニットの状態の組み合わせの数のうちいずれか一方を 2 パターンとしてもよい。

また、信号増幅ユニットと電流源ユニットの状態の組み合わせの数がそれぞれ 2 パターンの場合は、段落（0046）と（0077）で示した状態遷移あたりの信号増幅ユニット数を減少させる効果は得られないが、段落（0080）と（0081）で示した信号増幅ユニットと電流源ユニットの状態遷移が同時に発生しないように動作タイミングをずらす効果と、段落（0085）で示した信号増幅ユニットと電流源ユニットの変調の周波数を異なる値に設定する効果は得られる。

[0092] 段落（0038）（0057）（0073）で、信号増幅ユニットと電流源

ユニットを構成するトランジスタまたは電流源について、等しいデバイスサイズで作り、同じバイアス状態では等しいドレイン電流が流れるように設計する場合を説明したが、これは本発明の信号増幅ユニットと電流源ユニットそれぞれについて流れる電流を等しく設計する事に限定するものではない。信号増幅ユニットが取りうるすべての状態の組み合わせにおいて、正相と逆相の出力端子に電流を出力するデバイスサイズの合計値が等しく、同じバイアス状態では等しい電流が流れるように設計すればよい。電流源ユニットに関しても同様である。

例えば図5のタイミングチャートにおいて、1番目と3番目の信号増幅ユニットは状態1である状態が重複せず、2番目と4番目の信号増幅ユニットは状態1である状態が重複していない。この場合、1番目から4番目の信号増幅ユニットのデバイスサイズの比率を1対2対1対2とする事で、状態1と状態2である信号増幅ユニットのデバイスサイズの比率は常に3対3となり、同じバイアス状態では正相と逆相の出力端子に等しい電流が流れる設計にできる。電流源ユニットに関しても同様である。

実施例 4

[0093] 実施例3で示した回路に信号増幅手段としてトランジスタMC3、MC4を追加し、電流源ユニットと組み合わせてカスコード電流源を構成する例を図13に示す。

[0094] 4個の電流源ユニットと、出力端子OUTM、OUTPの間にトランジスタMC3、MC4を設け、そのゲートバイアスとしてBIAS2を印加する。

[0095] 信号増幅ユニット、電流源ユニットの動作は実施例3と同様である。

[0096] 図13で示した実施例4の変更は、電流源ユニットの出力端子について段落(0030)、(0031)と同様な効果がある。すなわち変調動作に伴う電圧変動を小さくできる効果があり回路動作に要求される周波数特性とスルーレートを低減できる。

[0097] なお、信号増幅手段として用いているトランジスタMC1、MC2およびMC3、MC4について、これらは演算増幅回路の負荷によっては信号増幅の

効果が小さくなるため、必ずしも必要ではない。

実施例 5

[0098] 実施例 4 の回路を変形する事でフォールデットカスコード構成とできる。実施例を図 1 4 に示す。

[0099] 実施例 4 の回路について、4 個の信号増幅ユニットにそれぞれ電流源 I_{L1} 、 I_{L2} 、 I_{L1B} 、 I_{L2B} を追加し、トランジスタ $MC1$ 、 $MC2$ 、 $MC3$ 、 $MC4$ をトランジスタ $MC1B$ 、 $MC2B$ 、 $MC3B$ 、 $MC4B$ に置き換えている。

[0100] 信号増幅ユニットはそれぞれ、
スイッチ $SW11$ 、 $SW11B$ 、 $SW21$ 、 $SW21B$ と、トランジスタ $M1$ と電流源 I_{L1} で 1 回路、
スイッチ $SW12$ 、 $SW12B$ 、 $SW22$ 、 $SW22B$ と、トランジスタ $M2$ と電流源 I_{L2} で 1 回路、
スイッチ $SW13$ 、 $SW13B$ 、 $SW23$ 、 $SW23B$ と、トランジスタ $M1B$ と電流源 I_{L1B} で 1 回路、
スイッチ $SW14$ 、 $SW14B$ 、 $SW24$ 、 $SW24B$ と、トランジスタ $M2B$ と電流源 I_{L2B} で 1 回路
で構成されている。

[0101] これらの信号増幅ユニットの動作は、トランジスタ $MC1$ 、 $MC2$ が $MC1B$ 、 $MC2B$ に置き換わっているだけで実施例 1 と同様である。

[0102] 電流源ユニットは、電流源の出力電流の向きが電源方向かグランド方向か異なるだけで実施例 4 のものと同様である。これらの電流源ユニットの動作はトランジスタ $MC3$ 、 $MC4$ が $MC3B$ 、 $MC4B$ に置き換わっているだけで実施例 4 と同様である。

実施例 6

[0103] 本発明の演算増幅回路は、従来技術の演算増幅回路が使用される用途全般において、置き換えて用いる事ができる。実施例 4 の演算増幅回路を用いてバンドギャップリファレンス回路を構成した実施例を図 1 5 に示す。

- [0104] この実施例では、図13の回路の電流源 I_{L5} 、 I_{L6} 、 I_{L5B} 、 I_{L6B} にかえて、トランジスタ M_{L1} 、 M_{L2} 、 M_{L1B} 、 M_{L2B} とした。これらトランジスタのゲート端子は $OUTP$ 端子に接続して出力を差動から単相に変換する。
- [0105] トランジスタ M_{OUT} のゲートは出力端子 $OUTM$ と接続し、ドレインは端子 $BGROUT$ と接続する。
- [0106] 端子 $BGROUT$ には抵抗 R_{BGR1} 、 R_{BGR2} と $RLPF$ の一方の端子を接続する。
- [0107] 抵抗 R_{BGR1} と R_{BGR2} のもう一方の端子は、それぞれ入力端子 INM と INP と接続する。入力端子 INM 、 INP にはそれぞれ $D21$ のアノード、抵抗 R_{BGR3} の一方の端子を接続する。
- [0108] ダイオード $D11$ のカソードと $D12$ のアノードを接続、抵抗 R_{BGR3} のもう一方の端子はダイオード $D11$ のアノードと接続する。
ダイオード $D21$ のカソードと $D22$ のアノードを接続してダイオード $D12$ と $D22$ のカソードはグランド端子に接続する。
- [0109] 抵抗 $RLPF$ のもう一方の端子は容量 $CLPF$ と接続、容量 $CLPF$ のもう一方の端子はグランド端子と接続することでローパスフィルタを構成し、その出力は端子 $LPFOUT$ である。
- [0110] 回路動作により入力端子 INP と INM が等しくなるようにフィードバックがかかる。抵抗 R_{BGR1} と R_{BGR2} の値が等しく、ダイオード $D11$ と $D12$ のサイズが等しく、 $D21$ 、 $D22$ のサイズが等しくて、 $D11$ のサイズが $D21$ の A 倍だとして、 $D21$ の順方向電圧を V_F 、ダイオードの熱電圧を V_t とすると、端子 $BGROUT$ の電圧は $2 * (V_F + (R_{BGR1} / R_{BGR3}) * V_t * \ln(A))$ で表せる。
- [0111] トランジスタ $M11$ 、 $M12$ 、 $M11B$ 、 $M12B$ と、トランジスタ M_{L1} 、 M_{L2} 、 M_{L1B} 、 M_{L2B} のオフセット及び $1/f$ 雑音は変調されるため、端子 $BGROUT$ に現れる演算増幅回路のオフセット電圧や $1/f$ 雑音は低減される。

[0112] 変調された前記のオフセット電圧及び $1/f$ 雑音は前記のローパスフィルタで低減できる。

符号の説明

[0113] 1、1 b 入力チョッパ回路
2、2 b 演算増幅回路
3、3 b 出力チョッパ回路
4 a、4 b セグメント化されたチョッパ変調の機能を有する演算増幅回路
FCHOP 変調周波数

INP 正相の入力端子

INM 逆相の入力端子

SW1 1～18 正相の入力端子 INP と、トランジスタ M1～4、M1B～4B のゲートを接続するスイッチ

SW1 1B～18B 逆相の入力端子 INM と、トランジスタ M1～4、M1B～4B のゲートを接続するスイッチ

M1～4 トランジスタ

M1B～4B トランジスタ

OUTP 正相の出力端子

OUTM 逆相の出力端子

SW2 1～28 トランジスタ M1～4、M1B～4B のドレインに接続するスイッチ

SW2 1B～28B トランジスタ M1～4、M1B～4B のドレインに接続するスイッチ

IOUTP 正相の出力端子の電流経路に流れる電流

IOUTM 逆相の出力端子の電流経路に流れる電流

TCHOP 変調信号周期

T P R B S 擬似ランダム信号周期

I T A I L テイル電流源

I L _ P 電流源

I L _ M 電流源

I L 5、6 電流源

I L 5 B、6 B 電流源

SW 3 1 ~ 3 4 電流源 I L 5、6、I L 5 B、6 B に接続するスイッチ

SW 3 1 B ~ 3 4 B 電流源 I L 5、6、I L 5 B、6 B に接続するスイッチ

M L 1、2 トランジスタ

M L 1 B、2 B トランジスタ

M C 1 ~ 4 トランジスタ

B I A S 2 トランジスタ M C 1 と M C 2 のバイアス端子

B I A S 3 トランジスタ M C 3 と M C 4 のバイアス端子

M C 1 B ~ 4 B トランジスタ

B I A S 2 B トランジスタ M C 1 B と M C 2 B のバイアス端子

B I A S 3 B トランジスタ M C 3 B と M C 4 B のバイアス端子

B G R O U T バンドギャップリファレンス回路の出力

L P F O U T ローパスフィルタの出力

M O U T ゲート端子が出力端子 O U T M に、ドレイン端子が B G R O U T に接続されたトランジスタ

R B G R 1 バンドギャップリファレンス回路を構成する抵抗
R B G R 2 バンドギャップリファレンス回路を構成する抵抗
R B G R 3 バンドギャップリファレンス回路を構成する抵抗
D 1 1 バンドギャップリファレンス回路を構成するダイオード
D 1 2 バンドギャップリファレンス回路を構成するダイオード
D 2 1 バンドギャップリファレンス回路を構成するダイオード
D 2 2 バンドギャップリファレンス回路を構成するダイオード
R L P F ローパスフィルタを構成する抵抗
C L P F ローパスフィルタを構成する容量

請求の範囲

[請求項1]

第1、第2の入力端子に入力された信号を第1のセレクタで選択して増幅して出力電流を生成し

第2のセレクタで前記の出力電流の出力先として第1、第2の出力端子を選択する信号増幅ユニットをN個（Nは4以上の偶数）有し、前記N個の信号増幅ユニットが出力できる電流の合計値を制限する回路を有し、

前記第1の出力端子に電流を供給する第1の電流源を有し、

前記第2の出力端子に電流を供給する第2の電流源を有し、

前記N個の信号増幅ユニットにおいて

第1のセレクタは第1の入力端子を選択し第2のセレクタは第1の出力端子を選択した状態1と

第1のセレクタは第2の入力端子を選択し第2のセレクタは第2の出力端子を選択した状態2の

2つの状態を切り替えるための信号制御ユニット用制御信号をN個有し、

前記N個の信号制御ユニット用制御信号は第1の周期で周期的に変化し、

前記N個の信号増幅ユニットの状態1と状態2のくみあわせの数が4パターン以上である

事を特徴とする演算増幅回路

[請求項2]

第1、第2の入力端子に入力された信号を第1のセレクタで選択して増幅して出力電流を生成し

第2のセレクタで前記の出力電流を信号増幅手段1または信号増幅手段2を介して第1または第2の出力端子に出力するよう選択する信号増幅ユニットをN個有し、

前記N個の信号増幅ユニットが出力できる電流の合計値を制限する回路を有し、

前記第 1 の出力端子に電流を供給する第 1 の電流源を有し、
前記第 2 の出力端子に電流を供給する第 2 の電流源を有し、
前記 N 個の信号増幅ユニットにおいて
第 1 のセレクトは第 1 の入力端子を選択し第 2 のセレクトは第 1 の出力端子を選択した状態 1 と
第 1 のセレクトは第 2 の入力端子を選択し第 2 のセレクトは第 2 の出力端子を選択した状態 2 の
2 つの状態を切り替えるための信号制御ユニット用制御信号を N 個有し、
前記 N 個の信号制御ユニット用制御信号は第 1 の周期で周期的に変化し、
前記 N 個の信号増幅ユニットの状態 1 と状態 2 のくみあわせの数が 4 パターン以上である
事を特徴とする演算増幅回路

[請求項3]

前記第 1、第 2 の電流源として、電流を第 3 のセレクトで第 1、第 2 の出力端子に選択して出力する機能を有する電流源ユニットを M 個（M は 4 以上の偶数）有し、
前記電流源ユニットにおいて第 3 のセレクトは第 1 の出力端子を選択した状態 3 と、第 2 の出力端子を選択した状態 4 の
2 つの状態を切り替えるための電流源ユニット用制御信号を M 個有し、
前記 M 個の電流源ユニット用制御信号は第 2 の周期で周期的に変化し、
前記 M 個の電流源ユニットの状態 3 と状態 4 のくみあわせの数が 2 パターン以上である

事を特徴とする請求項 1、2 のいずれかに記載の演算増幅回路

[請求項4]

前記第 1、第 2 の電流源として、電流を第 3 のセレクトで第 1、第 2 の出力端子に選択して出力する機能を有する電流源ユニットを M 個有

し、

前記電流源ユニットの第3のセレクトと第1の出力端子の間には信号増幅手段3を有し、

前記電流源ユニットの第3のセレクトと第2の出力端子の間には信号増幅手段4を有し、

前記電流源ユニットにおいて第3のセレクトは第1の出力端子を選択した状態3と、第2の出力端子を選択した状態4の

2つの状態を切り替えるための電流源ユニット用制御信号をM個有し

、

前記M個の電流源ユニット用制御信号は第2の周期で周期的に変化し

、

前記M個の電流源ユニットの状態3と状態4のくみあわせの数が2パターン以上である

事の特徴とする請求項1、2のいずれかに記載の演算増幅回路

[請求項5]

前記第1、第2の電流源として、電流を第3のセレクトで第1、第2の出力端子に選択して出力する機能を有する電流源ユニットをM個有し、

前記電流源ユニットにおいて第3のセレクトは第1の出力端子を選択した状態3と、第2の出力端子を選択した状態4の

2つの状態を切り替えるための電流源ユニット用制御信号をM個有し

、

前記M個の電流源ユニット用制御信号は第2の周期で周期的に変化し

、

前記M個の電流源ユニットの状態3と状態4のくみあわせの数が4パターン以上である

事の特徴とする請求項1、2のいずれかに記載の演算増幅回路

[請求項6]

前記第1、第2の電流源として、電流を第3のセレクトで第1、第2の出力端子に選択して出力する機能を有する電流源ユニットをM個有

し、

前記電流源ユニットの第3のセレクトと第1の出力端子の間には信号増幅手段3を有し、

前記電流源ユニットの第3のセレクトと第2の出力端子の間には信号増幅手段4を有し、

前記電流源ユニットにおいて第3のセレクトは第1の出力端子を選択した状態3と、第2の出力端子を選択した状態4の2つの状態を切り替えるための電流源ユニット用制御信号をM個有し、

前記M個の電流源ユニット用制御信号は第2の周期で周期的に変化し、

前記M個の電流源ユニットの状態3と状態4のくみあわせの数が4パターン以上である

事の特徴とする請求項1、2のいずれかに記載の演算増幅回路

[請求項7]

第1、第2の入力端子に入力された信号を第1のセレクトで選択して増幅して出力電流を生成し

第2のセレクトで前記の出力電流の出力先として第1、第2の出力端子を選択する信号増幅ユニットをN個有し、

前記N個の信号増幅ユニットが出力できる電流の合計値を制限する回路を有し、

前記第1の出力端子に電流を供給する第1の電流源を有し、

前記第2の出力端子に電流を供給する第2の電流源を有し、

前記N個の信号増幅ユニットにおいて

第1のセレクトは第1の入力端子を選択し第2のセレクトは第1の出力端子を選択した状態1と

第1のセレクトは第2の入力端子を選択し第2のセレクトは第2の出力端子を選択した状態2の

2つの状態を切り替えるための信号制御ユニット用制御信号をN個有し、

前記N個の信号制御ユニット用制御信号は第1の周期で周期的に変化し、

前記N個の信号増幅ユニットの状態1と状態2のくみあわせの数が2パターン以上であり、

前記第1、第2の電流源として、電流を第3のセレクトで第1、第2の出力端子に選択して出力する機能を有する電流源ユニットをM個有し、

前記電流源ユニットにおいて第3のセレクトは第1の出力端子を選択した状態3と、第2の出力端子を選択した状態4の

2つの状態を切り替えるための電流源ユニット用制御信号をM個有し、

前記M個の電流源ユニット用制御信号は第2の周期で周期的に変化し、

前記M個の電流源ユニットの状態3と状態4のくみあわせの数が4パターン以上である

事の特徴とする演算増幅回路

[請求項8]

第1、第2の入力端子に入力された信号を第1のセレクトで選択して増幅して出力電流を生成し

第2のセレクトで前記の出力電流の出力先として第1、第2の出力端子を選択する信号増幅ユニットをN個有し、

前記N個の信号増幅ユニットが出力できる電流の合計値を制限する回路を有し、

前記第1の出力端子に電流を供給する第1の電流源を有し、

前記第2の出力端子に電流を供給する第2の電流源を有し、

前記N個の信号増幅ユニットにおいて

第1のセレクトは第1の入力端子を選択し第2のセレクトは第1の出力端子を選択した状態1と

第1のセレクトは第2の入力端子を選択し第2のセレクトは第2の出力端子を選択した状態2の

2つの状態を切り替えるための信号制御ユニット用制御信号をN個有し、

前記N個の信号制御ユニット用制御信号は第1の周期で周期的に変化し、

前記N個の信号増幅ユニットの状態1と状態2のくみあわせの数が2パターン以上であり、

前記第1、第2の電流源として、電流を第3のセレクトで第1、第2の出力端子に選択して出力する機能を有する電流源ユニットをM個有し、

前記電流源ユニットの第3のセレクトと第1の出力端子の間には信号増幅手段3を有し、

前記電流源ユニットの第3のセレクトと第2の出力端子の間には信号増幅手段4を有し、

前記電流源ユニットにおいて第3のセレクトは第1の出力端子を選択した状態3と、第2の出力端子を選択した状態4の2つの状態を切り替えるための電流源ユニット用制御信号をM個有し、

前記M個の電流源ユニット用制御信号は第2の周期で周期的に変化し、

前記M個の電流源ユニットの状態3と状態4のくみあわせの数が4パターン以上である

事の特徴とする演算増幅回路

[請求項9]

第1、第2の入力端子に入力された信号を第1のセレクトで選択して増幅して出力電流を生成し

第2のセレクトで前記の出力電流を信号増幅手段1または信号増幅手段2を介して第1または第2の出力端子に出力するよう選択する信号

増幅ユニットをN個有し、
前記N個の信号増幅ユニットが出力できる電流の合計値を制限する回路を有し、
前記第1の出力端子に電流を供給する第1の電流源を有し、
前記第2の出力端子に電流を供給する第2の電流源を有し、
前記N個の信号増幅ユニットにおいて
第1のセレクトは第1の入力端子を選択し第2のセレクトは第1の出力端子を選択した状態1と
第1のセレクトは第2の入力端子を選択し第2のセレクトは第2の出力端子を選択した状態2の
2つの状態を切り替えるための信号制御ユニット用制御信号をN個有し、
前記N個の信号制御ユニット用制御信号は第1の周期で周期的に変化し、
前記N個の信号増幅ユニットの状態1と状態2のくみあわせの数が2パターン以上であり、

前記第1、第2の電流源として、電流を第3のセレクトで第1、第2の出力端子に選択して出力する機能を有する電流源ユニットをM個有し、
前記電流源ユニットにおいて第3のセレクトは第1の出力端子を選択した状態3と、第2の出力端子を選択した状態4の
2つの状態を切り替えるための電流源ユニット用制御信号をM個有し、
前記M個の電流源ユニット用制御信号は第2の周期で周期的に変化し、
前記M個の電流源ユニットの状態3と状態4のくみあわせの数が4パターン以上である

事の特徴とする演算増幅回路

[請求項10]

第1、第2の入力端子に入力された信号を第1のセレクトで選択して増幅して出力電流を生成し

第2のセレクトで前記の出力電流を信号増幅手段1または信号増幅手段2を介して第1または第2の出力端子に出力するよう選択する信号増幅ユニットをN個有し、

前記N個の信号増幅ユニットが出力できる電流の合計値を制限する回路を有し、

前記第1の出力端子に電流を供給する第1の電流源を有し、

前記第2の出力端子に電流を供給する第2の電流源を有し、

前記N個の信号増幅ユニットにおいて

第1のセレクトは第1の入力端子を選択し第2のセレクトは第1の出力端子を選択した状態1と

第1のセレクトは第2の入力端子を選択し第2のセレクトは第2の出力端子を選択した状態2の

2つの状態を切り替えるための信号制御ユニット用制御信号をN個有し、

前記N個の信号制御ユニット用制御信号は第1の周期で周期的に変化し、

前記N個の信号増幅ユニットの状態1と状態2のくみあわせの数が2パターン以上であり、

前記第1、第2の電流源として、電流を第3のセレクトで第1、第2の出力端子に選択して出力する機能を有する電流源ユニットをM個有し、

前記電流源ユニットの第3のセレクトと第1の出力端子の間には信号増幅手段3を有し、

前記電流源ユニットの第3のセレクトと第2の出力端子の間には信号

増幅手段 4 を有し、

前記電流源ユニットにおいて第 3 のセレクトは第 1 の出力端子を選択した状態 3 と、第 2 の出力端子を選択した状態 4 の 2 つの状態を切り替えるための電流源ユニット用制御信号を M 個有し、

前記 M 個の電流源ユニット用制御信号は第 2 の周期で周期的に変化し、

前記 M 個の電流源ユニットの状態 3 と状態 4 のくみあわせの数が 4 パターン以上である

事を特徴とする演算増幅回路

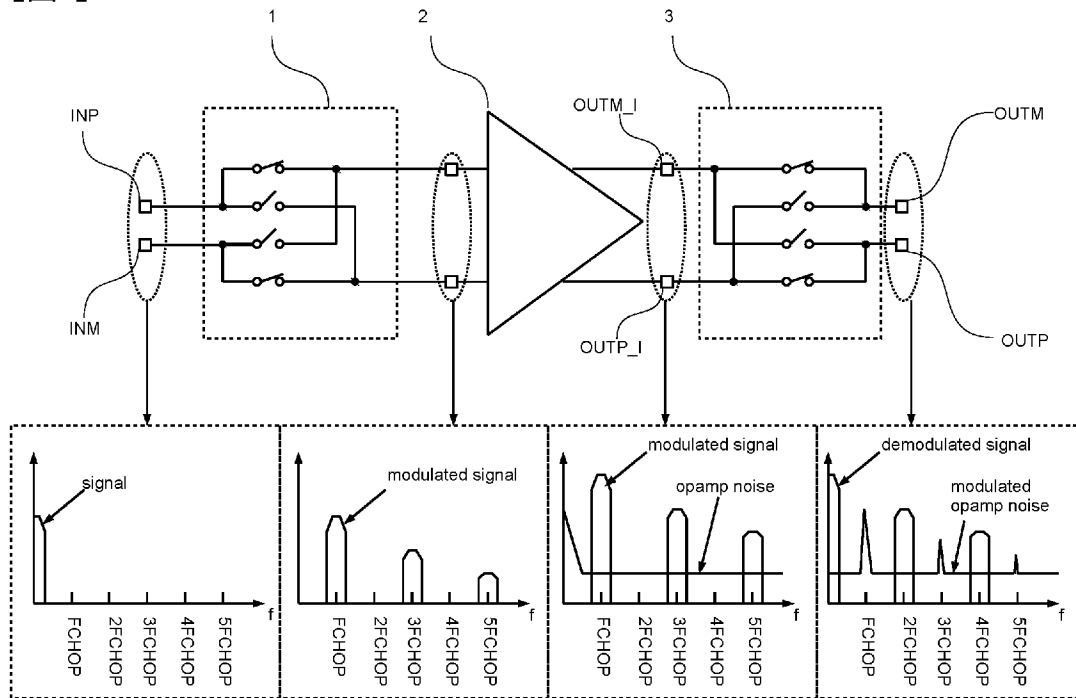
[請求項 11] 前記第 1 の周期と第 2 の周期が等しい事を特徴とする請求項 3 から 10 のいずれかに記載の演算増幅回路

[請求項 12] 前記第 1 の周期と第 2 の周期が異なる事を特徴とする請求項 3 から 10 のいずれかに記載の演算増幅回路

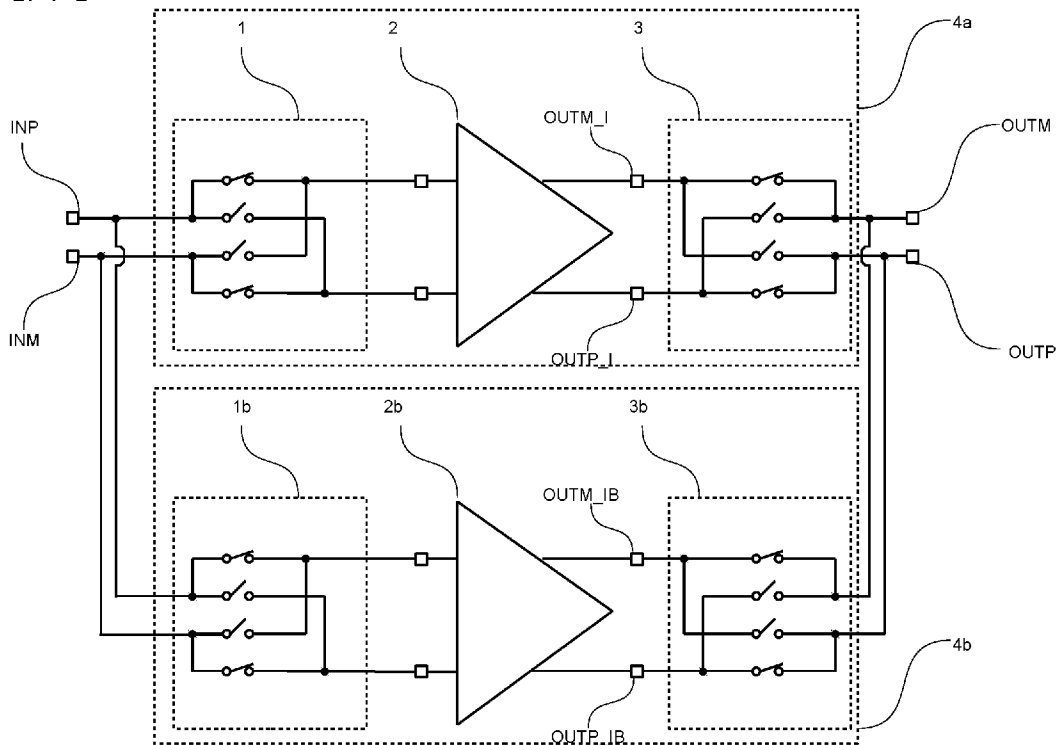
[請求項 13] 前記第 1 の周期と第 2 の周期が異なり、前記第 1 の周期と第 2 の周期の比率が自然数対自然数で表せる事を特徴とする請求項 3 から 10 のいずれかに記載の演算増幅回路

[請求項 14] 前記 N 個の信号増幅ユニットの状態 1 から状態 2、状態 2 から状態 1 に遷移するタイミングと前記 M 個の電流源ユニットの状態 3 から状態 4、状態 4 から状態 3 に遷移するタイミングが異なり同じタイミングで状態遷移が発生しない事を特徴とする請求項 3 から 13 のいずれかに記載の演算増幅回路

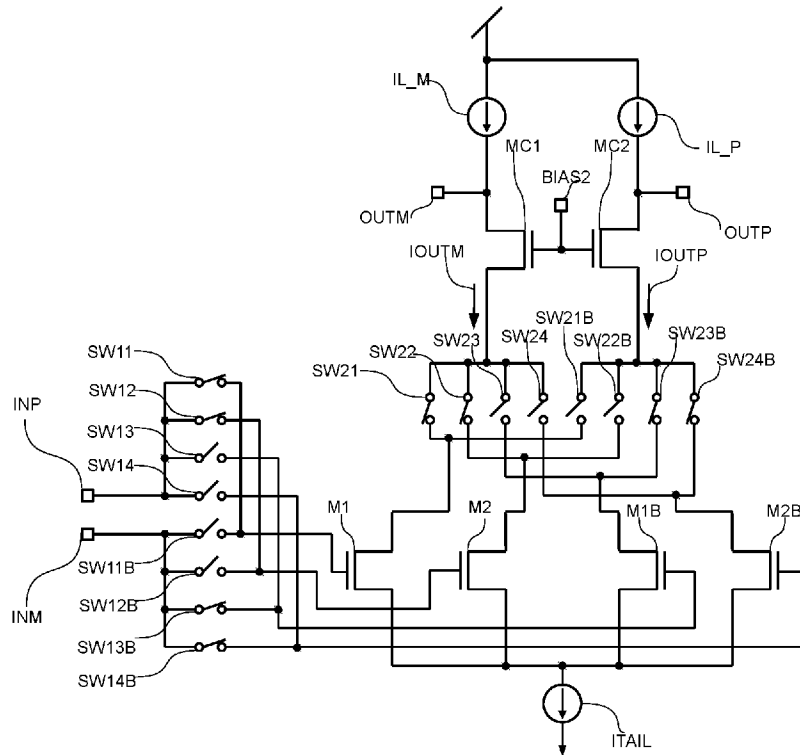
[図1]



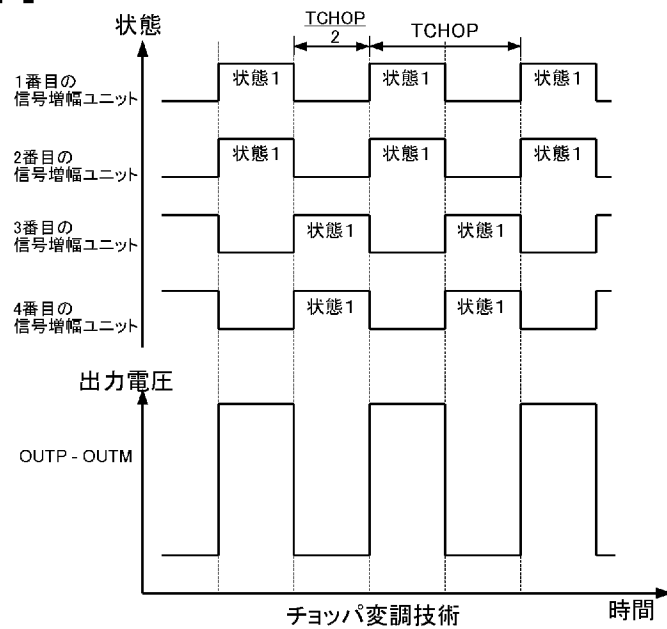
[図2]



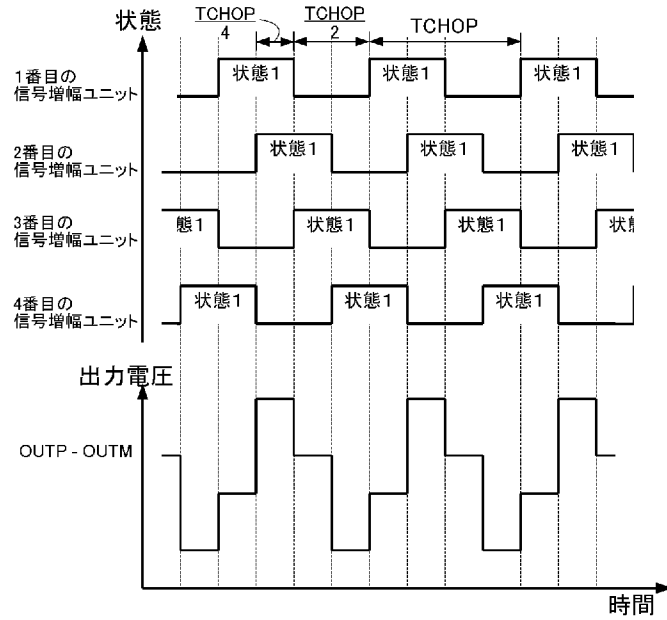
[図3]



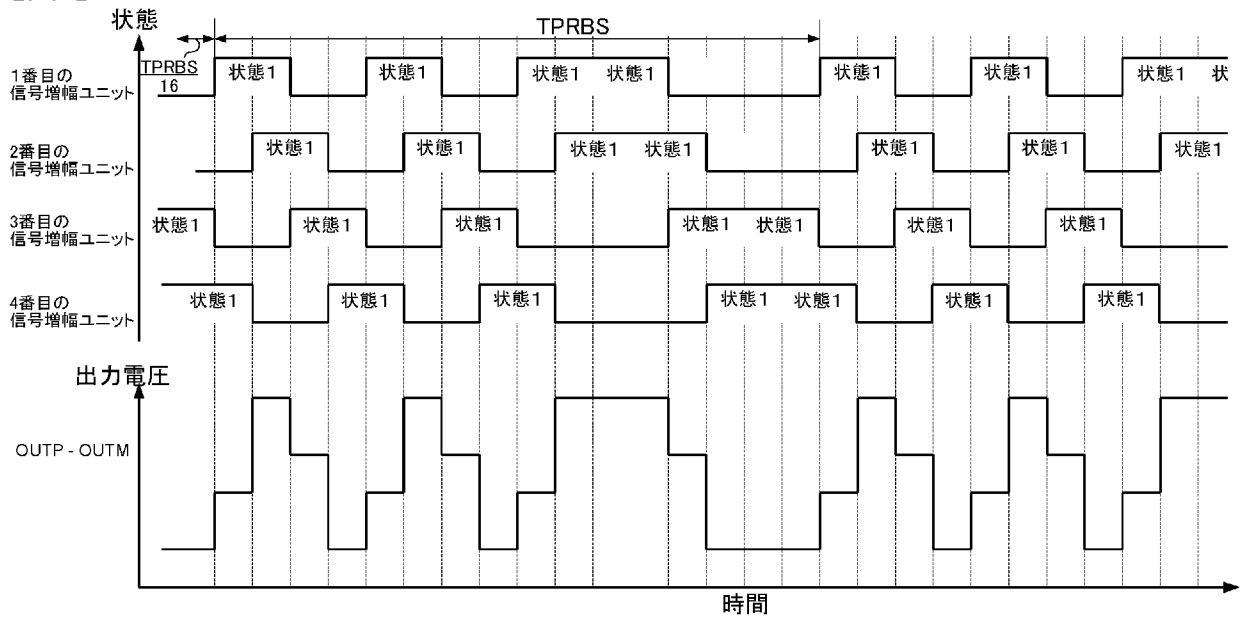
[図4]



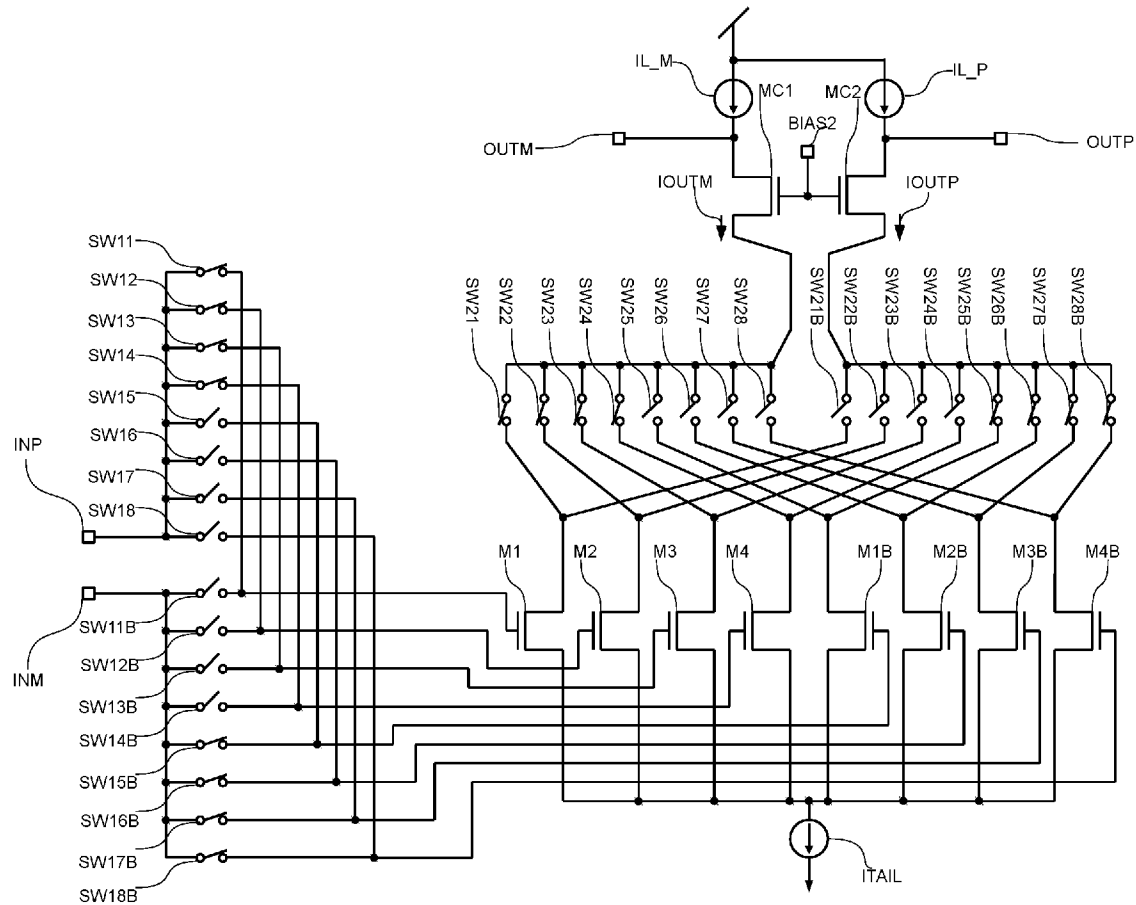
[図5]



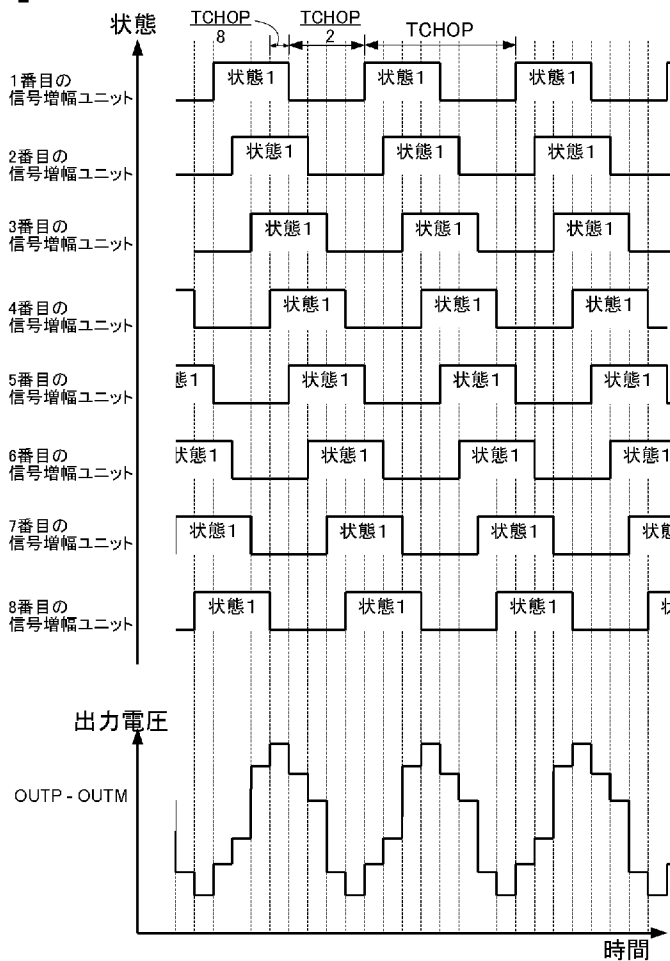
[図6]



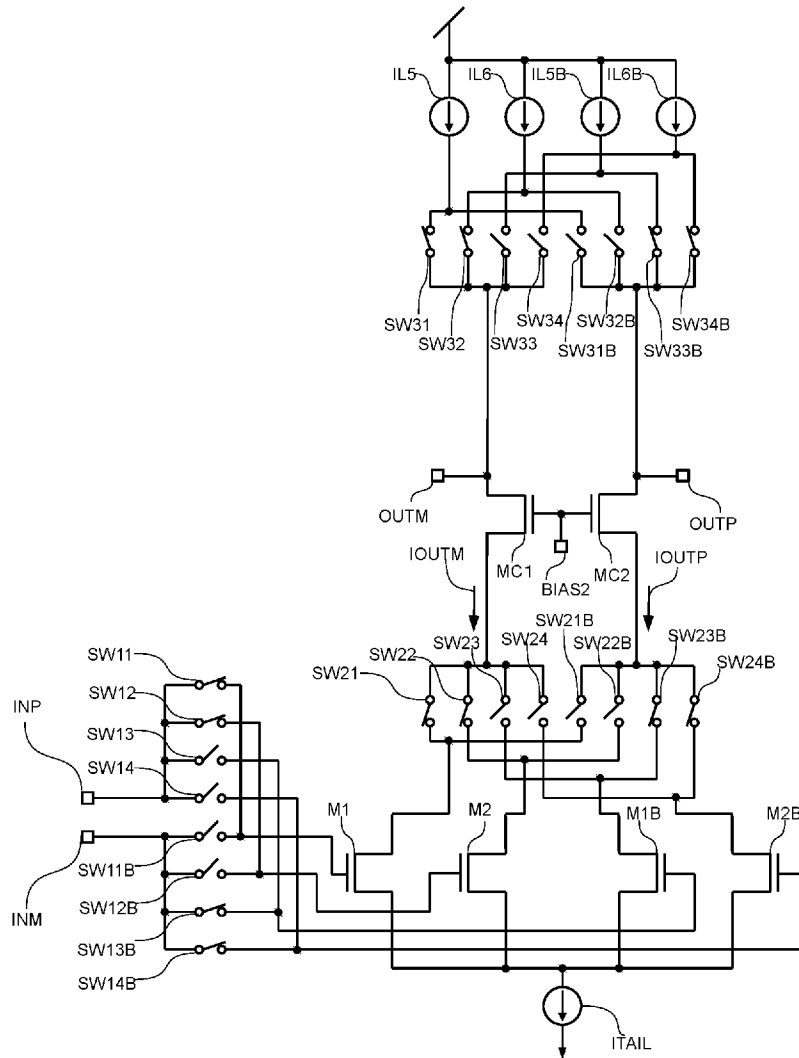
[図7]



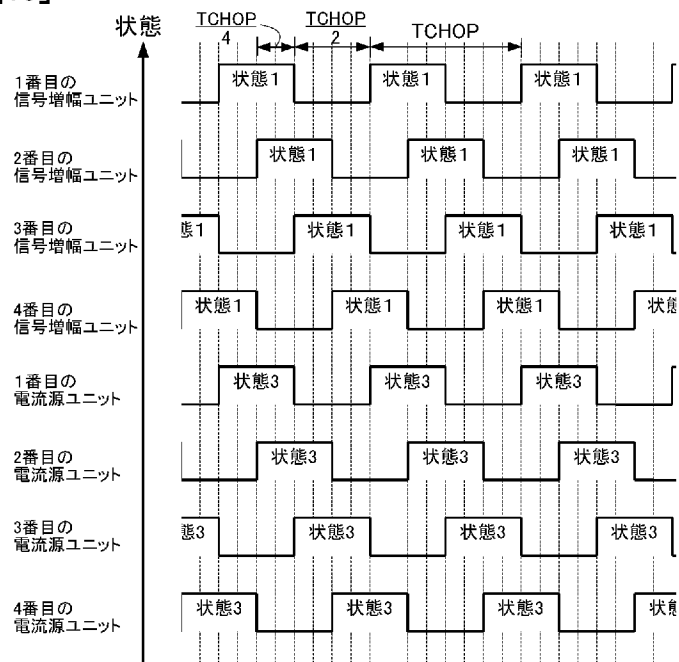
[図8]



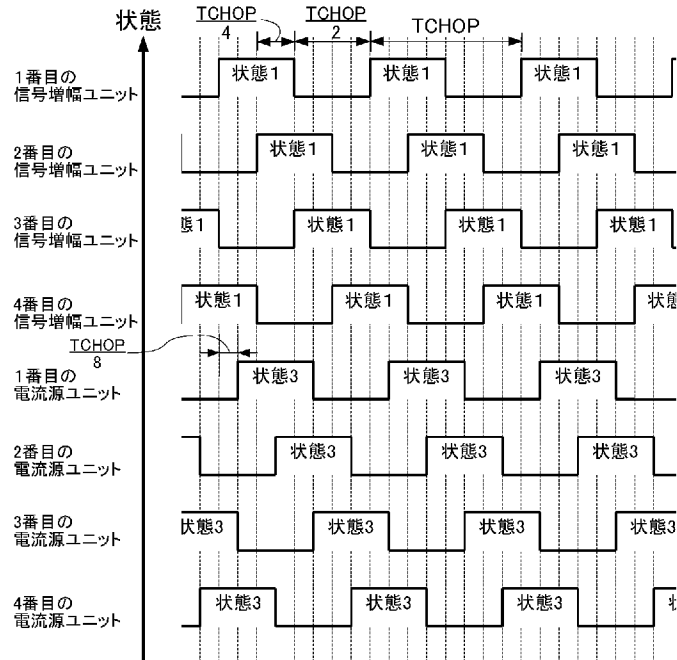
[図9]



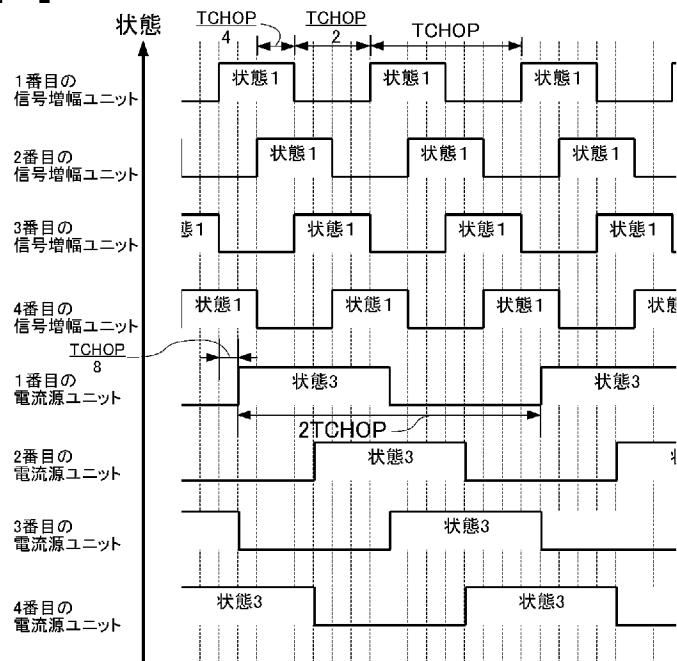
[図10]



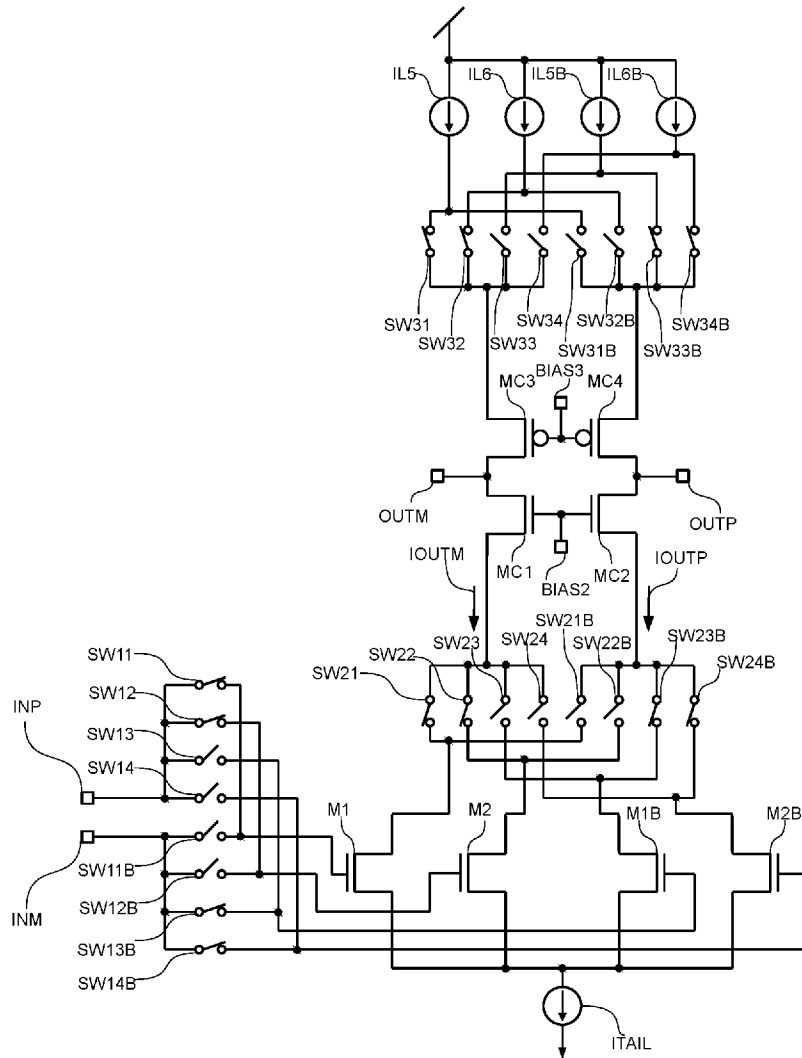
[図11]



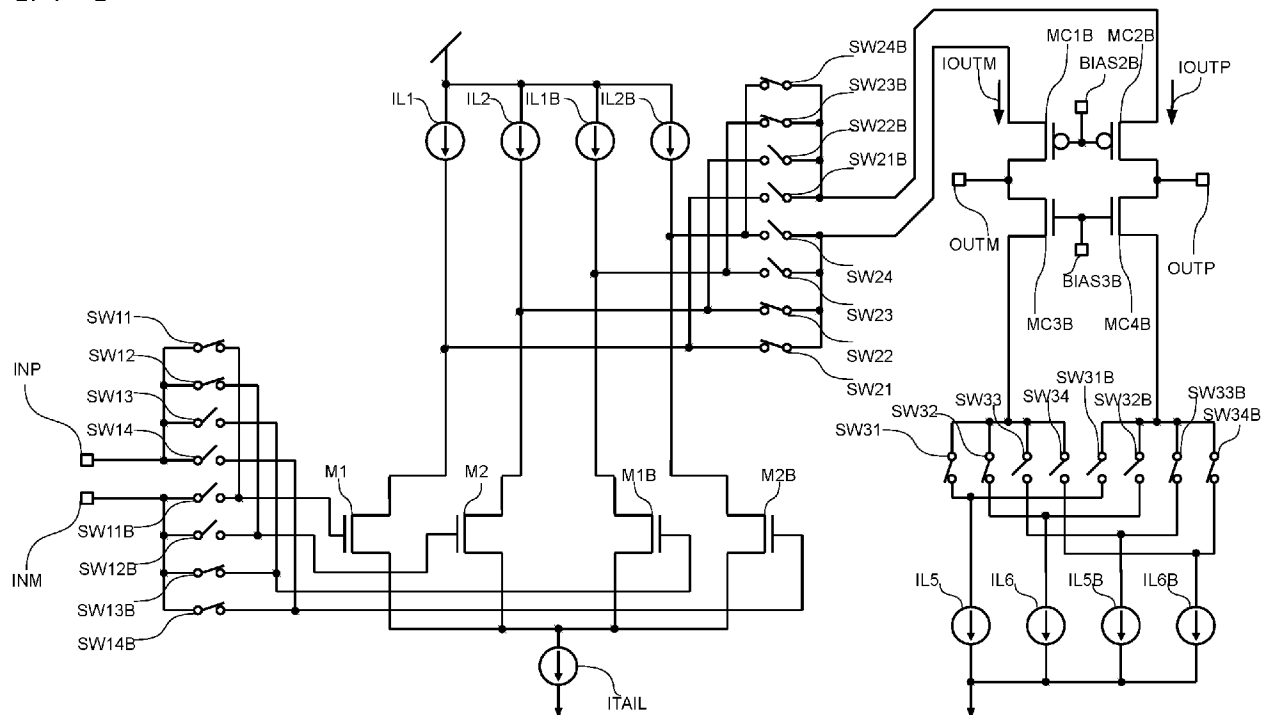
[図12]



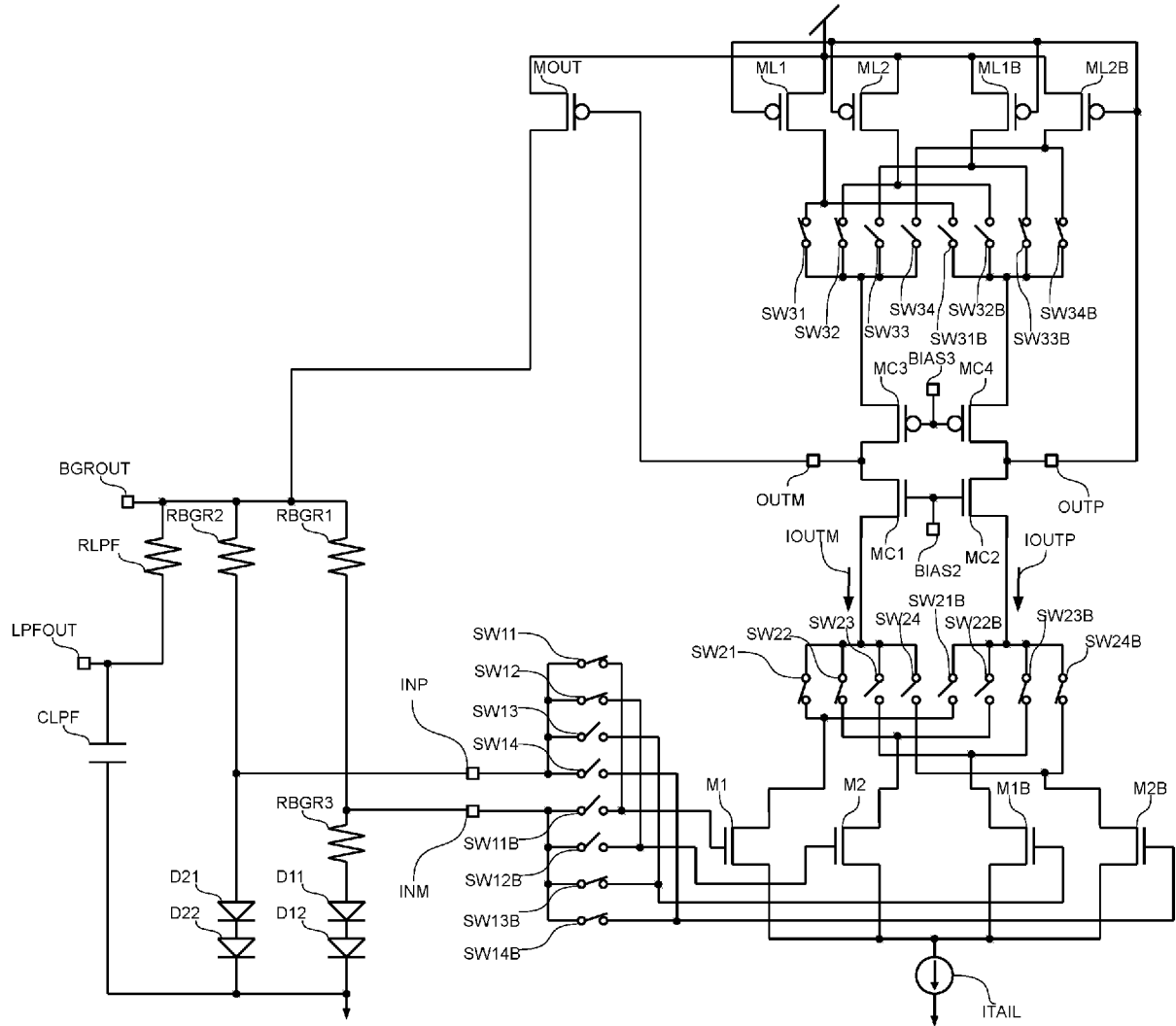
[図13]



[図14]



[図15]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2015/069681

A. CLASSIFICATION OF SUBJECT MATTER

H03F3/34(2006.01)i, H03F3/45(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H03F1/00-3/72

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2015
Kokai Jitsuyo Shinan Koho	1971-2015	Toroku Jitsuyo Shinan Koho	1994-2015

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

IEEE Xplore

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2006-310959 A (NEC Corp.), 09 November 2006 (09.11.2006), paragraphs [0256] to [0273], [0311]; fig. 9 to 12, 43 & US 2006/0238242 A1	1-14
A	US 4947135 A (Mijuskovic), 07 August 1990 (07.08.1990), column 3, line 9 to column 5, line 40; fig. 1 & EP 410295 A2	1-14
A	JP 2014-116713 A (National University Corporation Toyohashi University of Technology), 26 June 2014 (26.06.2014), paragraphs [0041] to [0043]; fig. 3 (Family: none)	1-14

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
07 September 2015 (07.09.15)

Date of mailing of the international search report
15 September 2015 (15.09.15)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2015/069681

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	I. Akita, M. Ishida, A 0.06mm ² 14nV/√Hz Chopper Instrumentation Amplifier with Automatic Differential-Pair Matching, Solid-State Circuits Conference Digest of Technical Papers (ISSCC), 2013, 2013.02.19, pp.178-179, Figure 10.4.1	1-14
A	JP 2009-303121 A (NEC Electronics Corp.), 24 December 2009 (24.12.2009), paragraphs [0042] to [0056]; fig. 3 & US 2009/0309857 A1 & CN 101610072 A	1-14

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H03F3/34(2006.01)i, H03F3/45(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H03F1/00-3/72

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 5 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 5 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 5 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

IEEE Xplore

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2006-310959 A（日本電気株式会社）2006.11.09, 段落 256-273, 311, 図 9-12, 43 & US 2006/0238242 A1	1-14
A	US 4947135 A (Mijuskovic) 1990.08.07, 第 3 欄第 9 行-第 5 欄第 40 行, FIG.1 & EP 410295 A2	1-14
A	JP 2014-116713 A（国立大学法人豊橋技術科学大学）2014.06.26, 段 落 41-43, 図 3（ファミリーなし）	1-14

☒ C 欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

0 7 . 0 9 . 2 0 1 5

国際調査報告の発送日

1 5 . 0 9 . 2 0 1 5

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目 4 番 3 号

特許庁審査官（権限のある職員）

柳下 勝幸

5 X

5 8 8 8

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 9 6

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	I. Akita, M. Ishida, A 0.06mm ² 14nV/ $\sqrt{\text{Hz}}$ Chopper Instrumentation Amplifier with Automatic Differential-Pair Matching, Solid-State Circuits Conference Digest of Technical Papers (ISSCC), 2013, 2013.02.19, pp.178-179, Figure 10.4.1	1-14
A	JP 2009-303121 A (NECエレクトロニクス株式会社) 2009.12.24, 段落 42-56, 図 3 & US 2009/0309857 A1 & CN 101610072 A	1-14