



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I664657 B

(45)公告日：中華民國 108 (2019) 年 07 月 01 日

(21)申請案號：104122565

(22)申請日：中華民國 104 (2015) 年 07 月 13 日

(51)Int. Cl. : **H01J37/09 (2006.01)****H01J37/317 (2006.01)****H01J37/04 (2006.01)**

(30)優先權：2014/08/19 美國

62/039,348

2014/12/22 世界智慧財產權組織

PCT/US14/71831

(71)申請人：美商英特爾股份有限公司(美國) INTEL CORPORATION (US)

美國

(72)發明人：柏拉多司凱 顏 BORODOVSKY, YAN (US)

(74)代理人：林志剛

(56)參考文獻：

TW 201123253A

JP 2002-33263A

US 5144142

US 6584609B1

US 2012/0219914A1

HIROSHI YASUDA: "Fast Electron Beam Lithography System with 1024 Beams Individually Controlled by Blanking Aperture Array", JPN. J. APPL. PHYS, vol. 32, Part 1, no. 12B, 1 December 1993 (1993-12-01), pages 6012-6017, XP055147336, DOI: 10.1143/JJAP.32.6012

審查人員：王志成

申請專利範圍項數：25 項 圖式數：40 共 133 頁

(54)名稱

用於電子束 (E B E A M) 直寫系統之圓角校正

CORNER ROUNDING CORRECTION FOR ELECTRON BEAM (EBEAM) DIRECT WRITE SYSTEM

(57)摘要

描述適於互補式電子束微影(CEBL)之微影設備以及其相關的方法。於一範例中，一種用於電子束工具之消除器孔徑陣列(BAA)包括沿著第一方向之第一行開口，該些第一行開口之每一開口均具有狗耳角落。BAA 亦包括沿著該第一方向並交錯自該些第一行開口的第二行開口，該些第二行開口之每一開口均具有狗耳角落。該些第一和第二行開口一起形成一具有該第一方向上之節距的陣列。該 BAA 之掃描方向係沿著第二方向、正交於該第一方向。該陣列之該節距係相應於目標型態線之最小節距佈局的一半，以供與該第二方向平行之定向。

Lithographic apparatuses suitable for, and methodologies involving, complementary e-beam lithography (CEBL) are described. In an example, a blanker aperture array (BAA) for an e-beam tool includes a first column of openings along a first direction, each of the openings of the first column of openings having dog-eared comers. The BAA also includes a second column of openings along the first direction and staggered from the first column of openings, each of the openings of the second column of openings having dog-eared corners. The first and second columns of openings together form an array having a pitch in the first direction. A scan direction of the BAA is along a second direction, orthogonal to the first direction. The

pitch of the array corresponds to half of a minimal pitch layout of a target pattern of lines for orientation parallel with the second direction.

指定代表圖：

符號簡單說明：

2400 . . . 電子束行

2402 . . . 偏轉器

2404 . . . BAA

2460 . . . 狹縫

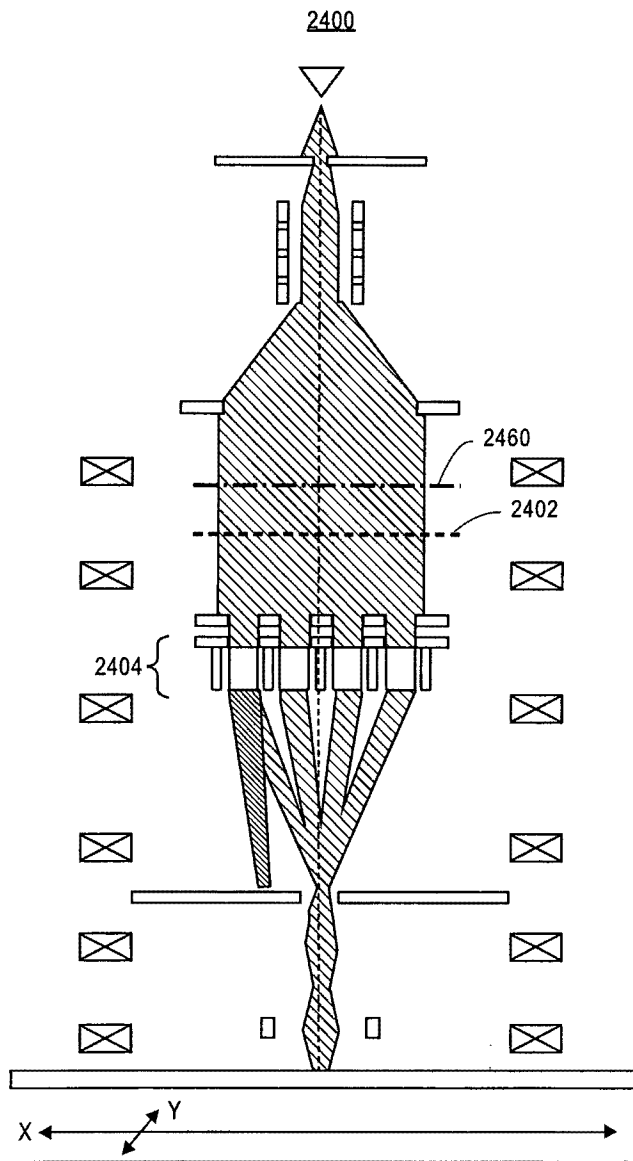


圖 24A

圖式

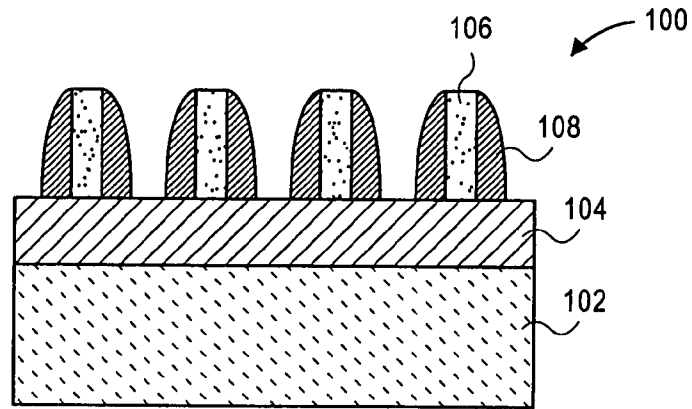


圖 1A

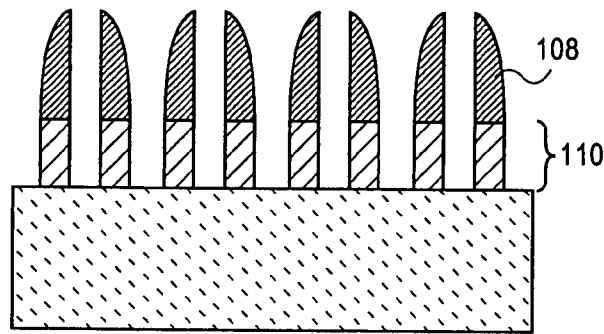


圖 1B

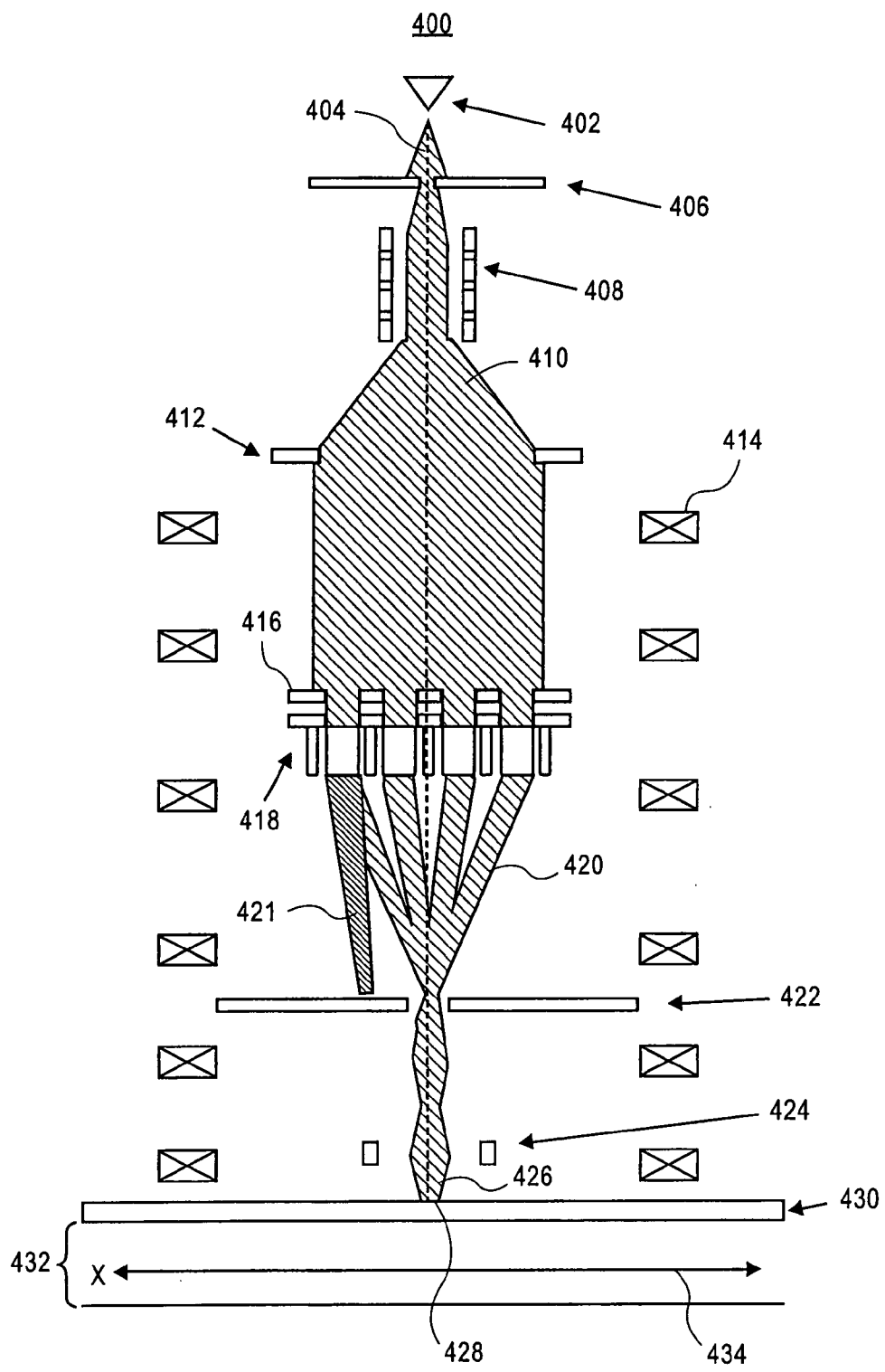


圖 4

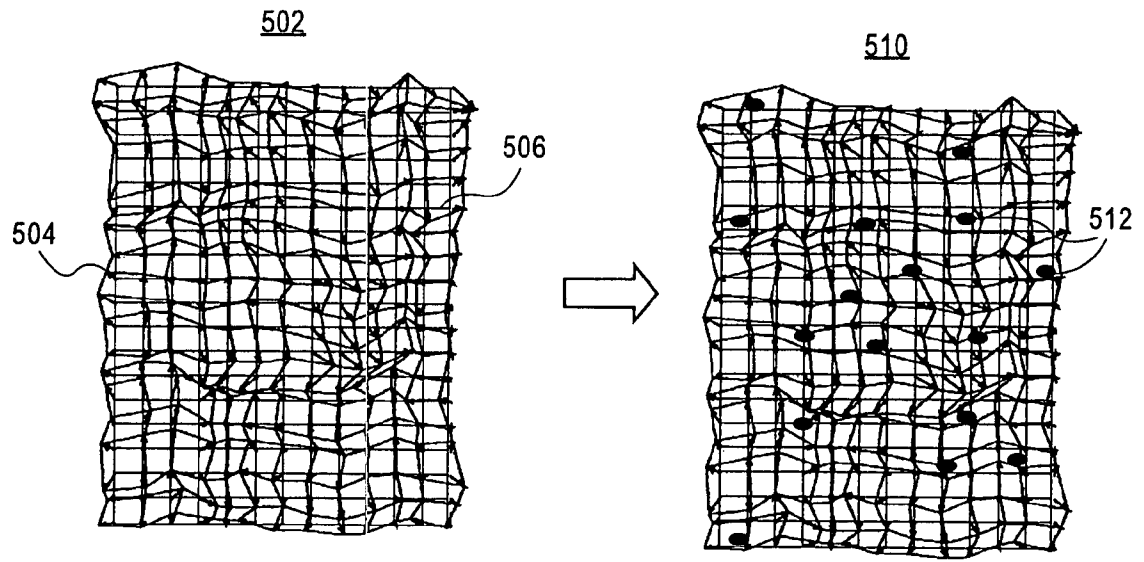


圖 5

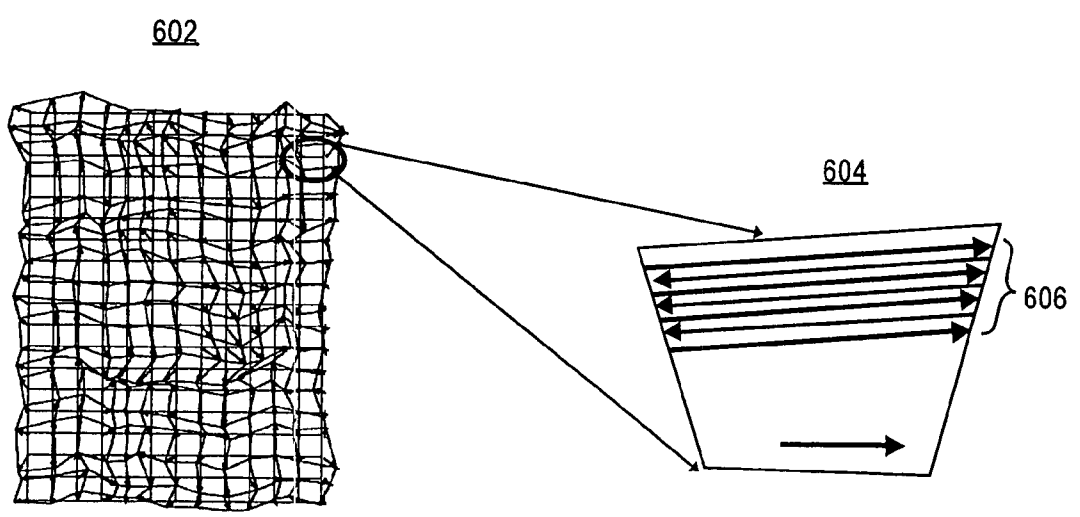


圖 6

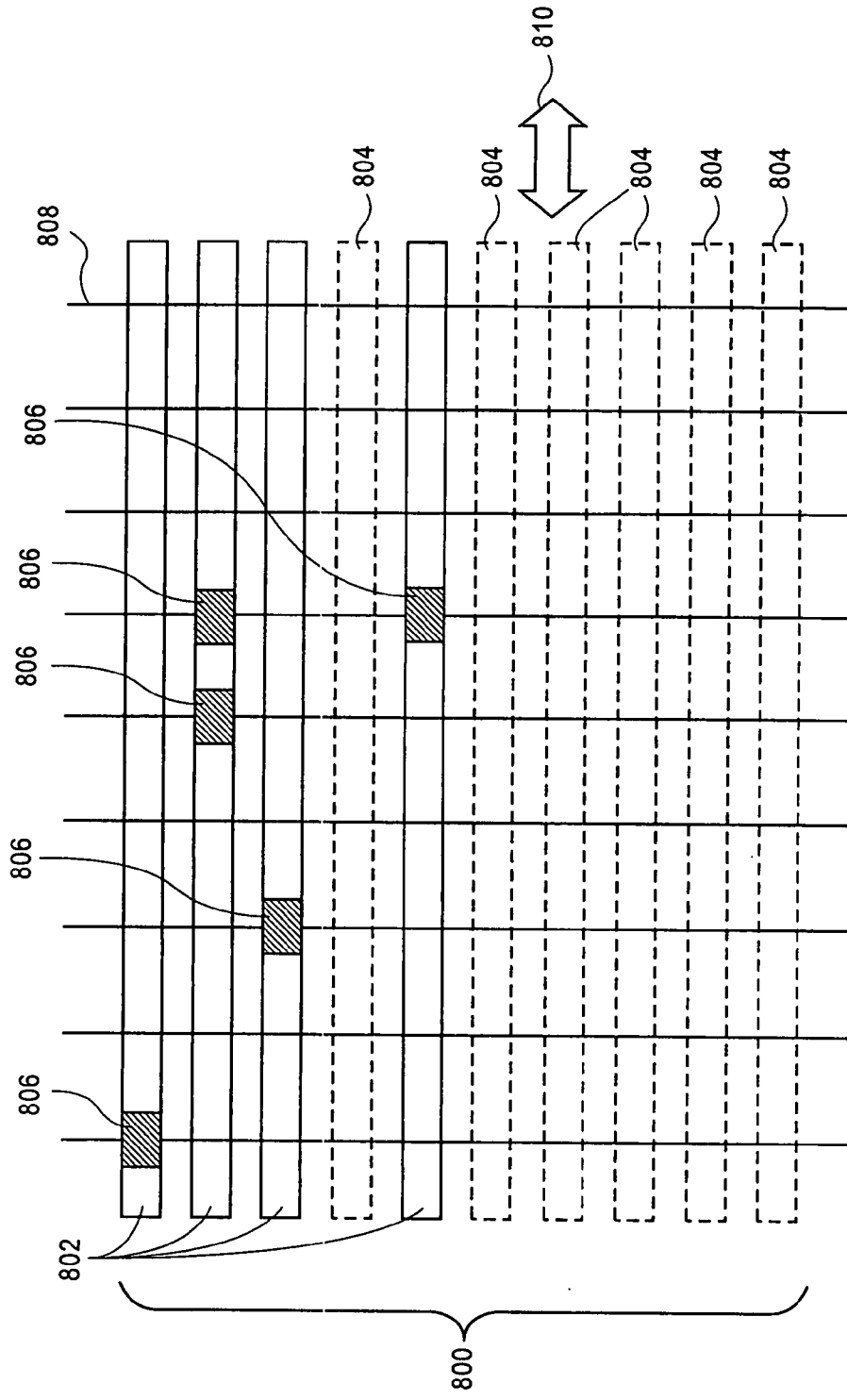
$$\text{bits/m}^2 = \text{bits/pixel} * 1 / (\text{pixel size})^2 \quad (\text{A})$$

$$\frac{\text{bits}}{\text{pixel}} = \log_2 \left(1 + \frac{A_p}{\Delta PV} \right) \quad (\text{B})$$

$$0.5 * \log_2(1 + 10/5) * 1 / (10 * 10^{-9})^2 = 0.5 * 1.585 * 10^{16} \text{ bits/m}^2 = 7.925 * 10^{15} \text{ bits/m}^2 \quad (\text{C})$$

$$0.0706 * 7.925 * 10^{15} = 5.595 * 10^{14} \text{ bits} = 7 * 10^{13} \text{ bytes} \quad (\text{D})$$

圖 7



8

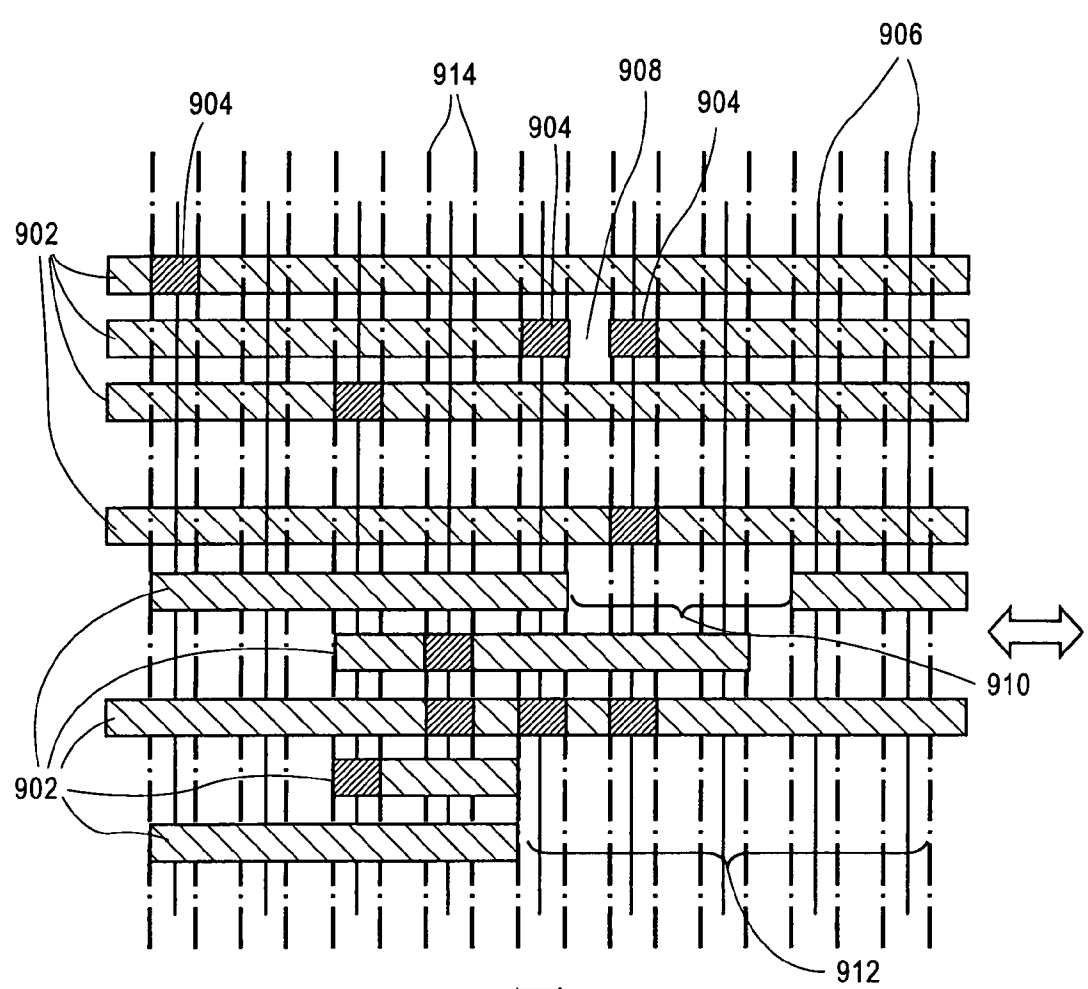


圖 9

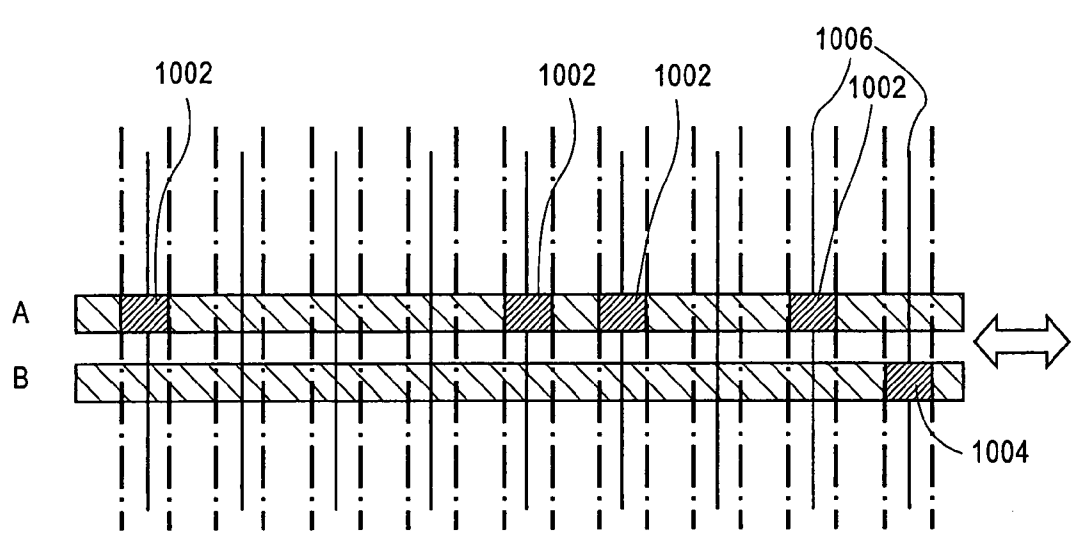


圖 10

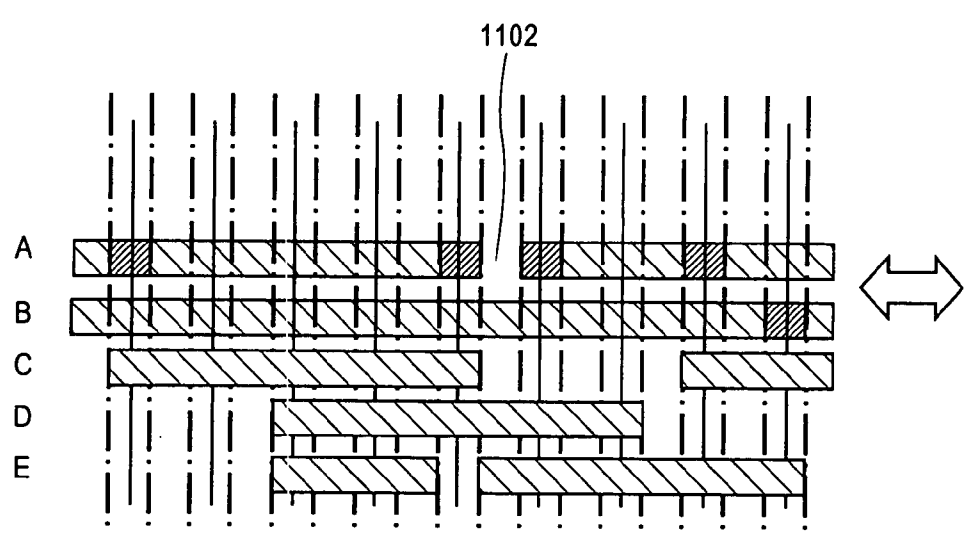


圖 11

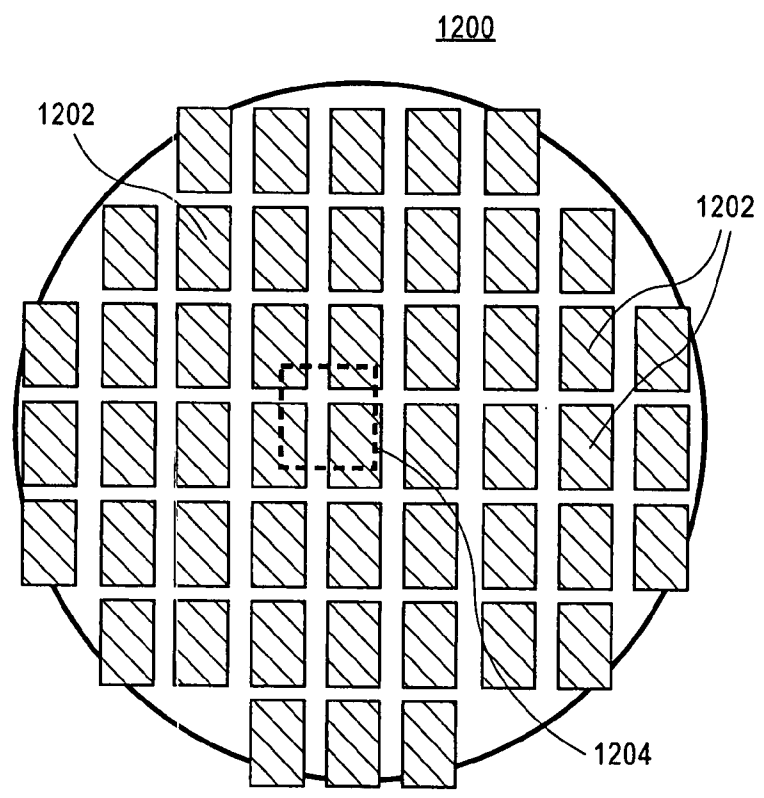


圖 12

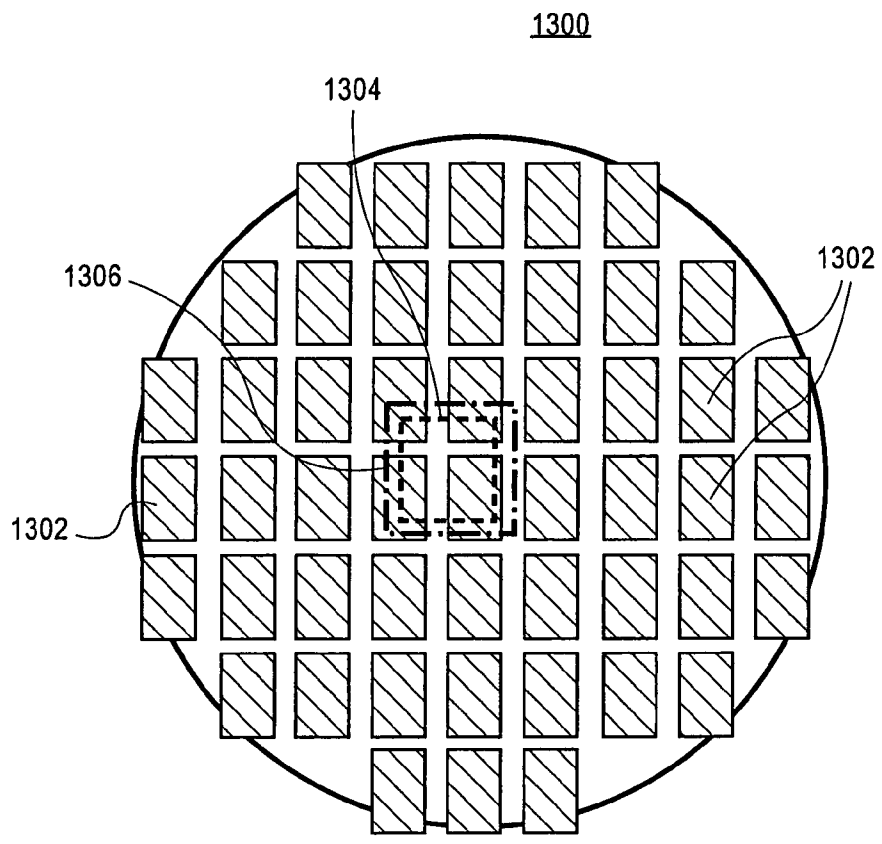


圖 13

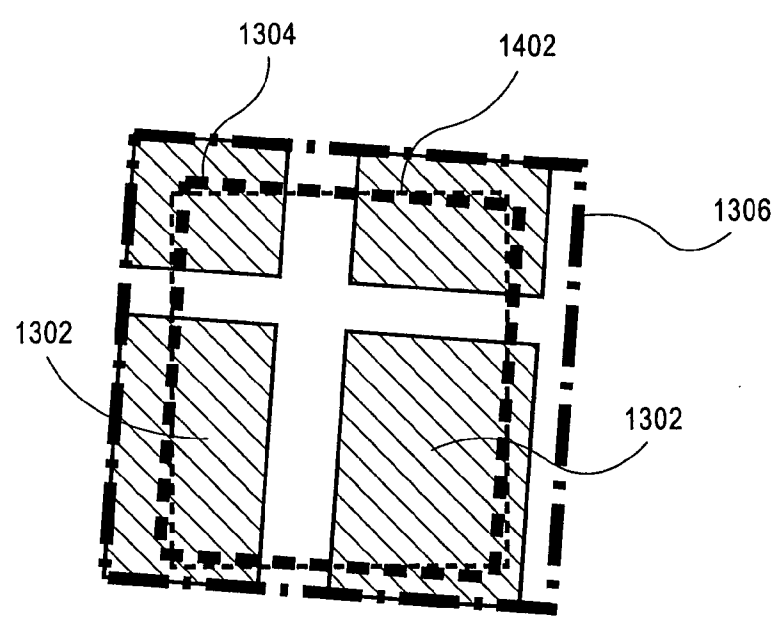


圖 14

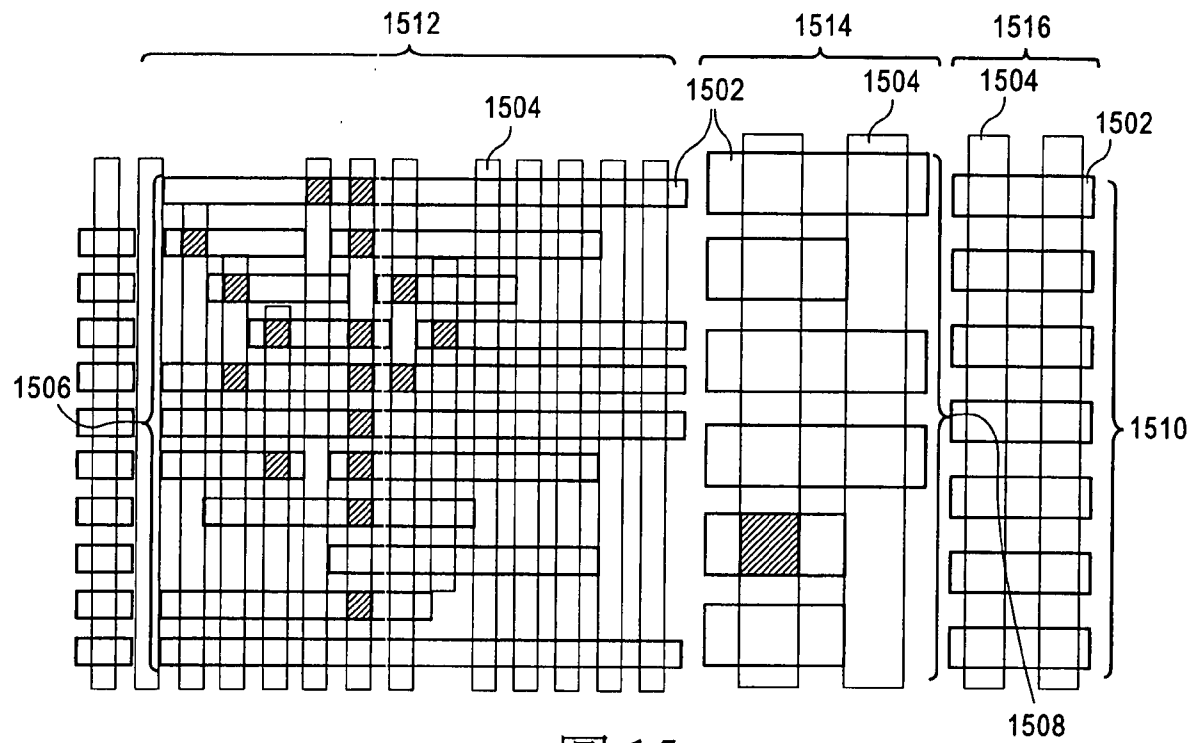


圖 15

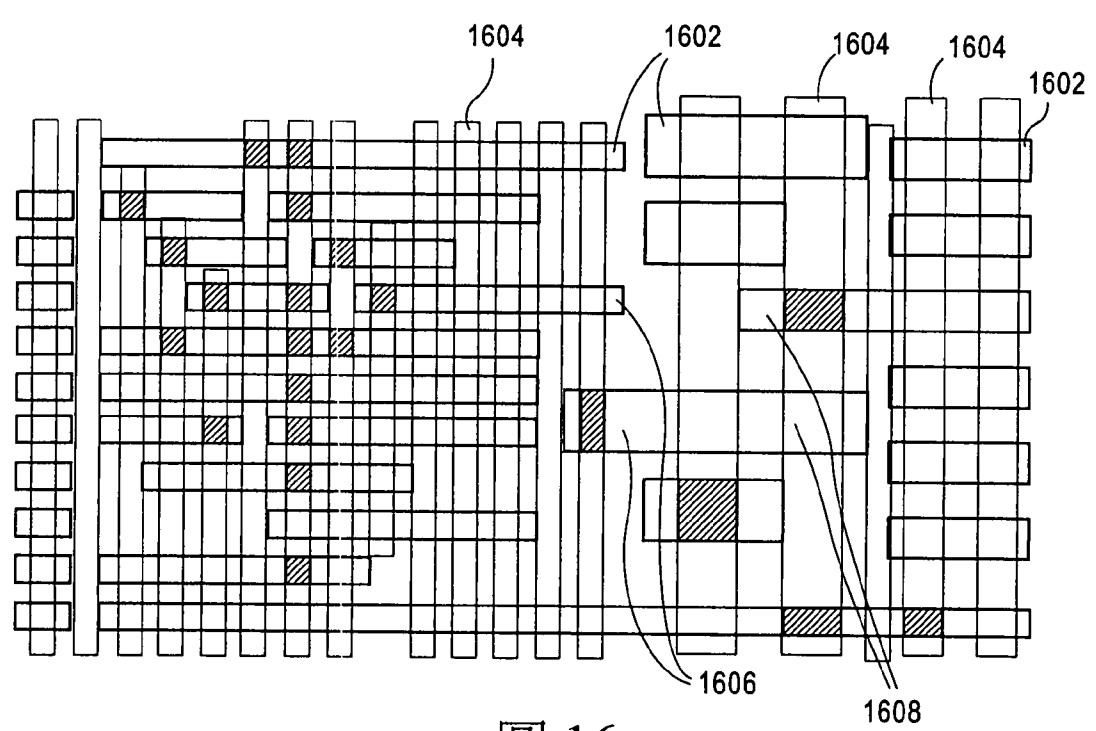


圖 16

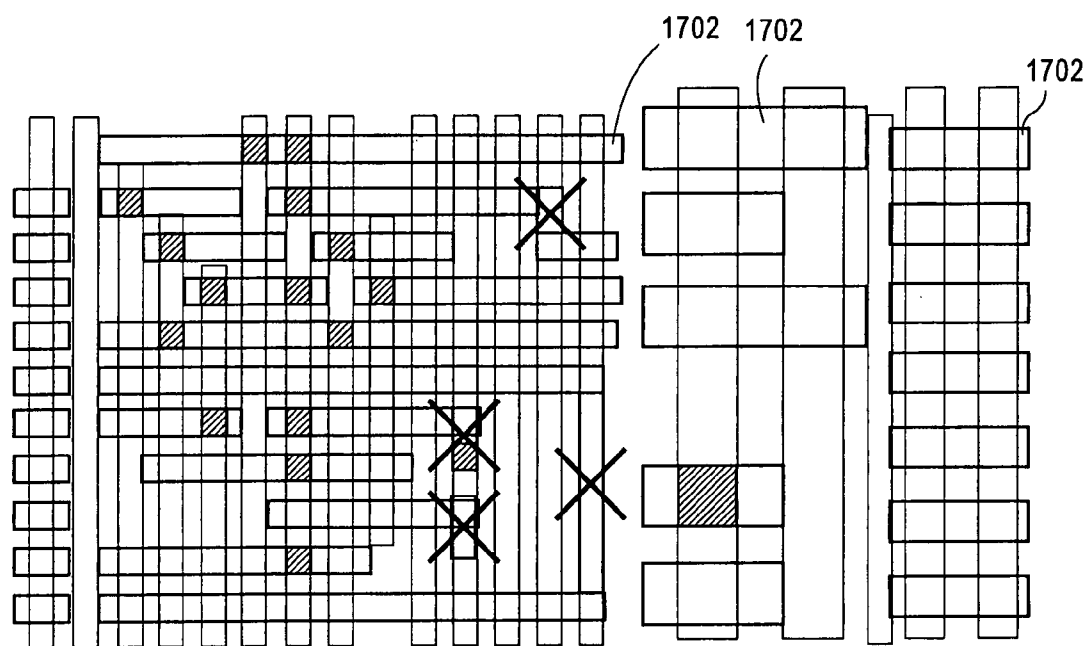


圖 17

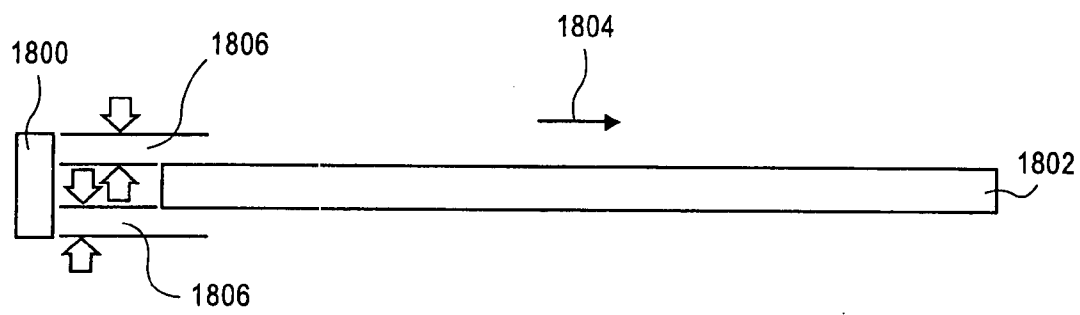


圖 18

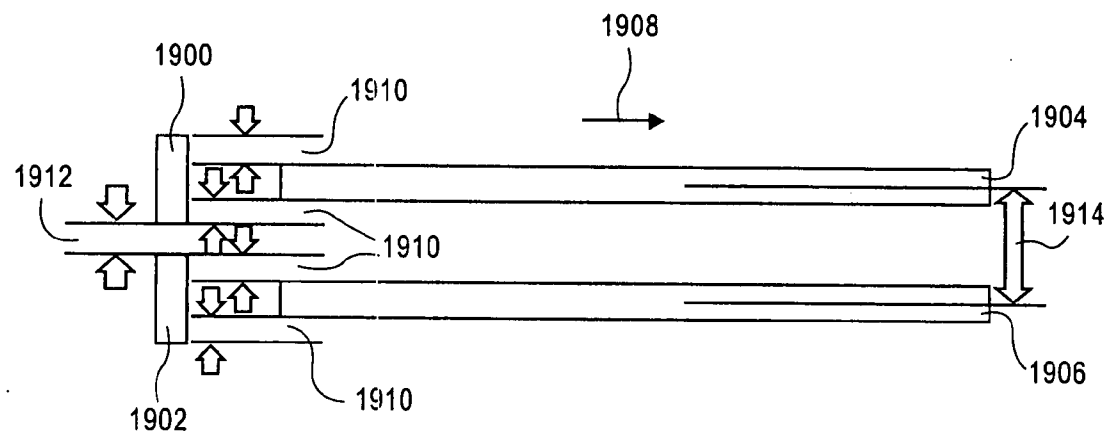


圖 19

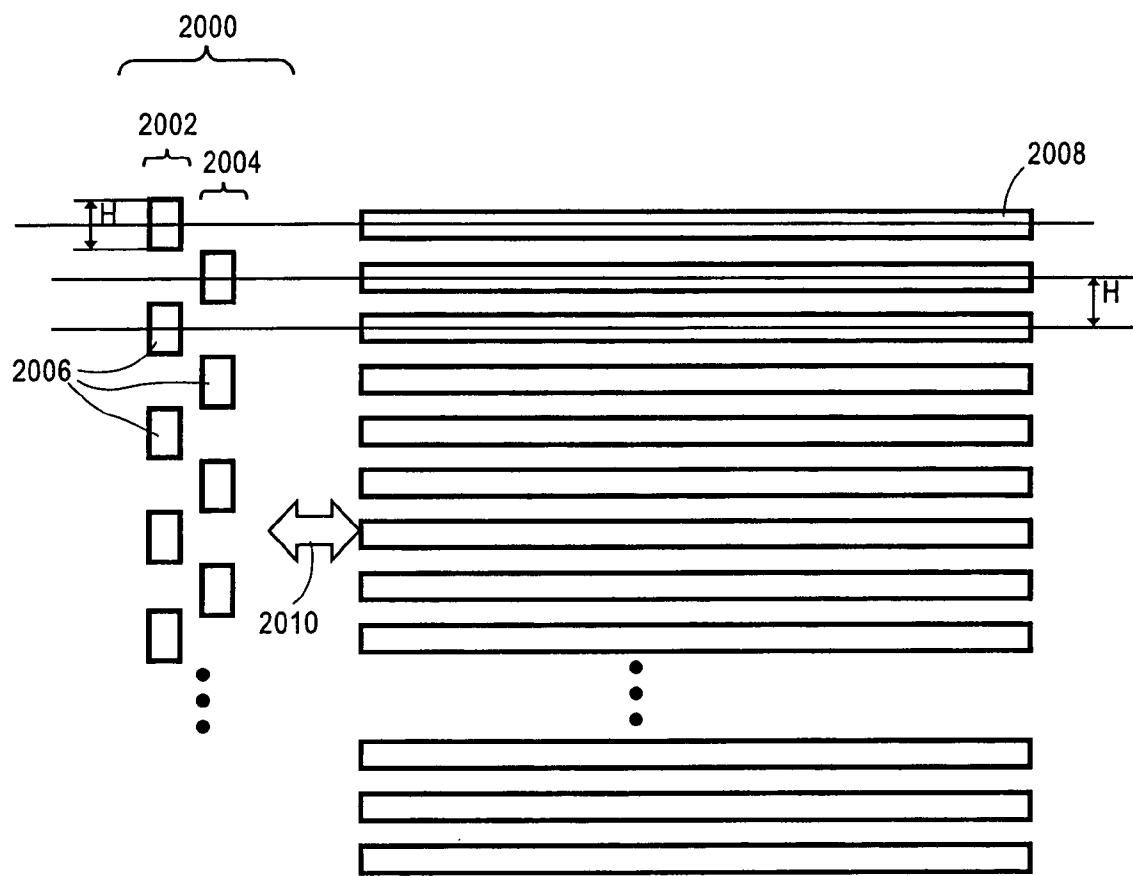


圖 20

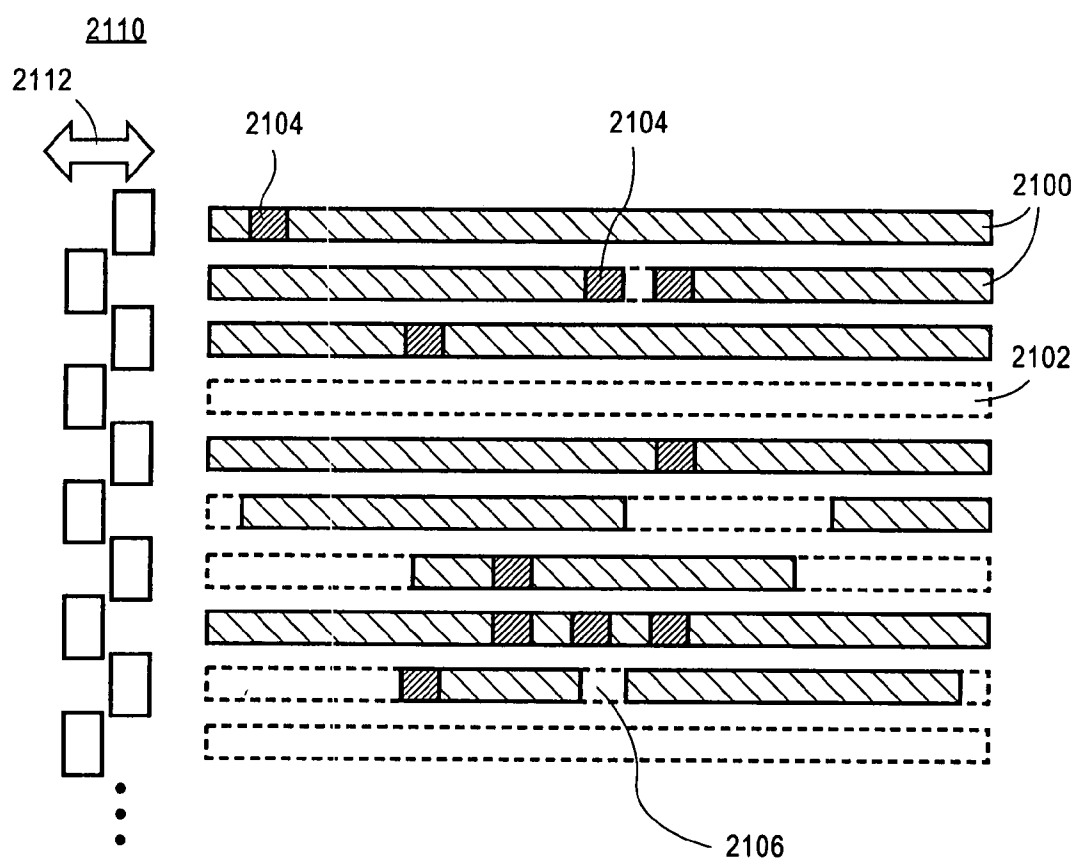


圖 21A

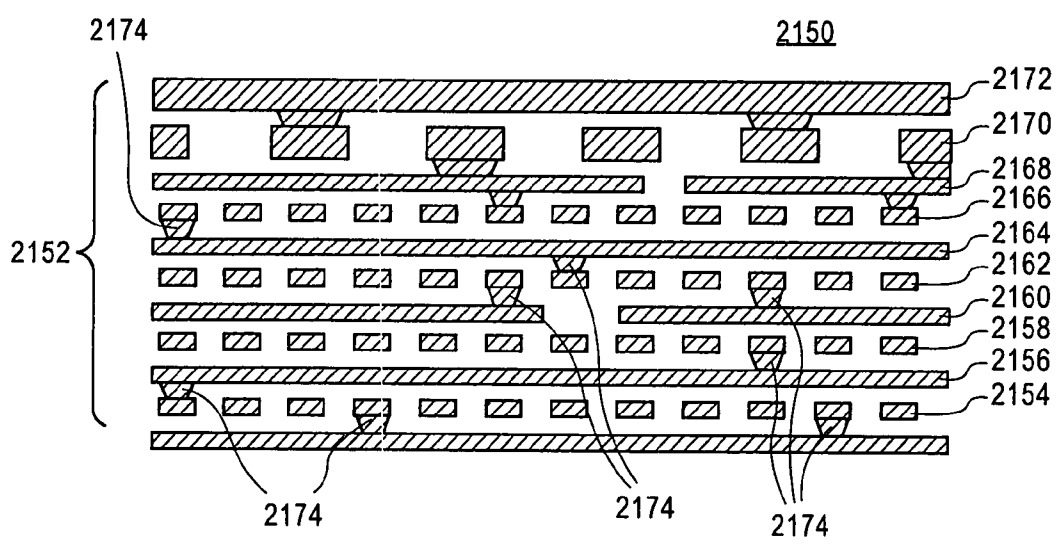


圖 21B

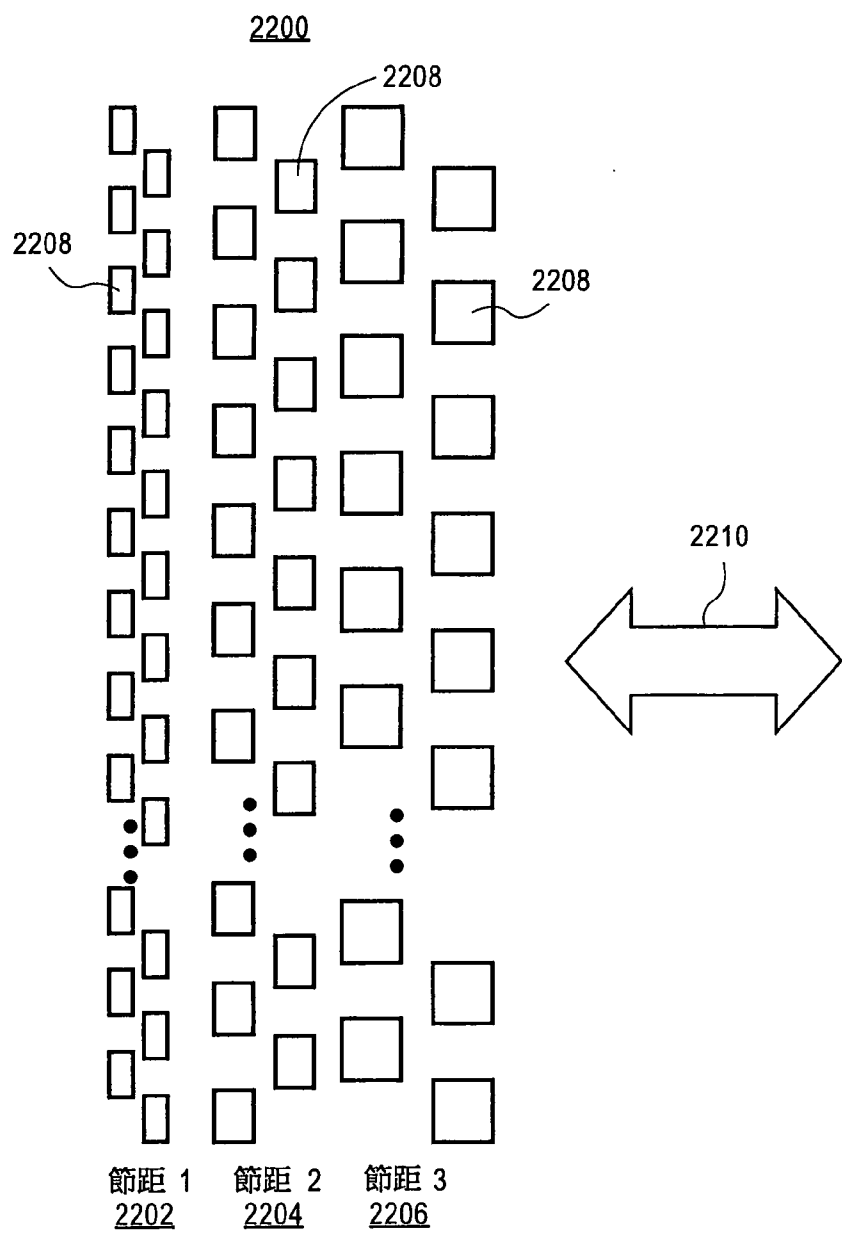


圖 22

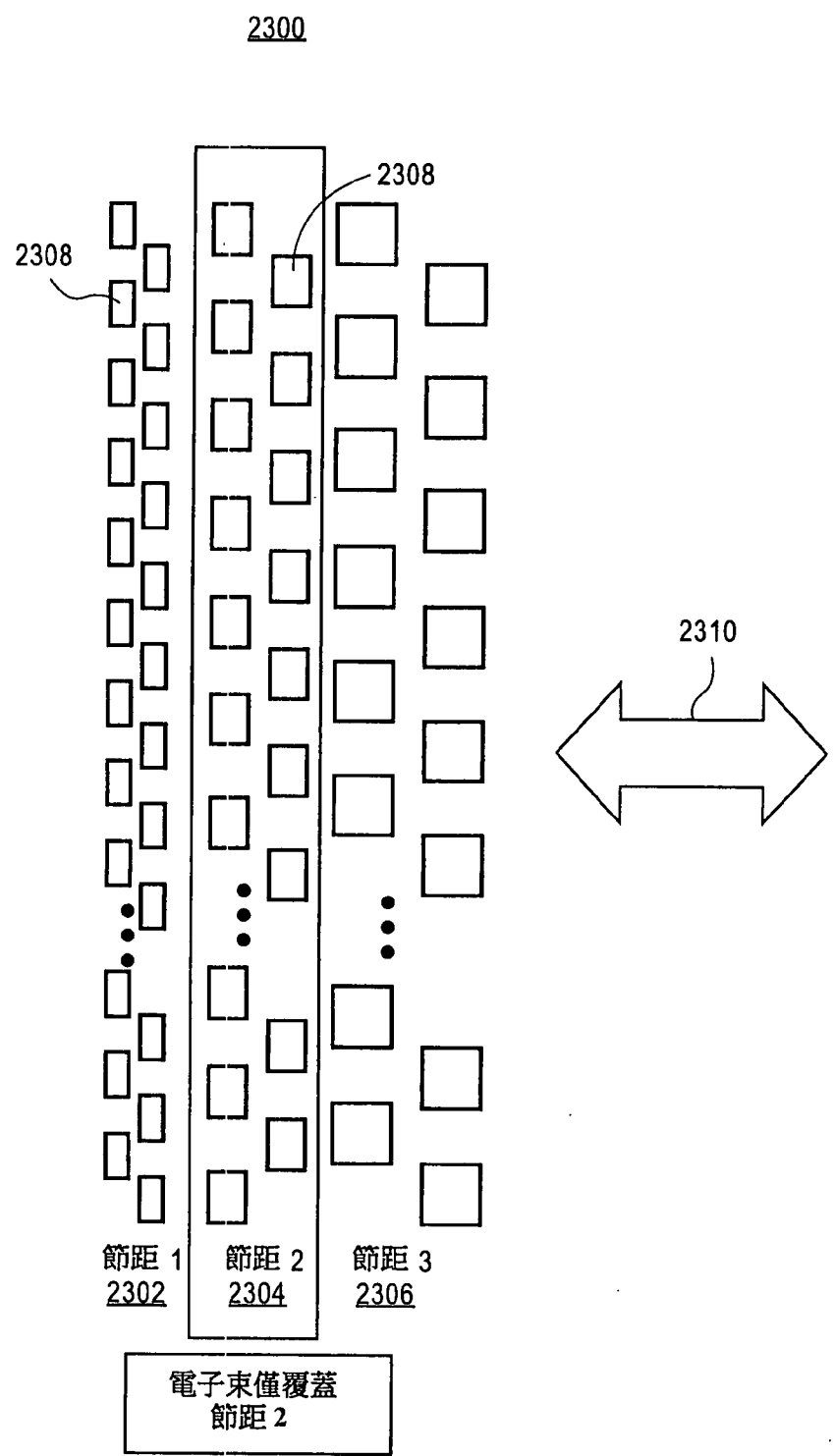


圖 23

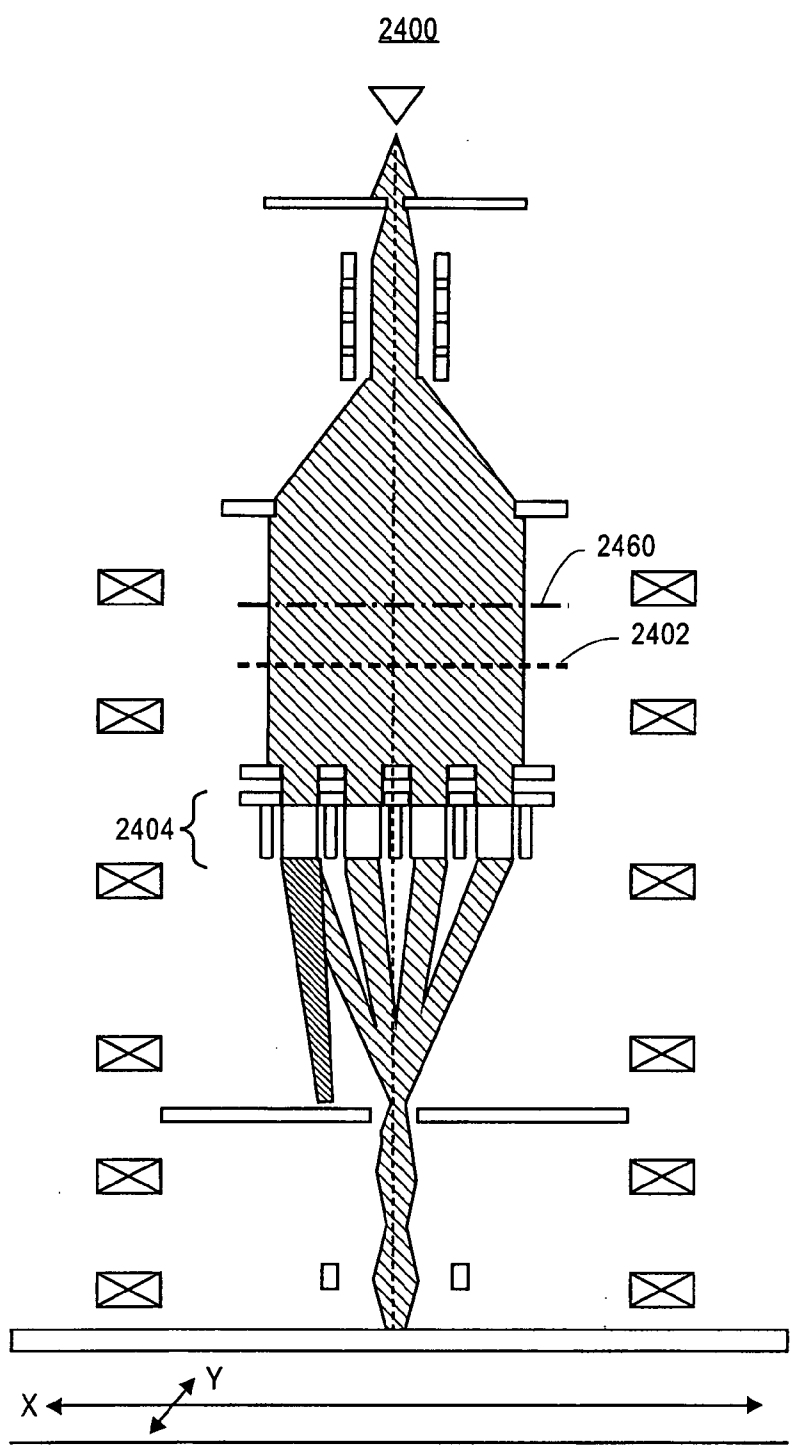


圖 24A

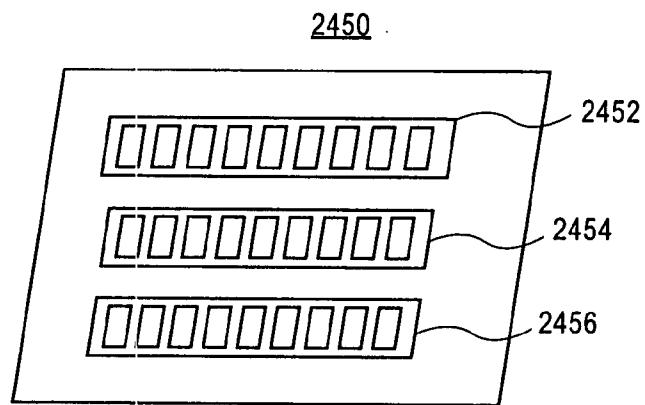


圖 24B

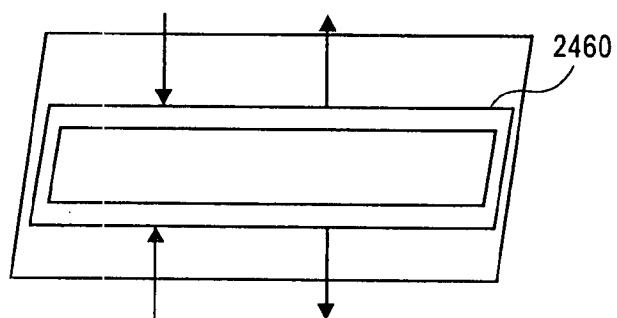


圖 24C

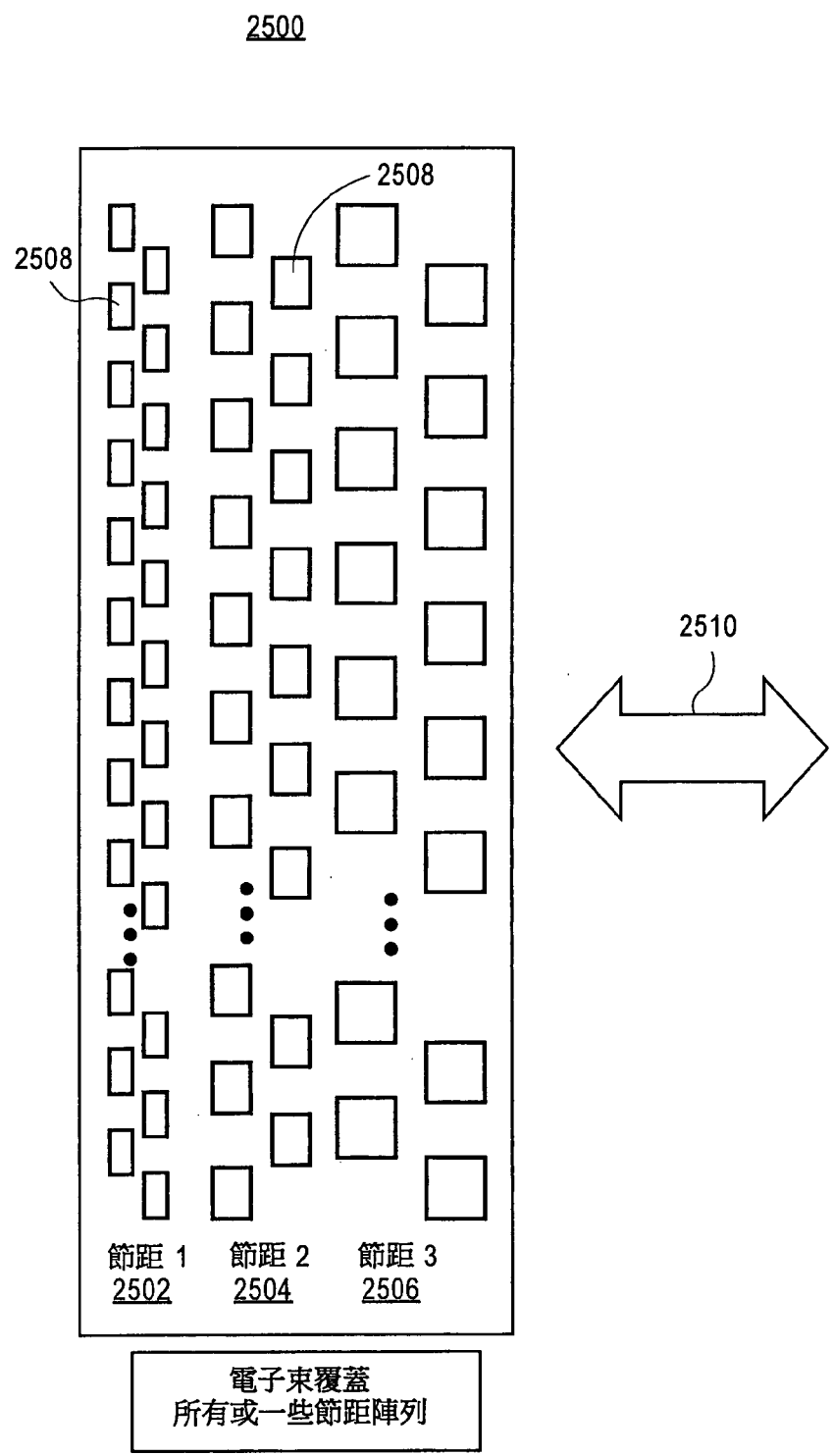


圖 25

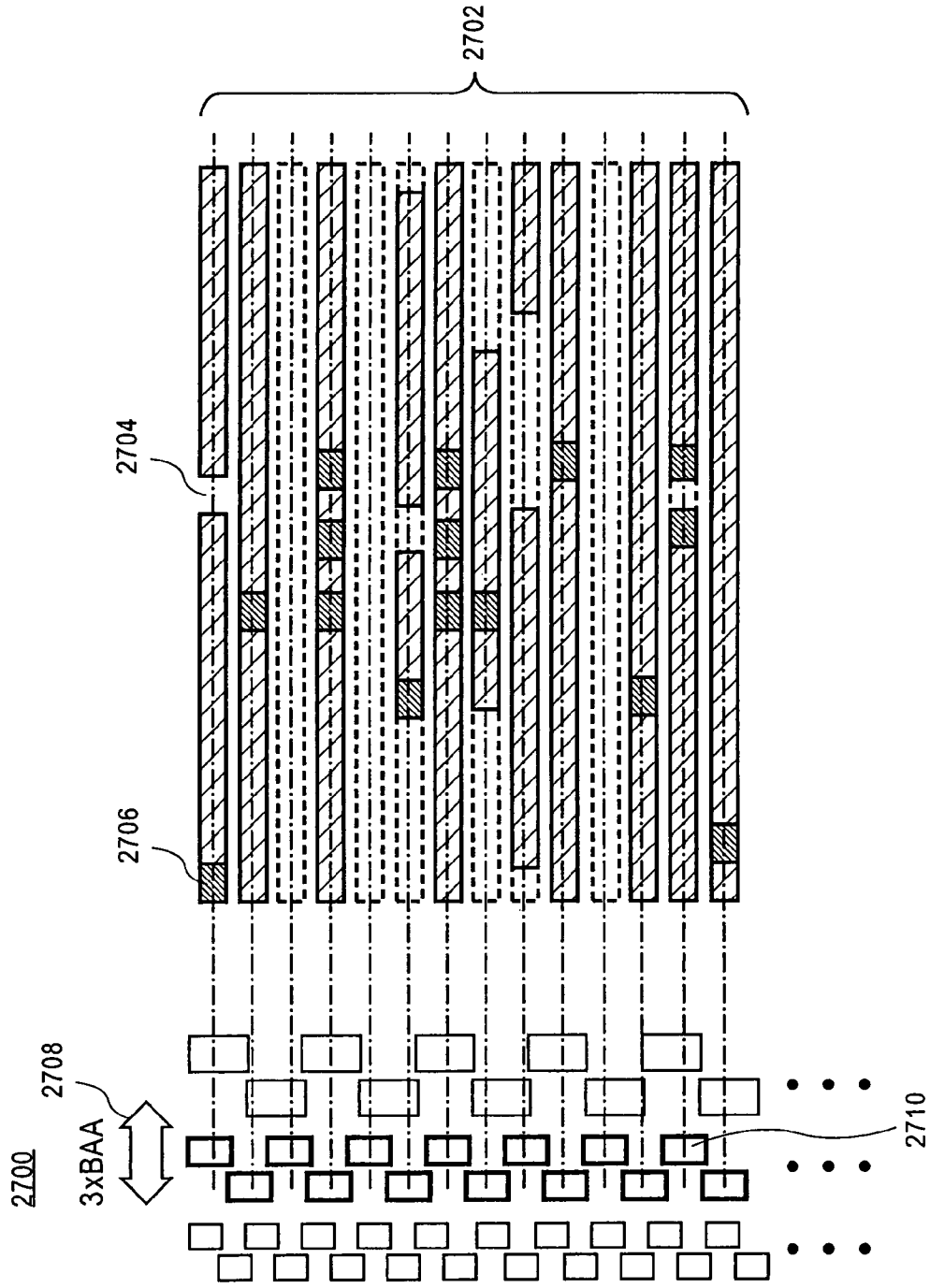


圖 27

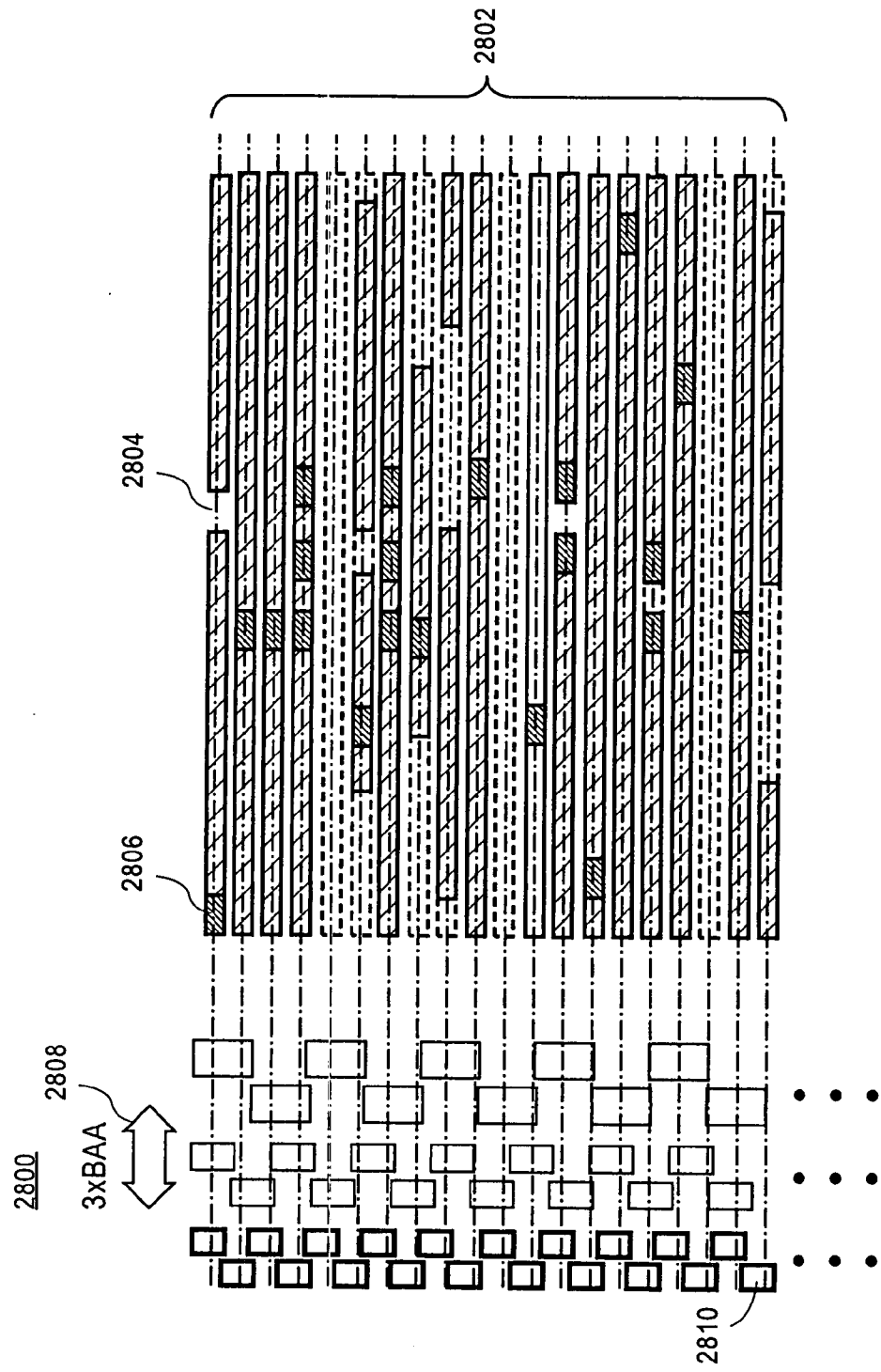


圖 28

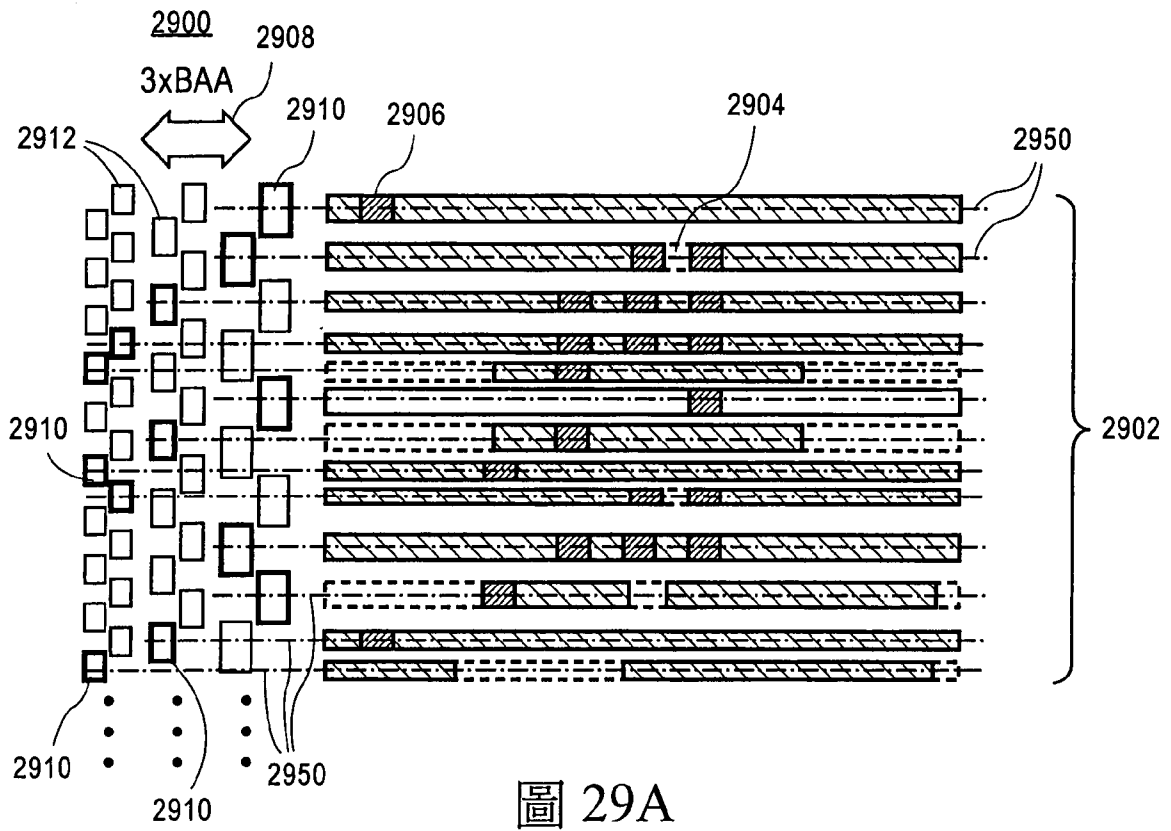


圖 29A

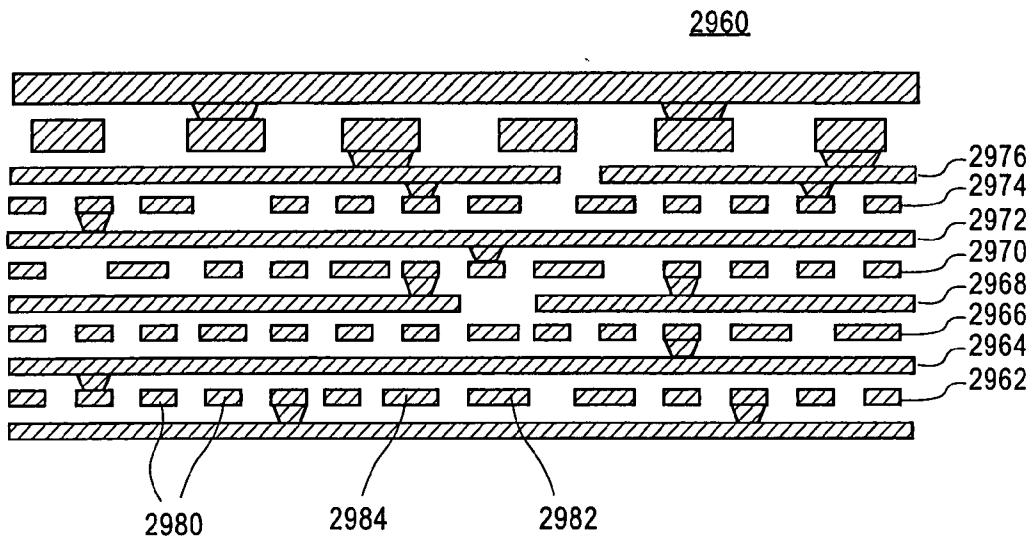


圖 29B

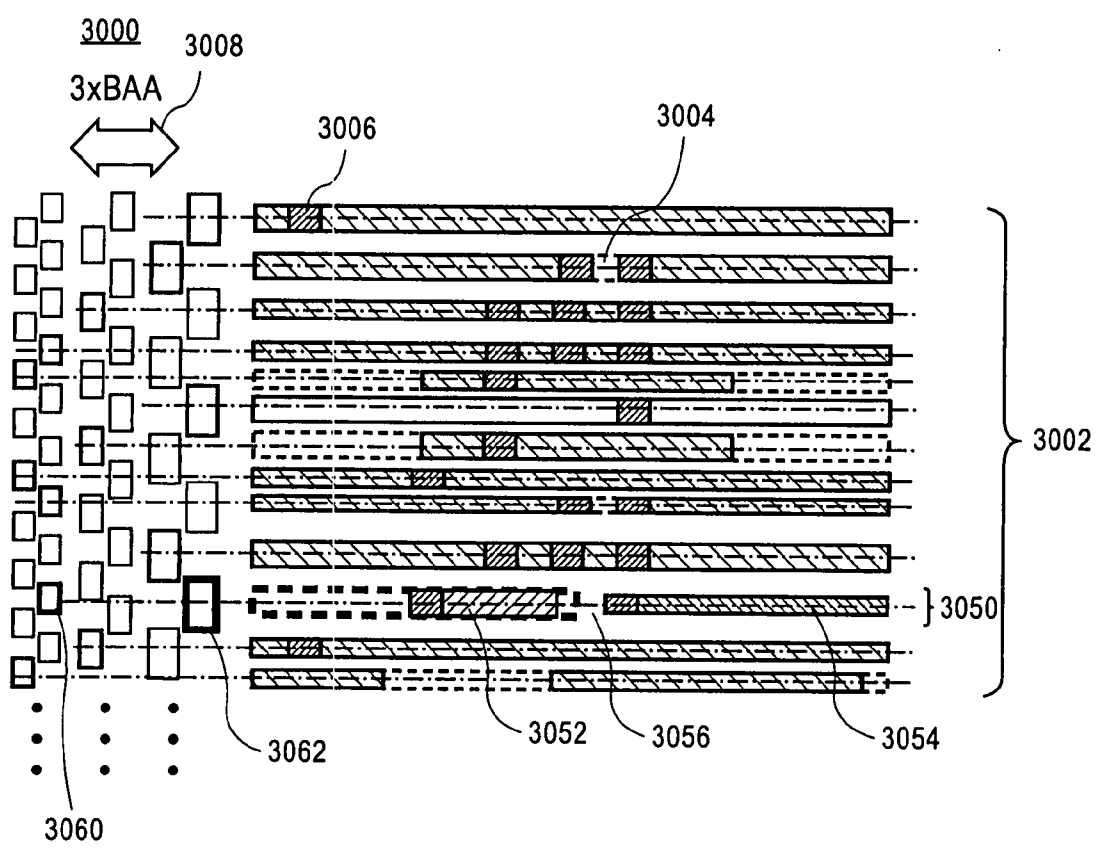


圖 30

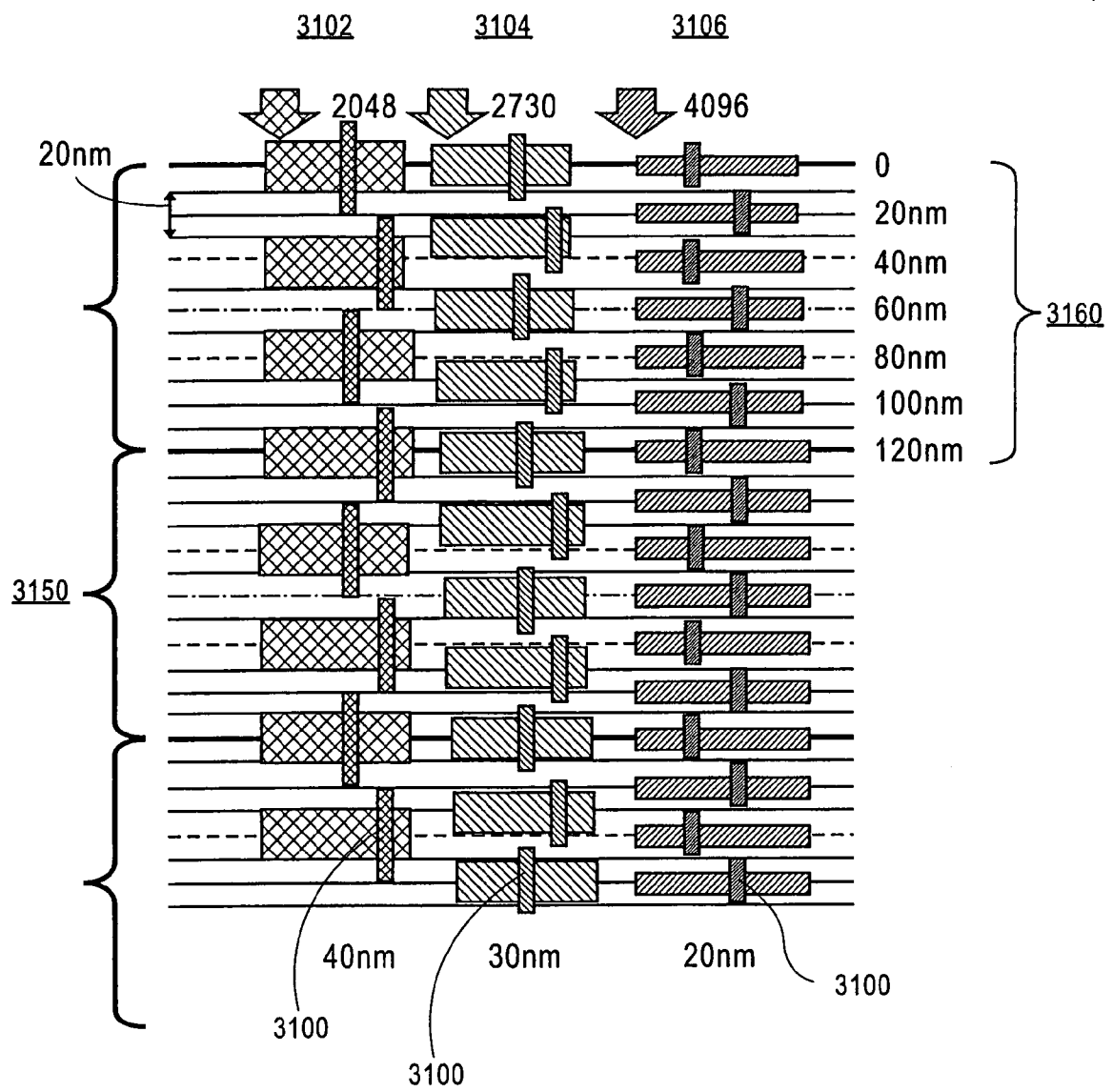


圖 31

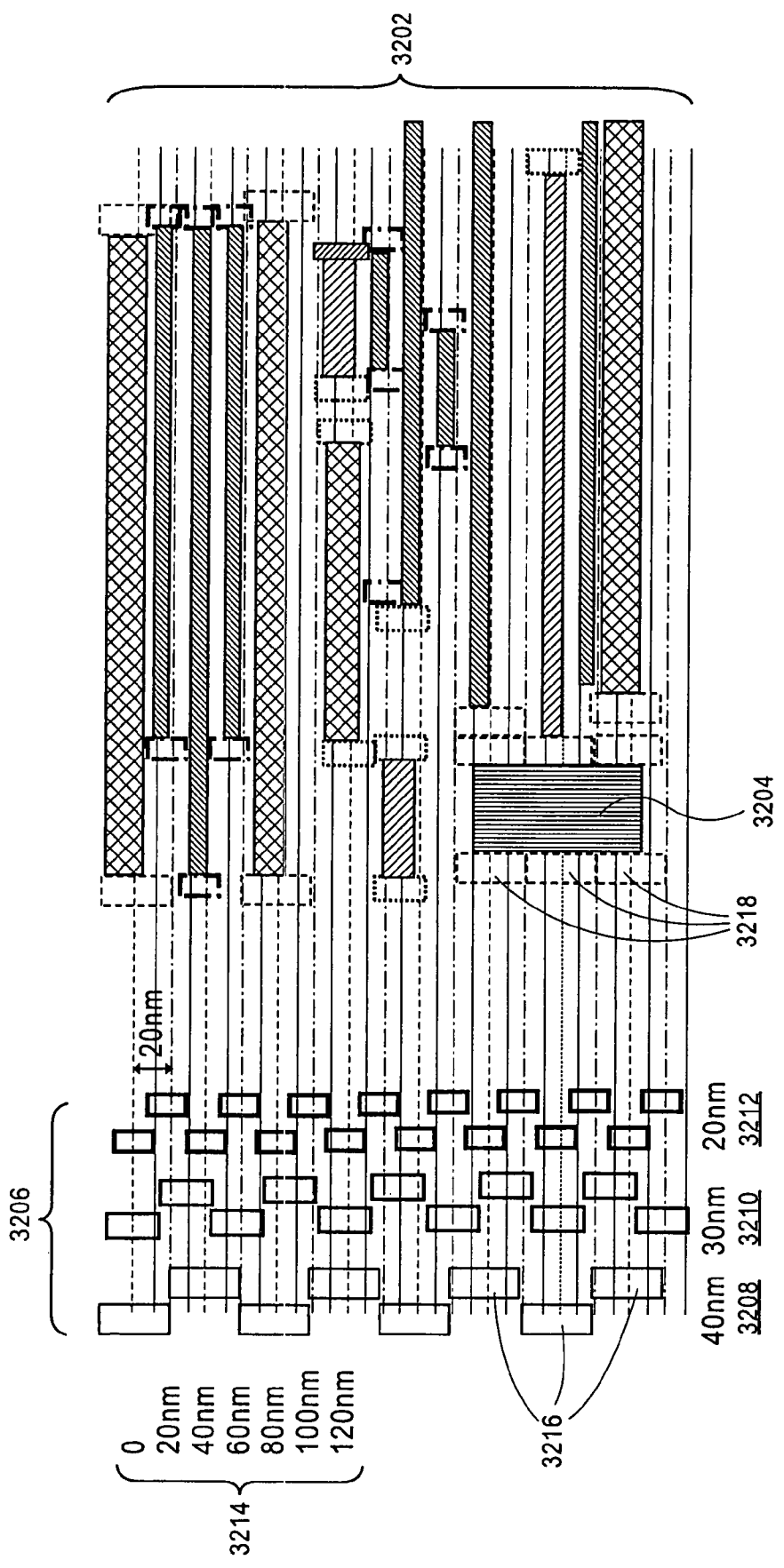


圖 32

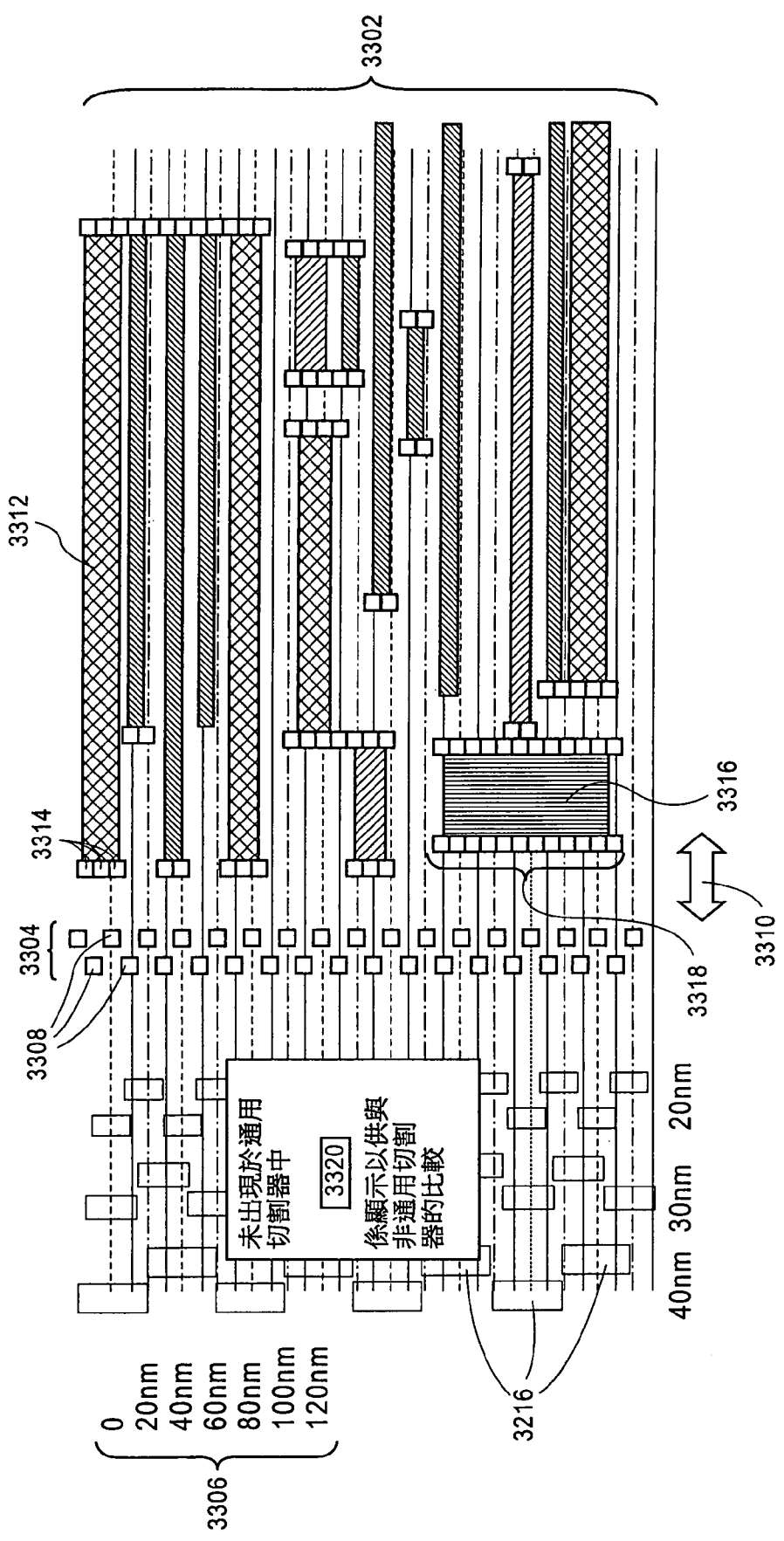


圖 33

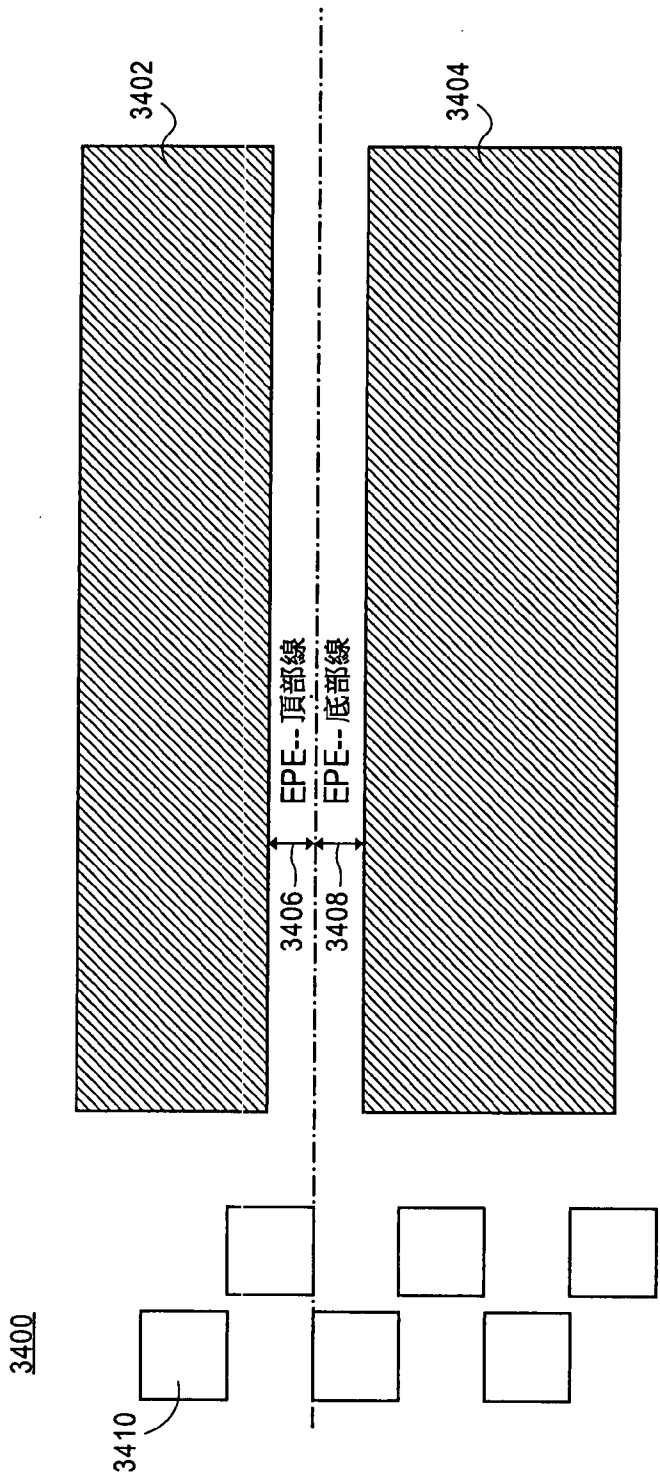


圖 34A

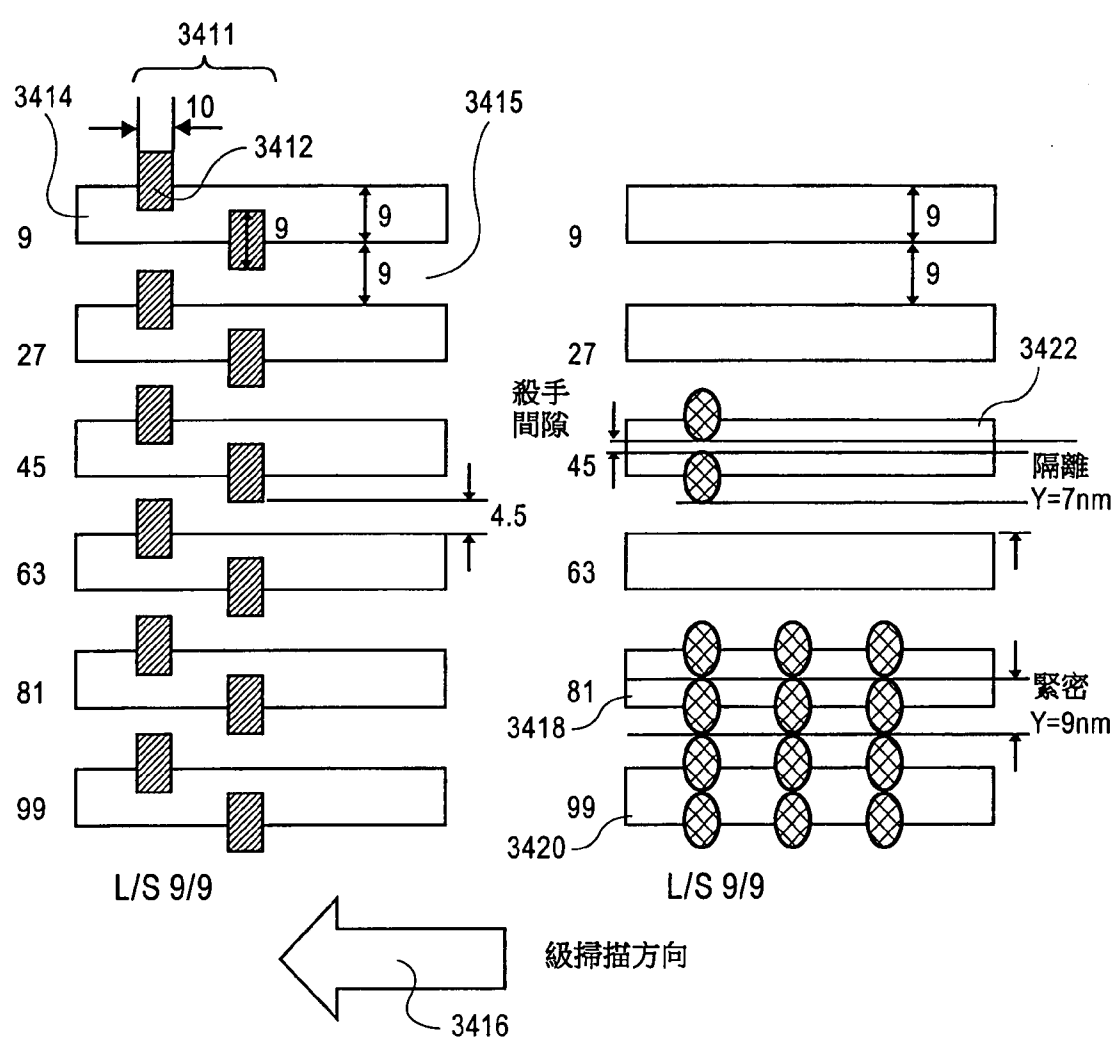


圖 34B

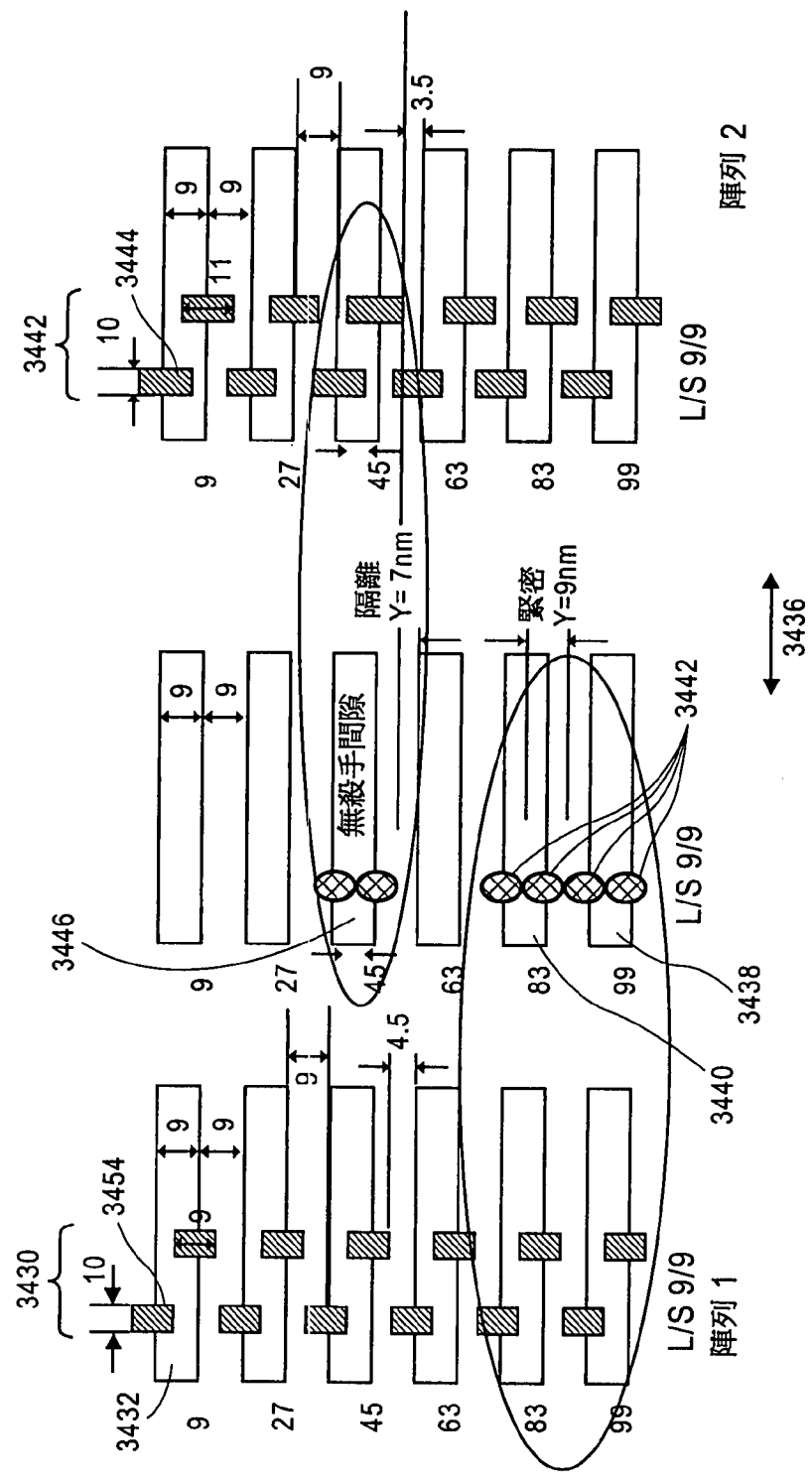


圖 34C

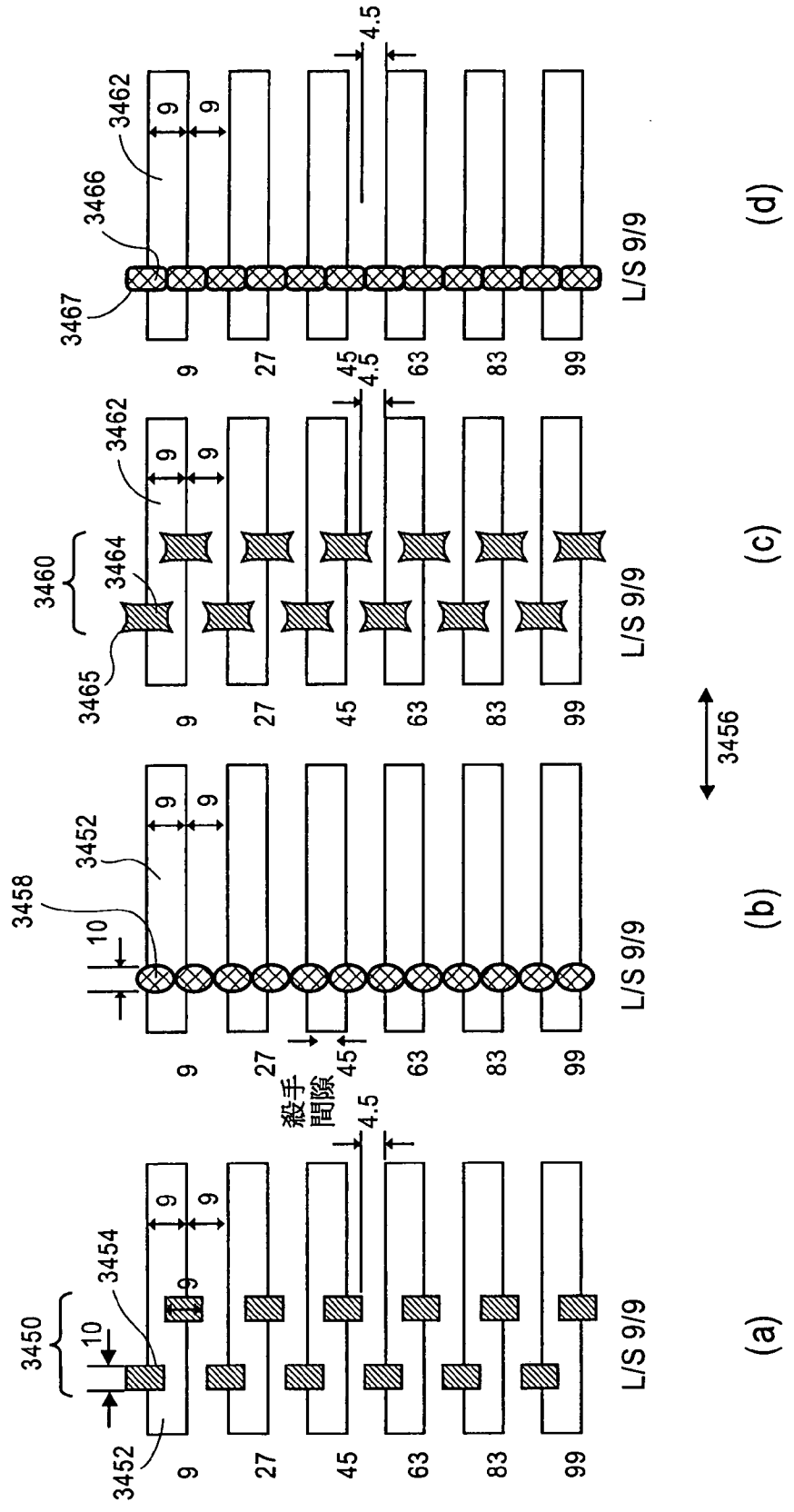


圖 34D

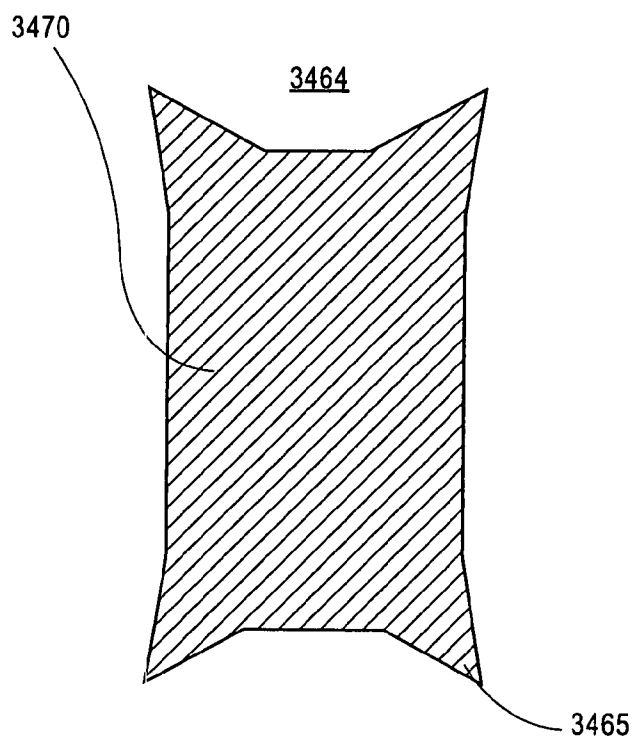
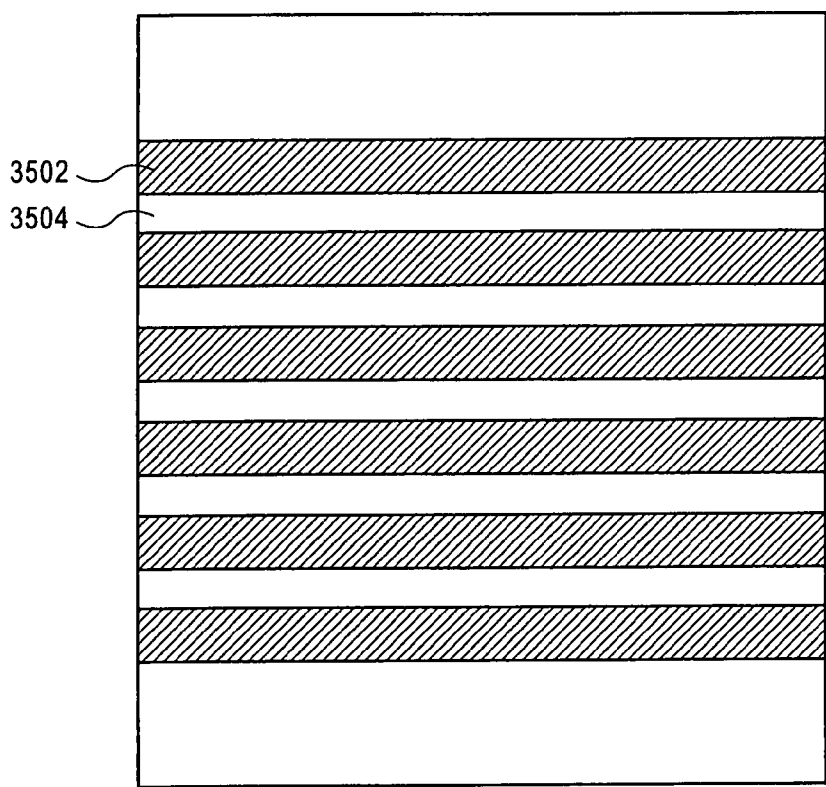


圖 34E

平面視圖 3500



橫斷面視圖

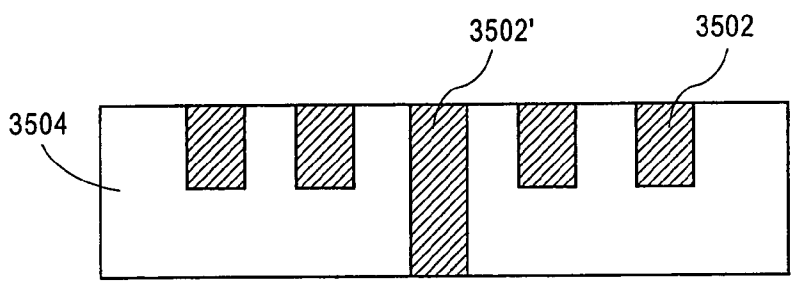


圖 35

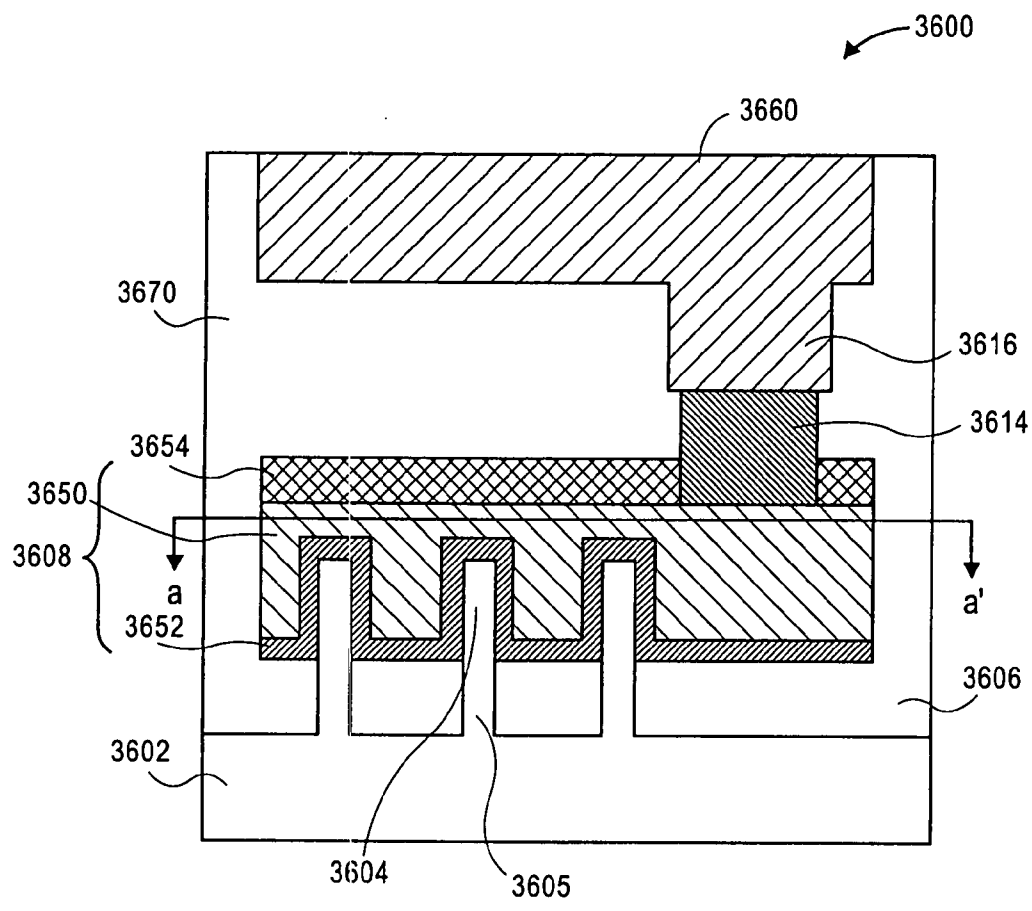


圖 36A

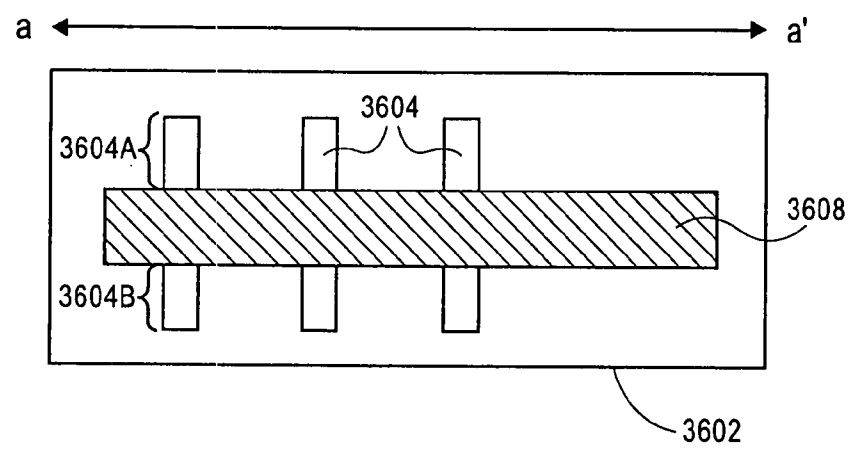
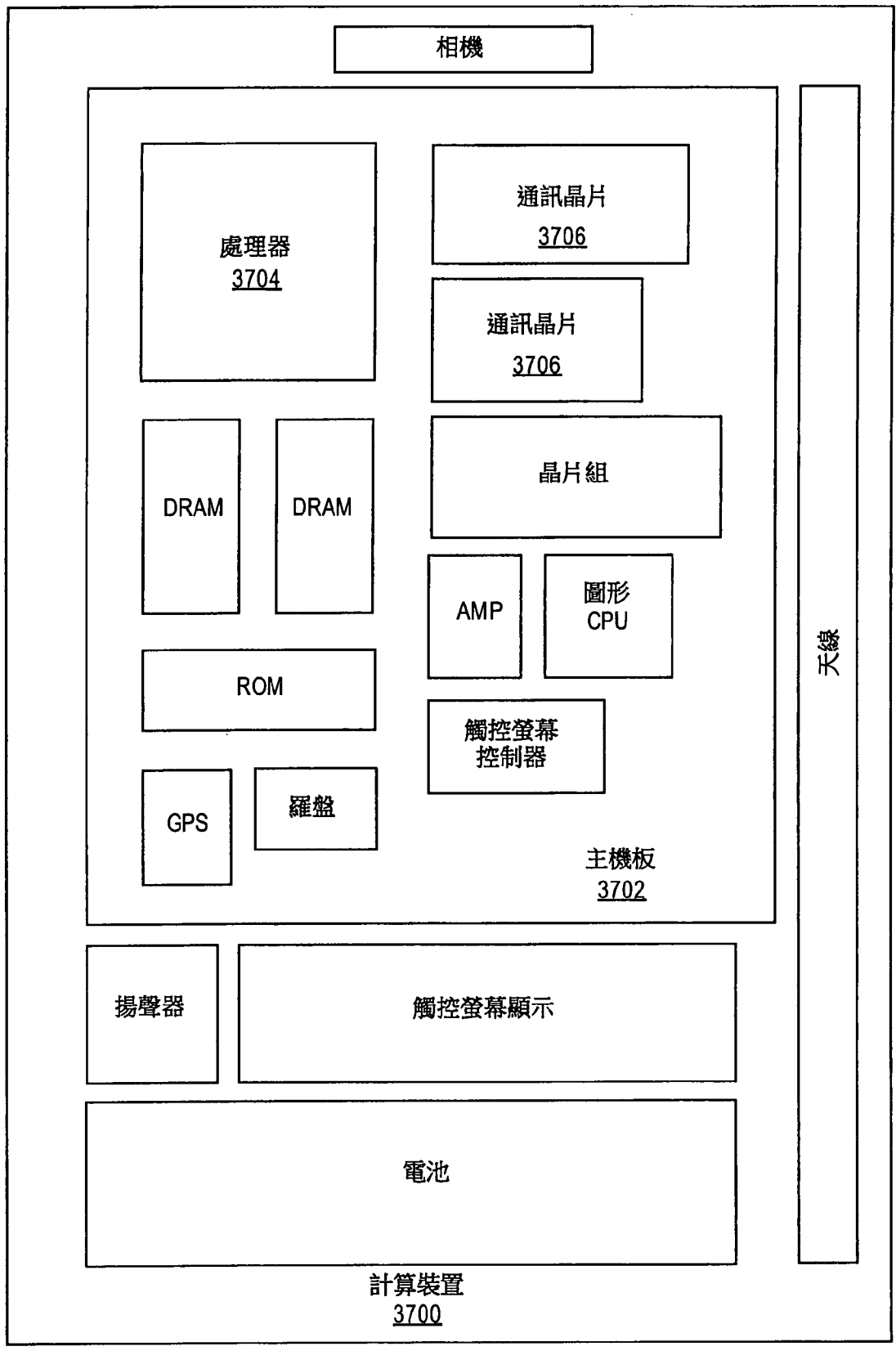


圖 36B



計算裝置
3700

圖 37

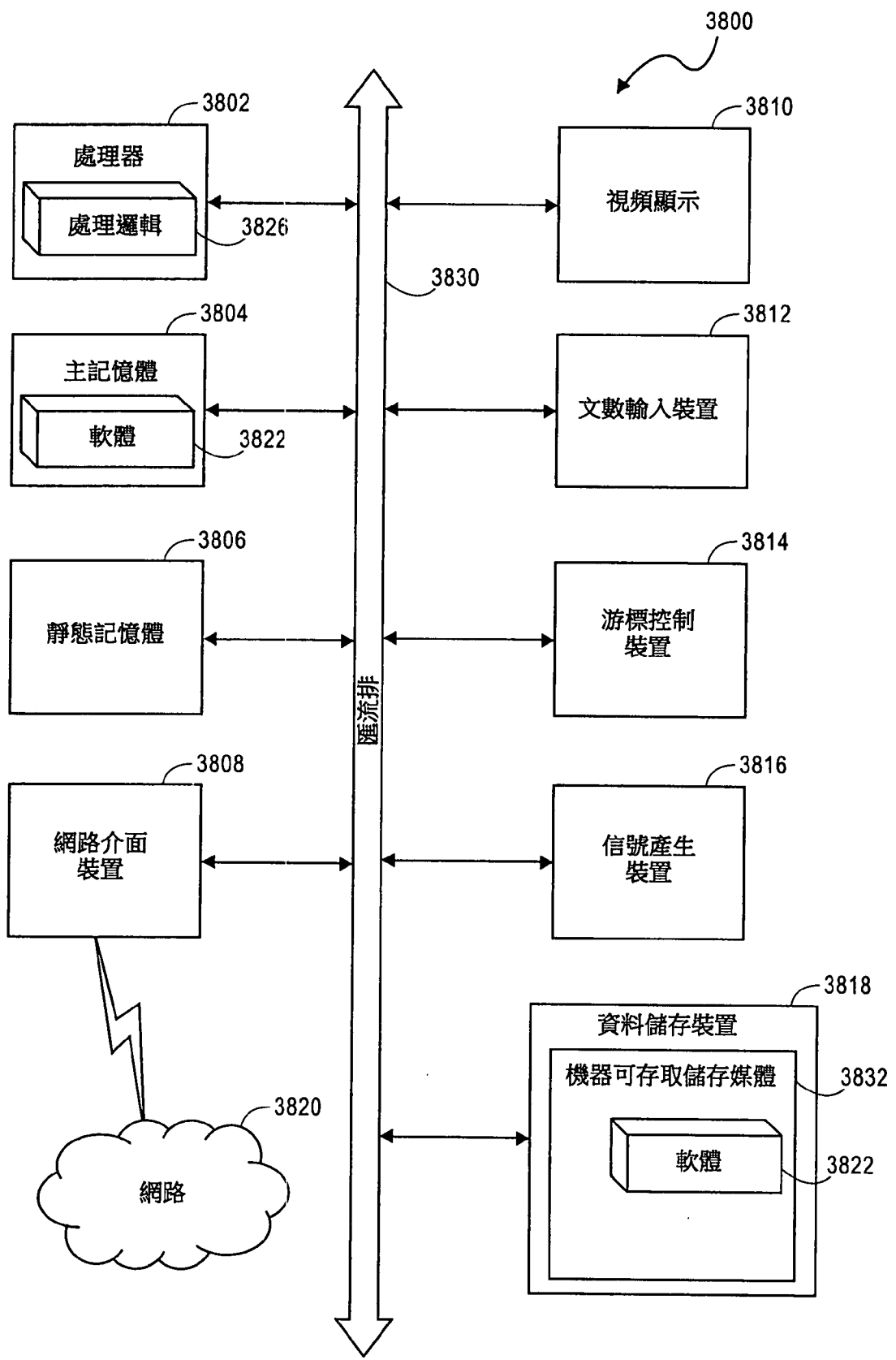


圖 38

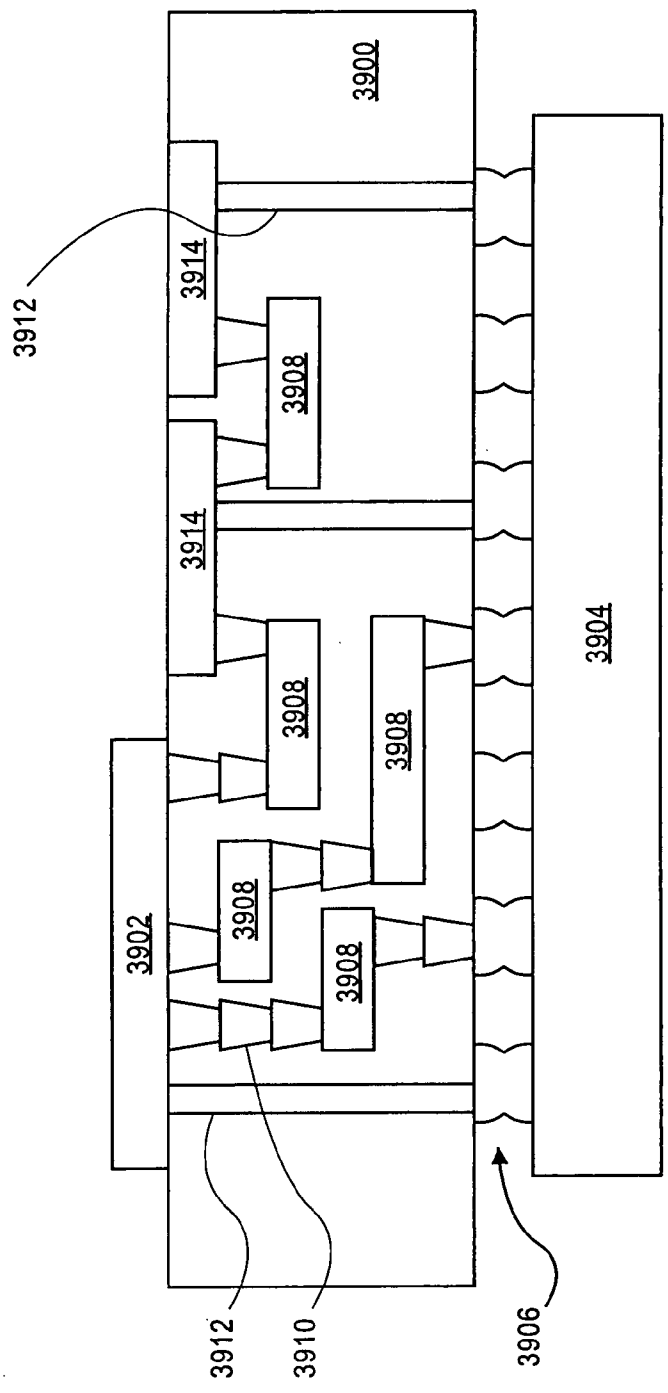


圖 39

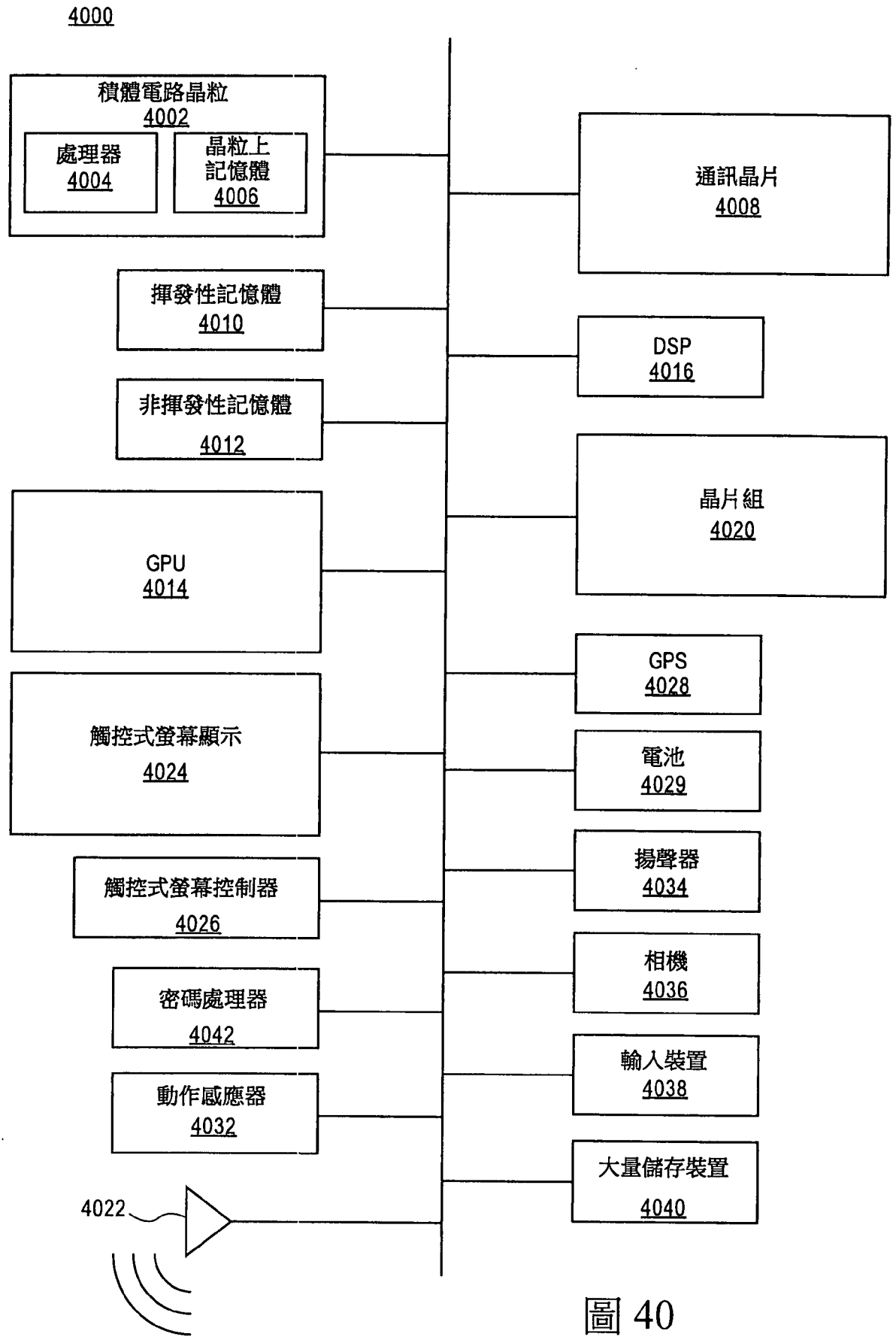


圖 40

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】(中文/英文)

用於電子束 (EBEAM) 直寫系統之圓角校正

Corner rounding correction for electron beam (EBEAM) direct write system

【技術領域】

本發明之實施例在於微影之領域，且特別地，在於涉及互補式電子束微影 (CEBL) 之微影。

【先前技術】

於過去數十年，積體電路中之特徵的定標 (scaling) 已是不斷成長的半導體工業背後之驅動力。定標至越來越小的特徵致能了半導體晶片之有限表面上的功能性單元之增加的密度。

積體電路常包括導電微電子結構，其於本技術中已知為通孔。通孔可被用以將通孔上方之金屬線電連接至通孔下方之金屬線。通孔通常係由微影程序所形成。代表性地，光抗蝕劑層可被旋塗於電介質層之上，光抗蝕劑層可通過圖案化遮罩而被暴露至圖案化的光化輻射，且接著暴露層可被顯影以形成開口於光抗蝕劑層中。接下來，用於通孔之開口可藉由使用光抗蝕劑層中之開口為蝕刻遮罩而被蝕刻於電介質層中。此開口被稱為通孔開口。最後，通

孔開口可被填充以一或更多金屬或其他導電材料來形成通孔。

過去，通孔之尺寸及間隔已顯著地減少，且預期未來通孔之尺寸及間隔將持續顯著地減少，針對至少某些類型的積體電路（例如，先進微處理器、晶片組組件、圖形晶片，等等）。通孔之尺寸的一種測量是通孔開口之關鍵尺寸。通孔之間隔的一種測量是通孔節距。通孔節距代表介於最接近的相鄰通孔間之中心至中心距離。當藉由此等微影程序以圖案化具有極小節距之極小通孔時，其本身便存在數項挑戰。

此等挑戰之一在於：介於通孔與上方金屬線之間的重疊（以及介於通孔與下方金屬線之間的重疊）通常需被控制達通孔節距的四分之一等級的高容許度。隨著通孔節距尺度經過時間而越來越小，重疊容許度傾向於以較其微影設備所能夠跟得上的更大速度而隨之縮小。

此等挑戰之另一在於：通孔開口之關鍵尺寸通常傾向於較微影掃描器之解析能力更快地縮小。存在有縮小科技以縮小通孔開口之關鍵尺寸。然而，縮小量常受受限於最小通孔節距、以及縮小程序之能力而無法為足夠地免於光學近似校正（OPC），且無法顯著地折衷線寬粗糙度（LWR）及/或關鍵尺寸均勻度（CDU）。

此等挑戰之又另一在於：光抗蝕劑之 LWR 及/或 CDU 特性通常需要隨著通孔開口之關鍵尺寸減少而改良以維持關鍵尺寸預算之相同的整體片段。然而，目前大部分光抗

蝕劑之 LWR 及/或 CDU 特性並未如通孔開口之關鍵尺寸減少般快速地改良。此等挑戰之再另一在於：極小通孔節距通常傾向為低於甚至極端紫外線（EUV）微影掃描器之解析能力。結果，通常二、三或更多不同的微影遮罩可能需被使用，其傾向於增加成本。於某時點，假如節距持續減小，則有可能無法（甚至以多重遮罩）使用傳統掃描器來印刷這些極小節距之通孔開口。

類似地，在與金屬通孔關聯之金屬線結構中的切割（亦即，破裂）之製造面對了類似的縮小問題。

因此，在微影處理技術及能力之領域中是需要改良的。

【圖式簡單說明】

圖 1A 闡明接續於層間電介質（ILD）層上所形成之硬遮罩材料層的沈積後（但在圖案化前）之開始結構的橫斷面視圖。

圖 1B 闡明接續於藉由節距減半的硬遮罩層之圖案化後的圖 1A 之結構的橫斷面視圖；

圖 2 闡明在一種涉及六之因數的節距分割之間隔物為基的六倍圖案化（SBSP）處理技術中之橫斷面視圖。

圖 3 闡明在一種涉及九之因數的節距分割之間隔物為基的九倍圖案化（SBNP）處理技術中之橫斷面視圖。

圖 4 為一種電子束微影設備之電子束行（column）的橫斷面概略圖示。

圖 5 為一概圖，其展示由用以模擬平面中柵格變形（IPGD）之其能力所限制的光學掃描器重疊。

圖 6 為一概圖，其展示使用操作中對準方式之變形的柵格資訊，依據本發明之實施例。

圖 7 提供樣本計算，其顯示將被轉移以圖案化 50% 密度之一般/習知佈局於 300 mm 晶圓上之資訊，相對於 5% 密度之通孔圖案，依據本發明之實施例。

圖 8 闡明針對通孔、及切割開始/停止之簡化設計規則位置的具柵格佈局方式，依據本發明之實施例。

圖 9 闡明切割之可容許佈局，依據本發明之實施例。

圖 10 闡明於線 A 與 B 之間的通孔佈局，依據本發明之實施例。

圖 11 闡明於線 A-E 之間的切割佈局，依據本發明之實施例。

圖 12 闡明一晶圓，具有複數晶粒位置於其上以及代表單行之晶圓域的重疊虛線方盒，依據本發明之實施例。

圖 13 闡明一晶圓，具有複數晶粒位置於其上以及單行之重疊實際目標晶圓域和操作中校正之增加的周邊區域，依據本發明之實施例。

圖 14 展示正對著原始目標區域（內部亮、粗虛線）之待印刷區域（內部暗、細虛線）上的一些度數晶圓旋轉之效果，依據本發明之實施例。

圖 15 闡明水平金屬線之平面視圖，如表示重疊先前金屬化層中之垂直金屬線，依據本發明之實施例。

圖 16 闡明水平金屬線之平面視圖，如表示重疊先前金屬化層中之垂直金屬線，其中不同寬度/節距之金屬線於垂直方向上重疊，依據本發明之實施例。

圖 17 闡明習知金屬線之平面視圖，如表示重疊先前金屬化層中之垂直金屬線。

圖 18 闡明相對於待切割或具有置於目標位置中之通孔的線（右）之 BAA 的孔徑（左），其係當線被掃描於孔徑下方時。

圖 19 闡明相對於待切割或具有置於目標位置中之通孔的兩條線（右）之 BAA 的兩個非交錯孔徑（左），其係當線被掃描於孔徑下方時。

圖 20 闡明相對於待切割或具有置於目標位置中之通孔的複數線（右）之 BAA 的兩行交錯孔徑（左），其係當線被掃描於孔徑下方時，其中掃描方向由箭號所顯示，依據本發明之實施例。

圖 21A 闡明相對於具有切割（水平線中之斷裂）或使用交錯 BAA 而圖案化之通孔（填入方盒）的複數線（右）之 BAA 的兩行交錯孔徑（左），其中掃描方向由箭號所顯示，依據本發明之實施例。

圖 21B 闡明積體電路中之金屬化層堆疊的橫斷面視圖，根據圖 21A 中所示之類型的金屬線佈局，依據本發明之實施例。

圖 22 闡明具有三個不同交錯陣列之佈局的 BAA 之孔徑，依據本發明之實施例。

圖 23 闡明具有三個不同交錯陣列之佈局的 BAA 之孔徑，其中電子束僅覆蓋該些陣列之一，依據本發明之實施例。

圖 24A 包括一種具有用以偏移光束之偏轉器的電子束微影設備之電子束行的橫斷面概略表示，依據本發明之實施例。

圖 24B 闡明 BAA 2450 之三個（或高達 n ）節距陣列，其具有節距 # 1、切割 # 1、節距 # 2、切割 # 2 及節距 # N 、切割 # N ，依據本發明之實施例。

圖 24C 闡明一包括在電子束行上之放大狹縫，依據本發明之實施例。

圖 25 闡明具有三個不同交錯陣列之佈局的 BAA 之孔徑，其中電子束覆蓋所有該些陣列，依據本發明之實施例。

圖 26 闡明相對於具有切割（水平線中之斷裂）或使用 BAA 而圖案化之通孔（填入方盒）的複數大型線（右）之 BAA 的三束交錯孔徑陣列（左），其中掃描方向由箭號所顯示，依據本發明之實施例。

圖 27 闡明相對於具有切割（水平線中之斷裂）或使用 BAA 而圖案化之通孔（填入方盒）的複數中型尺寸線（右）之 BAA 的三束交錯孔徑陣列（左），其中掃描方向由箭號所顯示，依據本發明之實施例。

圖 28 闡明相對於具有切割（水平線中之斷裂）或使用 BAA 而圖案化之通孔（填入方盒）的複數小型線

(右)之 BAA 的三束交錯孔徑陣列(左)，其中掃描方向由箭號所顯示，依據本發明之實施例。

圖 29A 闡明相對於具有切割(水平線中之斷裂)或使用 BAA 而圖案化之通孔(填入方盒)的複數變化尺寸線(右)之 BAA 的三束交錯孔徑陣列(左)，其中掃描方向由箭號所顯示，依據本發明之實施例。

圖 29B 闡明積體電路中之金屬化層堆疊的橫斷面視圖，根據圖 29A 中所示之類型的金屬線佈局，依據本發明之實施例。

圖 30 闡明相對於具有切割(水平線中之斷裂)或使用 BAA 而圖案化之通孔(填入方盒)的複數變化尺寸線(右)之 BAA 的三束交錯孔徑陣列(左)，其中掃描方向由箭號所顯示，依據本發明之實施例。

圖 31 闡明於各線上具有重疊相應孔徑之不同節距的三組線，依據本發明之實施例。

圖 32 闡明包括一極大線之複數不同尺寸線(右)，及共同柵格上之束孔徑陣列垂直節距佈局(三個陣列)，依據本發明之實施例。

圖 33 闡明複數不同尺寸線(右)、及通用切割器節距陣列(左)，依據本發明之實施例。

圖 34A 展示如正對著兩條線(右)所參照之通用切割器(左)的 2* EPE 規則，依據本發明之實施例。

圖 34B 闡明待切割線光柵上方之 1D BAA(左)及不具有近似校正之印刷特徵(右)，依據本發明之一或更多

實施例。

圖 34C 闡明待切割線光柵上方之第一 1D BAA（左）、相同線光柵上方之第二 1D BAA（右）、及具有近似校正之印刷特徵（中），依據本發明之一或更多實施例。

圖 34D 闡明（a）待切割線光柵上方之 1D BAA、（b）不具有近似校正之來自（a）的印刷特徵、（c）待切割線光柵上方之具有摺角開口的 1D BAA、及（d）具有近似校正之來自（c）的印刷特徵，依據本發明之一或更多實施例。

圖 34E 為通用切割器之開口的放大視圖，該開口具有用於圓角（rounding）校正之摺角角落，依據本發明之實施例。

圖 35 闡明前層金屬化結構之平面視圖及相應的橫斷面視圖，依據本發明之實施例。

圖 36A 闡明一具有鰭片之非平面半導體裝置的橫斷面視圖，依據本發明之實施例。

圖 36B 闡明沿著圖 36A 之半導體裝置的 a-a' 軸所取的平面視圖，依據本發明之實施例。

圖 37 闡明一計算裝置，依據本發明之一實施方式。

圖 38 闡明一範例電腦系統之方塊圖，依據本發明之實施例。

圖 39 為實施本發明之一或更多實施例的插入器。

圖 40 闡明一依據本發明之實施方式所建造之計算裝

置。

【發明內容及實施方式】

描述適於互補式電子束微影（CEBL）之微影設備以及其相關的方法。於下列描述中，提出多項特定細節，諸如特定工具、集成及材料狀態，以提供本發明之實施例的透徹瞭解。熟悉此項技術人士將清楚本發明之實施例可被實施而無這些特定細節。於其他例子中，眾所周知的特徵（諸如單或雙金屬鑲嵌處理）未被詳細地描述，以免非必要地混淆本發明之實施例。再者，應理解其圖形中所示之各個實施例為說明性表示且不一定依比例描繪。於某些情況下，各個操作將被描述為數個離散的操作，依序地，以一種最有助於瞭解本發明之方式，然而，描述之順序不應被視為暗示這些操作必定為順序相依的。特別地，這些操作無須以所提呈之順序來執行。

文中所述之一或更多實施例係有關微影方式及工具，其係涉及或適於互補式電子束微影（CEBL），包括當實施此類方式及工具時之半導體處理考量。

互補式微影利用兩種微影技術之能力（互相合作）來降低以 20nm 半節距及以下圖案化邏輯裝置中之關鍵層的成本，其係於大量製造（HVM）時。用以實施互補式微影之最成本效率高的方式是結合光學微影與電子束微影（EBL）。將積體電路（IC）設計轉移至晶圓之程序係詳述如下：光學微影，用來以預定義節距印刷單向線（嚴格

單向或主要單向)；節距分割技術，用來增加線密度；及 EBL，用來「切割」線。EBL 亦用來圖案化其他關鍵層，特別是接點及通孔。光學微影可被單獨用來圖案化其他層。當用來補充光學微影時，EBL 被稱為 CEBL，或互補式 EBL。CEBL 係針對切割線及孔洞。藉由不嘗試圖案化所有層，CEBL 扮演互補但關鍵的角色以滿足工業上之圖案化需求，其係在先進的（較小的）科技節點（例如，10nm 或更小，諸如 7nm 或 5nm 科技節點）上。CEBL 亦延伸當前光學微影技術、工具及設施之使用。

如上所述，節距分割技術可被用來增加線密度，其係在使用 EBL 以切割此等線以前。於第一範例中，節距減半可被實施以使製得的光柵結構之線密度變兩倍。圖 1A 闡明接續於層間電介質（ILD）層上所形成之硬遮罩材料層的沈積後（但在圖案化前）之開始結構的橫斷面視圖。圖 1B 闡明接續於藉由節距減半的硬遮罩層之圖案化後的圖 1A 之結構的橫斷面視圖；

參考圖 1A，開始結構 100 具有硬遮罩材料層 104，其係形成於層間電介質（ILD）層 102 上。圖案化遮罩 106 被配置於硬遮罩材料層 104 之上。圖案化遮罩 106 具有沿著其特徵（線）之側壁所形成的間隔物 108，於硬遮罩材料層 104 上。

參考圖 1B，硬遮罩材料層 104 係以節距減半方式被圖案化。明確地，圖案化遮罩 106 被首先移除。間隔物 108 之所得圖案具有遮罩 106 之密度的兩倍、或者其節距

或特徵的一半。間隔物 108 之圖案係（例如）藉由蝕刻製程而被轉移至硬遮罩材料層 104 以形成圖案化硬遮罩 110，如圖 1B 中所示。於一此類實施例中，圖案化硬遮罩 110 被形成為具有單向線之光柵圖案。圖案化硬遮罩 110 之光柵圖案可為緊密節距光柵結構。例如，緊密節距可能無法直接透過習知的微影技術來達成。甚至，雖然未顯示，原始節距可藉由第二輪間隔物遮罩圖案化而被減為四分之一。因此，圖 1B 的圖案化硬遮罩 110 之光柵狀圖案可具有以恆定節距來分隔並具有相互間的恆定寬度之硬遮罩線。所獲得的尺寸可能甚小於已利用之微影技術的關鍵尺寸。

因此，當作 CEBL 集成技術之第一部分，空白膜可使用微影及蝕刻處理（其可涉及，例如，間隔物為基的雙倍圖案化（SBDP）或節距減半、或間隔物為基的四倍圖案化（SBDP）或節距四分之一化）而被圖案化。應理解其他的節距分割方式亦可被實施。

例如，圖 2 闡明在一種涉及六之因數的節距分割之間隔物為基的六倍圖案化（SBSP）處理技術中之橫斷面視圖。參考圖 2，於操作（a），顯示於微影、減薄及蝕刻處理後之犧牲圖案 X。於操作（b），顯示於沈積和蝕刻後之間隔物 A 及 B。於操作（c），顯示於間隔物 A 移除後之操作（b）的圖案。於操作（d），顯示於間隔物 C 沈積後之操作（c）的圖案。於操作（e），顯示於間隔物 C 蝕刻後之操作（d）的圖案。於操作（f），於犧牲型態 X

移除及間隔物 B 移除後獲得節距/6 圖案。

於另一範例中，圖 3 闡明在一種涉及九之因數的節距分割之間隔物為基的九倍圖案化 (SBNP) 處理技術中之橫斷面視圖。參考圖 3，於操作 (a)，顯示於微影、減薄及蝕刻處理後之犧牲圖案 X。於操作 (b)，顯示於沈積和蝕刻後之間隔物 A 及 B。於操作 (c)，顯示於間隔物 A 移除後之操作 (b) 的圖案。於操作 (d)，顯示於間隔物 C 及 D 沈積和蝕刻後之操作 (c) 的圖案。於操作 (e)，於間隔物 C 移除後獲得節距/9 圖案。

於任何情況下，於一實施例中，如文中所述之互補式微影涉及藉由習知或最新微影，諸如 193nm 浸入微影 (193i)，以首先製造具柵格的佈局。節距分割可被實施以增加具柵格佈局中之線的密度達 n 倍。利用 193i 微影加上 n 倍的節距分割之具柵格佈局形成可被指定為 $193i+P/n$ 節距分割。節距分割的具柵格佈局之圖案化可接著使用電子束直寫 (EBDW) 「切割」而被圖案化，如以下更詳細地描述。於一此類實施例中，193nm 浸入定標可利用成本效益高的節距分割而被延伸於許多世代。互補式 EBL 被用以打斷光柵連續性並將通孔圖案化。

更明確地，文中所述之實施例係有關於積體電路之製造期間圖案化特徵。於一實施例中，CEBL 被用來圖案化開口以供形成通孔。通孔為用以將通孔上方之金屬線電連接至通孔下方之金屬線的金屬結構。於另一實施例中，CEBL 被用以形成沿著金屬線之非導電間隔或中斷。傳統

上，此類中斷已被稱為「切割」，因為該程序涉及移除或切掉金屬線之部分。然而，於金屬鑲嵌方式中，中斷可被稱為「插塞」，其為沿著金屬線軌跡之區，其在製造技術之任何階段實際上不是金屬，反而是其中無法形成金屬之保留區。然而，於任何情況下，切割或插塞等術語可被交換地使用。通孔開口及金屬線切割或插塞形成常被稱為積體電路之後段製程（BEOL）處理。於另一實施例中，CEBL 被用於前段製程（FEOL）處理。例如，有效區尺寸（諸如鰭片尺寸）之定標及/或相關的閘極結構可使用如文中所述之 CEBL 技術來執行。

如上所述，電子束（ebeam）微影可被實施來補充標準微影技術，以獲得積體電路製造之特徵的所欲定標。電子束微影工具可被用以執行電子束微影。於一範例實施例中，圖 4 為一種電子束微影設備之電子束行（column）的橫斷面概略圖示。

參考圖 4，電子束行 400 包括用以提供電子之束 404 的電子源 402。電子之束 404 通過限制孔徑 406，而接著，通過高高寬比照明光學裝置 408。輸出束 410 接著通過狹縫 412 並可由薄透鏡 414（例如，其可為磁性的）所控制。最後，束 404 通過成型孔徑 416（其可為一維（1-D）成型孔徑）並接著通過消除器孔徑陣列（BAA）418。BAA 418 包括複數物理孔徑於其中，諸如矽之薄片中所形成的開口。有可能其於既定時刻 BAA 418 之僅一部分被暴露至電子束。替代地，或結合地，僅有通過 BAA 418

之電子束 404 的一部分 420 被容許通過最後孔徑 422（例如，束部分 421 被顯示為阻擋）以及（可能地）載台回饋偏轉器 424。

再次參考圖 4，所得的電子束 426 最終撞擊為晶圓 430（諸如用於 IC 製造之矽晶圓）之表面上的一點 428。明確地，所得的電子束可撞擊於晶圓上之光阻層上，但實施例不限於此。載台掃描 432 相對於束 426 沿著圖 4 中所示之箭號 434 的方向而移動晶圓 430。應理解電子束工具完整地可包括圖 4 中所示之類型的數個行 400。同時，如以下之某些實施例中所述，電子束工具可具有相關的基礎電腦，且各行可進一步具有相應的行電腦。

最先進電子束微影之一項缺點在於其並非輕易地可採用於先進積體電路製造之大量製造（HVM）環境中。今日的電子束及相關方法已被證明其針對 HVM 晶圓處理之通量需求是太慢的。文中所述之實施例係有關致能 EBL 之使用於 HVM 環境中。特別地，文中所述之許多實施例致能 EBL 工具中之增進的通量以容許 EBL 之使用於 HVM 環境中。

以下所描述者為其可增進 EBL 超過其當前能力之實施例的七個不同形態。應理解：雖然劃分為七個不同形態的實施例，以下所述之實施例可被獨立地或以任何適當方式結合地使用以達成針對 HVM 環境之 EBL 通量的增進。如以下更詳細地描述，於第一形態中，探討在電子束工具上針對接受電子束圖案化之晶圓的對準考量。於第二形態

中，描述用於電子束工具簡化之資料壓縮或資料減少。於第三形態中，描述了針對積體電路佈局之均勻金屬或其他光柵圖案密度的區之實施方式。於第四形態中，描述了用於電子束工具之交錯式消除器孔徑陣列（BAA）。於第五形態中，描述了用於電子束工具之三束孔徑陣列。於第六形態中，描述了用於電子束工具之非通用切割器。於第七形態中，描述了用於電子束工具之通用切割器。

針對所有形態，於一實施例中，當以下參考消除器孔徑陣列（BAA）中之開口或孔徑時，隨著晶圓/晶粒於底下沿著晶圓行進或掃描方向而移動，BAA 之所有或部分開口或孔徑可被切換為開或「關」（例如，藉由束偏轉）。於一實施例中，BAA 可被獨立地控制，針對各開口是否通過電子束而至樣本或者將電子束偏轉入（例如）法拉第杯或遮沒孔徑。包括此一 BAA 之電子束行或設備可被建立以偏轉整體束覆蓋至 BAA 之僅一部分，且接著 BAA 中之個別開口被電氣地組態成使電子束通過（「開」）或不通過（「關」）。例如，未偏轉的電子通過至晶圓並暴露抗蝕劑層，同時偏轉的電子被捕集於法拉第杯或遮沒孔徑中。應理解所提及的「開口」或「開口高度」指的是撞擊在接收晶圓上之點尺寸而非 BAA 中之實體開口，因為實體開口是實質上大於（例如，微米等級）最終從 BAA 所產生之點尺寸（例如，奈米等級）。因此，當文中描述為 BAA 之節距或者 BAA 中之開口行被說成「相應於」金屬線之節距時，此描述實際上指的是介於

如從 BAA 所產生之撞擊點的節距與被切割之線的節距之間的關係。如以下所提供之範例，從 BAA 2110 所產生的點具有如線 2100 之節距的相同節距（當 BAA 開口之兩行被一起考量時）。同時，從 BAA 2110 之交錯式陣列的僅一行所產生的點具有如線 2100 之節距兩倍的節距。

針對所有形態，亦應理解：於某些實施例中，如上所述之電子束行亦可包括除了配合圖 4 所述之那些以外的其他特徵。例如，於一實施例中，樣本載台可被旋轉 90 度以容納交替的金屬化層，其可被相互正交地印刷（例如，旋轉於 X 與 Y 掃描方向之間）。於另一實施例中，電子束工具能夠在將晶圓載至該載台上之前旋轉晶圓 90 度。其他額外的實施例將於下文中配合圖 24A-24C 描述。

於本發明之實施例的第一形態中，探討在電子束工具上針對接受電子束圖案化之晶圓的對準考量。

以下所述之方式可被實施以在藉由成像工具（例如，光學掃描器）以圖案化一層時之克服層至層實體重疊對邊緣布局誤差（EPE）的過度貢獻。於一實施例中，以下所述之方式可應用於一種成像工具，其係另使用晶圓座標系統標記（亦即，對準標記）之預選取樣以估計經處理的晶圓上之晶圓處理引發的平面中柵格變形參數。所收集的對準資訊（例如，平面柵格變形的取樣晶圓）通常適合於預定順序多項式。該適合則通常被使用為變形柵格之表示，用以調整各個掃描器印刷參數並獲得介於下方與印刷層之間的最可能重疊。

取代地，於一實施例中，將電子束用於圖案化係容許收集在含有下方層特徵之圖案（而非僅於每一晶粒）上的任何點之寫入期間對準資訊，（「操作中對準」）。例如，電子檢測器被置於電子束行底部上以收集來自對準標記或其他下方圖案化特徵之反向散射電子。隨著電子束行寫入（及檢測器檢測）一筆直向前的線性模型容許於每晶粒內數百次收集此資訊，同時該載台係於晶粒曝光期間掃描該行下方。於一此類實施例中，無須配適多項式及估計更高階的複雜校正參數。反之，僅有簡單的線性校正可被使用。

於一實施例中，實際上，電子束之多（數百）倍位置可且將正對著先前層上所圖案化的對準標記被暫存於刻畫線中以及於晶粒之有效區域內部。該暫存可使用單元中之下降而被執行，該下降通常係為了特徵化其待暴露之層圖案的圖案化特徵而存在，而不損失 COO（所有權之成本）之工具通量。

於其未實施操作中對準之情況下，替代方式是使用更高階的多項式，如上所述。然而，基於更高階多項式之對準被用以配適相當稀疏的對準資訊（例如，僅有待圖案化之晶粒位置的 10-15% 被用以收集晶圓上之平面中柵格變形），而未模擬的（殘餘）配適誤差構成最大總重疊預測誤差之約 50%。收集更多稠密的對準資訊並使用甚至更高階的多項式以供配適及圖案化校正可能稍微增進重疊，然而如此仍將以顯著的通量及所有權成本損失來達成。

為了提供上下文參考，晶圓處理引發的平面中柵格變形係發生自多重來源，包括（但不限定於）：由於被印刷之圖案下方的金屬/其他層所導致的反向散射/域位移誤差、由於圖案寫入熱效應所導致的晶圓曲折/局部化遞增晶圓擴張、及顯著地促成 EPE 之其他額外效應。假如未進行校正，則具有局部化總圖案化失準之晶圓圖案化的可能性是極高的。

圖 5 為一概圖，其展示由用以模擬平面中柵格變形（IPGD）之其能力所限制的光學掃描器重疊。參考圖 5 之左手邊部分 502，晶圓 506 上之晶粒柵格 504 係由於晶圓處理而變形。向量指示每一晶粒之角落位移相對於初始定位（例如，第一層印刷）。參考圖 5 之右手邊部分 510，傳統步進器將收集此層上之相當稀疏的變形柵格資訊，如由點 512 所表示者。因此，使用較高階多項式容許相當稀疏的對準資訊之配適。位置數係針對「可接受」殘餘而被最佳化，其係發生在模型配適於從取樣位置中之柵格協調資訊所獲得的柵格表示以後。需要附加時間以收集此資訊。

相對於如圖 5 中所表示之已收集的相當稀疏的變形柵格資訊，圖 6 為一概圖，其展示使用操作中對準方式之變形的柵格資訊，依據本發明之實施例。參考圖 6，當電子束寫入每一晶粒時，行底部上之檢測器係收集有關下方層之位置座標的資訊。對於寫入位置之必要調整可透過在晶圓上之各處即時的載台位置控制來執行，其中沒有或最小

附加時間增加或通量損失。特別地，圖 6 闡明如圖 5 中所提供之相同圖示 602。放大的範例晶粒區 604 闡明晶粒區 604 內之掃描方向 606。

於本發明之實施例的第二形態中，描述用於電子束工具簡化之資料壓縮或資料減少。

文中所述之方式涉及限制資料以容許資料之大量壓縮、減少資料路徑及最終地提供更簡單的電子束寫入工具。更特別地，所述之實施例致能其需被傳遞至電子束工具之電子束行的資料量之顯著減少。實際的方式被提供以容許足夠的資料量來針對域邊緣布局誤差而寫入行域及調整行域，同時保持於實體硬體之電頻寬限制內。若未實施此等實施例，則所需的頻寬約為當今電子設備所可能達成的 100 倍。於一實施例中，文中所述之資料減少或壓縮方式可被實施以實質上增加 EBL 工具之通量能力。藉由增加通量能力，EBL 可更輕易地被採用於 HVM 環境，諸如於積體電路製造環境中。

圖 7 提供樣本計算，其顯示將被轉移以於 300 mm 晶圓上以 50% 密度圖案化一般/習知佈局之資訊，相對於 5% 密度之通孔圖案，依據本發明之實施例。參考圖 7，待轉移之資訊係依據方程式 (A)。資訊轉移係依據方程式 (B)，其中由於邊緣布局誤差 (EPE) 不確定性 (A_p) 之資訊喪失為最小解析的特徵，且 ΔPV 係等於 $2EPE$ 。假設 A_p 之 EBDW 工具解析度係等於 10nm 而 EPE 係等於 2.5 nm，則於 1 m^2 中 (假設 50% 圖案密度) 藉由此一般

用途成像系統之待轉移資訊量將依據方程式 (C)。300 mm 晶圓面積為 706cm^2 ，其為 0.0706m^2 。相應地，為了以 50% 密度圖案化一般佈局於 300mm 晶圓上，需被轉移之位元組數目係依據方程式 (D)。結果為將於 6 分鐘內轉移 70TB，假設針對 194.4 GB/s 之轉移率的 10wph TPT。依據本發明之實施例，被設計以約 10% 之圖案密度來印刷通孔 (及/或切割) 之 EBDW 工具將需要相應較小的待轉移資訊，例如，以合理的 40GB/s 轉移率。於特定實施例中，EBDW 工具被設計以約 5% 之圖案密度來印刷通孔 (及/或切割) 並需要相應較小的待轉移資訊，例如，7TB 以合理的 20GB/s 轉移率。

再次參考圖 7，資訊轉移被減少至相當的 (整數化的) 距離以取代轉移絕對的 64 位元座標。藉由使用電子束工具以小於約 10% 密度 (及甚至低如 5% 密度) 來僅圖案化通孔，相對於以 50% 密度之一般佈局圖案，舉例而言，則可實現從 6 分鐘內 70+ TB 至 6 分鐘內少於 7TB 之資料轉移量的減少，其容許電子束設備達成大量生產所需的製造通量。

於一實施例中，下列四個方式之一或更多者被實施於資料減少：(1) 針對通孔及切割之所有設計被簡化以減少其通孔可佔據之位置數，且其中線切割之開始和停止被可能地定位；(2) 切割開始和停止之布局 (以及介於通孔之間的距離) 的加密被加密為 $n*\text{min}$ 距離 (如此免除了針對切割之各開始和停止位置 (以及針對通孔位置) 傳送

64 位元位址之需求)；(3) 針對工具中之各行，僅有用以製造其落入晶圓之此區段內的切割和通孔所需的資料被傳遞至共同電腦(各行僅接收所需的資料，以一種如部分 2 中所加密的形式)；及/或(4) 針對工具中之各行，被傳輸之區域於頂部和底部增加 n 條線，亦允許額外寬度 x (因此，相關的行電腦可針對晶圓溫度及對準之改變於操作中調整而不傳輸完整的晶圓資料)。於一實施例中，一或更多此類資料減少方式之實施致能電子束工具至少簡化至某程度。例如，通常與多行電子束工具中之單一專屬行關聯的專屬電腦或處理器可被簡化或甚至一起消除。亦即，配備有板上專屬邏輯能力之單一行可被簡化以將邏輯能力移至板外或者減至電子束工具之各單獨行所需的板上邏輯能力之量。

針對上述方式(1)，圖 8 闡明針對通孔、及切割開始/停止之簡化設計規則位置的具柵格佈局方式，依據本發明之實施例。水平柵格 800 包括線位置之規律配置，以實線 802 代表實際線而虛線 804 代表未佔用的線位置。此方式之關鍵在於通孔(實心方格 806)係位於規律的柵格上(顯示為圖 8 中之垂直柵格 808)且被印刷以掃描方向 810，其係平行於通孔底下之金屬線(具有實線輪廓之水平矩形)。針對此設計系統之要求在於通孔位置 806 被形成僅與垂直柵格 808 對準。

針對切割，切割被形成為具有較通孔柵格更細的柵格。圖 9 闡明切割之可容許佈局，依據本發明之實施例。

參考圖 9，線 902 之陣列具有依據柵格 906 而置於其中的通孔 904。切割（例如，標示的切割 908、910 及 912）之可容許布局係由垂直虛線 914 所指示，其中通孔位置連續為垂直實線 906。切割總是剛好開始（及停止）於柵格 914 上，其為減少從基礎電腦向下轉移至行電腦之資料量的關鍵。然而，應理解：垂直虛線 914 的位置呈現為正規柵格，但其並非必要。取代地，以通孔切割線為中心之該對線為相對於通孔位置之 $-x_n$ 及 $+x_n$ 的已知距離。通孔位置為沿著切割方向以每 m 單元被分隔之正規柵格。

針對上述方式（2），切割和通孔之距離為基的加密可被用以去除其傳送 64 位元完整位址的需求。例如，取代傳送 x 、及 y 位置之絕對 64 位元（或 128 位元）位址，沿著從左邊緣（針對移動至右邊之方向上的晶圓線印刷）或從右邊緣（針對移動至左邊之方向上的晶圓線印刷）之行進方向的距離被加密。以通孔線為中心之該對線為相對於通孔位置之 $-x_n$ 及 $+x_n$ 的已知距離，且通孔位置為沿著切割方向以每 m 單元被分隔之正規柵格。任何通孔印刷位置可因而被加密為從零至已編號的通孔位置（隔開 m 單元）之距離。如此顯著地減少其需被傳輸之定位資料的量。

資訊量可藉由提供具有來自先前通孔之通孔的相對計數之機器而被進一步減少。圖 10 闡明於線 A 與 B 之間的通孔佈局，依據本發明之實施例。參考圖 10，如圖所示之兩條線可被減少如下：線 A：通孔 1002 間隔

+1,+4,+1,+2；線 B：通孔 1004 間隔+9。通孔 1002/1004 間隔係依據柵格 1006。應理解：最可能條件之指派的額外通訊理論可被進一步執行以減少資料空間。即使如此，即使忽略此進一步減少仍產生了極佳改善，其使用直接壓縮以減少 64 位元位置之 4 通孔至僅數位元。

類似地，切割之開始和停止可被減少以免除針對各切割傳送位置資訊之 64 位元（或 128 位元）的需求。如同光開關，開始切割表示下個資料點為切割之終點，且類似地下個位置為下個切割之開始。因為已知其切割係結束於從通孔位置之行進方向上的 $+x_n$ （且類似地開始於 $-x_n$ ），取決於切割開始/停止，所以通孔位置可被編碼且局部行電腦可被指示重新應用從該通孔位置之偏移。圖 11 闡明於線 A-E 之間的切割佈局，依據本發明之實施例。參考圖 11，透過傳送絕對 64（或 128）位元位置之實質上減少獲得：與先前切割之間隔：A:+5（顯示為間隔 1102），+1；B:x <無切割>（任何 x 被加密為一無針對距離之切割）；C:+1（於左邊之切割的停止點），+4（與切割 1102 的開始垂直地對準之大切割的開始）+3（大切割之終點）；D:+3, +4；E:+3, +2, +1, +4。

關於上述方式（3），針對各行，針對切割及通孔所傳輸之資料被限制於剛好為落入既定行之下的晶圓域所需要者。於一範例中，圖 12 闡明一晶圓 1200，具有複數晶粒位置 1202 於其上以及代表單行之晶圓域的重疊虛線方盒 1204，依據本發明之實施例。參考圖 12，傳輸至局部

行電腦之資料被限制於僅有發生在方盒 1204 之虛線中所示的印刷區中之線。

關於上述方式 (4)，因為針對晶圓曲折、加熱、及以角度 θ 之夾具失準的校正均需於操作中進行，所以傳輸至行電腦之實際區在頂部和底部為較大數條線，以及額外資料至左和右。圖 13 闡明一晶圓 1300，具有複數晶粒位置 1302 於其上以及單行之重疊實際目標晶圓域 1304。如圖 13 中所示，增加的周邊區域 1306 被提供以供操作中校正，依據本發明之實施例。參考圖 13，儘管增加的周邊區域 1306 稍微增加了傳輸至行電腦之資料量，但其亦容許行印刷來校正由於容許該行印刷於其正常區外部之大量問題所導致的晶圓失準。此類問題可包括晶圓對準問題或局部加熱問題，等等。

圖 14 展示來自圖 13 的正對著原始目標區域 (內部亮、粗虛線方盒 1304) 之待印刷區域 (內部暗、細虛線方盒 1402) 上的一些度數晶圓旋轉之效果，依據本發明之實施例。參考圖 14，行電腦能夠使用額外的傳輸資料以進行必要的印刷改變而無須機器上之複雜的旋轉夾具 (其將另限制印刷之速度)。

於本發明之實施例的第三形態中，描述了針對積體電路佈局之均勻金屬或其他光柵圖案密度的區之實施方式。

於一實施例中，為了增進電子束設備之通量，互連層之設計規則被簡化以致能固定組的節距，其可被用於晶粒上之邏輯、SRAM、及類比/IO 區。於一此類實施例中，

金屬佈局進一步要求其佈線為無跳動之單向的、正交方向的佈線、或者端部上之鉤，如目前用以致能習知的、非電子束微影製程中之通孔定位者。

於特定實施例中，單向佈線之三種不同佈線寬度被允許於各金屬化層之內。佈線中之間隙被精確地切割，且均至通孔被自對準於最大容許尺寸。後者為將通孔電阻值最小化以獲得極精細節距之佈線的一項優點。文中所述之方式允許藉由電子束進行有效的電子束線切割及通孔印刷，超越現有電子束解決方式達成數量級層次的改善。

圖 15 闡明水平金屬線 1502 之平面視圖，如表示重疊先前金屬化層中之垂直金屬線 1504，依據本發明之實施例。參考圖 15，佈線之三種不同的節距/寬度 1506、1508 及 1510 是允許的。三種不同的線類型可被個別地區分為晶片區 1512、1514 及 1516，如圖所示。應理解：該些區通常是大於如圖所示者，但為了定標而將使佈線上之細節相對較小。相同層上之此等區可首先使用習知的微影技術來製造。

文中實施例所述之進步允許了精確的佈線修整以及介於層之間的完全自對準通孔。應理解：修整在必要時才發生，不像目前的微影為基製程需要修整-修整（插塞）規則。再者，於一實施例中，通孔-通孔規則被顯著地移除。所示之密度及關係的通孔將難以或不可能使用目前光學近似校正（OPC）致能的微影能力來印刷。類似地，其將另排除所示之某些切割的插塞/切割規則係透過此技術

之使用而被移除。如此一來，互連/通孔層較不受限於電路之設計。

再次參考圖 15，於垂直方向上，不同節距和寬度之線並未重疊，亦即，各區在垂直方向上分離。反之，圖 16 闡明水平金屬線 1602 之平面視圖，如表示重疊先前金屬化層中之垂直金屬線 1604，其中不同寬度/節距之金屬線於垂直方向上重疊，依據本發明之實施例。例如，線對 1606 係於垂直方向上重疊，而線對 1608 係於垂直方向上重疊。再次參考圖 16，該些區可為完全重疊。所有三種尺寸之佈線可被叉合（假如由線製造方法所致能的話），而切割及通孔持續由通用切割器所完全地致能，如以下配合本發明之實施例的另一形態而描述者。

為了提供上下文，圖 17 闡明習知金屬線 1702 之平面視圖，如表示重疊先前金屬化層中之垂直金屬線。參考圖 17，相反於圖 15 及 16 之佈局，雙向佈線被習知地使用。此等佈線以下列形式增加正交佈線：長正交佈線、用以改變巷道之軌線間的短跳動、及用以設置通孔而使得線拉回不會侵佔該些通孔之佈線末端上的「鉤」。此等建構之範例被顯示於圖 17 中之 X 位置上。可爭議其此類正交建構之容許提供了某些小的密度優點（特別在上部 X 之上的軌線跳動），但這些卻顯著地增加了設計規則複雜度/設計規則檢查，同時阻止了諸如電子束方法等工具來達成所需的通量。再次參考圖 17，應理解：習知的 OPC/微影將阻止左手邊上所示之一些通孔被實際地製造。

於本發明之實施例的第四形態中，描述了用於電子束工具之交錯式消除器孔徑陣列（BAA）。

於一實施例中，交錯式束孔徑陣列被實施以解決電子束機器之通量而同時亦致能最小佈線節距。若無交錯，則邊緣布局誤差（EPE）之考量表示佈線寬度兩倍之最小節距無法被切割，因為不可能垂直地堆疊於單疊中。例如，圖 18 闡明相對於待切割或具有置於目標位置中之通孔的線 1802 之 BAA 的孔徑 1800，其係當線係沿著箭號 1804 之方向而被掃描於孔徑 1800 下方時。參考圖 18，針對待切割的既定線 1802 或待放置的通孔，切割器開口（孔徑）之 EPE 1806 導致其為線之節距的 BAA 柵格中的矩形開口。

圖 19 闡明個別地相對於待切割或具有置於目標位置中之通孔的兩條線 1904 和 1906 之 BAA 的兩個非交錯式孔徑 1900 和 1902，其係當線係沿著箭號 1908 之方向而被掃描於孔徑 1900 和 1902 下方時。參考圖 19，當圖 18 之矩形開口 1800 被置於具有其他此類矩形開口（例如，現在為 1900 和 1902）之垂直單行中時，則待切割線之容許的節距係由以下所限制： $2 \times \text{EPE } 1910$ 加上介於 BAA 開口 1900 與 1902 間之距離需求 1912 加上一佈線 1904 或 1906 之寬度。所得間隔 1914 係由圖 19 之極右側上的箭號所顯示。此一線陣列將嚴重地限制佈線之節距為實質上大於佈線之寬度的 3-4 倍，其可能是無法接受的。另一無法接受的替代方式將是以具有稍微偏移佈線位置之兩（或

更多) 通路來切割更緊密節距的佈線；此方式可能嚴重地限制電子束機器之通量。

相對於圖 19，圖 20 闡明相對於待切割或具有置於目標位置中之通孔的複數線 2008 之 BAA 2000 的兩行 2002 和 2004 交錯孔徑 2006，其係當線 2008 沿著方向 2010 而被掃描於孔徑 2006 下方時，其中掃描方向由箭號所顯示，依據本發明之實施例。參考圖 19，交錯 BAA 2000 包括兩個線性陣列 2002 和 2004，空間上交錯的如圖所示。兩交錯式陣列 2002 和 2004 切割（或放置通孔於）交替的線 2008。線 2008（於一實施例中）以兩倍佈線寬度被置於緊密柵格上。如遍及本發明所使用者，術語「交錯式陣列」可指稱開口 2006 之交錯，其係於一方向（例如，垂直方向）上交錯且任一者不具有重疊或者具有某些重疊，其係當隨著於正交方向（例如，水平方向）上掃描而觀看時。於後者情況下，有效重疊提供了失準之容許度。

應理解：雖然交錯式陣列於文中被顯示為兩垂直行以利簡化，但單一「行」之開口或孔徑於垂直方向上無須為行狀的。例如，於一實施例中，只要第一陣列集合地具有垂直方向上之節距，且於掃描方向上與該第一陣列交錯之第二陣列集合地具有垂直方向上之節距，則獲得交錯式陣列。因此，文中之垂直行的參照或描述可實際上由一或更多行所組成，除非指明為開口或孔徑之單行。於一實施例中，於其一「行」開口不是單一行開口的情況下，該「行」內之任何偏移可用選通（strobe）時序來補償。於

一實施例中，關鍵點在於其 BAA 之交錯式陣列的開口或孔徑位於第一方向之特定節距上，但於第二方向被偏移以容許其放置切割或通孔而無任何間隙於第一方向上的切割或通孔之間。

因此，一或更多實施例係有關一種交錯束孔徑陣列，其中開口被交錯以容許滿足 EPE 切割及/或通孔需求，不同於一種無法顧及 EPE 技術需求之線性配置。相反地，若無交錯，則邊緣布局誤差 (EPE) 之問題表示佈線寬度兩倍之最小節距無法被切割，因為不可能垂直地堆疊於單疊中。取代地，於一實施例中，交錯 BAA 之使用致能較獨立地電子束寫入各佈線位置更快速超過 4000 倍。再者，交錯式陣列容許佈線節距成為佈線寬度之兩倍。於特定實施例中，陣列具有 4096 個交錯開口於兩行之上以致針對切割和通孔位置之每一者的 EPE 可被進行。應理解：交錯式陣列 (如文中所提及者) 可包括二或更多行的交錯開口。

於一實施例中，交錯式陣列之使用保留了空間以包括金屬於其含有一或二電極之 BAA 的孔徑周圍，以供傳遞或引導電子束至晶圓或者引導至法拉第杯或者遮沒孔徑。亦即，各開口可由電極所分離的控制以通過或偏轉電子束。於一實施例中，BAA 具有 4096 個開口，而電子束設備涵蓋 4096 個開口之完整陣列，其各開口被電地控制。藉由於開口底下掃過晶圓 (如由粗黑箭號所示) 以致能通量增進。

於特定實施例中，交錯 BAA 具有兩列交錯 BAA 開口。此一陣列允許緊密節距佈線，其中佈線節距可為佈線寬度之 2 倍。再者，所有佈線可被切割於單一通過（或者通孔可被形成於單一通過），藉此致能電子束機器上之通量。圖 21A 闡明相對於具有切割（水平線中之斷裂）或使用交錯 BAA 而圖案化之通孔（填入方盒）的複數線（右）之 BAA 的兩行交錯孔徑（左），其中掃描方向由箭號所顯示，依據本發明之實施例。

參考圖 21A，從單一交錯式陣列所得之線可為如前所述者，其中線為單一節距的，以其切割及通孔被圖案化。特別地，圖 21A 描繪複數線 2100 或其中無線存在之開線位置 2102。通孔 2104 及切割 2106 可沿著線 2100 而被形成。線 2100 被顯示為相對於一具有掃描方向 2112 之 BAA 2110。因此，圖 21A 可被視為由單一交錯式陣列所產生之典型圖案。虛線顯示切割發生於已圖案化線中之何處（包括用以移除完整線或線部分之總切割）。通孔位置 2014 為落在佈線 2100 之頂部上的圖案化通孔。

於一實施例中，隨著晶圓/晶粒於底下沿著晶圓行進方向 2112 而移動，BAA 2110 之所有或部分開口或孔徑可被切換為開或「關」（例如，束偏轉）。於一實施例中，BAA 可被獨立地控制，針對各開口是否通過電子束而至樣本或者將電子束偏轉入（例如）法拉第杯或遮沒孔徑。設備可被建立以偏轉整體束覆蓋至 BAA 之僅一部分，且接著 BAA 中之個別開口被電氣地組態成使電子束通過

（「開」）或不通過（「關」）。應理解所提及的「開口」或「開口高度」指的是撞擊在接收晶圓上之點尺寸而非 BAA 中之實體開口，因為實體開口是實質上大於（例如，微米等級）最終從 BAA 所產生之點尺寸（例如，奈米等級）。因此，當文中描述為 BAA 之節距或者 BAA 中之開口行被說成「相應於」金屬線之節距時，此描述實際上指的是介於如從 BAA 所產生之撞擊點的節距與被切割之線的節距之間的關係。舉例而言，從 BAA 2110 所產生的點具有如線 2100 之節距的相同節距（當 BAA 開口之兩行被一起考量時）。同時，從 BAA 2110 之交錯式陣列的僅一行所產生的點具有如線 2100 之節距兩倍的節距。

亦應理解：包括如上所述之交錯束孔徑陣列（交錯 BAA）的電子束行亦可包括除了配合圖 4 所述的那些以外的其他特徵，其某些範例係配合圖 24A-24C 而被更詳細地進一步描述於下。例如，於一實施例中，樣本載台可被旋轉 90 度以容納交替的金屬化層，其可被相互正交地印刷（例如，旋轉於 X 與 Y 掃描方向之間）。於另一實施例中，電子束工具能夠在將晶圓載至該載台上之前旋轉晶圓 90 度。

圖 21B 闡明積體電路中之金屬化層 2152 的堆疊 2150 的橫斷面視圖，根據圖 21A 中所示之類型的金屬線佈局，依據本發明之實施例。參考圖 21B，於範例實施例中，互連堆疊 2150 之金屬橫斷面被取得自下方八個匹配金屬層 2154, 2156, 2158, 2160, 2162, 2164, 2166 及 2168 之單一

BAA 陣列。應理解：上方較粗/較寬的金屬線 2170 及 2172 將不以單一 BAA 來形成。通孔位置 2174 被描繪為連接下方八個匹配金屬層 2154, 2156, 2158, 2160, 2162, 2164, 2166 及 2168。

於本發明之實施例的第五形態中，描述了用於電子束工具之三束孔徑陣列。

於一實施例中，束孔徑陣列被實施以解決電子束機器之通量而同時亦致能最小佈線節距。如上所述，若無交錯，則邊緣布局誤差（EPE）之問題表示佈線寬度兩倍之最小節距無法被切割，因為不可能垂直地堆疊於單疊中。以下所述之實施例延伸交錯 BAA 概念以允許三個分離的節距被暴露於晶圓上，無論是透過三次通過，或者是藉由於單一通過中同時地照射/控制所有三個束孔徑陣列。後者方式對於獲得最佳通量可能是較佳的。

於某些實施方式中，三交錯束孔徑陣列被使用以取代單一束孔徑陣列。三個不同陣列之節距可為相關的（例如，10-20-30）或者無關的節距。三個節距可被用於目標晶粒上之三個分離的區，或者三個節距可同時地發生於相同的局部化區中。

為了提供上下文，二或更多單一陣列之使用針對各不相同的孔洞尺寸/佈線節距將需要分離的電子束設備（或者束孔徑陣列中之改變）。其結果將另成為通量限制器及/或所有權成本問題。取代地，文中所述之實施例係有關具有大於一（例如三）個交錯式陣列之 BAA。於一此類實

施例中（於包括三個陣列於一 BAA 之情況下），三個不同陣列的節距可被圖案化於晶圓上而不損失通量。再者，束圖案可被引導以覆蓋三個陣列之一。此技術之延伸可被用以圖案化不同節距之任何混合，其係藉由開啟或關閉所有三個節距中之消除器孔如所需。

當作範例，圖 22 闡明具有三個不同交錯陣列之佈局的 BAA 2000 之孔徑，依據本發明之實施例。參考圖 22，三行 2202、2204 及 2206 消除器孔徑陣列 2200 可被用於三個不同的線節距，以供藉由其被切換為開或「關」（束偏轉）之所有或部分孔徑 2208 來切割或形成通孔，隨著晶圓/晶粒於底下沿著晶圓行進方向 2210 而移動。於一此類實施例中，多重節距可被圖案化而不改變裝置中之 BAA 板。再者，於特定實施例中，多重節距可被同時地印刷。兩技術均容許許多點被印刷於 BAA 底下之晶圓的連續通過期間。應理解：雖然本說明之焦點在於三個分離行的不同節距，但實施例可被延伸至包括其適於設備內之任何數目的節距，例如 1、2、3、4、5 等等。

於一實施例中，BAA 可被獨立地控制，針對各開口是否通過電子束或者將電子束偏轉入法拉第杯或遮沒孔徑。設備可被建立以偏轉整體束覆蓋至僅單一節距行，且接著節距行中之個別開口被電氣地組態成使電子束通過（「開」）或不通過（「關」）。當作範例，圖 23 闡明具有三個不同交錯陣列 2302、2304 及 2306 之佈局的 BAA 2300 之孔徑 2308，其中電子束僅覆蓋該些陣列之一

(例如，陣列 2304)，依據本發明之實施例。於此一設備組態中，可針對其含有僅單一節距之晶粒上的特定區域獲得通量。下方晶圓之行進方向係由箭號 2310 所指示。

於一實施例中，為了切換於節距陣列之間，偏轉器可被加入至電子束行以容許電子束可引導至 BAA 節距陣列之上。當作範例，圖 24A 包括一種具有用以偏移光束之偏轉器的電子束微影設備之電子束行的橫斷面概略表示，依據本發明之實施例。參考圖 24A，電子束行 2400 (諸如配合圖 4 所描述者) 包括偏轉器 2402。偏轉器可被用以偏移束至適當的節距/切割列上，於一相應於具有多重節距陣列之 BAA 2404 的適當陣列之成形孔徑中。當作範例，圖 24B 闡明 BAA 2450 之三個 (或高達 n) 節距陣列，其具有節距 # 1、切割 # 1 (2452)、節距 # 2、切割 # 2 (2454) 及節距 # N 、切割 # N (2456)。應理解：切割 # n 之高度不等於切割 # $n+m$ 之高度。

其他特徵亦可被包括於電子束行 2400 中。例如，進一步參考圖 24A，於一實施例中，載台可被旋轉 90 度以容納交替的金屬化層，其可被相互正交地印刷 (例如，旋轉於 X 與 Y 掃描方向之間)。於另一實施例中，電子束工具能夠在將晶圓載至該載台上之前旋轉晶圓 90 度。於又另一範例中，圖 24C 闡明供包括於電子束行上之狹縫 2460 中的放大。行 2400 上之狹縫 2460 的此一放大之定位係顯示於圖 24A 中。狹縫 2460 中之放大可被包括以保持不同切割高度之效率。應理解：上述特徵之一或更多者可被包括於

單一電子束行中。

於另一實施例中，電子束完全照射 BAA 上之多重或所有行的節距。於此一組態中，所有已照射的 BAA 開口將被電氣地控制為「開」以通過電子束至晶粒，或者「關」以防止電子束到達晶粒。此一配置之優點在於可使用任何孔之組合以印刷線切割或通孔位置而不減少通量。雖然配合圖 23 及 24A-24C 所描述之配置亦可用於產生類似的結果，但橫跨每一節距陣列之晶圓/晶粒的分離通過將是需要的（其將減少通量以 $1/n$ 之因數，其中 n 為需要印刷之 BAA 上的節距陣列數）。

圖 25 闡明具有三個不同交錯陣列之佈局的 BAA 之孔徑，其中電子束覆蓋所有該些陣列，依據本發明之實施例。參考圖 25，具有三個不同交錯陣列 2502、2504 及 2506 之佈局的 BAA 2500 之孔徑 2508，其中電子束可覆蓋所有該些陣列（例如，覆蓋陣列 2502、2504 及 2506），依據本發明之實施例。下方晶圓之行進方向係由箭號 2510 所指示。

於圖 23 或圖 25 之任一情況下，具有三個節距的開口允許切割或通孔產生給三個不同的線或佈線寬度。然而，該些線必須與相應節距陣列之孔徑對準（對比地，一種通用切割器被揭露於下）。圖 26 闡明相對於具有切割（例如，水平線中之斷裂 2604）或使用 BAA 而圖案化之通孔（填入方盒 2606）的複數大型線 2602 之 BAA 的三束交錯孔徑陣列 2600，其中掃描方向由箭號 2608 所顯示，依

據本發明之實施例。參考圖 26，局部區中之所有線為相同尺寸（於此情況下，相應於 BAA 之右側上的最大孔徑 2610）。因此，圖 26 闡明由三交錯束孔徑陣列之一所產生的典型圖案。虛線顯示其切割發生於已圖案化線中之何處。暗矩形為落在線/佈線 2602 之頂部上的圖案化通孔。於此情況下，僅有最大消除器陣列被致能。

圖 27 闡明相對於具有切割（例如，水平線中之斷裂 2704）或使用 BAA 而圖案化之通孔（填入方盒 2706）的複數中型線 2702 之 BAA 的三束交錯孔徑陣列 2700，其中掃描方向由箭號 2708 所顯示，依據本發明之實施例。參考圖 27，局部區中之所有線為相同尺寸（於此情況下，相應於 BAA 之中間的中型孔徑 2710）。因此，圖 27 闡明由三交錯束孔徑陣列之一所產生的典型圖案。虛線顯示其切割發生於已圖案化線中之何處。暗矩形為落在線/佈線 2702 之頂部上的圖案化通孔。於此情況下，僅有中型消除器陣列被致能。

圖 28 闡明相對於具有切割（例如，水平線中之斷裂 2804）或使用 BAA 而圖案化之通孔（填入方盒 2806）的複數小型線 2802 之 BAA 的三束交錯孔徑陣列 2800，其中掃描方向由箭號 2808 所顯示，依據本發明之實施例。參考圖 28，局部區中之所有線為相同尺寸（於此情況下，相應於 BAA 之左側上的最小孔徑 2810）。因此，圖 28 闡明由三交錯束孔徑陣列之一所產生的典型圖案。虛線顯示其切割發生於已圖案化線中之何處。暗矩形為落在

線/佈線 2802 之頂部上的圖案化通孔。於此情況下，僅有小型消除器陣列被致能。

於另一實施例中，三個節距之組合被圖案化，其中針對已存在這些位置之線的孔徑對準是可能的。圖 29A 闡明相對於具有切割（例如，水平線中之斷裂 2904）或使用 BAA 而圖案化之通孔（填入方盒 2906）的複數變化尺寸線 2902 之 BAA 的三束交錯孔徑陣列 2900，其中掃描方向由箭號 2908 所顯示，依據本發明之實施例。參考圖 29A，有多如三個不同的金屬寬度可被圖案化於其發生在三交錯 BAA 上之固定柵格 2950 上。BAA 之暗色孔徑 2910 是在其掃描期間被打開/關閉。亮色 BAA 孔徑 2912 保持關。因此，圖 29A 闡明由所有三交錯束孔徑陣列之同時使用所產生的典型圖案。虛線顯示其切割發生於已圖案化線中之何處。暗矩形為落在線/佈線 2902 之頂部上的圖案化通孔。於此情況下，小型消除器陣列、中型消除器陣列及大型消除器陣列均被致能。

圖 29B 闡明積體電路中之金屬化層堆疊 2960 的橫斷面視圖，根據圖 29A 中所示之類型的金屬線佈局，依據本發明之實施例。參考圖 29B，於範例實施例中，互連堆疊之金屬橫斷面被取得自下方八個匹配位準 2962, 2964, 2966, 2968, 2970, 2972, 2974 及 2976 之 1 倍、1.5 倍及 3 倍節距/寬度的三 BAA 節距陣列。例如，於位準 2962 中，1 倍的範例線 2980、1.5 倍的範例線 2982、及 3 倍的範例線 2984 被叫出。應理解：金屬之變化寬度僅可見於

那些具有離開頁面之線的層。相同層中之所有金屬為相同厚度而不論其金屬寬度。應理解：上方較厚/較寬金屬將不會形成有相同的三節距 BAA。

於另一實施例中，陣列內之不同線可改變寬度。圖 30 闡明相對於具有切割（例如，水平線中之斷裂 3004）或使用 BAA 而圖案化之通孔（填入方盒 3006）的複數變化尺寸線 3002 之 BAA 的三束交錯孔徑陣列 3000，其中掃描方向由箭號 3008 所顯示，依據本發明之實施例。參考圖 30，來自該陣列的線 3002 之底部的第三水平線 3050 具有寬線 3052 於如窄線 3054 的相同柵格線 3056 上。用來切割或形成不同尺寸的線中之通孔的相應不同尺寸的（但水平對準的）孔徑 3060 及 3062 被強調並以兩條線 3052 及 3054 為水平中心。因此，圖 30 闡明一種具有改變線寬度之額外可能性的情境於圖案化期間以及於不同區之內。

於本發明之實施例的第六形態中，描述了用於電子束工具之非通用切割器。

於一實施例中，相同區中之佈線的多重節距被變為可能的。於特定實施方式中，高通量電子束處理被用以界定具有兩 BAA 陣列之切割，該兩 BAA 陣列各具有等於預定值之開口高度。當作說明性範例，N（20nm 最小佈局節距）及 M（30nm）可切割具有最小節距/4（N/4）之必要 EPE 容許度的多重節距佈局（N[20], M[30], N*2[40], N*3 或 M*2[60], N*4[80], M*3[90]nm），假設其切割/插塞軌

線被置於柵格上。

圖 31 闡明於各線上具有重疊相應孔徑 3100 之不同節距的三組線 3102、3104 及 3106，依據本發明之實施例。參考圖 31，其顯示 40nm、30nm 及 20nm 陣列垂直節距。針對 40nm 節距線 3102，交錯 BAA（例如，具有 2048 開口）可用於切割該些線。針對 30nm 節距線 3104，交錯 BAA（例如，具有 2730 開口）可用於切割該些線。針對 20nm 節距線 3106，交錯 BAA（例如，具有 4096 開口）可用於切割該些線。於此範例情況下，描繪在具有節距 20nm、30nm 及 40nm 之 10 nm 步進單向柵格 3150 上的平行線需被切割。BAA 具有三個節距（亦即，三個子陣列）並與描繪軌線 3160 軸向地對準，如圖 31 中所示。

假設圖 31 之三個子陣列的每一者上之各孔徑具有其本身的驅動器，則於一與所示單向線柵格相符之佈局上的軌線之複雜佈局的切割可利用無關於該佈局中所存在之節距的混合及數目之工具通量而被執行。其結果在於：多重切割、不同寬度之多重同時切割、及大於任何單一節距之寬度的切割變為可能的。其設計被稱為節距不可知通量。為了提供上下文，此一結果在各節距需要晶圓之多重通過的情況下是不可能的。應理解：此一實施方式不限於三個 BAA 開口尺寸。額外的組合可被產生，只要有共同的柵格關係於各個 BAA 節距之間即可。

再者，於一實施例中，同時地形成具有多重節距之多重切割是可能的，且由其完全地覆蓋切割距離之不同開口

的組合來調適較寬的線。例如，圖 32 闡明包括一極大線 3204 之複數不同尺寸線 3202，及共同柵格 3214 上之束孔徑陣列垂直節距佈局 3206（三個陣列 3208、3210 及 3212），依據本發明之實施例。極寬的線 3204 係由其被加入於垂直方向的三個大孔徑 3216 之組合來切割。應理解於觀看圖 32 時：佈線 3202 被顯示為由各種開口所切割，該些開口被顯示為虛線方盒（例如，相應於孔徑 3216 之虛線方盒 3218）。

於本發明之實施例的第七形態中，描述了用於電子束工具之通用切割器。

於一實施例中，高通量電子束處理係藉由界定切割而被致能，以致其具有等於預定值之開口高度的單一（通用）BAA 可被用於各種線節距/寬度。於一此類實施例中，開口高度係指向於最小節距佈局之一半。應理解所提及的「開口高度」指的是撞擊在接收晶圓上之點尺寸而非 BAA 中之實體開口，因為實體開口是實質上大於（例如，微米等級）最終從 BAA 所產生之點尺寸（例如，奈米等級）。於特定範例中，開口之高度為 10nm（針對 N=20nm 之最小佈局節距）。於此一情況下，多重節距佈局（例如，N[20], M[30], N*2[40], N*3 或 M*2[60], N*4[80], M*3[90]nm）等等可被切割。該些切割可以最小節距/4（N/4）之必要 EPE 容許度而被執行，假設切割/堵塞軌線被置於預定柵格上，其中軌線軸被對準於一符合兩 BAA 開口間之中間的預定一維（1D）柵格上。各金屬軌

線鄰接係由於暴露最小的兩開口以滿足 EPE 需求 = 節距/4 而中斷。

於一範例中，圖 33 闡明複數不同尺寸線 3302、及通用切割器節距陣列 3304，依據本發明之實施例。參考圖 33，於特定實施例中，具有包括（例如）8192 個開口（僅顯示其一部分）之 10nm 節距陣列的 BAA 被使用為通用切割器。應理解：雖然其顯示於共同柵格 3306 上，但是於一實施例中，該些線完全不需實際上對準柵格。於該實施例中，間隔係由切割器開口所區分。

更一般地，再次參考圖 33，束孔徑陣列 3304 包括交錯方形束開口 3308（例如，8192 個交錯方形束開口）之陣列，其可被實施以藉由使用在垂直方向上接合之一或更多開口來切割任何寬度線/佈線 3302，其係當掃描係沿著水平方向 3310 來執行時。唯一的限制在於相鄰的佈線為 $2 * EPE$ 以供切割任何個別佈線。於一實施例中，佈線係藉由來自 BAA 3304 之操作中選擇的通用切割器開口 3308 之組合而被切割。當作範例，線 3312 係藉由來自 BAA 3304 之三個開口 3314 而被切割。於另一範例中，線 3316 係藉由來自 BAA 3304 之 11 個開口 3318 而被切割。

為了與非通用切割器做比較，陣列群組 3320 被顯示於圖 33 中。應理解：陣列群組 3320 並未出現於通用切割器中，但被顯示以供進行根據陣列群組 3320 之通用切割器與非通用切割器的比較。

為了提供上下文，其他束孔徑陣列配置需要明確地於

待切割線之中心線上對準的開口。取代地，依據文中之實施例，通用孔徑陣列技術容許非對準線中心線上之任何寬度線/佈線的通用切割。再者，將另由其他技術之 BAA 所固定的線寬度（及間隔）之改變係由通用切割器所調適。因此，對於配合個別電路之 RC 需求而特定調整的製造程序、或線/佈線之後期改變可被允許。

應理解：只要滿足節距/4 之 EPE 覆蓋需求，則各種線/佈線無須完全地對準於通用切割器情境中。唯一的限制在於其提供足夠的空間於線之間以具有 EPE/2 距離於線之間，其中切割器排列以 EPE/4 如下。圖 34A 展示如正對著兩條線 3402 及 3404 所參照之通用切割器 3400 的 $2 * EPE$ 規則，依據本發明之實施例。參考圖 34A，頂部線之 EPE 3406 及底部線之 EPE 3408 提供 $2 * EPE$ 寬度，其係相應於通用切割器孔 3410 之節距。因此，針對開口節距之規則係相應於兩線之間的最小空間。假如其距離大於此，則切割器將切割任意寬度的線。注意：最小孔尺寸及節距係剛好等於線之 $2 * EPE$ 。

於一實施例中，藉由使用通用切割器，所得之結構可具有隨機佈線寬度及布局於電子束產生的半導體樣本中。然而，隨機布局仍被描述為單向的，因為於此方式中並未製造正交線或鉤。通用切割器可被實施以切割許多不同的節距及寬度，例如，任何可藉由在用於切割及通孔之電子束圖案化以前的圖案化所製造者。當作比較，上述交錯式陣列及三交錯式陣列 BAA 係與節距之固定位置相關。

依據本發明之一或更多實施例，以通用切割器來實施橫向掃描近似校正。此類實施例可針對製造程序提供電子束直寫近似校正。

為了提供背景，對於藉由微影工具印刷之特徵尺寸的特徵密度變化之影響（近似誤差）被良好地建立於微影領域中。此近似誤差可藉由模型化及模型為基的校正來校正。例如，模型化及模型為基的校正可用以修改設計資料庫，以更改其轉移至製程晶圓之佈局影像的光學微影中所涉及之遮罩上的佈局。電子束微影亦遭受近似效應。然而，因為 EBL 是無遮罩微影，所以針對密度相依的近似校正之不同方式可能需被應用。例如，以下所述之方式可被實施以解決根據 1D BAA 之使用的電子束直寫微影系統中之橫向掃描尺寸控制問題。

為了提供視覺背景，為了範例之目的，圖 34B 闡明待切割線光柵上方之 1D BAA（左）及不具有近似校正之印刷特徵（右），依據本發明之一或更多實施例。

參考圖 34B 之左手部分，1D BAA 3411 是具有 9nm/9nm 之代表性線寬/間隔（L/S）的線 3414（及間隔 3415）上方之開口 3412 的 1D 交錯式垂直陣列。BAA 3411 之每一開口（點尺寸）3412 具有等於線寬（9nm）之尺寸在正交於載台掃描方向 3416 之方向上；以及稍微較大的（例如，10nm）尺寸在與載台掃描方向 3416 平行之方向上。開口 3412 被偏移自線 3414，以致其單一開口重疊線之一半及間隔之一半。因此，於圖 34B 之範例中，

各線係與具有容限 4.5nm 之兩個 10x9nm 孔徑關聯以供線切割。

參考圖 34B 之右手部分，底部兩相鄰線 3418 及 3420 係接受其涉及通過 BAA 3411 之電子束的緊密曝光之切割。所得的印刷切割被獲得如預期具有 9nm (Y 方向) 曝光以供較佳的切割。然而，隔離上線 3422 具有僅 7nm 之所得印刷切割 (Y 方向)，留下其中預期有電子束曝光 (但尚未獲得) 之「殺手間隙 (killer gap)」。此隔離的或較不緊密的線切割之結果可導致不當的切割。

更一般性地參考圖 34B，所提供之範例是為了當作視覺輔助，其顯示對於印刷有 1D 消除器陣列之特徵的尺寸控制之近似效應的影響。明確地，稀疏的特徵可不欲地被印刷成小於緊密間隔的特徵。其結果為可能影響產品功能及產量之尺寸控制問題。例如，印刷的殺手間隙之效應可能是導致其中不應該有的電導 (於，例如，金屬互連製造之情況下)。

為了校正如參考圖 34 所述之此類近似效應，可藉由容許 1D BAA 上之相應孔徑相較於針對緊密特徵之曝光歷時更久地曝光一影像 (於載台掃描期間) 來增加稀疏地設置的特徵之尺寸。其結果係有效地將載台掃描之方向上的稀疏與緊密特徵之尺寸等化。然而，該些尺寸並未被等化在其垂直於載台掃描之方向上 (亦即，不在「橫向掃描」之方向上)，而留下該殺手間隙問題未解決。

相反地，本發明之一或更多實施例涉及使用具有孔徑

之額外的第二（及，可能地，第三、第四，等等）BAA，該些孔徑具有相同的節距但具有針對各陣列而不同之橫向掃描尺寸中的孔徑尺寸。於一此類實施例中，具有由近似效應所引發之多種印刷的晶圓上「切割」之大小被減至可接受的位準。

圖 34C 闡明待切割線光柵上方之第一 1D BAA（左）、相同線光柵上方之第二 1D BAA（右）、及具有近似校正之印刷特徵（中），依據本發明之一或更多實施例。

參考圖 34C 之左手部分，第一 1D BAA 3430 是具有 9nm/9nm 之代表性線寬/間隔（L/S）的線 3432 上方之 1D 交錯式垂直陣列。第一 BAA 之每一開口（點尺寸）3434 具有等於線寬（9nm）之尺寸在正交於載台掃描方向 3436 之方向上；以及稍微較大的（例如，10nm）尺寸在與載台掃描方向 3436 平行之方向上。開口被偏移自線，以致其單一開口重疊線之一半及間隔之一半。於一實施例中，參考圖 34C 之中間部分，底部兩相鄰線 3438 及 3440 係接受其涉及通過第一 BAA 3430 之電子束的緊密曝光之切割。所得的印刷切割 3442 被獲得如預期具有 9nm（Y 方向）曝光以供較佳的切割。因此，於圖 34C 之範例中，各線係與具有容限 4.5nm 之兩個 10x9nm 孔徑關聯以供緊密線切割。

參考圖 34C 之右手部分，第二 1D BAA 3442 是具有 9nm/9nm 之代表性線寬/間隔（L/S）的相同線上方之 1D

交錯式垂直陣列。然而，第二 BAA 3442 之每一開口（點尺寸）3444 具有大於線寬（例如，針對 9nm 線寬之 11nm 開口）之尺寸在正交於載台掃描方向 3436 之方向上；以及稍微較小的（例如，10nm）尺寸在與載台掃描方向 3436 平行之方向上。開口被偏移自線，以致其單一開口重疊大於線之一半及大於間隔之一半。於一實施例中，再次參考圖 34C 之中間部分，上隔離線 3446 係接受其涉及通過第二 BAA 3442 之電子束的稀疏曝光之切割。所得的印刷切割被獲得以小於 11nm 之開口尺寸而非以所需的 9nm（Y 方向）曝光以供適當的切割。因此，於圖 34C 之範例中，各線係與具有容限 3.5nm 之兩個 10x11nm 孔徑關聯以供隔離線切割。

應理解：為了應用第一 3430 及第二 3442 BAA 兩者，一電子束工具內之單一行可包括 BAA 3430 及 3442 兩者。兩不同的 BAA 可被包括為離散的組件或者為包括兩 BAA 之兩陣列的單一統一組件。於一實施例中，使用多重掃描，各 BAA 一掃描以使用兩 BAA 來執行切割。於另一實施例中，兩 BAA 被使用於一涉及即時地切換於該第一與第二 BAA 之間的單一掃描程序中。

更一般性地參考圖 34C，第一 BAA（陣列 1）3430 被用以印刷緊密地佈局的特徵，第二 BAA（陣列 2）3442 被用以印刷隔離的或稀疏地佈局的特徵。第二 BAA 3442 的孔徑具有相同於第一 BAA 3430 之孔徑的節距之節距，但第二 BAA 3442 之孔徑尺寸被增加於橫向掃描尺寸至其

用以消除殺手間隙形成並等化橫向掃描方向上之印刷特徵尺寸所需的程度。

因此，文中所述之實施例可被實施於電子束直寫控制系統，藉由根據其使用了緊密、稀疏或半稀疏特徵來致能 BAA 之間的切換。通常，假如近似效應之程度和粒度很大而介於印刷尺寸之間的容許差異很小，則可使用二或更多 1D 消除器陣列，其各具有相同的孔徑節距但在橫向掃描方向上之孔徑尺寸上是不同的。一或更多上述實施例的優點可包括致能對於晶片上之電晶體及互連密度的顯著增進、容許以甚低於任何其他圖案化替代方案的成本來達成每晶圓之晶片數的顯著增加。

於另一形態中，圓角是藉由繞射受限成像系統以印刷具有角落之特徵的持續後果。可能導致線拉回的末端及顯著的性能和產量問題之顯著圓角係藉由使用複雜的近似校正方法而被減至可接受的位準，透過近似校正方法來修飾遮罩特徵以供光學微影。應理解：有關文中所述之一或更多實施例，電子束直寫（EBDW）微影亦遭受近似效應。然而，因為此微影是無遮罩的，所以針對圓角的近似校正之不同方式需被應用。依據一或更多文中所述之實施例，針對電子束直寫微影系統之圓角控制問題係藉由將 1D BAA 中所使用的每一孔徑之角落形狀更改為 EBDW 處理工具之集成組件來解決。

圖 34D 闡明（a）待切割線光柵上方之 1D BAA、（b）不具有近似校正之來自（a）的印刷特徵、（c）待

切割線光柵上方之具有摺角開口的 1D BAA、及 (d) 具有近似校正之來自 (c) 的印刷特徵，依據本發明之一或更多實施例。

參考圖 34D 之部分 (a)，1D BAA 3450 是具有 9nm/9nm 之代表性線寬/間隔 (L/S) 的線 3452 上方之 1D 交錯式垂直陣列，如參考圖 34B 所描述者。BAA 3450 之每一開口 (點尺寸) 3454 具有等於線寬 (9nm) 之尺寸在正交於載台掃描方向 3456 之方向上；以及稍微較大的 (例如，10nm) 尺寸在與載台掃描方向 3456 平行之方向上。開口 3454 被偏移自線 3452，以致其單一開口重疊線之一半及間隔之一半。因此，於圖 34D 之部分 (a) 的範例中，各線係與具有容限 4.5nm 之兩個 10x9nm 孔徑關聯以供線切割。參考圖 34D 之部分 (b)，線 3452 中之印刷切割 3458 具有圓角。結果，可能形成「殺手間隙」，其中預期有電子束曝光但由於修整而未達成。該結果可能導致不當切割。

相對於圖 34D 之部分 (a) 並參考圖 34D 之部分 (c)，1D BAA 3460 是具有 9nm/9nm 之代表性線寬/間隔 (L/S) 的線 3462 上方之 1D 交錯式垂直陣列。然而，BAA 3460 中之每一開口 3464 均具有摺角角落 3465。因此，於一實施例中，通用切割器具有複數開口 3464，各開口均具有摺角角落 3465。於圖 34D 之部分 (c) 的特別範例中，開口 (點尺寸) 3464 係根據部分 (a) 之 BAA 3450 的開口之大小，但具有更改的角落形狀 3465。參考

圖 34D 之部分 (d)，線 3462 中之印刷切割 3466 具有實質上方形的角落 3467。亦即，用於圓角之近似校正係藉由使用摺角開口 3465 來達成，以最終地印刷具有實質上方形角落 3467 之切割 3466。結果，殺手間隙形成之機會被顯著地減少或消失。

圖 34E 為通用切割器 (例如，圖 34D 之 BAA 3460) 之開口 3464 的放大視圖，該開口 3464 具有用於圓角校正之摺角角落，依據本發明之實施例。參考圖 34E，BAA 之開口 3464 (例如，針對通用切割器) 可被視為具有中心點部分 3470，其將另具有方形或稍微圓形的角落。然而，開口被修飾以具有摺角狀特徵 3465 於每一角落上。最終印刷的影像為方形或矩形的，因此具有圓角近似校正。應理解所提及的「開口」(諸如圖 34E 之開口 3464) 指的是撞擊在接收晶圓上之點尺寸而非 BAA 3460 中之實體開口，因為實體開口是實質上大於最終從 BAA 所產生之點尺寸。

更一般性地參考圖 34D 及 34E，依據一或更多文中所述之實施例，直線陣列之影像 (亦即，圖 34D 之部分 (a) 及 (b)) 產生具有顯著圓角之圖案於晶圓上。然而，藉由更改開口角落形狀及面積 (例如，藉由將「摺角」加入每一角落，如圖 34D 之部分 (c) 及 (d) 所示) 來修改孔徑形狀會導致當印刷在晶圓上時之顯著減少的圓角。藉由實施此圓角校正，可顯著地增進印刷特徵之尺寸控制。於一實施例中，一個可能的優點在於用以製造針對

既定科技節點之每晶圓更緊密的晶片及/或更多晶片。

應理解：文中對於 BAA 中之開口的摺角或摺角角落的參考係用以一般性地指稱一種使得印刷角落較不圓且更方形（且無需為完美方形，只要圓形被稍微減少）之特徵。於某些實施例中，此類特徵為如文中所描繪之點，給定摺角的外觀。然而，於其他實施例中，摺角角落被用以指稱加在 BAA 中之方形或近方形或矩形或近矩形開口的角落上之任何額外特徵。

於其他實施例中，在 BAA 中之開口的角落上包括摺角特徵亦可應用於其並非通用切割器之 BAA。例如，於一實施例中，一電子束工具之非通用切割器的 BAA 中的開口具有摺角角落。例如，參考圖 31 及 32，雖未如此描繪，摺角角落可被包括於開口或孔徑，例如，於圓角近似校正。

於另一實施例中，電子束工具之 BAA 的交錯束陣列中之開口具有摺角角落。例如，參考圖 20 及 21A，雖未如此描繪，摺角角落可被包括於開口或孔徑，例如，於圓角近似校正。

於另一實施例中，電子束工具之 BAA 的三束交錯束陣列中之開口具有摺角角落。例如，參考圖 22、23、25、26、27、28、29A 及 30，雖未如此描繪，摺角角落可被包括於開口或孔徑，例如，於圓角近似校正。

更一般地，參考本發明之實施例的所有上述形態，應理解：具有含線切割（或插塞）之線以及具有相關通孔的

金屬化層可被製造於基底之上，且於一實施例中，可被製造於先前金屬化層之上。當作範例，圖 35 闡明前層金屬化結構之平面視圖及相應的橫斷面視圖，依據本發明之實施例。參考圖 35，開始結構 3500 包括金屬線 3502 及層間電介質 (ILD) 線 3504 的圖案。開始結構 3500 可被圖案化為光柵狀圖案，其中金屬線間隔於恆定節距並具有恆定寬度，如圖 35 中所描繪者。雖未顯示，線 3502 可具有中斷 (亦即，切割或插塞) 於沿著該些線之各個位置上。圖案 (例如) 可藉由節距減半或節距減為四分之一方式來製造，如上所述。某些線可關聯與下方通孔，諸如橫斷面視圖中之一範例所示的線 3502'。

於一實施例中，圖 35 之先前金屬化結構上的金屬化層之製造係開始以形成層間電介質 (ILD) 材料於結構 3500 之上。硬遮罩材料層可接著被形成於 ILD 層上。硬遮罩材料層可被圖案化以形成正交於 3500 之線 3502 的單向線之光柵。於一實施例中，單向線硬遮罩線之光柵係使用傳統微影 (例如，光抗蝕劑及其他相關層) 來製造，並可具有由節距減半、節距減為四分之一等方式所界定的線密度，如上所述。硬遮罩線之光柵留下曝光下方 ILD 層之光柵區。ILD 層之這些曝光區被最終地圖案化以供金屬線形成、通孔形成、及插塞形成。例如，於一實施例中，通孔位置係使用 EBL 而被圖案化於曝光 ILD 之區中，如上所述。圖案化可涉及抗蝕劑層之形成及藉由 EBL 的抗蝕劑層之圖案化，以提供其可被蝕刻入 ILD 區之通孔開口位

置。重疊硬遮罩之線可被用以將通孔侷限僅於暴露的 ILD 之區，其中重疊由其可有效地被使用為蝕刻停止之硬遮罩線所調適。插塞（或切割）位置亦可被圖案化於 ILD 之暴露區中，如由重疊硬遮罩線所侷限者，於一分離的 EBL 處理操作中。切割或插塞之製造有效地保留 ILD 之區，其將最終地中斷於其中所製造的金屬線。金屬線可接著使用金屬鑲嵌方式而被製造，其中 ILD 之暴露部分（介於硬遮罩線之間且未被插塞保留層所保護的那些部分，諸如於「切割」期間所圖案化的抗蝕劑層）被部分地凹陷。凹陷可進一步延伸通孔位置以從下方的金屬化結構打開金屬線。部分凹陷的 ILD 區被接著填充以金屬（一種亦可涉及填充通孔位置之程序），例如，藉由電鍍及 CMP 處理，以提供介於上方硬遮罩線之間的金屬線。硬遮罩線可最終地被移除以完成金屬化結構。應理解：線切割、通孔形成、及最終線形成之上述順序僅被提供為範例。多種處理技術可使用 EBL 切割及通孔而被調適，如文中所述者。

於一實施例中，如遍及本說明書所使用者，層間電介質（ILD）材料係由（或包括）電介質或絕緣材料之層所組成。適當的電介質材料之範例包括（但不限定於）矽之氧化物（例如，二氧化矽（ SiO_2 ））、矽之摻雜的氧化物、矽之氟化氧化物、矽之碳摻雜的氧化物、本技術中所已知的各種低 k 電介質材料、以及其組合。此層間電介質材料可由傳統技術來形成，諸如（例如）化學氣相沈積（CVD）、物理氣相沈積（PVD）、或藉由其他沈積方

法。

於一實施例中，如亦遍及本說明書所使用者，互連材料係由一或更多金屬或其他導電結構所組成。一種常見的範例為使用銅線以及其可或可不包括介於銅與周圍 ILD 材料之間的障壁層之結構。如文中所使用者，術語金屬係包括數個金屬之合金、堆疊、及其他組合。例如，金屬互連線可包括障壁層、不同金屬或合金之堆疊，等等。在本技術中互連線有時亦被稱為軌線、佈線、線、金屬、或僅為互連。

於一實施例中，如亦遍及本說明書所使用者，硬遮罩材料係由不同於層間電介質材料的電介質材料所組成。於某些實施例中，硬遮罩層包括矽之氮化物（例如氮化矽）的層或矽之氧化物的層、或兩者、或其組合。其他適當的材料可包括碳基的材料。於另一實施例中，硬遮罩材料包括金屬類。例如硬遮罩或其他上方材料可包括鈦或其他金屬之氮化物（例如，氮化鈦）的層。潛在地較少量之其他材料（諸如氧）可被包括於這些層之一或更多者中。替代地，本技術中所已知的其他硬遮罩層可根據特定實施方式而被使用。硬遮罩層可藉由 CVD、PVD、或藉由其他沈積方法而被形成。

應理解其與圖 35 關聯而描述的層及材料通常被形成於下方半導體基底或結構（諸如積體電路之下方裝置層）之上或上方。於一實施例中，下方半導體基底代表用以製造積體電路之一般工件物體。半導體基底常包括矽或另一

半導體材料之晶圓或其他件。適當的半導體基底包括（但不限定於）單晶矽、多晶矽及絕緣體上之矽（SOI）、以及由其他半導體材料所形成之類似基底。半導體基底（根據製造之階段）常包括電晶體、積體電路，等等。基底亦可包括半導體材料、金屬、電介質、摻雜物、及半導體基底中常發現的其他材料。再者，圖 35 中所描繪之結構可被製造於下方較低階互連層上。

於另一實施例中，EBL 切割可被用以製造半導體裝置，諸如積體電路之 PMOS 或 NMOS 裝置。於一此類實施例中，EBL 切割被用以圖案化被最終地用來形成鱗片為基或三閘極結構之有效區的光柵。於另一此類實施例中，EBL 切割被用以圖案化閘極層，諸如多晶層，其最終用於閘極電極製造。當作已完成裝置之範例，圖 36A 及 36B 個別地闡明具有複數鱗片之非平面半導體裝置的之橫斷面視圖及平面視圖（沿著橫斷面視圖之 a-a' 軸），依據本發明之實施例。

參考圖 36A，半導體結構或裝置 3600 包括從基底 3602 所形成（且於隔離區 3606 內）之非平面主動區（例如，包括突出鱗片部分 3604 及子鱗片區 3605 之鱗片結構）。閘極線 3608 被配置於非平面主動區之突出部分 3604 上方以及於隔離區 3606 之一部分上方。如圖所示，閘極線 3608 包括閘極電極 3650 及閘極電介質層 3652。於一實施例中，閘極線 3608 亦可包括電介質層蓋層 3654。閘極接點 3614、及上方閘極接點通孔 3616 亦從此

透視圖看出，連同上方金屬互連 3660，其均被配置於層間電介質堆疊或層 3670 中。亦從圖 36A 之透視圖看出，閘極接點 3614（於一實施例中）被配置於隔離區 3606 之上，但不是於非平面主動區之上。

參考圖 36B，閘極線 3608 被顯示為配置於突出鰭片部分 3604 之上。突出鰭片部分 3604 之源極和汲極區 3604A 和 3604B 可從此透視圖看出。於一實施例中，源極和汲極區 3604A 和 3604B 為突出鰭片部分 3604 之原始材料的摻雜部分。於另一實施例中，突出鰭片部分 3604 之材料被移除並取代以另一半導體材料，例如藉由外延沈積。於任一情況下，源極和汲極區 3604A 和 3604B 可延伸於電介質層 3606 之高度底下，亦即，進入子鰭片區 3605。

於一實施例中，半導體結構或裝置 3600 為非平面裝置，諸如（但不限定於）fin-FET 或三閘極裝置。於此一實施例中，相應的半導體通道區係由三維主體所組成或者被形成為三維主體。於一此類實施例中，閘極線 3608 之閘極電極堆疊係圍繞三維主體之至少頂部表面及一對側壁。

文中所揭露之實施例可被用以製造多種不同類型的積體電路及/或微電子裝置。此等積體電路之範例包括（但不限定於）處理器、晶片組組件、圖形處理器、數位信號處理器、微控制器，等等。於其他實施例中，半導體記憶體可被製造。此外，積體電路或其他微電子裝置可被用於

本技術中已知的多種電子裝置。例如，於電腦系統（例如，桌上型、膝上型、伺服器）、行動電話、個人電子裝置，等等。積體電路可與系統中之匯流排或其他組件耦合。例如，處理器可藉由一或更多匯流排而被耦合至記憶體、晶片組，等等。每一處理器、記憶體、晶片組可潛在地使用文中所揭露之方式來製造。

圖 37 闡明一計算裝置 3700，依據本發明之一實施方式。計算裝置 3700 含有電路板 3702。電路板 3702 可包括數個組件，包括（但不限定於）處理器 3704 及至少一通訊晶片 3706。處理器 3704 被實體地及電氣地耦合至電路板 3702。於某些實施方式中，至少一通訊晶片 3706 亦被實體地及電氣地耦合至電路板 3702。於進一步實施方式中，通訊晶片 3706 為處理器 3704 之部分。

根據其應用，計算裝置 3700 可包括其他組件，其可被或可不被實體地及電氣地耦合至電路板 3702。這些其他組件包括（但不限定於）揮發性記憶體（例如，DRAM）、非揮發性記憶體（例如，ROM）、快閃記憶體、圖形處理器、數位信號處理器、密碼處理器、晶片組、天線、顯示、觸控螢幕顯示、觸控螢幕控制器、電池、音頻編碼解碼器、視頻編碼解碼器、功率放大器、全球定位系統（GPS）裝置、羅盤、加速計、迴轉儀、揚聲器、相機、及大量儲存裝置（諸如硬碟機、光碟（CD）、數位光碟（DVD），等等）。

通訊晶片 3706 致能無線通訊，以供資料之轉移至及

自計算裝置 3700。術語「無線」及其衍生詞可被用以描述電路、裝置、系統、方法、技術、通訊頻道，等等，其可藉由使用透過非固體媒體之經調變的電磁輻射來傳遞資料。該術語並未暗示其相關裝置不含有任何佈線，雖然於某些實施例中其可能不含有。通訊晶片 3706 可實施數種無線標準或協定之任一者，包括（但不限定於）Wi-Fi（IEEE 802.11 家族）、WiMAX（IEEE 802.16 家族）、IEEE 802.20、長期演進（LTE）、Ev-DO、HSPA+、HSDPA+、HSUPA+、EDGE、GSM、GPRS、CDMA、TDMA、DECT、藍牙、其衍生物，以及其被指定為 3G、4G、5G、及以上的任何其他無線協定。計算裝置 3700 可包括複數通訊晶片 3706。例如，第一通訊晶片 3706 可專用於較短距離無線通訊，諸如 Wi-Fi 及藍牙；而第二通訊晶片 3706 可專用於較長距離無線通訊，諸如 GPS、EDGE、GPRS、CDMA、WiMAX、LTE、Ev-DO 及其他。

計算裝置 3700 之處理器 3704 包括封裝於處理器 3704 內之積體電路晶粒。於本發明之一些實施方式中，處理器之積體電路晶粒包括一或更多使用 CEBL 所製造的結構，依據本發明之實施例的實施方式。術語「處理器」可指稱任何裝置或裝置之部分，其處理來自暫存器及/或記憶體之電子資料以將該電子資料轉變為可被儲存於暫存器及/或記憶體中之其他電子資料。

通訊晶片 3706 亦包括封裝於通訊晶片 3706 內之積體電路晶粒。依據本發明之實施例的實施方式，通訊晶片之

積體電路晶粒包括一或更多使用 CEBL 所製造的結構，依據本發明之實施例的實施方式。

於進一步實施方式中，計算裝置 3700 內所包括之另一組件可含有積體電路晶粒，其包括一或更多使用 CEBL 所製造的結構，依據本發明之實施例的實施方式。

於各種實施方式中，計算裝置 3700 可為膝上型電腦、小筆電、筆記型電腦、輕薄型筆電、智慧型手機、輸入板、個人數位助理（PDA）、超輕行動 PC、行動電話、桌上型電腦、伺服器、印表機、掃描器、監視器、機上盒、娛樂控制單元、數位相機、可攜式音樂播放器、或數位錄影機。於進一步實施方式中，計算裝置 3700 可為處理資料之任何其他電子裝置。

本發明之實施例可被提供為電腦程式產品（或軟體），其可包括其上儲存有指令之機器可讀取媒體，其可被用以編程電腦系統（或其他電子裝置）來執行依據本發明之實施例的程序。於一實施例中，電腦系統與電子束工具耦合，諸如配合圖 4 及/或圖 24A-24C 所描述者。機器可讀取媒體包括任何用以儲存或傳輸可由機器（例如，電腦）讀取之形式的資訊之機制。例如，機器可讀取媒體（例如，電腦可讀取）媒體包括機器（例如，電腦）可讀取儲存媒體（例如，唯讀記憶體（「ROM」）、隨機存取記憶體（「RAM」）、磁碟儲存媒體、光學儲存媒體、快閃記憶體裝置，等等）；機器（例如，電腦）可讀取傳輸媒體（電、光、聲或其他形式的傳播信號（例如，紅外線

信號、數位信號等等))，等等。

圖 38 闡明以電腦系統 3800 之範例形式的機器之圖形表示，於該系統內可執行一組指令以致使機器執行文中所述之任何一或更多方法（諸如端點檢測）。於替代實施例中，機器可被連接（例如，連網）至區域網路（LAN）、內部網路、外部網路、或網際網路中之其他機器。機器可操作於用戶伺服器網路環境下之伺服器或用戶機器之範圍中、或者當作點對點（或分散式）網路環境下之同級機器。機器可為個人電腦（PC）、輸入板 PC、機上盒（STB）、個人數位助理（PDA）、行動電話、網路器具、伺服器、網路路由器、開關或橋、或者能夠執行指明由該機器所採取之行動的一組指令（序列或其他）的任何機器。再者，雖僅顯示單一機器，但術語「機器」亦應被視為包括其獨立地或聯合地履行一組（或多組）用來執行文中所述之任何一或更多方法的指令之機器（例如，電腦）的任何集合。

範例電腦系統 3800 包括處理器 3802、主記憶體 3804（例如，唯讀記憶體（ROM）、快閃記憶體、動態隨機存取記憶體（DRAM），諸如同步 DRAM（SDRAM）或 Rambus DRAM（RDRAM）等等）、靜態記憶體 3806（例如，快閃記憶體、靜態隨機存取記憶體（SRAM）等等）、以及附屬記憶體 3818（例如，資料儲存裝置），其係經由匯流排 3830 而彼此通連。

處理器 3802 代表一或更多一般用途處理裝置，諸如

微處理器、中央處理單元，等等。更特別地，處理器 3802 可為複雜指令組計算（CISC）微處理器、減少指令組計算（RISC）微處理器、極長指令字元（VLIW）微處理器、實施其他指令組的處理器、或實施指令組之組合的處理器。處理器 3802 亦可為一或更多特殊用途處理裝置，諸如特定應用積體電路（ASIC）、場可編程閘極陣列（FPGA）、數位信號處理器（DSP）、網路處理器，等等。處理器 3802 組態成履行處理邏輯 3826，用以執行文中所述之操作。

電腦系統 3800 可進一步包括網路介面裝置 3808。電腦系統 3800 亦可包括視頻顯示單元 3810（例如，液晶顯示（LCD）、發光二極體顯示（LED）、或陰極射線管（CRT））、文數輸入裝置 3812（例如，鍵盤）、游標控制裝置 3814（例如，滑鼠）、及信號產生裝置 3816（例如，揚聲器）。

附屬記憶體 3818 可包括機器可存取儲存媒體（或更明確地，電腦可讀取儲存媒體）3832，於其上儲存有一或更多實施文中所述之任何一或更多方法或功能的指令組（軟體 3822）。軟體 3822 亦可在藉由電腦系統 3800 之其執行期間駐存（完全地或至少部分地）於主記憶體 3804 內及/或於處理器 3802 內，主記憶體 3804 及處理器 3802 亦構成機器可讀取儲存媒體。軟體 3822 可進一步經由網路介面裝置 3808 透過網路 3820 而被傳輸或接收。

雖然機器可存取儲存媒體 3832 被顯示於範例實施例

中為單一媒體，術語「機器可讀取儲存媒體」應被視為包括單一媒體或多重媒體（例如，集中式或分散式資料庫、及/或相關快取及伺服器），其係儲存一或更多指令集。術語「機器可讀取儲存媒體」亦應被視為包括能夠儲存或編碼供由機器所履行的指令集之任何媒體，且該媒體致使該機器執行本發明之一或更多方法。術語「機器可讀取儲存媒體」應因此被視為包括（但不限定於）固態記憶體、及光學和磁性媒體。

本發明之實施例的實施方式可被形成或執行於基底（諸如半導體基底）上。於一實施方式中，半導體基底可為使用大塊矽所形成的結晶基底或矽絕緣體基底。於其他實施方式中，半導體基底可使用替代材料而被形成，該些材料可或可不與矽結合，其包括（但不限定於）鍺、銻化銻、碲化鉛、砷化銻、磷化銻、砷化銻、砷化銻、銻化銻、或 III-V 族或 IV 族材料之其他組合。雖然於此描述了可用來形成基底之材料，但任何可作為基礎以便可於其上建立半導體裝置之材料均落入本發明之精神及範圍內。

複數電晶體，諸如金氧半導體場效電晶體（MOSFET 或僅稱為 MOS 電晶體），可被製造於基底上。於本發明之各個實施方式中，MOS 電晶體可為平面電晶體、非平面電晶體、或兩者之組合。非平面電晶體包括 FinFET 電晶體（諸如雙閘極電晶體或三閘極電晶體）、及圍繞或包圍閘極電晶體（諸如奈米帶及奈米線電晶體）。雖然文中所述之實施方式可僅顯示平面電晶體，但應注意：本發明

亦可使用非平面電晶體來執行。

各 MOS 電晶體包括由至少兩層（閘極電介質層及閘極電極層）所形成的閘極堆疊。閘極電介質層可包括一層或層之堆疊。一或更多層可包括氧化矽、二氧化矽（ SiO_2 ）及/或高 k 電介質材料。高 k 電介質材料可包括元件，諸如鈣、矽、氧、鈦、鉭、釧、鋁、銦、鋇、鋇、鋇、鋇、鋇、鉛、銻、銻、及鋅。可用於閘極電介質層之高 k 材料的範例包括（但不限定於）氧化鈣、氧化鈣矽、氧化釧、氧化釧鋁、氧化銦、氧化銦矽、氧化鉭、氧化鈦、氧化鋇、氧化鋇鈦、氧化鋇鈦、氧化鈦、氧化鋁、氧化鉛銻鉭、及銻酸鉛鋅。於某些實施例中，退火製程可被執行在閘極電介質層上以增進其品質，其係當使用高 k 材料時。

閘極電極層被形成於閘極電介質層上，並可由至少一 P 型工作函數金屬或 N 型工作函數金屬所組成，根據電晶體將是 PMOS 或 NMOS 電晶體。於某些實施方式中，閘極電極層可包括二或更多金屬層之堆疊，其中一或更多金屬層為工作函數金屬層且至少一金屬層為填充金屬層。

針對 PMOS 電晶體，其可用於閘極電極之金屬包括（但不限定於）鈣、鈣、鈣、鈣、鈣、及導電金屬氧化物，例如，氧化鈣。P 型金屬層將致能一種具有介於約 4.9 eV 與約 5.2 eV 間之工作函數的 PMOS 閘極電極之形成。針對 NMOS 電晶體，可用於閘極電極之金屬包括（但不限定於）鈣、銦、鈦、鉭、鋁、這些金屬之合金、及這些金屬之碳化物，諸如碳化鈣、碳化銦、碳化鈦、碳化

鉍、及碳化鋁。N 型金屬層將致能一種具有介於約 3.9 eV 與約 4.2 eV 間之工作函數的 NMOS 閘極電極之形成。

於某些實施方式中，閘極電極可包括「U」狀結構，其包括實質上平行於基底之表面的底部部分及實質上垂直於基底之頂部表面的兩側壁部分。於另一實施方式中，形成閘極電極之金屬層的至少一者可僅為平面層，其係實質上平行於基底之頂部表面而不包括實質上垂直於基底之頂部表面的側壁部分。於本發明之進一步實施方式中，閘極電極可包括 U 狀結構及平面、非 U 狀結構之組合。例如，閘極電極可包括一或更多 U 狀金屬層，其係形成於一或更多平面、非 U 狀層之頂部上。

於本發明之某些實施方式中，一對側壁間隔物可被形成於其包圍閘極堆疊之閘極堆疊的相對側上。側壁間隔物可被形成自一種材料，諸如氮化矽、氧化矽、碳化矽、摻雜碳之氮化矽、及氧氮化矽。用以形成側壁間隔物之程序為本技術中眾所周知的，且通常包括沈積及蝕刻製程步驟。於替代實施方式中，複數間隔物對可被使用，例如，兩對、三對、或四對側壁間隔物可被形成於閘極堆疊之相對側上。

如本技術中眾所周知者，源極和汲極區被形成於鄰近各 MOS 電晶體之閘極堆疊的基底內。源極和汲極區通常係使用植入/擴散程序或者蝕刻/沈積程序來形成。於前者之程序中，諸如硼、鋁、銻、磷或砷等摻雜物可被離子植入基底以形成源極和汲極區。一種啟動摻雜物並致使其進

一步擴散入基底之退火程序通常係接續於離子植入程序之後。於後者之程序中，基底可首先被蝕刻以形成凹陷於源極和汲極區之位置上。外延沈積程序可接著被執行而利用一種用來製造源極和汲極區之材料以填充該些凹陷。於某些實施方式中，源極和汲極區可使用諸如矽鍺或碳化矽等矽合金來製造。於某些實施方式中，外延地沈積的矽合金可被原處摻雜以諸如硼、砷、或磷等摻雜物。於進一步實施例中，源極和汲極區可使用一或更多替代的半導體材料（諸如鍺）或 III-V 族材料或合金而被形成。且於進一步實施例中，一或更多層金屬及/或金屬合金可被用以形成源極和汲極區。

一或更多層間電介質（ILD）被沈積於 MOS 電晶體之上。ILD 層可使用已知其在積體電路結構中之可應用性的電介質材料而被形成，諸如低 k 電介質材料。可被使用之電介質材料的範例包括（但不限定於）氧化矽（ SiO_2 ）、碳摻雜的氧化物（CDO）、氮化矽、有機聚合物（諸如全氟環丁烷或聚四氟乙烯）、氟矽酸鹽玻璃（FSG）、及有機矽酸鹽（諸如半矽氧烷、矽氧烷、或有機矽酸鹽玻璃）。ILD 層可包括孔洞或空氣間隙以進一步減少其電介質常數。

圖 39 闡明其包括本發明之一或更多實施例的插入器 3900。插入器 3900 為中間基底，用以橋接第一基底 3902 至第二基底 3904。第一基底 3902 可為（例如）積體電路晶粒。第二基底 3904 可為（例如）記憶體模組、電腦主

機板、或其他積體電路晶粒。通常，插入器 3900 之目的係為了將連接延伸至較寬的節距或者將連接重新路由至不同連接。例如，插入器 3900 可將積體電路晶粒耦合至球柵陣列（BGA）3906，其可後續地被耦合至第二基底 3904。於某些實施例中，第一及第二基底 3902/3904 被安裝至插入器 3900 之相反側。於其他實施例中，第一及第二基底 3902/3904 被安裝至插入器 3900 之相同側。以及於進一步實施例中，三或更多基底係經由插入器 3900 而被互連。

插入器 3900 可由以下所形成：環氧樹脂、玻璃纖維強化環氧樹脂、陶瓷材料、或聚合物材料（諸如聚醯亞胺）。於進一步實施方式中，插入器可由替代的堅硬或彈性材料形成，其可包括用於半導體基底之上述的相同材料，諸如矽、鍺、及其他 III-V 族或 IV 族材料。

插入器可包括金屬互連 3908 及通孔 3910，包括（但不限定於）穿越矽通孔（TSV）3912。插入器 3900 可進一步包括嵌入式裝置 3914，包括被動和主動裝置兩者。此等裝置包括（但不限定於）電容、解耦電容、電阻、電感、熔絲、二極體、變壓器、感應器、及靜電放電（ESD）裝置。諸如射頻（RF）裝置、功率放大器、功率管理裝置、天線、陣列、感應器、及 MEMS 裝置等更複雜的裝置亦可被形成於插入器 3900 上。

依據本發明之實施例，文中所揭露之設備或程序可被用於插入器 3900 之製造。

圖 40 闡明一計算裝置 4000，依據本發明之一實施例。計算裝置 4000 可包括複數組件。於一實施例中，這些組件被安裝至一或更多主機板。於一替代實施例中，這些組件被製造於主機板之外的單一晶片上系統（SoC）晶粒上。計算裝置 4000 中之組件包括（但不限定於）積體電路晶粒 4002 及至少一通訊晶片 4008。於某些實施方式中，通訊晶片 4008 被製造為積體電路晶粒 4002 之部分。積體電路晶粒 4002 可包括 CPU 4004 以及晶粒上記憶體 4006（常被使用為快取記憶體），其可由諸如嵌入式 DRAM（eDRAM）或自旋力矩轉移記憶體（STTM 或 STTM-RAM）等技術所提供。

計算裝置 4000 可包括其他組件，其可被或可不被實體地及電氣地耦合至主機板或者被製造於 SoC 晶粒內。這些其他組件包括（但不限定於）揮發性記憶體 4010（例如，DRAM）、非揮發性記憶體 4012（例如，ROM 或快閃記憶體）、圖形處理單元 4014（GPU）、數位信號處理器 4016、密碼處理器 4042（一種執行硬體內之密碼演算法的特殊化處理器）、晶片組 4020、天線 4022、顯示或觸控式螢幕顯示 4024、觸控式螢幕控制器 4026、電池 4029 或其他電源、功率放大器（未顯示）、全球定位系統（GPS）裝置 4028、羅盤 4030、動作共處理器或感應器 4032（其可包括加速計、迴轉儀、及羅盤）、揚聲器 4034、相機 4036、使用者輸入裝置 4038（諸如鍵盤、滑鼠、尖筆、及觸控板）、以及大量儲存裝置 4040（諸如

硬碟機、光碟（CD）、數位多功能光碟（DVD），等等）。

通訊晶片 4008 致能無線通訊，以供資料之轉移至及自計算裝置 4000。術語「無線」及其衍生詞可被用以描述電路、裝置、系統、方法、技術、通訊頻道，等等，其可藉由使用透過非固體媒體之經調變的電磁輻射來傳遞資料。該術語並未暗示其相關裝置不含有任何佈線，雖然於某些實施例中其可能不含有。通訊晶片 4008 可實施數種無線標準或協定之任一者，包括（但不限定於）Wi-Fi（IEEE 802.11 家族）、WiMAX（IEEE 802.16 家族）、IEEE 802.20、長期演進（LTE）、Ev-DO、HSPA+、HSDPA+、HSUPA+、EDGE、GSM、GPRS、CDMA、TDMA、DECT、藍牙、其衍生物，以及其被指定為 3G、4G、5G、及以上的任何其他無線協定。計算裝置 4000 可包括複數通訊晶片 4008。例如，第一通訊晶片 4008 可專用於較短距離無線通訊，諸如 Wi-Fi 及藍牙；而第二通訊晶片 4008 可專用於較長距離無線通訊，諸如 GPS、EDGE、GPRS、CDMA、WiMAX、LTE、Ev-DO 及其他。

計算裝置 4000 之處理器 4004 包括一或更多使用 CEBL 所製造的結構，依據本發明之實施例的實施方式。術語「處理器」可指稱任何裝置或裝置之部分，其處理來自暫存器及/或記憶體之電子資料以將該電子資料轉變為可被儲存於暫存器及/或記憶體中之其他電子資料。

通訊晶片 4008 亦可包括一或更多使用 CEBL 所製造

的結構，依據本發明之實施例的實施方式。

於進一步實施例中，計算裝置 4000 內所包括之另一組件可含有一或更多使用 CEBL 所製造的結構，依據本發明之實施例的實施方式。

於各種實施方式中，計算裝置 4000 可為膝上型電腦、小筆電、筆記型電腦、輕薄型筆電、智慧型手機、輸入板、個人數位助理（PDA）、超輕行動 PC、行動電話、桌上型電腦、伺服器、印表機、掃描器、監視器、機上盒、娛樂控制單元、數位相機、可攜式音樂播放器、或數位錄影機。於進一步實施方式中，計算裝置 4000 可為處理資料之任何其他電子裝置。

闡明本發明的實施方式之上述描述（包括摘要中所述者）不是想要詳盡或者限制本發明之實施例於所揭露的精確形式。雖然本發明之特定實施方式（及範例）被描述於文中以供說明性目的，但於本發明之範圍內的各個同等修改是可能的，如那些熟悉相關技藝人士所將理解者。

可根據上述詳細描述以對本發明做出這些修改。以下申請專利範圍中所使用之術語不應被解讀為限制本發明於說明書及申請專利範圍中所揭露的特定實施方式。反之，本發明之範圍應完全由後附申請專利範圍所判定，該申請專利範圍應依據已建立的申請專利範圍解讀原理來解釋。

於一實施例中，一種用於電子束工具之消除器孔徑陣列（BAA）包括沿著第一方向之第一行開口，該些第一行開口之每一開口均具有摺角角落。BAA 亦包括沿著該第

一方向並交錯自該些第一行開口的第二行開口，該些第二行開口之每一開口均具有摺角角落。該些第一和第二行開口一起形成一具有該第一方向上之節距的陣列。該 BAA 之掃描方向係沿著第二方向、正交於該第一方向。該陣列之該節距係相應於目標型態線之最小節距佈局的一半，以供與該第二方向平行之定向。

於一實施例中，該些第一行開口為在該第一方向對準之第一單行開口，而該些第二行開口為在該第一方向對準之第二單行開口。

於一實施例中，當沿著該第二方向掃描時，該些第一行開口之該些開口稍微地與該些第二行開口之該些開口重疊。

於一實施例中，該些第一和第二行開口為形成於矽之薄片中的第一和第二行孔徑。

於一實施例中，該些第一和第二行孔徑之該些孔徑的一或更多者具有金屬於其周圍。

於一實施例中，該陣列之該節距係相應於約 10 奈米電子束點尺寸節距，而該些目標型態線之該最小節距佈局係約 20 奈米。

於一實施例中，用於電子束工具之消除器孔徑陣列 (BAA) 包括具有沿著第一方向之第一行開口及沿著該第一方向並交錯自該些第一行開口之第二行開口的第一陣列開口，該些第一陣列開口具有第一節距。該些第一陣列開口之每一開口均具有摺角角落。該 BAA 亦包括具有沿著

該第一方向之第三行開口及沿著該第一方向並交錯自該些第三行開口之第四行開口的第二陣列開口，該些第二陣列開口具有第二節距。該些第二陣列開口之每一開口均具有摺角角落。該 BAA 亦包括具有沿著該第一方向之第五行開口及沿著該第一方向並交錯自該些第五行開口之第六行開口的第三陣列開口，該些第三陣列開口具有第三節距。該些第三陣列開口之每一開口均具有摺角角落。該 BAA 之掃描方向係沿著第二方向、正交於該第一方向。該 BAA 之所有開口於該第二方向上與一單向柵格對準，該單向柵格具有該些第一、第二及第三節距之最小者的一半之節距。該些第一、第二、及第三節距為該柵格之該節距的整數倍。

於一實施例中，該些第一行開口為在該第一方向上對準之第一單行開口，該些第二行開口為在該第一方向上對準之第二單行開口，該些第三行開口為在該第一方向上對準之第三單行開口，該些第四行開口為在該第一方向上對準之第四單行開口，該些第五行開口為在該第一方向上對準之第五單行開口，以及該些第六行開口為在該第一方向上對準之第六單行開口。

於一實施例中，該柵格之該節距為 10 nm，該第一節距為 20 nm，該第二節距為 30 nm，而該第三節距為 40。

於一實施例中，當沿著該第二方向而掃描時，該些第一行開口之該些開口與該些第二行開口之該些開口稍微地重疊，該些第三行開口之該些開口與該些第四行開口之該

些開口稍微地重疊，以及該些第五行開口之該些開口與該些第六行開口之該些開口稍微地重疊。

於一實施例中，該些第一、第二、及第三陣列開口為形成於矽之薄片中的第一、第二、及第三陣列孔徑。

於一實施例中，該些第一、第二、及第三陣列孔徑之一或更多者具有金屬於其周圍。

於一實施例中，一種用於電子束工具之消除器孔徑陣列（BAA）包括沿著第一方向並具有節距之第一行開口。該些第一行開口之每一開口均具有摺角角落。該 BAA 亦包括沿著該第一方向並交錯自該些第一行開口之第二行開口。該些第二行開口具有該節距。該些第二行開口之每一開口均具有摺角角落。該 BAA 之掃描方向係沿著第二方向、正交於該第一方向。

於一實施例中，該些第一行開口為在該第一方向對準之第一單行開口，而該些第二行開口為在該第一方向對準之第二單行開口。

於一實施例中，該些第一行開口之該節距係相應於目標型態線之節距的兩倍，以供與該第二方向平行之定向。

於一實施例中，該些目標型態線之該節距為該些目標型態線之線寬度的兩倍。

於一實施例中，當沿著該第二方向掃描時，該些第一行開口之該些開口稍微地與該些第二行開口之該些開口重疊。

於一實施例中，該些第一和第二行開口為形成於矽之

薄片中的第一和第二行孔徑。

於一實施例中，該些第一和第二行孔徑之該些孔徑之一或更多者具有金屬於其周圍。

於一實施例中，一種用於電子束工具之消除器孔徑陣列（BAA）包括第一陣列，其包括沿著第一方向並具有第一節距之第一行開口。第二行開口係沿著該第一方向並交錯自該些第一行開口，該些第二行開口具有該第一節距。該些第一和第二行開口之每一開口均具有摺角角落。該 BAA 亦包括第二陣列，其包括沿著該第一方向並具有第二節距之第三行開口。第四行開口係沿著該第一方向並交錯自該些第三行開口，該些第四行開口具有該第二節距。該些第三和第四行開口之每一開口均具有摺角角落。該 BAA 亦包括第三陣列，其包括沿著該第一方向並具有第三節距之第五行開口。第六行開口係沿著該第一方向並交錯自該些第五行開口，該些第六行開口具有該第三節距。該些第五和第六行開口之每一開口均具有摺角角落。該 BAA 之掃描方向係沿著第二方向、正交於該第一方向。

於一實施例中，該些第一行開口為在該第一方向上對準之第一單行開口，該些第二行開口為在該第一方向上對準之第二單行開口，該些第三行開口為在該第一方向上對準之第三單行開口，該些第四行開口為在該第一方向上對準之第四單行開口，該些第五行開口為在該第一方向上對準之第五單行開口，以及該些第六行開口為在該第一方向上對準之第六單行開口。

於一實施例中，該些第一行開口之該第一節距係相應於目標型態線之第一部分的該第一節距的兩倍，該些第三行開口之該第二節距係相應於該些目標型態線之第二部分的該第二節距的兩倍，以及該些第五行開口之該第三節距係相應於該些目標型態線之第三部分的該第三節距的兩倍，其中該些目標型態線係用於與該第二方向平行之定向。

於一實施例中，該些目標型態線之該第一部分的該第一節距為該些目標型態線之該第一部分的線寬度的兩倍，該些目標型態線之該第二部分的該第二節距為該些目標型態線之該第二部分的線寬度的兩倍，而該些目標型態線之該第三部分的該第三節距為該些目標型態線之該第三部分的線寬度的兩倍。

於一實施例中，當沿著該第二方向而掃描時，該些第一行開口之該些開口與該些第二行開口之該些開口稍微地重疊，該些第三行開口之該些開口與該些第四行開口之該些開口稍微地重疊，以及該些第五行開口之該些開口與該些第六行開口之該些開口稍微地重疊。

於一實施例中，該些第一、第二、第三、第四、第五及第六行開口為形成於矽之薄片中的第一、第二、第三、第四、第五及第六行孔徑，而該些第一、第二、第三、第四、第五及第六行孔徑之一或更多孔徑具有金屬於其周圍。

【符號說明】

- 100：開始結構
- 102：層間電介質（ILD）層
- 104：硬遮罩材料層
- 106：圖案化遮罩
- 108：間隔物
- 110：圖案化硬遮罩
- 400：電子束行
- 402：電子源
- 404：電子之束
- 406：限制孔徑
- 408：照明光學裝置
- 410：輸出束
- 412：狹縫
- 414：薄透鏡
- 416：成型孔徑
- 418：消除器孔徑陣列（BAA）
- 420：部分
- 421：束部分
- 422：最後孔徑
- 424：載台回饋偏轉器
- 426：所得的電子束
- 428：點
- 430：晶圓

432：載台掃描
434：箭號
502：左手邊部分
504：晶粒柵格
506：晶圓
510：右手邊部分
602：相同圖示
604：晶粒區
606：掃描方向
800：水平柵格
802：實線
804：虛線
806：實心方格
808：垂直柵格
810：掃描方向
902：線
904：通孔
906：柵格
908, 910, 912：切割
914：垂直虛線
1002, 1004：通孔
1006：柵格
1102：間隔
1200：晶圓

- 1202 : 晶粒位置
- 1204 : 方盒
- 1300 : 晶圓
- 1302 : 晶粒位置
- 1304 : 實際目標晶圓域
- 1306 : 周邊區域
- 1402 : 內部暗、細虛線方盒
- 1502 : 水平金屬線
- 1504 : 垂直金屬線
- 1506, 1508, 1510 : 節距/寬度
- 1512, 1514, 1516 : 晶片區
- 1602 : 水平金屬線
- 1604 : 垂直金屬線
- 1606, 1608 : 線對
- 1702 : 習知金屬線
- 1800 : 孔徑
- 1802 : 線
- 1804 : 箭號
- 1806 : 邊緣布局誤差 (EPE)
- 1900, 1902 : 非交錯式孔徑
- 1904, 1906 : 線
- 1910 : 2x EPE
- 1912 : 距離需求
- 1914 : 所得間隔

2000 : BAA

2002, 2004 : 行

2006 : 交錯孔徑

2008 : 線

2010 : 方向

2100 : 線

2102 : 開線位置

2104 : 通孔

2106 : 切割

2110 : BAA

2112 : 晶圓行進方向

2150 : 堆疊

2152 : 金屬化層

2154, 2156, 2158, 2160, 2162, 2164, 2166, 2168 : 匹配金屬層

2170, 2172 : 金屬線

2174 : 通孔位置

2200 : 消除器孔徑陣列

2202, 2204, 2206 : 三行

2208 : 孔徑

2210 : 晶圓行進方向

2300 : BAA

2302, 2304, 2306 : 交錯陣列

2308 : 孔徑

- 2310：箭號
- 2400：電子束行
- 2402：偏轉器
- 2404：BAA
- 2450：BAA
- 2452：節距 # 1、切割 # 1
- 2454：節距 # 2、切割 # 2
- 2456：節距 # N、切割 # N
- 2460：狹縫
- 2500：BAA
- 2502, 2504, 2506：交錯陣列
- 2508：孔徑
- 2510：箭號
- 2600：三束交錯孔徑陣列
- 2602：大型線
- 2604：斷裂
- 2606：填入方盒
- 2608：箭號
- 2610：最大孔徑
- 2700：三束交錯孔徑陣列
- 2702：中型線
- 2704：斷裂
- 2706：填入方盒
- 2708：箭號

- 2710：中型孔徑
- 2800：三束交錯孔徑陣列
- 2802：小型線
- 2804：斷裂
- 2806：填入方盒
- 2808：箭號
- 2810：最小孔徑
- 2900：三束交錯孔徑陣列
- 2902：線
- 2904：斷裂
- 2906：填入方盒
- 2908：箭號
- 2910：暗色孔徑
- 2912：亮色 BAA 孔徑
- 2950：固定柵格
- 2960：堆疊
- 2962, 2964, 2966, 2968, 2970, 2972, 2974, 2976：匹配位準
- 2980：1 倍的範例線
- 2982：1.5 倍的範例線
- 2984：3 倍的範例線
- 3000：三束交錯孔徑陣列
- 3002：線
- 3004：斷裂
- 3006：填入方盒

- 3008：箭號
- 3050：第三水平線
- 3052：寬線
- 3054：窄線
- 3056：相同柵格線
- 3060, 3062：孔徑
- 3100：重疊相應孔徑
- 3102, 3104, 3106：線
- 3150：單向柵格
- 3160：描繪軌線
- 3202：不同尺寸線
- 3204：極大線
- 3206：垂直節距佈局
- 3208, 3210, 3212：陣列
- 3214：共同柵格
- 3216：孔徑
- 3218：虛線方盒
- 3302：不同尺寸線
- 3304：通用切割器節距陣列
- 3306：共同柵格
- 3308：交錯方形束開口
- 3310：水平方向
- 3312：線
- 3314：開口

3316：線

3318：開口

3320：陣列群組

3400：通用切割器

3402, 3404：線

3406：頂部線之 EPE

3408：底部線之 EPE

3410：通用切割器孔

3411：1D BAA

3412：開口

3414：線

3415：間隔

3416：載台掃描方向

3418, 3420：相鄰線

3422：隔離上線

3430：第一 1D BAA

3432：線

3434：開口

3436：載台掃描方向

3438, 3440：相鄰線

3442：印刷切割

3444：開口

3446：上隔離線

3450：1D BAA

- 3452：線
- 3454：開口
- 3456：載台掃描方向
- 3458：印刷切割
- 3460：1D BAA
- 3462：線
- 3464：開口
- 3465：摺角角落
- 3466：印刷切割
- 3467：方形角落
- 3470：中心點部分
- 3500：開始結構
- 3502：金屬線
- 3502'：線
- 3504：層間電介質（ILD）線
- 3600：半導體結構或裝置
- 3602：基底
- 3604：突出鱗片部分
- 3605：子鱗片區
- 3606：隔離區
- 3608：閘極線
- 3614：閘極接點
- 3616：閘極接點通孔
- 3650：閘極電極

- 3652：閘極電介質層
- 3654：電介質層蓋層
- 3604A, 3604B：源極和汲極區
- 3660：金屬互連
- 3670：層間電介質堆疊或層
- 3700：計算裝置
- 3702：電路板
- 3704：處理器
- 3706：通訊晶片
- 3800：電腦系統
- 3802：處理器
- 3804：主記憶體
- 3806：靜態記憶體
- 3808：網路介面裝置
- 3810：視頻顯示單元
- 3812：文數輸入裝置
- 3814：游標控制裝置
- 3816：信號產生裝置
- 3818：附屬記憶體
- 3820：網路
- 3822：軟體
- 3832：機器可存取儲存媒體
- 3900：插入器
- 3902：第一基底

- 3904：第二基底
- 3906：球柵陣列（BGA）
- 3908：金屬互連
- 3910：通孔
- 3912：穿越矽通孔（TSV）
- 3914：嵌入式裝置
- 4000：計算裝置
- 4002：積體電路晶粒
- 4004：CPU
- 4006：晶粒上記憶體
- 4008：通訊晶片
- 4010：揮發性記憶體
- 4012：非揮發性記憶體
- 4014：圖形處理單元
- 4016：數位信號處理器
- 4020：晶片組
- 4022：天線
- 4024：顯示或觸控式螢幕顯示
- 4026：觸控式螢幕控制器
- 4028：全球定位系統（GPS）裝置
- 4029：電池
- 4030：羅盤
- 4032：動作共處理器或感應器
- 4034：揚聲器

4036：相機

4038：使用者輸入裝置

4040：大量儲存裝置

4042：密碼處理器

I664657

公告本

發明摘要

※申請案號：104122565

※申請日：104 年 07 月 13 日

※IPC 分類：*H01J 37/09* (2006.01)
H01J 37/317 (2006.01)
H01J 37/04 (2006.01)

【發明名稱】(中文/英文)

用於電子束 (EBEAM) 直寫系統之圓角校正

Corner rounding correction for electron beam (EBEAM) direct write system

【中文】

描述適於互補式電子束微影 (CEBL) 之微影設備以及其相關的方法。於一範例中，一種用於電子束工具之消除器孔徑陣列 (BAA) 包括沿著第一方向之第一行開口，該些第一行開口之每一開口均具有狗耳角落。BAA 亦包括沿著該第一方向並交錯自該些第一行開口的第二行開口，該些第二行開口之每一開口均具有狗耳角落。該些第一和第二行開口一起形成一具有該第一方向上之節距的陣列。該 BAA 之掃描方向係沿著第二方向、正交於該第一方向。該陣列之該節距係相應於目標型態線之最小節距佈局的一半，以供與該第二方向平行之定向。

【 英文 】

Lithographic apparatuses suitable for, and methodologies involving, complementary e-beam lithography (CEBL) are described. In an example, a blanker aperture array (BAA) for an e-beam tool includes a first column of openings along a first direction, each of the openings of the first column of openings having dog-eared corners. The BAA also includes a second column of openings along the first direction and staggered from the first column of openings, each of the openings of the second column of openings having dog-eared corners. The first and second columns of openings together form an array having a pitch in the first direction. A scan direction of the BAA is along a second direction, orthogonal to the first direction. The pitch of the array corresponds to half of a minimal pitch layout of a target pattern of lines for orientation parallel with the second direction.

【代表圖】

【本案指定代表圖】：第(24A)圖。

【本代表圖之符號簡單說明】：

2400：電子束行

2402：偏轉器

2404：BAA

2460：狹縫

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：無

申請專利範圍

1. 一種用於電子束工具之消除器孔徑陣列 (BAA)，該 BAA 包含：

沿著第一方向之第一行開口，該些第一行開口之每一開口均具有摺角角落；及

沿著該第一方向並交錯自該些第一行開口之第二行開口，該些第二行開口之每一開口均具有摺角角落，其中該些第一和第二行開口一起形成一具有該第一方向上之節距的陣列，及其中該 BAA 之掃描方向係沿著第二方向、正交於該第一方向，及其中該陣列之該節距係相應於目標型態線之最小節距佈局的一半，以供與該第二方向平行之定向。

2. 如申請專利範圍第 1 項之 BAA，其中該些第一行開口為在該第一方向對準之第一單行開口，而該些第二行開口為在該第一方向對準之第二單行開口。

3. 如申請專利範圍第 1 項之 BAA，其中當沿著該第二方向掃描時，該些第一行開口之該些開口稍微地與該些第二行開口之該些開口重疊。

4. 如申請專利範圍第 1 項之 BAA，其中該些第一和第二行開口為形成於矽之薄片中的第一和第二行孔徑。

5. 如申請專利範圍第 4 項之 BAA，其中該些第一和第二行孔徑之該些孔徑的一或更多者具有金屬於其周圍。

6. 如申請專利範圍第 1 項之 BAA，其中該陣列之該節距係相應於約 10 奈米電子束點尺寸節距，而該些目標

型態線之該最小節距佈局係約 20 奈米。

7. 一種用於電子束工具之消除器孔徑陣列 (BAA)，該 BAA 包含：

包含有沿著第一方向之第一行開口及沿著該第一方向並交錯自該些第一行開口之第二行開口的第一陣列開口，該些第一陣列開口具有第一節距，且該些第一陣列開口之每一開口均具有摺角角落；

包含有沿著該第一方向之第三行開口及沿著該第一方向並交錯自該些第三行開口之第四行開口的第二陣列開口，該些第二陣列開口具有第二節距，且該些第二陣列開口之每一開口均具有摺角角落；及

包含沿著該第一方向之第五行開口及沿著該第一方向並交錯自該些第五行開口之第六行開口的第三陣列開口，該些第三陣列開口具有第三節距，且該些第三陣列開口之每一開口均具有摺角角落，其中該 BAA 之掃描方向係沿著第二方向、正交於該第一方向，其中該 BAA 之所有開口於該第二方向上與一單向柵格對準，該單向柵格具有該些第一、第二及第三節距之最小者的一半之節距，及其中該些第一、第二、及第三節距為該柵格之該節距的整數倍。

8. 如申請專利範圍第 7 項之 BAA，其中該些第一行開口為在該第一方向上對準之第一單行開口，該些第二行開口為在該第一方向上對準之第二單行開口，該些第三行開口為在該第一方向上對準之第三單行開口，該些第四行

開口為在該第一方向上對準之第四單行開口，該些第五行開口為在該第一方向上對準之第五單行開口，以及該些第六行開口為在該第一方向上對準之第六單行開口。

9. 如申請專利範圍第 7 項之 BAA，其中該柵格之該節距為 10 nm，該第一節距為 20 nm，該第二節距為 30 nm，而該第三節距為 40 nm。

10. 如申請專利範圍第 7 項之 BAA，其中當沿著該第二方向而掃描時，該些第一行開口之該些開口與該些第二行開口之該些開口稍微地重疊，該些第三行開口之該些開口與該些第四行開口之該些開口稍微地重疊，以及該些第五行開口之該些開口與該些第六行開口之該些開口稍微地重疊。

11. 如申請專利範圍第 7 項之 BAA，其中該些第一、第二、及第三陣列開口為形成於矽之薄片中的第一、第二、及第三陣列孔徑。

12. 如申請專利範圍第 11 項之 BAA，其中該些第一、第二、及第三陣列孔徑之一或更多者具有金屬於其周圍。

13. 一種用於電子束工具之消除器孔徑陣列 (BAA)，該 BAA 包含：

沿著第一方向並具有節距之第一行開口，該些第一行開口之每一開口均具有摺角角落；及

沿著該第一方向並交錯自該些第一行開口之第二行開口，該些第二行開口具有該節距，且該些第二行開口之每

一開口均具有摺角角落，其中該 BAA 之掃描方向係沿著第二方向、正交於該第一方向；

其中該節距係相應於目標型態線之最小節距佈局的一半。

14. 如申請專利範圍第 13 項之 BAA，其中該些第一行開口為在該第一方向對準之第一單行開口，而該些第二行開口為在該第一方向對準之第二單行開口。

15. 如申請專利範圍第 13 項之 BAA，其中該些第一行開口之該節距係相應於目標型態線之節距的兩倍，以供與該第二方向平行之定向。

16. 如申請專利範圍第 15 項之 BAA，其中該些目標型態線之該節距為該些目標型態線之線寬度的兩倍。

17. 如申請專利範圍第 13 項之 BAA，其中當沿著該第二方向掃描時，該些第一行開口之該些開口稍微地與該些第二行開口之該些開口重疊。

18. 如申請專利範圍第 13 項之 BAA，其中該些第一和第二行開口為形成於矽之薄片中的第一和第二行孔徑。

19. 如申請專利範圍第 18 項之 BAA，其中該些第一和第二行孔徑之該些孔徑的一或更多者具有金屬於其周圍。

20. 一種用於電子束工具之消除器孔徑陣列 (BAA)，該 BAA 包含：

第一陣列，其包含沿著第一方向並具有第一節距之第一行開口、及包含沿著該第一方向並交錯自該些第一行開

口之第二行開口，該些第二行開口具有該第一節距，該些第一和第二行開口之每一開口均具有摺角角落；

第二陣列，其包含沿著該第一方向並具有第二節距之第三行開口、及包含沿著該第一方向並交錯自該些第三行開口之第四行開口，該些第四行開口具有該第二節距，該些第三和第四行開口之每一開口均具有摺角角落；及

第三陣列，其包含沿著該第一方向並具有第三節距之第五行開口、及包含沿著該第一方向並交錯自該些第五行開口之第六行開口，該些第六行開口具有該第三節距，該些第五和第六行開口之每一開口均具有摺角角落，其中該 BAA 之掃描方向係沿著第二方向、正交於該第一方向，其中該 BAA 之所有開口於該第二方向上與一單向柵格對準，該單向柵格具有該些第一、第二及第三節距之最小者的一半之節距。

21. 如申請專利範圍第 20 項之 BAA，其中該些第一行開口為在該第一方向上對準之第一單行開口，該些第二行開口為在該第一方向上對準之第二單行開口，該些第三行開口為在該第一方向上對準之第三單行開口，該些第四行開口為在該第一方向上對準之第四單行開口，該些第五行開口為在該第一方向上對準之第五單行開口，以及該些第六行開口為在該第一方向上對準之第六單行開口。

22. 如申請專利範圍第 20 項之 BAA，其中該些第一行開口之該第一節距係相應於目標型態線之第一部分的該第一節距的兩倍，該些第三行開口之該第二節距係相應於

該些目標型態線之第二部分的該第二節距的兩倍，以及該些第五行開口之該第三節距係相應於該些目標型態線之第三部分的該第三節距的兩倍，其中該些目標型態線係用於與該第二方向平行之定向。

23. 如申請專利範圍第 22 項之 BAA，其中該些目標型態線之該第一部分的該第一節距為該些目標型態線之該第一部分的線寬度的兩倍，該些目標型態線之該第二部分的該第二節距為該些目標型態線之該第二部分的線寬度的兩倍，而該些目標型態線之該第三部分的該第三節距為該些目標型態線之該第三部分的線寬度的兩倍。

24. 如申請專利範圍第 20 項之 BAA，其中當沿著該第二方向而掃描時，該些第一行開口之該些開口與該些第二行開口之該些開口稍微地重疊，該些第三行開口之該些開口與該些第四行開口之該些開口稍微地重疊，以及該些第五行開口之該些開口與該些第六行開口之該些開口稍微地重疊。

25. 如申請專利範圍第 20 項之 BAA，其中該些第一、第二、第三、第四、第五及第六行開口為形成於矽之薄片中的第一、第二、第三、第四、第五及第六行孔徑，及其中該些第一、第二、第三、第四、第五及第六行孔徑之一或更多孔徑具有金屬於其周圍。