



(12) 发明专利申请

(10) 申请公布号 CN 104428895 A

(43) 申请公布日 2015. 03. 18

(21) 申请号 201380033756. X

(51) Int. Cl.

(22) 申请日 2013. 06. 27

H01L 27/108(2006. 01)

(30) 优先权数据

H01L 21/8242(2006. 01)

13/534, 865 2012. 06. 27 US

(85) PCT国际申请进入国家阶段日

2014. 12. 25

(86) PCT国际申请的申请数据

PCT/US2013/048139 2013. 06. 27

(87) PCT国际申请的公布数据

W02014/004797 EN 2014. 01. 03

(71) 申请人 德克萨斯仪器股份有限公司

地址 美国德克萨斯州

(72) 发明人 K·刘 A·查特吉 I·M·卡恩

(74) 专利代理机构 北京纪凯知识产权代理有限公司

公司 11245

代理人 赵蓉民

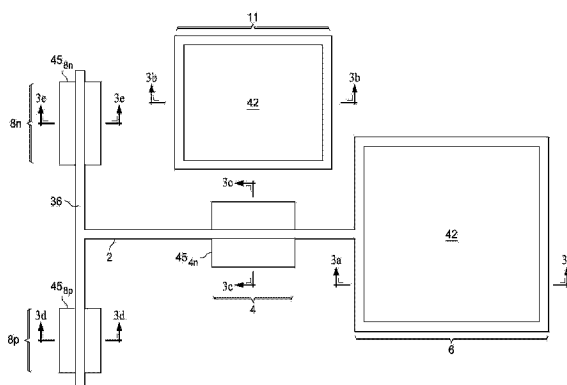
权利要求书3页 说明书10页 附图7页

(54) 发明名称

具有数据保持浮栅电容器的硅化集成电路

(57) 摘要

一种集成电路中的模拟浮栅电极 (2) 以及制造它的方法, 在其中俘获的电荷可以被长时间地存储。模拟浮栅电极 (2) 被形成在多晶硅栅层级中, 并且包括用作晶体管 (4) 的栅电极、金属-多晶存储电容器 (6) 的极板以及多晶-有源区隧穿电容器 (8n, 8p) 的极板的部分。由在顶层氮化硅下面的二氧化硅层组成的硅化物阻挡薄膜阻挡在电极 (2) 上形成硅化物包层, 同时集成电路中的其他多晶硅结构, 例如多晶硅-金属电容器 (11) 被硅化物外覆。在硅化之后, 在剩余的多晶硅结构上方淀积电容器电介质, 之后形成上金属极板。



1. 一种在体区的半导体表面形成的集成电路,其包括用于模拟半导体集成电路的电可编程电容器结构,所述集成电路包括:

第一多晶硅电极;

在所述第一多晶硅电极上方设置的硅化物阻挡薄膜,所述硅化物阻挡薄膜包括在氮化硅层下面的二氧化硅层;

在所述硅化物阻挡薄膜上方设置的电容器电介质薄膜,其与所述硅化物阻挡薄膜的所述氮化硅层直接接触;

第一导电电极板,其包括金属并且在导体层级中形成,所述第一导电电极板设置在所述第一多晶硅电极的第一部分上方,所述电容器电介质薄膜在它们之间;

第二多晶硅电极,其至少一部分外覆有通过直接反应形成的金属硅化物,并且所述第二多晶硅电极由与所述第一多晶硅电极相同的多晶硅层形成;以及

第二导电电极板,其包括金属并且在所述导体层级中形成,所述第二导电电极板设置在所述第二多晶硅电极的外覆部分上方,所述电容器电介质薄膜在它们之间,所述电容器电介质薄膜与所述第二多晶硅电极的外覆部分直接接触。

2. 根据权利要求1所述的集成电路,其中所述第一导电电极板和所述第二导电电极板由金属氮化物组成。

3. 根据权利要求2所述的集成电路,其中所述金属氮化物是氮化钽。

4. 根据权利要求1所述的集成电路,其中所述金属硅化物是硅化钴。

5. 根据权利要求1所述的集成电路,其中所述电容器电介质薄膜包括:

第一层氮化硅;

覆盖在所述第一层氮化硅上面的第一层二氧化硅;

覆盖在所述第一层二氧化硅上面的第二层氮化硅。

6. 根据权利要求5所述的集成电路,其中所述电容器电介质薄膜的所述第一层氮化硅直接覆盖在所述硅化物阻挡薄膜的所述氮化硅层上面。

7. 根据权利要求1所述的集成电路,进一步包括:

半导体表面的第一有源区和第二有源区;

设置在所述半导体表面的所述第一有源区和所述第二有源区上方的栅电介质薄膜;

形成在所述第二有源区中的源极和漏极掺杂的区域;

其中所述第一多晶硅电极具有在所述第一有源区上方延伸的第二部分,所述栅电介质薄膜设置在它们之间,以形成第一隧道式电容器;

并且其中所述第一多晶硅电极具有在所述源极和漏极掺杂的区域之间的半导体表面上方延伸的第三部分,用作晶体管栅电极。

8. 根据权利要求7所述的集成电路,进一步包括所述半导体表面的第三有源区;并且其中所述第一多晶硅电极具有在所述第三有源区上方延伸的第四部分,所述栅电介质薄膜设置在它们之间,以形成第二隧道式电容器。

9. 一种制造用于模拟半导体集成电路的电可编程的电容器结构的方法,所述模拟半导体集成电路在体区的半导体表面处形成,所述方法包括以下步骤:

在所述半导体表面的选定位置处形成隔离电介质结构,所述隔离电介质结构定义在它们之间的表面的有源区;

接着全面形成由多晶硅组成的电极层；

接着在所述电极层上淀积硅化物阻挡薄膜，所述硅化物阻挡薄膜包括在第一层氮化硅下面的第一层二氧化硅；

从所述电极层的一部分选择性地去除所述硅化物阻挡薄膜，使得所述硅化物阻挡薄膜保留在所述电极层的对应于第一电极的一部分上方，所述第一层氮化硅位于暴露的表面处，并且从所述电极层的对应于第二电极的一部分去除所述硅化物阻挡薄膜；

接着使所述多晶硅电极层的暴露部分，包括对应于所述第二电极的那部分，与金属反应，从而形成金属硅化物；

接着全面淀积电容器电介质薄膜；

接着淀积包含金属的导体层；以及

去除所述导体层的选定部分，以在覆盖在隔离电介质结构上面的位置处定义覆盖在所述第一电极的一部分上面的第一导电电极板，所述电容器电介质薄膜和所述硅化物阻挡薄膜在它们之间，并且定义覆盖在所述第二电极的一部分上面的第二导电电极板，所述电容器电介质薄膜在它们之间。

10. 根据权利要求 9 所述的方法，进一步包括，在选择性去除所述硅化物阻挡薄膜的步骤之后并且在反应步骤之前，全面形成所述金属的层。

11. 根据权利要求 10 所述的方法，进一步包括在反应步骤之后，去除所述金属的非硅化部分。

12. 根据权利要求 10 所述的方法，进一步包括，在选择性去除所述硅化物阻挡薄膜的步骤之后并且在形成金属层的步骤之前，执行表面清洗。

13. 根据权利要求 9 所述的方法，进一步包括，在淀积所述硅化物阻挡层的步骤之前，去除所述电极层的选定部分，以定义所述第一电极和所述第二电极，所述第一电极包括覆盖在隔离电介质结构上面的部分。

14. 根据权利要求 13 所述的方法，其中淀积所述硅化物阻挡层的步骤包括：

在所述第一电极和所述第二电极上方形成所述第一层二氧化硅；以及

在所述第一层二氧化硅上方淀积所述第一层氮化硅；

其中选择性去除步骤从所述第二电极去除所述第一层二氧化硅和所述第一层氮化硅，使得所述第一层二氧化硅和所述第一层氮化硅保留在所述第一电极上方。

15. 根据权利要求 14 所述的方法，进一步包括，在形成所述第一层二氧化硅的步骤之后，对所述第一层二氧化硅进行退火。

16. 根据权利要求 9 所述的方法，其中所述导体层包括氮化钽。

17. 根据权利要求 9 所述的方法，其中反应步骤使所述第二电极的多晶硅与钴反应，以形成硅化钴。

18. 根据权利要求 9 所述的方法，进一步包括：

在所述有源区上方形成栅电介质层；

第一电极具有覆盖在有源区上方的多个部分；

在所述第一电极的覆盖在第一有源区上面的一部分的相对两侧上形成源极区和漏极区。

19. 根据权利要求 18 所述的方法，其中所述第一电极的至少一部分覆盖在第二有源区

和第三有源区上面，

并且其中形成源极区和漏极区的步骤还在所述第一电极的覆盖在所述第二有源区和所述第三有源区上面的一部分的相对两侧上形成源极区和漏极区。

20. 根据权利要求 9 所述的方法，其中淀积所述电容器电介质薄膜的步骤包括：

全面淀积第二层氮化硅；

接着全面淀积第二层二氧化硅；以及

接着全面淀积第三层氮化硅。

具有数据保持浮栅电容器的硅化集成电路

技术领域

[0001] 本发明涉及半导体集成电路,并且更具体地涉及包括限定模拟电压水平的电容器结构的集成电路。

背景技术

[0002] 一种重要的半导体集成电路类型是实现模拟电路功能的电路,在其中输入和输出信号以及信息在模拟域中进行通信和处理。通常,模拟集成电路功能依赖于芯片上所建立和调节的基准电平(电压和电流)。模拟集成电路的正常运行,尤其在电源电压、温度以及其他运行条件变化下的此类运行,通常决定性地取决于基准电压和电流在此类变化下的稳定性。然而,集成电路的物理参数中所反映的制造变化会影响这些集成电路中所生成的基准电平。因此,许多模拟集成电路包括“修整(trim)”或者调整片上精确基准电路以及这些集成电路内的其他电路功能的某些能力。修整通常是在对所制造的原始电路进行电气测量或者其他性能评估之后,在制造时执行的。

[0003] 最近,可编程非易失性存储器元件已经被考虑用作修整元件,例如,代替熔丝或者反熔丝。这些非易失性存储器元件的示例包括浮栅金属氧化物半导体(MOS)晶体管,在其中晶体管的状态由浮栅电极(例如,悬浮的电容器极板)处所俘获的电荷来定义。对器件进行编程是通过诸如Fowler-Nordheim隧穿和热载流子注入这样的机制来完成的。对浮栅结构进行编程作为修整技术是吸引人的,这是由于根据现代编程方法对电荷编程可以达到的精度,并且还因为编程操作可以以纯电方式执行。

[0004] 然而,考虑到修整可能仅在制造时被执行,通过浮栅元件修整电路参数要求将所俘获的电荷保持在浮栅处持续器件的生命周期。模拟集成电路中的常规电容器电介质电薄膜已经被观察到随时间表现出某种程度的漏电。这种常规的电容器电介质的示例是由等离子体增强化学气相淀积(PECVD)所淀积的氮化硅。因此,在常规的模拟电路中使用浮栅电容器技术将需要额外的昂贵的工艺,例如,具体针对可编程电容器淀积电介质薄膜,淀积和图形化额外的导体层等。

[0005] Ahuja等人在J. Solid-State Circ.,卷40,12号(IEEE,2005年12月),PP. 2364-72中发表的“A Very High Precision 500-nA CMOS Floating-Gate Analog Voltage Reference”描述了在精密模拟基准电路中使用浮栅技术。在这篇文章中,浮栅器件被构造为双层级多晶硅器件。两个多晶硅层级之间的隧穿区域被形成为400Å的二氧化硅薄膜。考虑到淀积单独的隧穿氧化物薄膜的要求,实现该结构的制造工艺被认为是相对昂贵的。另外,这种方法使用相对厚的隧穿氧化物薄膜,这导致每单元面积相对小的电容。

[0006] 在2011年3月23日提交的题目为“Low Leakage Capacitor for Analog Floating-Gate Integrated Circuits”的共同未决和共同受让的美国申请13/070,222通过引用合并在此,该申请描述了集成电路中的模拟浮栅电极。如在此所描述的,模拟浮栅电极被形成为单一多晶硅栅元件,其各部分用作晶体管栅电极、金属-多晶存储电容器极板、以及多晶-有源区隧穿电容器极板。硅化物阻挡二氧化硅阻挡了电极上硅化物外覆的形

成,而集成电路中的其他多晶硅结构是硅化物外覆的。

发明内容

[0007] 所描述的实施例提供了用于模拟电路的可编程浮栅元件及其制作方法,在其中鉴于模拟制造工艺流程中的后续工艺,该元件具有鲁棒的数据保持能力。

[0008] 实施例提供这种元件和方法,在其中浮栅元件包括随时间表现出低漏电的电容器极板。

[0009] 实施例提供这种元件和方法,在其中在同一集成电路中形成的众多电容器之间以及众多集成电路之间,提供一致的数据保持能力。

[0010] 实施例提供这种元件和方法,在其中其极板与浮栅元件在同一层级的其他电容器具有每单位面积的高电容。

[0011] 实施例提供与高电压电路应用兼容的这种元件和方法。

[0012] 实施例可以被实现到如下集成电路及其制作方法中,该集成电路包括多晶硅栅电极和电容器极板外覆有金属硅化物(例如,硅化钴)的高性能电路。在这种集成电路中,硅化物阻挡薄膜保护在同一多晶硅栅层级中的浮栅电极免于直接反应硅化。浮栅电极的一部分覆盖在有源区上面,二者之间具有栅电介质,并且浮栅电极的这部分用作存储电容器的极板,存储电容器的另一极板由金属或者金属氮化物极板形成,在两极板之间具有硅阻挡薄膜和另一电介质薄膜。硅化物阻挡薄膜包括在顶层氮化硅下面的二氧化硅层;从高性能电路电容器的多晶硅极板去除硅化物阻挡薄膜。在对高性能电路电容器的多晶硅极板进行硅化之后,在硅化的多晶硅极板和存储电容器极板的硅化物阻挡薄膜上方形成电容器电介质薄膜。金属或者金属化合物元素形成这两个电容器的顶极板,使得存储电容器具有覆盖在非硅化的多晶硅极板上面的硅化物阻挡薄膜和电容器电介质薄膜的电介质,并且高性能电路电容器具有覆盖在硅化的多晶硅极板上面的电容器电介质薄膜的电介质。

附图说明

[0013] 图 1 是根据本发明的原理所构造的可编程浮栅器件的原理图。

[0014] 图 2 是图 1 所示的器件的物理结构的平面图。

[0015] 图 3a-3e 是图 2 的器件的横截面图。

[0016] 图 4 是图 3a 的器件的一部分的详细视图。

[0017] 图 5 是示出用于制造图 2-3e 的器件的示例方法的流程图。

[0018] 图 6 是与图 2 的器件中的硅化物阻挡薄膜和电容器电介质对应的能带图。

具体实施方式

[0019] 示例实施例被描述为有利地实现于能够在制造之后被可编程地调整的模拟电路中。相同的原理可以在其他电路和结构应用中实现,包括具有“快闪”或“非快闪”类型的电可擦除可编程只读存储器(EEPROM)功能的集成电路中。

[0020] 图 1 根据示例实施例示意地描述包括模拟浮栅电极 2 的电路。在这个示例中,模拟浮栅电极 2 是服务多种功能的单个电极。电极 2 用作金属氧化物半导体(MOS)晶体管 4 的栅电极,并且用作存储电容器 6 的第一极板。晶体管 4 可以在模拟电路或者其他功能(例

如,放大器等)的输入处。存储电容器 6 的第二极板耦合到基准电压,在该示例中即为地。在操作中,存储电容器 6 两端所存储的电压确定 MOS 晶体管 4 的栅极处的电压,并且因此对于给定的漏源偏置,确定晶体管 4 在漏极 D 和源极 S 之间传导的程度。

[0021] 模拟浮栅电极 2 可以通过隧道式电容器 8p、8n 被编程为特定的模拟状态。模拟浮栅电极 2 还用作隧道式电容器 8p、8n 中的每个的第一极板。在这个示例中,隧道式电容器 8p 的第二极板连接到端子 TP,而隧道式电容器 8n 的第二极板连接到端子 TN。隧道式电容器 8p、8n 的电容器电介质被预期为相对薄,从而允许诸如 Fowler-Nordheim 隧穿的机制根据偏置在端子 TP、TN 和模拟浮栅电极 2 之间转移电荷。

[0022] 在操作中,通过相对于端子 TP 处的电压和存储电容器 6 的相对极板处的地基准电压将合适的负电压施加到端子 TN,由此电子隧穿通过隧道式电容器 8n 而对模拟浮栅电极 2 进行编程。对于完全编程水平,这种“编程”脉冲的示例是在端子 TN 处相对于端子 TP 和地大约 -11 伏的电压,持续 20msec 的量级。电容器 8n、8p、6 构成的分压器将使大部分该电压出现在隧道式电容器 8n 两端,从而使电子能够隧穿通过其电容器电介质到达模拟浮栅电极 2。考虑到在模拟浮栅电极 2 和任何其他电路元件之间没有直接(即,DC)连接,这些电子将保持被俘获在模拟浮栅电极 2 处。相反地,在相对于端子 TN 和存储电容器 6 的相对极板处的地基准电压将合适的正电压施加在端子 TP 处之后,电子隧穿通过隧道式电容器 8p 到达端子 TP,由此可以将电子从模拟浮栅电极 2 去除。电容器 8n、8p、6 构成的分压器将使大部分该电压出现在隧道式电容器 8p 两端,从而使电子能够从模拟浮栅电极 2 隧穿通过其电容器电介质。为了去除完全编程水平,这种“擦除”脉冲的示例是在端子 TP 处相对于端子 TN 和地大约 +11 伏的电压,持续 20msec 的量级。编程脉冲和擦除脉冲的持续时间可以被调整,以精确地设置模拟浮栅电极 2 处的电荷状态。在模拟浮栅电极 2 处所俘获的电荷将由此定义存储电容器 6 两端的电压,并且由此定义 MOS 晶体管 4 的栅极处的电压。因此,隧道式电容器 8p、8n 能够精确地设置模拟浮栅电极 2 处的电荷,并且因此精确地调整包括 MOS 晶体管 4 的电路的模拟状态。

[0023] 模拟浮栅结构可以被有利地实现在各种电路环境中,包括基准电压电路、可编程门阵列结构、对数字电路中的模拟电路和基准电路的修整能力、电平移位电路、多比特 EEPROM 存储器单元(即,在其中每个浮栅存储器单元能够存储中间电平)等。

[0024] 图 2 示出图 1 所示的模拟浮栅结构的示例版图。图 3a-3e 给出图 2 所示的各种元件的横截面细节。在具有多个模拟浮栅电极的电路中,每个电极可以以相似的方式构造。这些描绘(包括相对的长度、宽度等)并非按照比例进行。

[0025] 模拟浮栅电极 2 可以由多晶硅元件 36 构造,多晶硅元件在半导体晶圆的表面上(或者在绝缘体上硅的情况下,在半导体表面层上)延伸,到达多个器件或者部件。多晶硅元件 36 通常被掺杂为期望的导电类型和浓度,以在期望的程度上传导。为了 n 沟道 MOS 晶体管 4 以及隧道式电容器 8p、8n,对多晶硅元件 36 进行 n 型掺杂是优选的。

[0026] 多晶硅元件 36 在一端处具有加宽部分,用作存储电容器 6 的下极板。如图 3a 所示,多晶硅元件 36 的下极板部分覆盖在隔离电介质结构 35 上面,隔离电介质结构 35 通常由淀积到先前刻蚀到半导体表面中的浅沟槽的二氧化硅组成。栅极电介质 37 例如由淀积的二氧化硅形成,并且被设置在隔离电介质结构 35 的表面和多晶硅元件 36 之间。在这个示例中,形成隔离电介质结构 35 所处的表面是 P 型硅衬底的顶表面。存储电容器 6 的上极

板由氮化钽 (TaN) 极板 42 形成,其覆盖在该位置处的多晶硅元件 36 的加宽部分上面。在这个实施例中,电容器电介质由设置在多晶硅元件 36 的顶表面处的硅化物阻挡薄膜 38 形成,其中电容器电介质层 40 被设置在二氧化硅层 38 的上方。氮化硅元件 39 在硅化物阻挡薄膜 38 的下面沿着多晶硅元件 36 的侧壁设置。

[0027] 许多集成电路被构造为在某些硅结构处(例如,晶体管栅电极和多晶硅互连)包括金属硅化物包层/外覆(clad),以改善这些结构的导电性。常规地,这种金属硅化物包层是通过如下方式执行的:使淀积在要被硅化物外覆的硅结构上方的金属(例如,钴、钛、钨、钽)直接反应,之后通过高温退火,使所淀积的金属与下面的硅反应。接着,执行刻蚀,以从金属未与下面的硅接触的那些位置(例如,隔离电介质结构 35 或者栅电介质 37 上方)去除未反应的金属。电介质材料可以先前被整体淀积,并且经历图形化刻蚀,使得特定的硅位置(例如,多晶硅元件 36 的形成模拟浮栅电极 2 的部分(图 2))将不会被硅化物外覆。在这个实施例中,该电介质材料由硅化物阻挡薄膜 38 构成。

[0028] 电容器 11(图 2 和图 3b)被示为与模拟浮栅电极 2 在同一集成电路中的元件,但是未电连接到模拟浮栅电极 2。电容器 11 可以例如用作含有模拟浮栅电极 2 的同一电路内或者另一电路中的电容器。电容器 11 的下极板由覆盖在隔离电介质结构 35 和栅电介质 37(图 3b)上面的多晶硅元件 36 的另一实例形成。然而,在电容器 11 的这个实例中,不存在硅化物阻挡薄膜 38,因为其已经从多晶硅元件 36 被去除。因此,在多晶硅元件 36 上方形成了金属硅化物 44,从而消耗了一些多晶硅元件 36。侧壁氮化物元件 39 阻止金属硅化物 44 在多晶硅元件 36 的侧壁上形成。电容器电介质层 40 被设置在金属硅化物 44 上方,金属氮化物极板 42 被淀积在金属硅化物 44 上方并进行图形化,如图所示。根据以下进一步描述的实施例,电容器电介质层 40 可以由氮化硅、二氧化硅或者二者的组合形成;替换地,可以使用其他电介质材料作为电容器电介质层 40 的一部分或者全部。

[0029] 在模拟浮栅电极 2 的表面处形成金属硅化物 44 并不有助于长期保持电荷。未反应的金属的一些残留物(或者在某些情况下,在所淀积的金属和发生直接反应所在的环境的气体成分之间的金属氮化物或者其他反应产物)经常保留在晶体管栅极、电容器极板等处的与金属硅化物 44 结构邻近的位置处。在许多情况下,这些残留物会至少部分地导电,即使它们是难以觉察地薄或者仅作为细丝存在。对于涉及集成电路的切换操作的元件,例如,晶体管的栅极和互连,这些残留物的导电性通常足够差,使得任何有害的影响不能被测量到或者注意到,尤其是相对于硅化物外覆的栅层级结构的导电性的显著增加。但是,在上述模拟浮栅功能中,制造时设定修整电平或者基准电平意图在集成电路的有用寿命期间保持稳定。在模拟浮栅结构中,在硅化物外覆的多晶硅电容器极板处所俘获的电荷易受长期漏电的损害。该电荷的损失将当然地改变电路的依赖于在这种结构下对电荷的编程调整或者设定的操作。

[0030] 如在 2011 年 3 月 23 日提交的、题目为“Low Leakage Capacitor for Analog Floating-Gate Integrated Circuits”的美国申请 13/070,222(美国专利公布号 2012/0241829)(其通过引用合并于此)中所描述的,二氧化硅层被用作模拟浮栅结构上方的硅化物阻挡薄膜,并且从意在被硅化的这些多晶硅结构选择性地去除。针对硅化物阻挡薄膜所考虑的另一方法使用 O-N-O 薄膜,其中下两层由沿多晶硅栅结构定义侧壁细丝的同薄膜形成;在这个方法中,二氧化硅用作该硅化物阻挡薄膜的顶层。这些方法允许在同一

集成电路中的某些硅结构上实现硅化物外覆,同时还能够使电荷长期保持在同一集成电路中的模拟浮栅结构处。

[0031] 在无关的多晶硅结构(例如,图2的电容器11)的硅化中所涉及的一些后续工艺步骤会使覆盖在多晶硅元件36上面的硅化物阻挡薄膜中的暴露的二氧化硅退化。例如,在这段时间期间,由于二氧化硅的硅化物阻挡薄膜保留在多晶硅元件36的要被保护免于硅化的那些部分,因此在淀积硅化物金属之前,对要被硅化的多晶硅的暴露部分进行溅射清洗。在硅化后,执行化学剥离,以去除未反应的硅化物金属,包括在诸如覆盖在二氧化硅的硅化物阻挡薄膜自身上面的位置处。在某些情况下,要求重新进行硅化工艺,从而导致这些清洗和剥离工艺被重复。已经观察到,这些工艺中的每一个使覆盖在最终模拟浮栅电极上面的二氧化硅的硅化物阻挡薄膜变薄。因为二氧化硅的硅化物阻挡薄膜是存储电容器的电容器电介质的一部分,这种变薄会使模拟浮栅结构的长期数据保持性能退化。

[0032] 鉴于二氧化硅的硅化物阻挡薄膜的这种变薄,为了确保模拟浮栅结构的足够的数据保持性能,现有方法已经考虑增加后续的(即,硅化后)电容器电介质薄膜的厚度,该电容器电介质薄膜将覆盖在剩余的二氧化硅的硅化物阻挡薄膜上面,并且还将用作无关的硅化的多晶-金属电容器(例如,图2的电容器11)的电容器电介质。不幸的是,电容器电介质厚度的这个增加减小了硅化的多晶-金属电容器的得到的电容,从而降低了那些结构的电路性能。在模拟浮栅结构的数据保持和硅化的多晶-金属电容器的电容之间的这种“联动(linkage)”由此阻止了对这些参数中的每一个进行优化,从而电路设计者和工艺工程师这一方需要进行折中。此外,由于清洗和剥离的时序和工艺的变化,以及重新进行的可能性,变薄效果会随晶圆不同而变化,所以数据保持性能和电容性能在一大批制造的集成电路之间会变化很大。

[0033] 因此,根据这个实施例,硅化物阻挡薄膜38被构造为包括覆盖在二氧化硅层上面的顶层氮化硅。如以下将详细描述的,氮化硅用于防止硅化物阻挡薄膜38被后续的工艺(例如,直接反应硅化所涉及的那些工艺)减薄。此外,硅化物阻挡薄膜38的这种构造允许其优化独立于集成电路中其他地方的硅化的多晶-金属电容器的电容器电介质层40的优化。因此可以最大化数据保持性能和电路性能两者,而不需要将一个与另一个折中。

[0034] 图4进一步详细示出存储电容器6的一部分,以示出硅化物阻挡薄膜38和电容器电介质层40的构造的示例。在这个示例中,如以上描述的,硅化物阻挡薄膜38和电容器电介质层40被设置在多晶硅36和金属氮化物层42之间。在这个示例中,在多晶硅元件36的表面处存在薄的(例如,大约 $40\text{\AA}$)掺杂的二氧化硅层21,作为整个制造工艺的自然氧化物或者其他副产品。这个掺杂的二氧化硅层21包含存在于下面的多晶硅元件36中的掺杂剂种类,例如,对于n型多晶硅来说是磷或者砷(或两者)。在某些情况下,掺杂的二氧化硅层21可能不存在或者在多晶硅元件36的表面处观察不到。

[0035] 如图4所示,根据这个实施例的硅化物阻挡薄膜38覆盖在多晶硅元件36和(如果存在)掺杂的二氧化硅层21上面。在这个实施例中,硅化物阻挡薄膜38包括覆盖在掺杂的二氧化硅层21上面并且与之邻接的二氧化硅层22。在这个示例中,二氧化硅层22构成硅化物阻挡薄膜38的大部分厚度,并且具有约 $350\text{\AA}$ 的厚度。氮化硅层24覆盖在二氧化硅层22上面,并且在这个示例中,具有约 $150\text{\AA}$ 的初淀积(as-deposited)厚度。硅化物阻挡薄膜38内的二氧化硅层22在其淀积之后并且在氮化硅层24的淀积之前可以被退火。根据

本领域技术人员参考本说明书后将显而易见的变型,硅化物阻挡薄膜 38 可以包括附加的材料层,或者与上面所描述的不同厚度的层。在任何情况下,预期的是,氮化硅层 24 将是硅化物阻挡薄膜 38 的顶层,并且因此将暴露于后续工艺,包括硅化所涉及的那些工艺。这些工艺在某种程度上可以使氮化硅层 24 变薄。然而,考虑到与二氧化硅相比,氮化硅对清洗、剥离以及其他工艺具有更显著的抵抗力,因此预期的是,氮化硅层 24 通常保护整个硅化物阻挡薄膜 38,并且发生的任何变薄将远小于现有方法中的二氧化硅的变薄。

[0036] 在这个实施例中的电容器电介质层 40 由多层电介质材料构成。在这个示例中,氮化硅层 26a 直接覆盖在硅化物阻挡薄膜 38 上面,直接与氮化硅层 24 接触。二氧化硅层 27 直接覆盖在氮化硅层 26a 上面,并且氮化硅层 26b 直接覆盖在二氧化硅层 27 上面。在这个示例中,氮化硅层 26a、二氧化硅层 27 以及氮化硅层 26b 中的每个具有约 $100\text{\AA}$ 的厚度。金属氮化物层 42 (例如,由约 650 到 $700\text{\AA}$ 的厚度的氮化钽组成) 覆盖在电容器电介质层 40 上面。

[0037] 根据这个实施例,并且如上面针对图 3a 和图 3b 所描述的,电容器 11 中的多晶硅电极 36 (其外覆有金属硅化物 44) 和金属氮化物层 42 之间不存在硅化物阻挡薄膜 38;而是,在电容器 11 中的这些层之间仅设置电容器电介质层 40。因为硅化物阻挡薄膜 38 对后续工艺具有足够的鲁棒性,所以可以选择电容器电介质层 40 的结构和组成,以优化电容器 11 以及集成电路中的其他硅化的多晶-金属电容器的电容和电气行为,而与对模拟浮栅结构 2 的数据保持的关注无关。在图 4 的示例中,由氮化硅层 26a、二氧化硅层 27 和氮化硅层 26b 的组合形成的电容器电介质层 40 在电路应用中提供了优秀的电容和性能。

[0038] 图 3c-3e 根据这个实施例示出模拟浮栅电极 2 的其他部分,即晶体管 4 和隧道式电容器 $8p$ 、 $8n$ 。如图 2 所示,多晶硅元件 36 的定义覆盖在有源区 45_{an} 上面的模拟浮栅电极 2 的部分定义了 n 沟道 MOS 晶体管的栅电极,其中如图所示,在多晶硅电极 36 和有源区 45_{an} 的表面之间设置栅极电介质 37。硅化物阻挡薄膜 38 保护多晶硅电极 36 免于硅化。如图 3c 所示,电容器电介质层 40 被全面设置。在多晶硅元件 36 的相对两侧上,重掺杂的 n 型源极/漏极区 34 以常规的自对准方式被形成到 p 型衬底 30 中。多晶硅元件 36 的侧壁上的侧壁氮化物元件 39 将重掺杂的源极/漏极注入与栅极的边缘隔开;以常规的方式,轻掺杂的源极/漏极延伸部可以存在于侧壁氮化物元件 39 的下面,在该薄膜形成之前已经被注入。

[0039] 参考图 2 和图 3d,在这个示例中,模拟浮栅电极 2 的覆盖在有源区 45_{sp} 上面的部分形成隧道式电容器 $8p$ 。在隧道式电容器 $8p$ 中,多晶硅元件 36 由栅极电介质层 37 与有源区 45_{sp} 的表面分离,栅极电介质层 37 用作隧道式电容器 $8p$ 的电容器电介质。电容器电介质层 40 被全面设置。有源区 45_{sp} 位于 n 阱 32 的表面处,n 阱 32 是以本领域已知的方式形成在衬底 30 的表面的选定位置处的、相对轻掺杂的 n 型区域。重掺杂的 p 型区域 33 以针对 p 沟道 MOS 晶体管的源极和漏极区的常规的自对准方式形成在该有源区 45_{sp} 中,在多晶硅元件 36 的相对两侧上。

[0040] 如图 3 和 3e 所示的,模拟浮栅电极 2 还延伸在有源区 45_{sn} 上方,以形成隧道式电容器 $8n$ 。在集成电路的这个位置中,多晶硅元件 36 也被设置在整个结构上方的硅化物阻挡薄膜 38 保护,以免硅化。栅极电介质 37 被布置在有源区 45_{sn} 的该位置处,在多晶硅元件 36 和有源区 45_{sn} 的表面之间,用作隧道式电容器 $8n$ 的电容器电介质。如图 3e 所示,电容器电介质层 40 被全面设置。隧道式电容器 $8n$ 的下面的结构与晶体管 4 的结构不同,其要求在

有源区 45_{sn} 的表面下设置 n 型埋层 31。该埋层 31 定义隔离的 p 阱 41, p 阱 41 终止于 n 型埋层 31 的深度上方一深度处, 并且被包含在隔离电介质结构 35 之间, 如图所示。P 阱 41 是相对轻掺杂的 p 型区域, 这是本领域中的典型阱结构。重掺杂的 n 型区域 34 被设置在该有源区 45_{sn} 中, 在多晶硅元件 36 的相对两侧上, 且由侧壁氮化物元件 39 与栅极边缘间隔开。

[0041] 虽然图 3c-h 3e 中未示出, 但是提供与隧道式电容器 8p、8n 和晶体管 4 有关的至上覆的金属导体的顶侧接触。

[0042] 集成电路的这个区域的构造相对于以上所描述的构造的变型是被预期的。预期的是, 本领域技术人员通过参考本说明书, 将容易能够按照针对特定的电路应用所合适的, 实现包括隧道式电容器 8p、8n、晶体管 4 以及存储电容器 6 的模拟浮栅电极 2, 而不需要过度实验。

[0043] 参考图 2, 通过参考本说明书, 对于本领域技术人员来说明显的是, 一方面, 隧道式电容器 8p、8n 之间的相对面积具有显著差别, 另一方面, 在它们和存储电容器 6 之间的相对面积具有显著差别。相对面积的这个差别当然地将被反映在这些元件之间的相对电容中。当然, 电容器电介质材料和厚度的差别也将被反映在这些电容中。无论如何, 期望的是, 存储电容器 6 的电容明显大于隧道式电容器 8n、8p 的电容 (以及晶体管 4 的寄生栅极 - 有源区电容), 从而有助于电子在合理的偏置电压下进行隧穿 (由此避免损坏或者击穿)。电容耦合的这种差异被预期提供优秀的编程和擦除 (即, 隧穿) 性能。

[0044] 在这个结构中, 在形成模拟浮栅电极 2 时使用覆盖在多晶硅元件 36 上面的硅化物阻挡薄膜 38, 这使得能够通过该结构良好且长期地保持电子, 而不需要冒经由硅化残留物等导致的电荷漏电的危险。这提供了良好的数据保持性能, 同时还能够优化无关的硅化的多晶 - 金属电容器 11 的电容, 而不需要过度地复杂化构造集成电路所涉及的制造工艺流。

[0045] 图 5 示出用于制造集成电路的示例工艺流程, 该集成电路包括含有上述硅化物阻挡薄膜 38 的模拟浮栅元件 2 和无关的硅化的多晶 - 金属电容器 11。

[0046] 如图 5 所示, 包括模拟浮栅电极 2 的集成电路的制造开始于工艺 50, 在其中各种掺杂区被定义并且被形成到衬底 30 的半导体表面中。取决于期望的最终结构, 这些掺杂区包括图 3d 和图 3e 中所示的诸如 n 型埋层 31、n 型阱 32、p 型阱 41 的区域等。在工艺 52 中, 在表面的选定位置处形成隔离电介质结构 35。这些隔离电介质结构 35 可以以多种常规方式形成, 包括浅沟槽隔离、深沟槽隔离、硅局部氧化 (LOCOS) 等。如本领域已知的, 隔离电介质结构 35 的形成用于定义半导体表面的有源区的位置, 在该位置处形成晶体管和某些电容器 (包括上述实施例中的隧道式电容器 8p、8n)。虽然在这个示例中, 工艺 50 被示为在工艺 52 之前, 但是在某些制造流程中, 这些步骤的顺序可以被颠倒; 进一步替换地, 可以在隔离电介质结构 35 之前形成某些阱和埋层, 而其他阱和埋层在这些隔离电介质结构形成之后形成。

[0047] 在期望的一个或者多个阱的表面处定义了有源区 (工艺 50、52) 之后, 接着在工艺 54 中形成栅极电介质层 37。栅极电介质 37 可以是淀积的绝缘体, 例如二氧化硅, 尤其是在热预算受限的现代亚微米制造工艺中。替换地, 栅极电介质层 37 可以以常规方式通过硅的热氧化来形成。在工艺 54 中形成栅极电介质层 37 (以及任何期望的阈值调整离子注入等) 之后, 接着在工艺 56 中全面淀积多晶硅层, 多晶硅元件 36 将由其形成。

[0048] 在工艺 57 中, 通过离子注入适当的种类, 将工艺 56 中淀积的多晶硅层掺杂为 n

型。在 MOS 晶体管 4 是 n 沟道的这个示例中, 整个多晶硅层 (包括多晶硅元件 36) 接收工艺 57 的注入。如果 p 沟道 MOS 晶体管要在该多晶硅层级中形成有栅电极 (这类晶体管优选地包括 p 型多晶硅栅电极), 则工艺 57 的注入将是图形化的注入。替换地, 掺杂工艺 57 可以与工艺 56 中的多晶硅层的淀积一起原位地执行。在工艺 58 中, 多晶硅元件 36 被光刻图形化且被刻蚀, 从而定义在最终的集成电路中要在该层中形成的各种结构, 包括模拟浮栅电极 2 和其他结构, 例如电容器 11 的硅化物外覆的下极板 (图 3 和图 4b)、晶体管栅极等。虽然在这个工艺流程中掺杂工艺 57 被示为发生在刻蚀工艺 58 之前, 但是多晶硅元件 36 可以改为在工艺 58 的图形化刻蚀之后进行掺杂。多晶硅元件 36 的掺杂还可以稍后在工艺中执行, 例如, 通过被用于形成晶体管源极和漏极的同一注入。

[0049] 在现代 CMOS 制造中实现渐变源 / 漏结是典型的这个示例中, 在工艺 59 中, 相对于覆盖在有源区上面的剩余的多晶硅特征以自对准方式执行漏极延伸注入 (也被称作“轻掺杂漏极”注入或者 LDD 注入)。如果期望, 可以通过掩膜注入, 为 n 沟道和 p 沟道晶体管两者执行 LDD 注入。在漏极延伸注入之后, 接着也在工艺 59 中全面淀积氮化硅层, 并且进行各向异性刻蚀, 以在多晶硅结构 (包括多晶硅元件 36) 的侧壁上形成侧壁氮化物元件 39 (图 3b-3e)。一旦以此方式形成了侧壁氮化物元件 39, 接着在工艺 60 中执行 n 型和 p 型两者的掩膜源极 / 漏极注入, 以通常方式自对准到相应的有源区 45 内的栅层级结构。工艺 60 还可以包括合适的退火或者其他高温推进工艺, 以使注入的掺杂剂处于期望的深度。

[0050] 模拟浮栅电极 2 通过硅化物阻挡薄膜 38 保护不受直接反应硅化, 而要被硅化物外覆的其他结构 (电容器 11 的下极板、晶体管的栅极、多晶硅互连等) 将不会被这样保护。在这个实施例中的硅化物阻挡薄膜 38 的形成跟随源极 / 漏极注入工艺 59、60, 开始于工艺 61a 中的二氧化硅层 22 的全面淀积。如所提到的, 对于亚微米制造技术, 二氧化硅层 22 可以被淀积到约 350Å 的厚度。在工艺 61c 中, 接着在二氧化硅层 22 上方淀积氮化硅层 24, 例如大约 150Å 的厚度。淀积工艺 61a、61c 可以通过常规的化学气相淀积 (CVD) 执行, 如果需要, 使用等离子增强的 CVD。

[0051] 考虑到硅化物阻挡薄膜 38 将被暴露到的后续工艺, 可以执行二氧化硅层 22 的淀积后退火, 以提高其性能。更具体地, 这种退火可以驱赶出可能存在于所淀积的二氧化硅层 22 中的氢。因此, 在氧化物淀积工艺 61a 之后并且在氮化物淀积工艺 61c 之前, 可以通过常规的炉退火 (例如, 在约 600°C 下持续约 30 分钟) 或者通过等效的快速热退火 (RTA) 执行可选的退火工艺 61b。

[0052] 在工艺 62 中, 在工艺 61a、61b 中所淀积的硅化物阻挡薄膜 38 被光刻图形化和刻蚀。对于这些示例实施例, 从多晶硅元件 36 的将被硅化物外覆的那些位置和实例去除硅化物阻挡薄膜 38, 而在模拟浮栅电极 2 以及将不被硅化物外覆的其他元件处保留硅化物阻挡薄膜 38。预期的是, 在典型的实施方式中, 除了服务于模拟浮栅电极 2 的功能的结构外, 大多数 (如果不是全部的话) 多晶硅栅层级结构将被硅化物外覆, 并且因此将在工艺 62 中从其去除硅化物阻挡薄膜 38。在工艺的这个阶段, 氮化硅层 24 的顶表面被暴露在硅化物阻挡薄膜 38 的剩余位置处。

[0053] 在刻蚀工艺 62 之后, 在工艺 63 中, 接着暴露的晶圆表面 (包括要被硅化的多晶硅和硅, 并且还包括所保留的硅化物阻挡薄膜 38) 经历等离子清洗工艺, 之后全面淀积硅化金属。对于所描述的实施例, 工艺 63 中所淀积的金属是钴; 可以替换地使用其他硅化金属,

例如钛、钴等。在工艺 64 中,执行高温退火,以使在金属与下面的硅接触的位置处(例如,电容器 11 的下极板处)的这个淀积的金属反应,以形成金属硅化合物的包层 44,如图 3b 所示。相反地,不与硅化金属接触的那些硅结构,例如在工艺 62 之后硅化物阻挡薄膜 38 保留的模拟浮栅电极 2,将不会与淀积的金属反应。在工艺 64 的硅化退火之后,在工艺 66 中执行常规刻蚀或者剥离,以从表面去除未反应的金属和副产品,留下所形成的地方后面的硅化物包层 44。

[0054] 在工艺 70 中,接着形成电容器电介质层 40。如上所述,电容器电介质层 40 用作电容器 11 的电容器电介质以及存储电容器 6 的电容器电介质,并且被预期为相对高质量的电介质,从而提供每单位面积的高电容。在这个示例中,如上面与图 4 相关所描述的,在工艺 70 中通过顺序淀积氮化硅层 26a、二氧化硅层 27 以及氮化硅层 26b(每层为约 100Å 的厚度),形成电容器电介质层 40。替换地,其他电介质材料和组合、以及厚度可以被用作该绝缘薄膜。电容器电介质层 40 的厚度和组成可以以优化诸如电容器 11 的结构电容和其他电性能的方式来选择,而不需要关注在其电容器电介质中还包括硅化物阻挡薄膜 38 的存储电容器 6 的数据保持性能。存储电容器 6 的良好数据保持是通过硅化物阻挡薄膜 38 的完整性及其对后续工艺中的减薄的抵抗性来维持的,而不依赖于电容器电介质层 40。

[0055] 在工艺 72 中,存储电容器 6 和电容器 11 的上极板金属或者金属化合物在工艺 72 中被全面淀积。可以在工艺 72 中淀积的材料的一个示例是氮化钽(TaN)。替换地,可以在工艺 72 中淀积由金属(包括元素金属和金属化合物,例如金属氮化物)组成的另一导电材料,并且用作这些器件的上极板。在工艺 74 中,该金属或者金属化合物层被光刻图形化和刻蚀,以定义存储电容器 6 和电容器 11 的上极板、以及其他元件,包括金属互连、电容器极板、键合焊盘等。

[0056] 在工艺 74 之后,接着通过针对集成电路的其他结构和元件的适当处理步骤完成包含所构造的电极 2 的集成电路,这些处理步骤包括以常规方式形成绝缘层、刻蚀触点、形成金属或者与上述元件建立接触的其他导体层等,其他导体层包括至隧道式电容器 8p、8n 的掺杂有源区的顶侧触点。

[0057] 所描述的实施例能够在集成电路的制造中提供重要的优势,包括模拟集成电路、包含可调节元件或者可修整元件(例如,基准电路)的电路以及 EEPROM 存储器电路。更特别地,示例实施例在还包括在同一结构层级中所形成的硅化的多晶-金属电容器的集成电路中,提供包含未硅化的多晶硅极板的浮栅电极结构和制造它的方法。得到的浮栅电极结构可以被编程和擦除,以精确地设定能够定义电子电路的特定模拟电平的所俘获的电荷的可调节水平。这个结构能够长时间的保持俘获的电荷,并且因此适合用作制造时可修整的或者可调节的元件。另外,这个结构可以以与现有的制造工艺流程兼容的方式被构造,而不会使所要求的工艺流程过度复杂。

[0058] 更特别地,实施例所提供的保留为浮栅结构的电介质的一部分的硅化物阻挡薄膜能够维持其物理完整性,并且因此能够维持浮栅结构本身的数据保持能力,同时能够对集成电路中的其他地方的硅化的多晶-金属电容器的电容器电介质进行独立优化。硅化物阻挡薄膜可以通过其对结构的硅化中所涉及的清洗和剥离工艺相对不受影响的成分提供这种益处。通过尽管经历这些后续工艺仍然维持硅化物阻挡薄膜的厚度,可以使用更薄的上覆的电容器电介质薄膜,从而提高硅化的多晶-金属电容器的电性能。

[0059] 另外,但是认为,相对于仅使用二氧化硅硅化物阻挡薄膜的那些结构,硅化物阻挡薄膜的成分进一步增强了浮栅结构的数据保持。对于硅化物阻挡薄膜包括覆盖在退火的二氧化硅层上面的氮化硅层的上述示例,认为这种构造还用于通过改变得到的电介质薄膜上的电场分布,减小了热场载流子注入。另外,预期的是,通过载流子在各种层界面散射的机制,并且还通过俘获穿过电介质薄膜的那些载流子,硅化物阻挡薄膜的这种结构减小了载流子穿过得到的电介质薄膜的迁移率。

[0060] 图 6 示出硅化物阻挡薄膜的示例的定性的能带图。在这个示例中,硅化物阻挡薄膜 38 包括二氧化硅层 22 和氮化硅层 24,如上所述。在这个示例中,电容器电介质层 40 是 N-O-N 薄膜,其包括氮化硅层 26a、二氧化硅层 27 以及氮化硅层 26b,每层厚度约为 $100\text{\AA}$ 。图 6 中的对应薄膜厚度由多晶硅电极 36 和金属氮化物层 42 的参考标号之间的用于那些层的参考标号指示。然而,因为硅化物阻挡薄膜 38 的氮化硅层 24 和电容器电介质层 40 的下氮化硅层 26a 都是氮化硅,所以在这个能带图中这两种薄膜是不可区分的。如图 6 所示,从多晶硅电极 36 行进穿过二氧化硅层 22 的电子将往往在对应于上覆的氮化硅层 24 和下氮化硅层 26a 的能带谷 (energy trough) 80 中被俘获。为了行进到金属氮化物层 42,那些俘获的电子将不得不克服在电容器电介质层 40 内的氮化硅层 26a 和上覆的二氧化硅层 27 之间的界面处的附加的能量势垒。为了比较,图 6 中由虚线所示的能带分布 82 对应于设置在多晶硅电极 36 和金属氮化物层 42 之间的二氧化硅层;在该薄膜中不存在用于俘获电子的能带谷。通过实验已经观察到数据保持性能的对应该提高,在其中具有根据示例实施例构造的硅化物阻挡薄膜的 n 型和 p 型未硅化的多晶-金属电容器在高温烘焙(例如,24 小时的 200°C 烘焙)后显示出最小编程电压损失。

[0061] 本领域技术人员将理解,可以对描述的实施例进行修改,并且还将理解,在本发明的范围内,许多其他实施例是可能的。

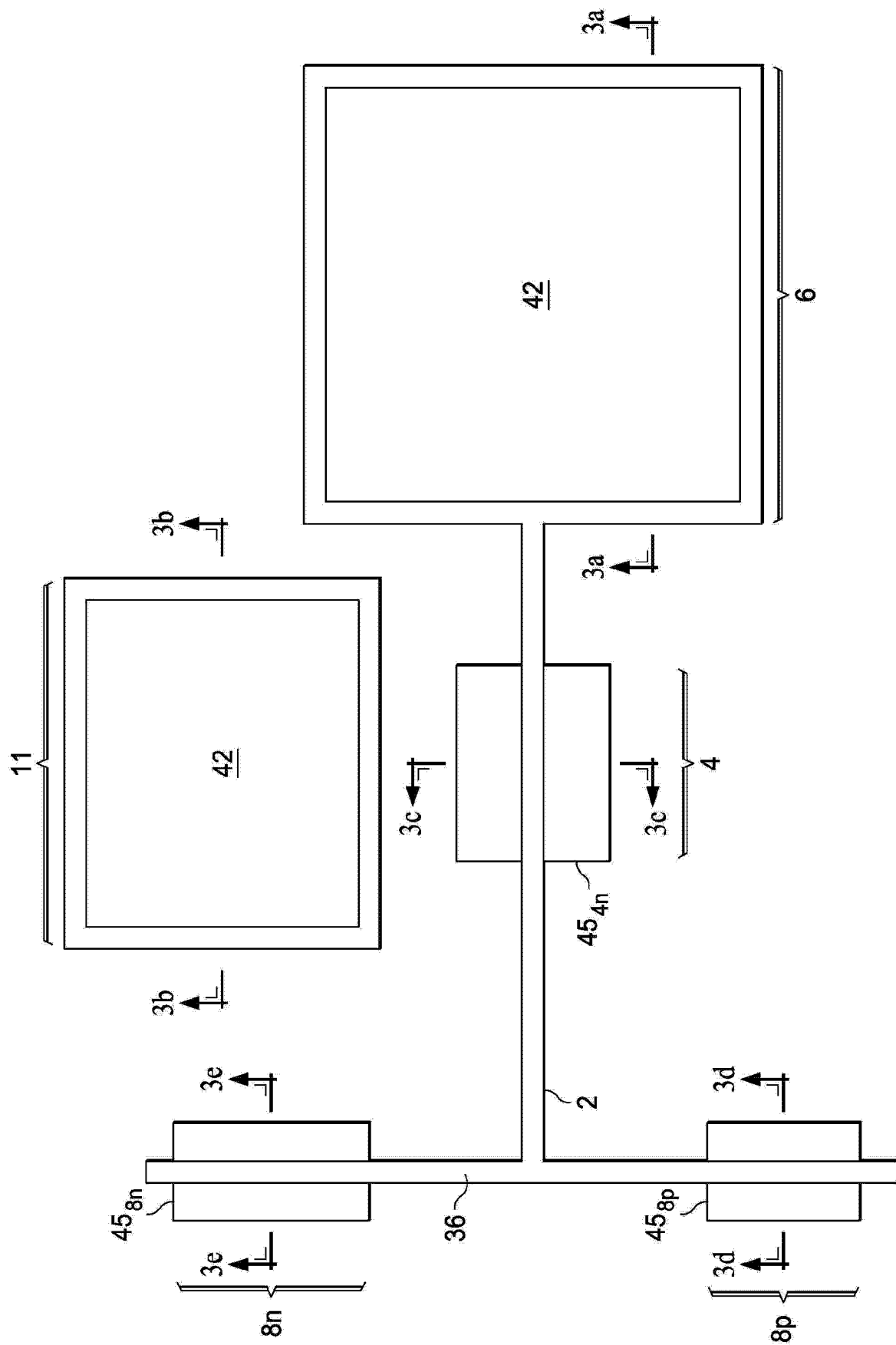


图 2

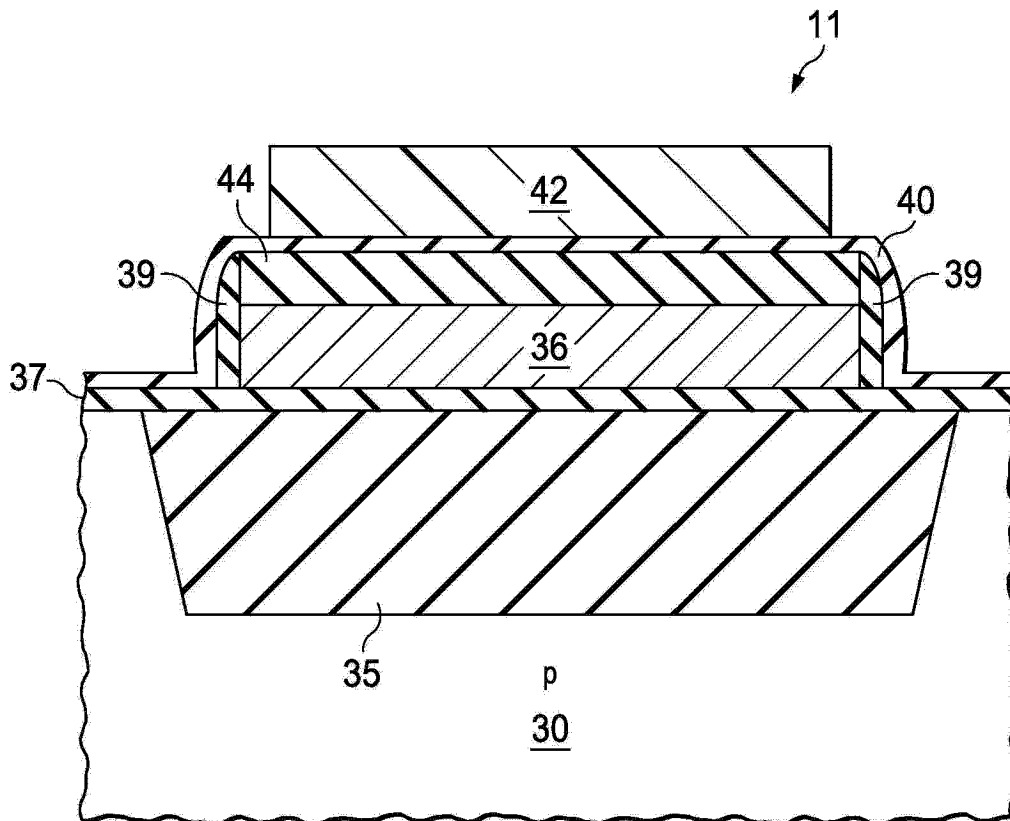


图 3b

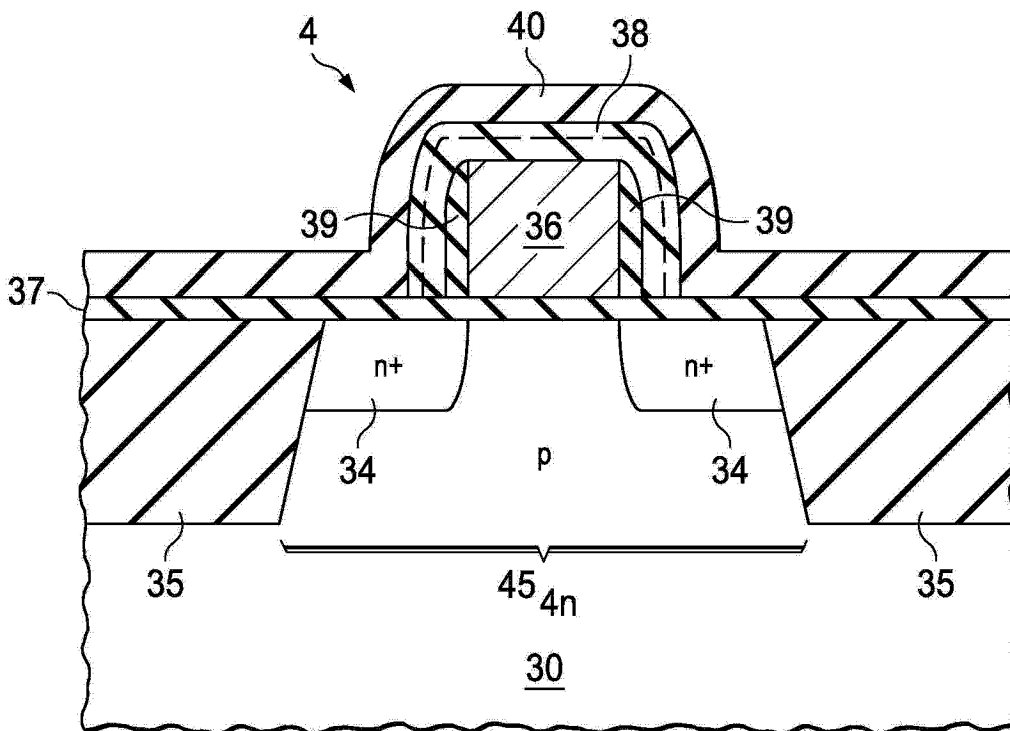


图 3c

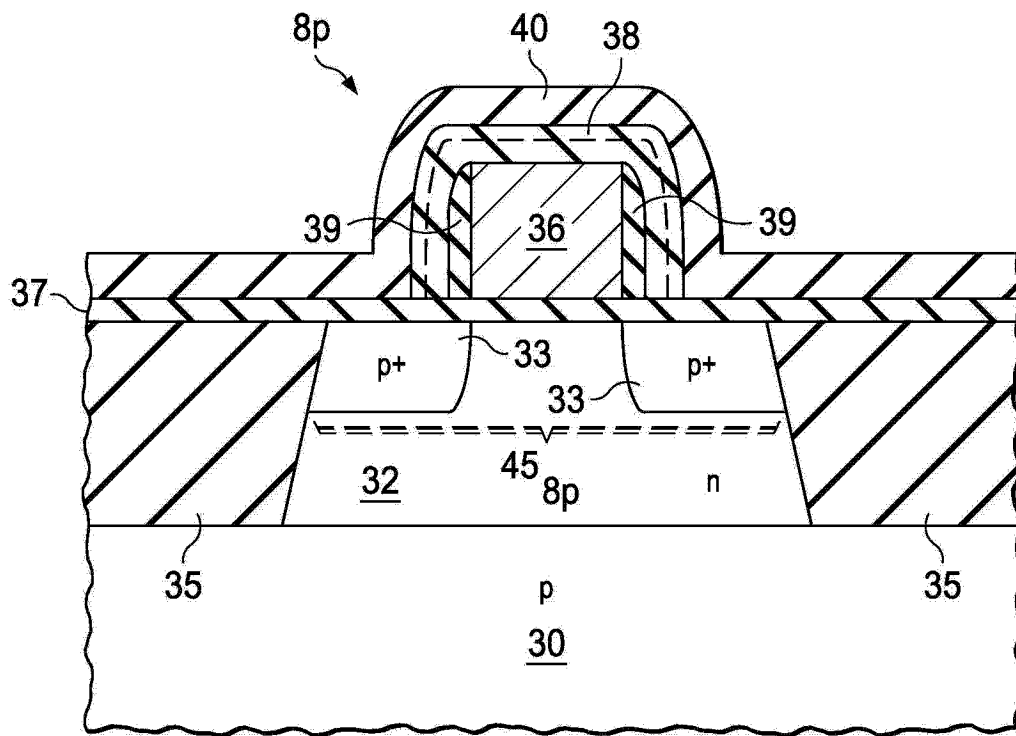


图 3d

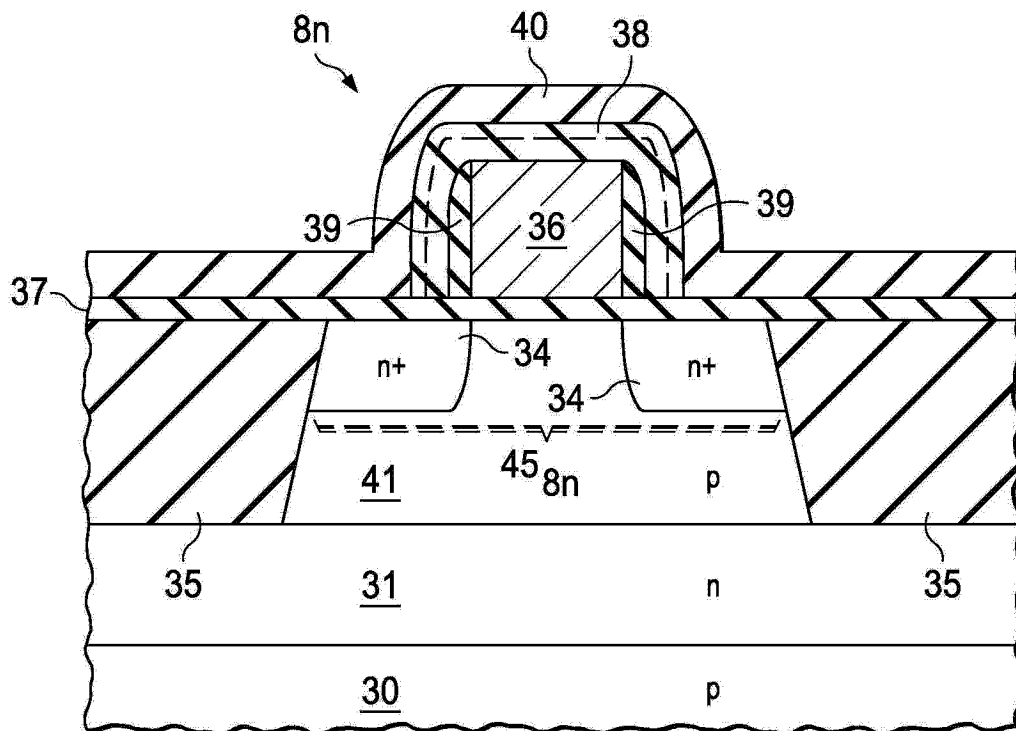


图 3e

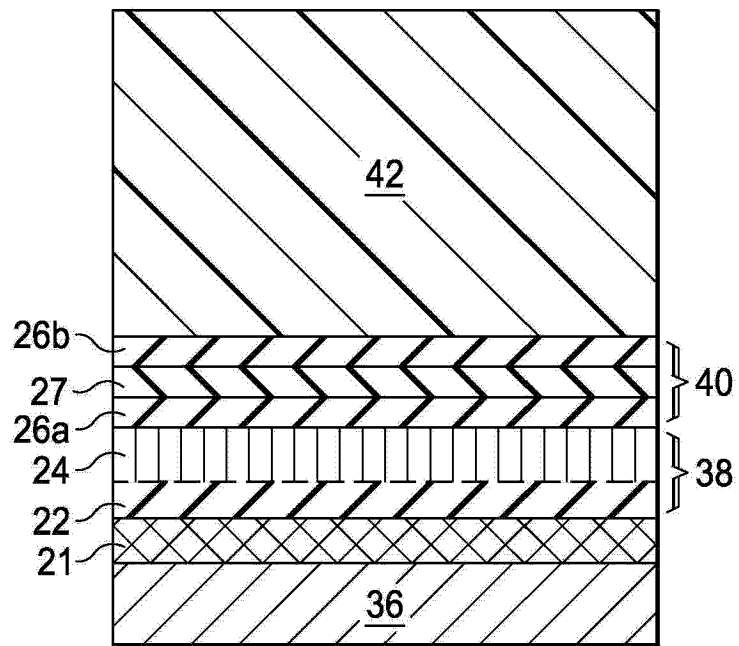


图 4

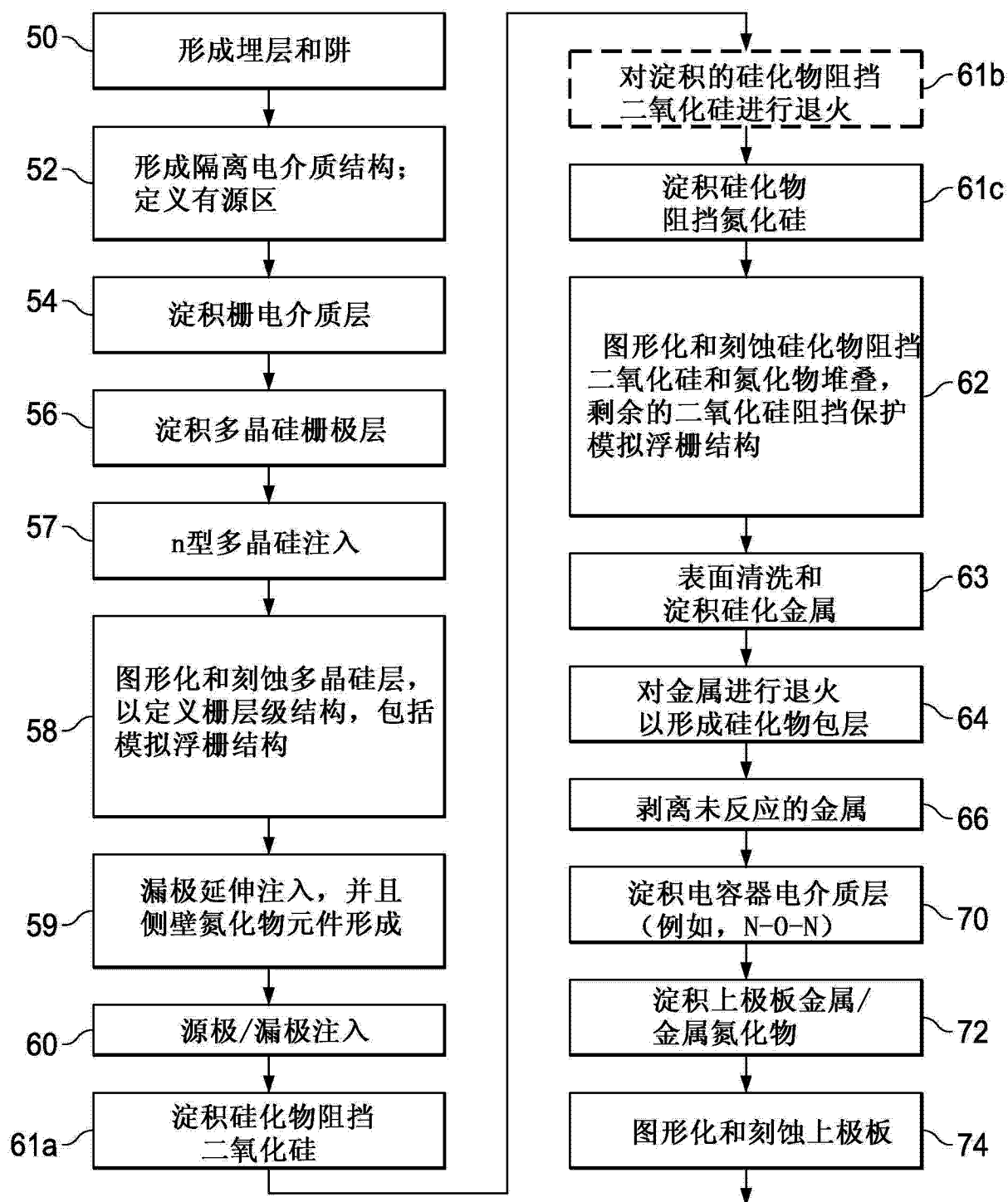


图 5