

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2024年9月19日(19.09.2024)



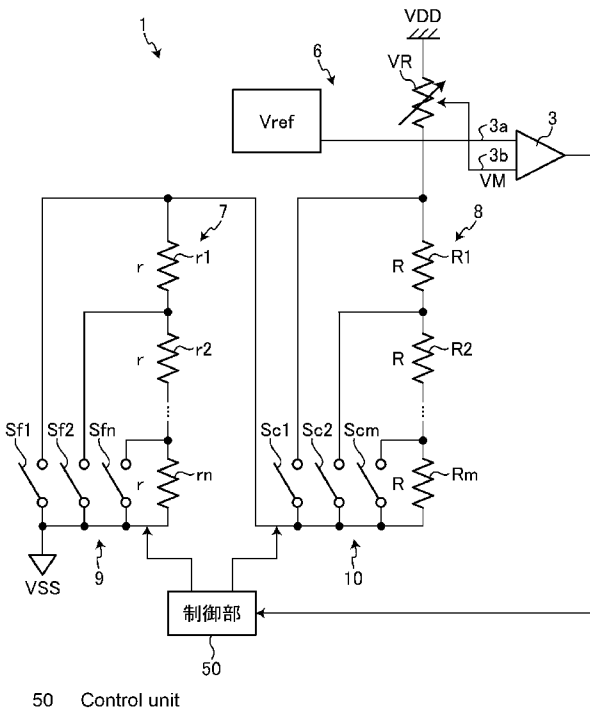
(10) 国際公開番号

WO 2024/190083 A1

- (51) 国際特許分類:
G01R 19/165 (2006.01) *G04G 19/02* (2006.01)
G04C 10/00 (2006.01)
- (21) 国際出願番号: PCT/JP2024/001690
- (22) 国際出願日: 2024年1月22日(22.01.2024)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2023-042279 2023年3月16日(16.03.2023) JP
- (71) 出願人: シチズン時計株式会社 (CITIZEN WATCH CO., LTD.) [JP/JP]; 〒1888511 東京都西東京市田無町六丁目1番12号 Tokyo (JP).
- (72) 発明者: 人見 正彦 (HITOMI, Masahiko); 〒1888511 東京都西東京市田無町六丁目1番12号 シチズン時計株式会社内 Tokyo (JP).
- (74) 代理人: 弁理士法人虎ノ門知的財産事務所 (TORANOMON INTELLECTUAL PROPERTY FIRM); 〒1000013 東京都千代田区霞が関3丁目8番1号 Tokyo (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY,

(54) Title: VOLTAGE DETECTING CIRCUIT, AND TIMEPIECE

(54) 発明の名称: 電圧検出回路および時計



(57) Abstract: A voltage detecting circuit (6) comprises: a comparator (3) having a first input terminal (3a) into which a reference voltage Vref is input and a second input terminal (3b); a plurality of fine adjustment resistors (ri) disposed between a detection target and the second input terminal; at least one coarse adjustment resistor (Rj) disposed between the detection target and the second input terminal; a fine adjustment switch unit (9) connecting an arbitrarily defined number of the fine adjustment resistors in series with the detection target and the coarse adjustment resistors; a coarse adjustment

MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ,
NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

一 国際調査報告 (条約第21条(3))

switch unit (10) connecting an arbitrarily defined number of the coarse adjustment resistors in series with the detection target and the fine adjustment resistors; and a control unit (50) for controlling opening and closing operations of switches of the fine adjustment switch unit and opening and closing operations of switches of the coarse adjustment switch unit. The coarse adjustment resistors include a resistor having a resistance value R equal to a total value obtained by summing resistance values r of the plurality of fine adjustment resistors.

(57) 要約：電圧検出回路(6)は、基準電圧 V_{ref} が入力される第一入力端子(3a)と、第二入力端子(3b)と、を有するコンパレータ(3)と、検出対象と第二入力端子との間に配置された複数の微調整抵抗(r_i)と、検出対象と第二入力端子との間に配置された少なくとも一つの粗調整抵抗(R_j)と、任意の個数の微調整抵抗を検出対象および粗調整抵抗に対して直列に接続する微調整スイッチ部(9)と、任意の個数の粗調整抵抗を検出対象および微調整抵抗に対して直列に接続する粗調整スイッチ部(10)と、微調整スイッチ部が有するスイッチの開閉動作、および粗調整スイッチ部が有するスイッチの開閉動作を制御する制御部(50)と、を備え、粗調整抵抗は、複数の微調整抵抗の抵抗値 r を合算した合計値と等しい抵抗値 R の抵抗を含む。

明 細 書

発明の名称：電圧検出回路および時計

技術分野

[0001] 本発明は、電圧検出回路および時計に関する。

背景技術

[0002] 従来、電圧検出回路がある。特許文献1には、粗調整用可変抵抗回路と微調整用可変抵抗回路を備えた抵抗分圧回路と、粗調整用可変抵抗回路を制御する粗調整部と、微調整用可変抵抗回路を制御する微調整部と、比較回路の検出信号に応じて粗調整部と微調整部を制御する制御部と、を備えた電圧検出回路が開示されている。

先行技術文献

特許文献

[0003] 特許文献1：特開2020-016578号公報

発明の概要

発明が解決しようとする課題

[0004] 電圧検出回路において、回路規模が増大することなく、検出分解能の向上をさせることが望ましい。例えば、抵抗の個数を抑制しつつ検出分解能の向上させることが好ましい。

[0005] 本発明の目的は、上述の課題を解決する電圧検出回路および時計を提供することである。

課題を解決するための手段

[0006] 本発明の電圧検出回路は、基準電圧が入力される第一入力端子と、第二入力端子と、を有するコンパレータと、検出対象と前記第二入力端子との間に配置された複数の微調整抵抗と、前記検出対象と前記第二入力端子との間に配置された少なくとも一つの粗調整抵抗と、任意の個数の前記微調整抵抗を前記検出対象および前記粗調整抵抗に対して直列に接続する微調整スイッチ部と、任意の個数の前記粗調整抵抗を前記検出対象および前記微調整抵抗に

対して直列に接続する粗調整スイッチ部と、前記微調整スイッチ部が有するスイッチの開閉動作、および前記粗調整スイッチ部が有するスイッチの開閉動作を制御する制御部と、を備え、前記粗調整抵抗は、複数の前記微調整抵抗の抵抗値を合算した合計値と等しい抵抗値の抵抗を含むことを特徴とする。

発明の効果

[0007] 本発明に係る電圧検出回路は、複数の微調整抵抗と、検出対象とコンパレータの第二入力端子との間に配置された粗調整抵抗と、任意の個数の微調整抵抗を検出対象および粗調整抵抗に対して直列に接続する微調整スイッチ部と、任意の個数の粗調整抵抗を検出対象および微調整抵抗に対して直列に接続する粗調整スイッチ部と、を備える。粗調整抵抗は、複数の微調整抵抗の抵抗値を合算した合計値と等しい抵抗値の抵抗を含む。本発明に係る電圧検出回路によれば、微調整抵抗と粗調整抵抗との組み合わせにより、検出分解能の向上ができるという効果を奏する。

図面の簡単な説明

[0008] [図1]図1は、実施形態の時計を示す図である。
[図2]図2は、実施形態の電圧検出回路を示す図である。
[図3]図3は、実施形態の電圧検出回路の動作を示すフローチャートである。
[図4]図4は、実施形態の検出シーケンスの図である。
[図5]図5は、実施形態の検出シーケンスの図である。
[図6]図6は、コンパレータの検出特性の図である。
[図7]図7は、実施形態の第1変形例に係る電圧検出回路の図である。
[図8]図8は、実施形態の第2変形例に係る電圧検出回路の図である。

発明を実施するための形態

[0009] 以下に、本発明の実施形態に係る電圧検出回路につき図面を参照しつつ詳細に説明する。なお、この実施形態によりこの発明が限定されるものではない。また、下記の実施形態における構成要素には、当業者が容易に想定できるものあるいは実質的に同一のものが含まれる。

[0010] [実施形態]

図 1 から図 6 を参照して、実施形態について説明する。本実施形態は、電圧検出回路に関する。図 1 に示すように、実施形態に係る時計 1 は、外装ケース 2、電池 4、風防 5、電圧検出回路 6、文字板 3 1、秒針 3 2、分針 3 3、および時計針 3 4 を有する。本実施形態の時計 1 は、電子時計であり、発振回路によって生成されるクロック信号に基づいて内部時刻を算出する。

[0011] 外装ケース 2 は、略円筒形状のケース本体 2 1 を有する。電池 4、電圧検出回路 6、文字板 3 1、秒針 3 2、分針 3 3、および時計針 3 4 は、ケース本体 2 1 に収容される。風防 5 は、外装ケース 2 における前面側の開口部を閉塞する透明な部材である。外装ケース 2 における背面側の開口部は、裏蓋によって閉塞される。

[0012] 電池 4 は、充放電可能な二次電池である。時計 1 は、電池 4 から供給される電力によって内部時刻を算出し、かつ秒針 3 2、分針 3 3、および時計針 3 4 を運針させる。時計 1 は、ソーラーセル等の発電部を有していてもよい。この場合、発電部によって発電された電力が電池 4 に蓄電される。

[0013] 電圧検出回路 6 は、電源 V_{SS} としての電池 4 の電圧を検出する回路である。図 2 に示すように、電圧検出回路 6 は、コンパレータ 3 と、微調整用の第一抵抗群 7 と、粗調整用の第二抵抗群 8 と、微調整スイッチ部 9 と、粗調整スイッチ部 10 と、可変抵抗 V_R と、制御部 50 と、を有する。

[0014] コンパレータ 3 は、比較器であり、第一入力端子 3 a および第二入力端子 3 b を有する。第一入力端子 3 a には、予め定められた基準電圧 V_{ref} が入力される。基準電圧 V_{ref} は、電源 V_{SS} の出力電圧から生成されてもよい。第二入力端子 3 b には、入力電圧 V_M が入力される。入力電圧 V_M は、電源 V_{SS} の電圧が第一抵抗群 7、第二抵抗群 8、および可変抵抗 V_R によって分圧された電圧である。接地電位 V_{DD} に対する電源 V_{SS} の電位は、例えば、負の値である。

[0015] コンパレータ 3 は、基準電圧 V_{ref} と入力電圧 V_M との比較結果に応じた信号を出力する。本実施形態のコンパレータ 3 は、基準電圧 V_{ref} の電

位に対して入力電圧 V_M の電位が低い場合に検出信号を出力する。検出信号は、例えば、高レベルのオン信号である。一方、コンパレータ3は、基準電圧 V_{ref} の電位に対して入力電圧 V_M の電位が高い場合に非検出信号を出力する。非検出信号は、例えば、低レベルのオフ信号である。

[0016] 第一抵抗群7、第二抵抗群8、および可変抵抗 V_R は、この順番で電源 V_{SS} の側から接地電位 V_{DD} の側へと直列に配置されている。可変抵抗 V_R は、複数の抵抗を有する切り替え型の抵抗装置であってもよく、ポテンショメータであってもよい。可変抵抗 V_R は、第二入力端子3bと接地電位 V_{DD} との間の抵抗値を変化させる。可変抵抗 V_R は、例えば、制御部50によって制御される。

[0017] 第一抵抗群7および第二抵抗群8は、電源 V_{SS} と第二入力端子3bとの間に配置されている。第二抵抗群8は、電源 V_{SS} と第二入力端子3bとの間の合計抵抗値を粗調整する抵抗である。第一抵抗群7は、電源 V_{SS} と第二入力端子3bとの間の合計抵抗値を微調整する抵抗である。

[0018] 第一抵抗群7は、複数の微調整抵抗 r_i ($i = 1, 2, \dots, n$) を有する。複数の微調整抵抗 r_i は、同じ抵抗値 r [Ω] を有する。複数の微調整抵抗 r_i は、連続的に、かつ直列に接続されている。微調整抵抗 $r_1, r_2, \dots, r_n$ は、この順序で第二抵抗群8から電源 V_{SS} に向けて並んでいる。

[0019] 微調整スイッチ部9は、任意の個数の微調整抵抗 r_i を電源 V_{SS} および第二抵抗群8に対して直列に接続する。微調整スイッチ部9は、複数のスイッチ S_{fi} ($i = 1, 2, \dots, n$) を有する。スイッチ S_{fi} は、例えば、NMOSトランジスタである。スイッチ S_{f1} は、閉じることによって全ての微調整抵抗 r_i をバイパスさせる。つまり、スイッチ S_{f1} は、第一抵抗群7の両端を短絡させることができる。スイッチ S_{f2} は、閉じることによって微調整抵抗 r_2 から微調整抵抗 r_n までをバイパスさせる。つまり、 i 番目のスイッチ S_{fi} は、閉じることによって微調整抵抗 r_i から微調整抵抗 r_n までをバイパスさせる。スイッチ S_{fn} は、閉じることによって微調整抵抗 r_n をバイパスさせる。

[0020] 以下の説明では、複数の微調整抵抗 r_i のうち、スイッチ S_{fi} によってバイパスされていない抵抗を「有効な抵抗」と称する。第一抵抗群 7 の抵抗値 r_s は、有効な微調整抵抗 r_i の抵抗値の合計である。

[0021] 微調整スイッチ部 9 は、0 個から n 個まで、任意の個数の微調整抵抗 r_i を電源 V_{SS} と第二抵抗群 8 との間に有効な抵抗として介在させることができる。有効とされる微調整抵抗 r_i が 1 個である場合、スイッチ S_{f1} が開かれ、かつスイッチ S_{f2} からスイッチ S_{fn} まだが全て閉じられる。つまり、微調整抵抗 r_1 が電源 V_{SS} および第二抵抗群 8 に対して直列に接続される。これにより、第一抵抗群 7 の抵抗値 r_s は、 r [Ω] となる。

[0022] p 個 ($2 < p < n$) の微調整抵抗 r_i が有効とされる場合、スイッチ S_{f1} からスイッチ S_{fp} が開かれ、かつその他のスイッチ S_{fi} が全て閉じられる。つまり、微調整抵抗 $r_1, r_2, \dots, r_p$ が電源 V_{SS} および第二抵抗群 8 に対して直列に接続される。これにより、第一抵抗群 7 の抵抗値 r_s は、 $p \times r$ [Ω] となる。全ての微調整抵抗 r_i が有効にされる場合、全てのスイッチ S_{fi} が開かれる。これにより、第一抵抗群 7 の抵抗値 r_s は、 $n \times r$ [Ω] となる。

[0023] 第二抵抗群 8 は、少なくとも一つの粗調整抵抗 R_j ($j = 1, 2, \dots, m$) を有する。本実施形態の粗調整抵抗 R_j は、何れも同じ抵抗値 R [Ω] を有する。第二抵抗群 8 が複数の粗調整抵抗 R_j を有する場合、複数の粗調整抵抗 R_j は連続的に、かつ直列に接続される。複数の粗調整抵抗 $R_1, R_2, \dots, R_j$ は、この順序で第一抵抗群 7 から接地電位 V_{DD} に向けて並ぶ。一つの粗調整抵抗 R_j の抵抗値 R [Ω] は、複数の微調整抵抗 r_i の抵抗値 r [Ω] を合算した合計値と等しい。つまり、下記式 (1) が成立する。

$$R = n \times r \quad (1)$$

[0024] 粗調整スイッチ部 10 は、任意の個数の粗調整抵抗 R_j を電源 V_{SS} および第一抵抗群 7 に対して直列に接続する。粗調整スイッチ部 10 は、複数のスイッチ S_{cj} ($j = 1, 2, \dots, m$) を有する。スイッチ S_{cj} は、例えば、NMOS トランジスタである。スイッチ S_{c1} は、閉じることによって

全ての粗調整抵抗 R_j をバイパスさせる。つまり、スイッチ S_{c1} は、第二抵抗群8の両端を短絡させることができる。スイッチ S_{c2} は、閉じることによって粗調整抵抗 R_2 から粗調整抵抗 R_m までをバイパスさせる。つまり、 j 番目のスイッチ S_{cj} は、閉じることによって粗調整抵抗 R_j から粗調整抵抗 R_m までをバイパスさせる。スイッチ S_{cm} は、閉じることによって粗調整抵抗 R_m をバイパスさせる。

[0025] 以下の説明では、複数の粗調整抵抗 R_j のうち、スイッチ S_{cj} によってバイパスされていない抵抗を「有効な抵抗」と称する。第二抵抗群8の抵抗値 R_s は、有効な粗調整抵抗 R_j の抵抗値の合計である。

[0026] 粗調整スイッチ部10は、0個から m 個まで、任意の個数の粗調整抵抗 R_j を第一抵抗群7と接地電位 V_{DD} との間に有効な抵抗として介在させることができる。有効とされる粗調整抵抗 R_j が1個である場合、スイッチ S_{c1} が開かれ、かつスイッチ S_{c2} からスイッチ S_{cm} までが全て閉じられる。つまり、粗調整抵抗 R_1 が電源 V_{SS} および第一抵抗群7に対して直列に接続される。これにより、第二抵抗群8の抵抗値 R_s は、 R [Ω] となる。

[0027] q 個 ($2 < q < m$) の粗調整抵抗 R_j が有効とされる場合、スイッチ S_{c1} からスイッチ S_{cq} が開かれ、かつその他のスイッチ S_{cj} が全て閉じられる。つまり、粗調整抵抗 $R_1, R_2, \dots, R_q$ が電源 V_{SS} および第一抵抗群7に対して直列に接続される。これにより、第二抵抗群8の抵抗値 R_s は、 $q \times R$ [Ω] となる。全ての粗調整抵抗 R_j が有効にされる場合、全てのスイッチ S_{cj} が開かれる。これにより、第二抵抗群8の抵抗値 R_s は、 $m \times R$ [Ω] となる。

[0028] 制御部50は、電圧検出回路6の動作を制御する。制御部50は、例えば、予め定められた動作をするように構成された制御回路である。制御部50は、微調整スイッチ部9、粗調整スイッチ部10、および可変抵抗 V_R を制御する。より詳しくは、制御部50は、微調整スイッチ部9が有する各スイッチ S_{fi} の開閉動作を制御する。制御部50は、各スイッチ S_{fi} の開閉状態を他のスイッチ S_{fi} の開閉状態とは独立して制御することができる。

また、制御部50は、粗調整スイッチ部10が有する各スイッチ S_{cj} の開閉動作を制御する。制御部50は、各スイッチ S_{cj} の開閉状態を他のスイッチ S_{cj} の開閉状態とは独立して制御することができる。また、制御部50は、コンパレータ3の出力信号を取得する。制御部50は、時計制御部等からの指令に応じて電圧検出動作を実行する。

[0029] 図3には、本実施形態の制御部50による電圧検出動作のフローチャートが示されている。図4には、図3のフローチャートによる電圧検出動作の一例が図示されている。図4において、左側は粗調整の検出シーケンスであり、フローチャートのステップS10からS50に対応する。図4の右側は、微調整の検出シーケンスであり、フローチャートのステップS60からS90に対応する。以下の説明では、粗調整の検出シーケンスを「第一シーケンス」と称し、微調整の検出シーケンスを「第二シーケンス」と称する。

[0030] 図4に示すように、第一シーケンスでは、コンパレータ3の信号が検出から非検出に変化するまで、合計抵抗値が $R[\Omega]$ ずつ増加される。合計抵抗値は、第一抵抗群7の抵抗値 r_s と第二抵抗群8の抵抗値 R_s との合計値である。つまり、合計抵抗値は、電源 V_{SS} と第二入力端子3bとの間の抵抗値である。

[0031] 図3のステップS10において、制御部50は、第二抵抗群8の抵抗値 R_s を $0[\Omega]$ とする。制御部50は、粗調整スイッチ部10の全てのスイッチ S_{cj} を閉じる。ステップS10が実行されると、ステップS20に進む。

[0032] ステップS20において、制御部50は、第一抵抗群7の抵抗値 r_s を最大値である $n \times r[\Omega]$ とする。ステップS20は、図4の粗調整の第一シーケンスにおける最初の抵抗値の増加（step1）に対応する。制御部50は、微調整スイッチ部9の全てのスイッチ S_{fi} を開く。これにより、互いに直列に接続された微調整抵抗 $r_1, r_2, \dots, r_n$ が電源 V_{SS} と第二入力端子3bとの間に有効な抵抗として介在する。従って、合計抵抗値は、 $R[\Omega]$ となる。ステップS20が実行されると、ステップS30に進む。

- [0033] ステップS 3 0において、制御部5 0は、コンパレータ3から検出信号を取得しているかを判定する。ステップS 3 0の判定の結果、検出信号を取得していると肯定判定された場合にはステップS 4 0に進み、否定判定された場合にはステップS 6 0に進む。
- [0034] ステップS 4 0において、制御部5 0は、第二抵抗群8の抵抗値 R_s が最大値の $m \times R$ [Ω] であるかを判定する。ステップS 4 0の判定の結果、肯定判定された場合には電圧検出が終了し、否定判定された場合にはステップS 5 0に進む。制御部5 0は、ステップS 4 0で肯定判定されると、第一抵抗群7の抵抗値 r_s と第二抵抗群8の抵抗値 R_s との合計値が最大値に達しているので電源V S Sの電圧が検出可能な上限の閾値 V_{th} よりも大きいと判定して電圧検出を終了する。
- [0035] 図3のステップS 5 0において、制御部5 0は、第二抵抗群8の抵抗値 R_s を R [Ω] 増加させる。すなわち、第二抵抗群8において、第一抵抗群7と第二入力端子3 bとの間で有効とされる粗調整抵抗 R_j の個数が一つ増やされる。制御部5 0は、粗調整スイッチ部1 0において、有効とする粗調整抵抗 R_j に対応する一つのスイッチ S_{cj} を開かせる。
- [0036] ステップS 5 0は、図4の第一シーケンスにおける二回目以降の抵抗値の増加（step 2～step 5）に対応する。ステップS 5 0が実行されると、ステップS 3 0に移行する。図4の左側の粗調整では、合計抵抗値が $4 \times R$ [Ω] 以下である間はコンパレータ3の出力が検出信号であり、合計抵抗値が $5 \times R$ [Ω] となると非検出信号に変化する。言い換えると、五回目の抵抗値の増加（step 5）によってコンパレータ3の出力が非検出信号に切り替わる。これにより、ステップS 3 0で否定判定されてステップS 6 0に進み、微調整の第二シーケンスが開始される。
- [0037] ステップS 6 0において、制御部5 0は、第一抵抗群7の抵抗値 r_s を r [Ω] とする。制御部5 0は、微調整スイッチ部9のスイッチ S_{f1} を開き、その他のスイッチ S_{f2} , ..., S_{fn} を閉じる。ステップS 6 0は、図4の右側に示された第二シーケンスにおける最初の抵抗値変化（step 1）

に対応する。ステップS 6 0が実行されると、ステップS 7 0に進む。

[0038] ステップS 7 0において、制御部5 0は、コンパレータ3から検出信号を取得しているかを判定する。ステップS 7 0の判定の結果、検出信号を取得していると肯定判定された場合にはステップS 8 0に進み、否定判定された場合には電圧検出が終了する。

[0039] 制御部5 0は、ステップS 7 0で否定判定されると、電源V S Sの電圧が閾値V t hよりも小さいと判定する。また、制御部5 0は、合計抵抗値に基づいて電源V S Sの電圧値を算出することができる。図4では、第二シーケンスにおいて、三回目の抵抗値変化（s t e p 3）でコンパレータ3の出力が非検出信号に切り替わる。この場合、一つ前（s t e p 2）の合計抵抗値に基づいて電源V S Sの電圧値が算出される。

[0040] ステップS 8 0において、制御部5 0は、第一抵抗群7の抵抗値 r_s が最大値の $n \times r$ [Ω] であるかを判定する。ステップS 8 0の判定の結果、肯定判定された場合には電圧検出が終了し、否定判定された場合にはステップS 9 0に進む。第一抵抗群7の抵抗値 r_s が最大値であってステップS 8 0で肯定判定された場合、図3のフローチャートが再実行されてもよい。この場合、ステップS 1 0に移行し、電圧検出の手順が初めから実行される。

[0041] ステップS 9 0において、制御部5 0は、第一抵抗群7の抵抗値 r_s を r [Ω] 増加させる。すなわち、第一抵抗群7において、電源V S Sと第二抵抗群8との間に有効な抵抗として介在させる微調整抵抗 r_i の個数が一つ増やされる。制御部5 0は、微調整スイッチ部9において、有効とする微調整抵抗 r_i に対応する一つのスイッチS f jを開かせる。ステップS 9 0が実行されると、ステップS 7 0に移行する。

[0042] なお、図3のフローチャートとは逆に、合計抵抗値を減少させながら電圧検出がなされてもよい。図5には、合計抵抗値を減少させながら電圧検出がなされる場合の第一シーケンスおよび第二シーケンスが示されている。この場合、コンパレータ3の出力が非検出信号から検出信号に切り替わることで各検出シーケンスが終了される。

[0043] 図5の左側に示された粗調整の第一シーケンスでは、初めに合計抵抗値が最大とされる（step 1）。そして、第二抵抗群8において有効な粗調整抵抗 R_j の個数が一つずつ減少される（step 2からstep 5）。図5の例では、step 5でコンパレータ3の出力が検出信号に切り替わり、第一シーケンスが終了して第二シーケンスに移行する。

[0044] 図5の右側の微調整の第二シーケンスでは、初めに、第二抵抗群8において有効な粗調整抵抗 R_j の個数が一つ増やされる（step 1）。その後、有効な微調整抵抗 r_i の個数が一つずつ減少される（step 2からstep 3）。図5の例では、step 3でコンパレータ3の出力が検出信号に切り替わり、電圧検出が終了する。

[0045] このように、合計抵抗値を減らしながら電圧検出する場合、粗調整および微調整の両方において抵抗値が減らされる。つまり、粗調整および微調整において、合計抵抗値の増減方向が同じとされる。これにより、ヒステリシスによる検出精度の低下が抑制される。図6には、コンパレータの検出特性が示されている。図6に示すように、非検出から検出に切り替わる場合と、検出から非検出に切り替わる場合とで電圧値にヒステリシスが存在する。本実施形態の電圧検出方法は、このヒステリシスの影響を回避することができる。

[0046] 以上説明したように、本実施形態の電圧検出回路6は、コンパレータ3と、複数の微調整抵抗 r_i と、少なくとも一つの粗調整抵抗 R_j と、微調整スイッチ部9と、粗調整スイッチ部10と、を有する。コンパレータ3は、基準電圧 V_{ref} が入力される第一入力端子3aと、第二入力端子3bと、を有する。複数の微調整抵抗 r_i は、検出対象と第二入力端子3bとの間に配置される。粗調整抵抗 R_j は、検出対象と第二入力端子3bとの間に配置される。

[0047] 微調整スイッチ部9は、任意の個数の微調整抵抗 r_i を検出対象および粗調整抵抗 R_j に対して直列に接続する。粗調整スイッチ部10は、任意の個数の粗調整抵抗 R_j を検出対象および微調整抵抗 r_i に対して直列に接続す

る。粗調整抵抗 R_j は、複数の微調整抵抗 r_i の抵抗値を合計した合計値と等しい抵抗値の抵抗を含む。本実施形態では、全ての粗調整抵抗 R_j の抵抗値 $R [\Omega]$ が上記の合計値 $n \times r [\Omega]$ と等しい。本実施形態の電圧検出回路 6 は、電圧検出分解能を向上することで汎用性を高めることができる。

[0048] 本実施形態の電圧検出回路 6 は、コンパレータ 3 の第二入力端子 3 b と接地電位 V_{DD} との間の抵抗値を変化させる可変抵抗 V_R を有する。コンパレータ 3 の第二入力端子 3 b には、可変抵抗 V_R と、微調整抵抗 r_i および粗調整抵抗 R_j と、によって分圧された電圧が入力される。可変抵抗 V_R は、電圧検出のレンジを変化させることや、電圧検出の分解能を変化させることができる。

[0049] 本実施形態の制御部 50 は、粗調整の検出シーケンスである第一シーケンス、および微調整の検出シーケンスである第二シーケンスを実行する。第一シーケンスは、検出対象の電源 V_{SS} および微調整抵抗 r_i に対して直列に接続する粗調整抵抗 R_j の個数をコンパレータ 3 の出力が切り替わるまで変化させていくシーケンスである。第二シーケンスは、第一シーケンスでコンパレータ 3 の出力が切り替わる前後の抵抗値の範囲で、検出対象の電源 V_{SS} および粗調整抵抗 R_j に対して直列に接続する微調整抵抗 r_i の個数を変化させていくシーケンスである。

[0050] 例えば、図 4 の左側に示す第一シーケンスでは、合計抵抗値が $4 \times R [\Omega]$ から $5 \times R [\Omega]$ に増加したときにコンパレータ 3 の出力が検出から非検出に切り替わる。この場合、制御部 50 は、右側の第二シーケンスにおいて、出力が変化する前の $4 \times R [\Omega]$ と、出力が変化した $5 \times R [\Omega]$ との間の抵抗値の範囲で、有効な微調整抵抗 r_i の個数を変化させる。

[0051] 制御部 50 は、第一シーケンスにおいて直列に接続する粗調整抵抗 R_j の個数を増加させていく場合、第二シーケンスにおいて直列に接続する微調整抵抗 r_i の個数を増加させていく。一方、制御部 50 は、第一シーケンスにおいて直列に接続する粗調整抵抗 R_j の個数を減少させていく場合、第二シーケンスにおいて直列に接続する微調整抵抗 r_i の個数を減少させていく。

これにより、コンパレータ 3 のヒステリシスの影響が回避され、検出精度が向上する。

[0052] 本実施形態の電圧検出回路 6 では、第一抵抗群 7 が第二抵抗群 8 よりも検出対象である電源 V_{SS} の側に配置されている。また、微調整スイッチ部 9 は、粗調整抵抗 R_j に対して検出対象である電源 V_{SS} の側に配置されている。これにより、電源 V_{SS} の電圧検出に対するスイッチ S_{fi} の抵抗の影響が軽減される。よって、本実施形態の電圧検出回路 6 は、電圧の検出精度を向上させることができる。

[0053] 本実施形態の電圧検出回路 6 は、粗調整の第一シーケンスにおいて、微調整抵抗 r_i を有効にして粗検出を行なう。微調整および粗調整の両方の検出シーケンスにおいて微調整抵抗 r_i を共通して用いることで、検出精度の向上を図ることができる。

[0054] なお、電圧検出回路 6 の検出対象は、電源 V_{SS} の電圧には限定されない。電圧検出回路 6 は、時計 1 における各種の電圧検出に使用可能である。また、電圧検出回路 6 の適用対象は、時計には限定されない。電圧検出回路 6 は、携帯用電子機器に適用されてもよく、その他の機器に適用されてもよい。

[0055] [実施形態の第 1 変形例]

図 7 を参照して、実施形態の第 1 変形例について説明する。図 7 は、実施形態の第 1 変形例に係る電圧検出回路の図である。実施形態の第 1 変形例において、上記実施形態と異なる点は、例えば、第一抵抗群 7 の抵抗値に重み付けがなされている点である。

[0056] 第 1 変形例の第一抵抗群 7 は、抵抗値が互いに異なる 4 個の微調整抵抗 r_i ($i = 1, 2, 3, 4$) を有する。第一抵抗群 7 は、更に、電源 V_{SS} に対して常時接続される微調整抵抗 r_5 を有する。微調整抵抗 r_5 は、常に有効な抵抗である。4 個の微調整抵抗 r_1, r_2, r_3, r_4 は、電源 V_{SS} と第二抵抗群 8 との間に配置されており、かつ互いに直列に接続されている。また、微調整抵抗 r_1, r_2, r_3, r_4 は、この順序で電源 V_{SS} の側

から第二抵抗群8に向けて並んでいる。

[0057] 4個の微調整抵抗 r_i ($i = 1, 2, 3, 4$)は、抵抗値 $r_f(i)$ を有する。4個の微調整抵抗 r_i ($i = 1, 2, 3, 4$)の抵抗値 $r_f(i)$ の最小値は、 $r[\Omega]$ である。図7では、微調整抵抗 r_1 が最小の抵抗値 $r[\Omega]$ を有する。微調整抵抗 r_i ($i = 1, 2, 3, 4$)の抵抗値 $r_f(i)$ は、下記式(2)のように定められている。

$$r_f(i) = 2^{i-1} \times r \quad (2)$$

[0058] つまり、微調整抵抗 r_2 の抵抗値 $r_f(2)$ は、 $2 \times r[\Omega]$ であり、微調整抵抗 r_3 の抵抗値 $r_f(3)$ は、 $4 \times r[\Omega]$ であり、微調整抵抗 r_4 の抵抗値 $r_f(4)$ は、 $8 \times r[\Omega]$ である。なお、微調整抵抗 r_5 の抵抗値 $r_f(5)$ は、 $r[\Omega]$ である。

[0059] 微調整スイッチ部9は、任意の個数の微調整抵抗 r_i を電源VSSおよび第二抵抗群8に対して直列に接続する。第1変形例の微調整スイッチ部9は、複数のスイッチ S_{fi} ($i = 1, 2, 3, 4$)を有する。スイッチ S_{fi} は、閉じることによって、対応する微調整抵抗 r_i をバイパスさせる。例えば、スイッチ S_{f1} は、微調整抵抗 r_1 をバイパスさせる。

[0060] 微調整スイッチ部9は、全てのスイッチ S_{fi} を閉じた場合に一個の微調整抵抗 r_5 を有効な抵抗として電源VSSおよび第二抵抗群8に対して直列に接続する。この場合、第一抵抗群7の抵抗値 r_s は、 $r[\Omega]$ である。微調整スイッチ部9は、4個の微調整抵抗 r_i ($i = 1, 2, 3, 4$)のうち、0個から4個までの任意の抵抗を有効な抵抗として電源VSSおよび第二抵抗群8に対して直列に接続することができる。つまり、微調整スイッチ部9は、4個の微調整抵抗 r_i ($i = 1, 2, 3, 4$)の組み合わせにより、 $0[\Omega]$ から $15 \times r[\Omega]$ までの合成抵抗を形成することができる。従って、微調整スイッチ部9は、第一抵抗群7の抵抗値 r_s を $r[\Omega]$ から $16 \times r[\Omega]$ まで、 $r[\Omega]$ ずつ増減させることが可能である。

[0061] 第1変形例の第二抵抗群8は、上記実施形態の第二抵抗群8と同様に、同じ抵抗値 $R[\Omega]$ を有する少なくとも一つの粗調整抵抗 R_j ($j = 1, 2,$

..., m) を有する。抵抗値 R [Ω] は、複数の微調整抵抗 r_i の抵抗値 r_f (i) を合算した合計値と等しい。すなわち、一つの粗調整抵抗 R_j の抵抗値 R は、 $16 \times r$ [Ω] である。

[0062] 粗調整スイッチ部 10 は、任意の個数の粗調整抵抗 R_j を電源 VSS および第一抵抗群 7 に対して直列に接続する。第 1 変形例の粗調整スイッチ部 10 は、複数のスイッチ S_{cj} ($j = 1, 2, \dots, m$) を有する。スイッチ S_{cj} は、閉じることによって、対応する粗調整抵抗 R_j をバイパスさせる。例えば、スイッチ S_{c1} は、粗調整抵抗 R_1 をバイパスさせる。全てのスイッチ S_{cj} が閉じている場合、全ての粗調整抵抗 R_j がバイパスされる。つまり、粗調整スイッチ部 10 は、0 個から m 個まで任意の個数の粗調整抵抗 R_j を有効な抵抗として電源 VSS および第一抵抗群 7 に対して直列に接続することができる。

[0063] 第 1 変形例の電圧検出回路 6 は、上記実施形態の電圧検出回路 6 と略同様の手順により電源 VSS の電圧を検出することができる。図 3 のフローチャートを参照して、第 1 変形例の電圧検出回路 6 の検出手順を説明する。

[0064] ステップ $S10$ において、制御部 50 は、第二抵抗群 8 の抵抗値 R_s を 0 [Ω] とし、ステップ $S20$ で第一抵抗群 7 の抵抗値 r_s を最大値とする。この場合に、制御部 50 は、第一抵抗群 7 の全ての微調整抵抗 r_i を有効な抵抗とする。従って、第一抵抗群 7 の抵抗値 r_s は、最大値である $16 \times r$ [Ω] となる。

[0065] ステップ $S30$ からステップ $S50$ は、上記実施形態と同様である。制御部 50 は、コンパレータ 3 の出力が非検出信号となるまで、第二抵抗群 8 における有効な粗調整抵抗 R_j の個数を増加させていく。コンパレータ 3 から非検出信号を受信すると、微調整の第二シーケンスに移行する。

[0066] ステップ $S60$ において、制御部 50 は、微調整スイッチ部 9 の全てのスイッチ S_{fi} を閉じて第一抵抗群 7 の抵抗値 r_s を r [Ω] とする。ステップ $S70$ でコンパレータ 3 の出力が検出信号であると肯定判定された場合にはステップ $S80$ に進む。

[0067] ステップS80において、制御部50は、第一抵抗群7の抵抗値 r_s が最大値の $16 \times r$ [Ω] であるか判定する。ステップS80で否定判定されてステップS90に進むと、制御部50は、第一抵抗群7の抵抗値 r_s を r [Ω] 増加させる。ステップS80で肯定判定されると、電圧検出が終了する。

[0068] 実施形態の第1変形例の電圧検出回路6は、5個の微調整抵抗 r_i ($i = 1, 2, \dots, 5$) によって第一抵抗群7の抵抗値 r_s を16段階に変化させることができる。これにより、電圧検出の分解能や精度が向上する。

[0069] なお、抵抗値が互いに異なる微調整抵抗 r_i の個数 n は、4には限定されない。第一抵抗群7は、抵抗値が互いに異なる任意の n 個の微調整抵抗 r_i を有することができる。

[0070] 以上説明したように、第1変形例に係る電圧検出回路6は、抵抗値が互いに異なる n 個の微調整抵抗 r_i を有する。上記の n は、2以上の自然数である。 n 個の微調整抵抗 r_i の抵抗値の最小値は、 r [Ω] である。 n 個の微調整抵抗 r_i のそれぞれの抵抗値 r_{fi} (i) は、 $2^{i-1} \times r$ である。第1変形例の電圧検出回路6は、微調整用のスイッチ S_{fi} の個数増加を抑制しつつ検出分解能を向上させることができる。

[0071] なお、微調整の第二シーケンスにおいて、有効か否かが切り替えられる微調整抵抗 r_i の個数は、必要な分解能に応じて定められてもよい。図7の第一抵抗群7は、16レベルの抵抗値 r_s を実現可能である。これに対して、分解能が半分の8レベルでよい場合は、微調整抵抗 r_1 のスイッチ S_{f1} がオフ（開放）のままとされてもよい。この場合、スイッチ S_{f2} , S_{f3} , S_{f4} によって抵抗値 r_s が8レベルに切り替えられる。これにより、検出結果の確定に至る最大stepが減り、検出時間が短縮される。

[0072] なお、第一抵抗群7において、微調整抵抗 r_5 が省略されてもよい。この場合、粗調整抵抗 R_j の抵抗値は、 $R = 15 \times r$ [Ω] とされる。

[0073] [実施形態の第2変形例]

図8を参照して、実施形態の第2変形例について説明する。図8は、実施

形態の第2変形例に係る電圧検出回路の図である。実施形態の第2変形例において、実施形態の第1変形例と異なる点は、例えば、第二抵抗群8の抵抗値に重み付けがなされている点である。第2変形例の第一抵抗群7は、上記第1変形例の第一抵抗群7と同様に、抵抗値が互いに異なる4個の微調整抵抗 r_i ($i = 1, 2, 3, 4$)と、常時有効な微調整抵抗 r_5 と、を有する。また、第2変形例の微調整スイッチ部9は、上記第1変形例の微調整スイッチ部9と同様に構成されている。

[0074] 第2変形例の第二抵抗群8は、抵抗値が互いに異なる m 個の粗調整抵抗 R_j ($j = 1, 2, \dots, m$)を有する。 m 個の粗調整抵抗 R_j は、第一抵抗群7と第二入力端子3bとの間に配置されており、かつ直列に接続されている。粗調整抵抗 $R_1, R_2, \dots, R_m$ は、この順序で電源 V_{SS} の側から第二入力端子3bに向けて並んでいる。

[0075] m 個の粗調整抵抗 R_j ($j = 1, 2, \dots, m$)は、抵抗値 $R_c(j)$ を有する。 m 個の粗調整抵抗 R_j の抵抗値 $R_c(j)$ の最小値は、 $R[\Omega]$ である。図8では、粗調整抵抗 R_1 が最小の抵抗値 $R[\Omega]$ を有する。粗調整抵抗 R_1 の抵抗値 R は、 $16 \times r[\Omega]$ である。粗調整抵抗 R_j のそれぞれの抵抗値 $R_c(j)$ は、下記式(3)のように定められている。

$$R_c(j) = 2^{j-1} \times R \quad (3)$$

[0076] つまり、粗調整抵抗 R_2 の抵抗値 $R_c(2)$ は、 $2 \times R[\Omega]$ であり、粗調整抵抗 R_3 の抵抗値 $R_c(3)$ は、 $4 \times R[\Omega]$ であり、粗調整抵抗 R_m の抵抗値 $R_c(m)$ は、 $2^{m-1} \times R[\Omega]$ である。

[0077] 粗調整スイッチ部10は、任意の個数の粗調整抵抗 R_j を電源 V_{SS} および第一抵抗群7に対して直列に接続する。第2変形例の粗調整スイッチ部10は、複数のスイッチ S_{c_j} ($j = 1, 2, \dots, m$)を有する。スイッチ S_{c_j} は、閉じることによって、対応する粗調整抵抗 R_j をバイパスさせる。粗調整スイッチ部10は、 m 個の粗調整抵抗 R_j のうち、0個から m 個までの任意の粗調整抵抗 R_j を有効な抵抗とすることができる。つまり、粗調整スイッチ部10は、 m 個の粗調整抵抗 R_j の組み合わせにより、 $0[\Omega]$ か

ら $(2^m - 1) \times R$ [Ω] までの 2^m 種類の合成抵抗を形成することができる。また、粗調整スイッチ部 10 は、第二抵抗群 8 の抵抗値 R_s を 0 [Ω] から $(2^m - 1) \times R$ [Ω] まで、 R [Ω] ずつ増減させることが可能である。

[0078] 第 2 変形例の電圧検出回路 6 は、上記実施形態の電圧検出回路 6 と略同様の手順により電源 V_{SS} の電圧を検出することができる。図 3 のフローチャートを参照して、第 2 変形例の電圧検出回路 6 の検出手順を説明する。

[0079] ステップ S 10 において、制御部 50 は、第二抵抗群 8 の抵抗値 R_s を 0 [Ω] とし、ステップ S 20 で第一抵抗群 7 の抵抗値 r_s を最大値とする。この場合に、制御部 50 は、第一抵抗群 7 の全ての微調整抵抗 r_i を有効な抵抗とする。従って、第一抵抗群 7 の抵抗値 r_s は、最大値である $16 \times r$ [Ω] となる。

[0080] ステップ S 30 において、制御部 50 は、コンパレータ 3 から検出信号を取得しているかを判定する。ステップ S 30 で肯定判定されてステップ S 40 に進むと、制御部 50 は、第二抵抗群 8 の抵抗値 R_s が最大値の $(2^m - 1) \times R$ [Ω] であるかを判定する。ステップ S 40 で否定判定されてステップ S 50 に進むと、制御部 50 は、第二抵抗群 8 の抵抗値 R_s を R [Ω] 増加させる。

[0081] つまり、制御部 50 は、コンパレータ 3 の出力が非検出信号となるまで、第二抵抗群 8 の抵抗値 R_s を R [Ω] ずつ増加させていく。コンパレータ 3 から非検出信号を受信すると、微調整の第二シーケンスに移行する。

[0082] ステップ S 60 において、制御部 50 は、微調整スイッチ部 9 の全てのスイッチ S_{fi} を閉じて第一抵抗群 7 の抵抗値 r_s を r [Ω] とする。ステップ S 70 でコンパレータ 3 の出力が検出信号であると肯定判定された場合にはステップ S 80 に進む。

[0083] ステップ S 80 において、制御部 50 は、第一抵抗群 7 の抵抗値 r_s が最大値の $16 \times r$ [Ω] であるかを判定する。ステップ S 80 で否定判定されてステップ S 90 に進むと、制御部 50 は、第一抵抗群 7 の抵抗値 r_s を r [Ω] 増加させる。ステップ S 80 で肯定判定されると、電圧検出が終了する。

。

[0084] 実施形態の第2変形例に係る電圧検出回路6は、 m 個 ($2 \leq m$) の粗調整抵抗 R_j によって第二抵抗群8の抵抗値 R_s を 2^m 段階に変化させることができる。これにより、電圧検出のレンジを拡大させることができる。更に、電圧検出回路6は、重み付けされた n 個 ($2 \leq n$) の微調整抵抗 r_i を有することで、第一抵抗群7の抵抗値 r_s を 2^n 段階に変化させることができる。よって、第2変形例の電圧検出回路6は、抵抗の個数を抑えながら、検出範囲のレンジを拡大し、かつ分解能を向上させることができる。

[0085] 以上説明したように、第2変形例に係る電圧検出回路6は、抵抗値が互いに異なる m 個の粗調整抵抗 R_j を有する。上記の m は、2以上の自然数である。 m 個の粗調整抵抗 R_j の抵抗値の最小値は、 R [Ω] である。 m 個の粗調整抵抗 R_j のそれぞれの抵抗値 $R_c(j)$ は、 $2^{j-1} \times R$ である。第2変形例に係る電圧検出回路6は、粗調整用のスイッチ S_{c_j} の個数増加を抑制しつつ電圧検出のレンジを拡大させることができる。

[0086] なお、第一抵抗群7において、微調整抵抗 r_5 が省略されてもよい。この場合、粗調整抵抗 R_j の抵抗値の最小値は、 $R = 1.5 \times r$ [Ω] とされる。

[0087] [実施形態の第3変形例]

実施形態の第3変形例について説明する。上記実施形態では、微調整の第二シーケンスにおいて、コンパレータ3の出力が切り替わった場合に電圧検出が終了された。これに代えて、コンパレータ3の出力が切り替わると予測された段階で電圧検出が終了されてもよい。

[0088] 図4を参照して第3変形例の電圧検出方法について説明する。図4の右側に示す微調整の第二シーケンスでは、第一抵抗群7の抵抗値 r_s が $3 \times r$ [Ω] まで増加した時点 (step 3) でコンパレータ3の出力が非検出信号となり、電圧検出が終了する。ここで、抵抗値 r_s が $3 \times r$ [Ω] である場合の検出電圧 V_{13} が閾値 V_{th} に到達しない場合について検討する。この場合、第一抵抗群7の抵抗値 r_s を最大値である $4 \times r$ [Ω] とすれば、コンパレータ3の出力が非検出信号に切り替わると推定される。

[0089] 第3変形例では、抵抗値 r_s が $3 \times r$ [Ω] まで増加してもコンパレータ3の出力が検出信号のままである場合に、電圧検出が終了される。この判定は、粗調整の第一シーケンスの結果に基づく。第一シーケンスでは、合計抵抗値が $5 \times R$ [Ω] となったときにコンパレータ3の検出が非検出信号に切り替わっている。従って、微調整の第二シーケンスでも合計抵抗値が $5 \times R$ [Ω] となればコンパレータ3の検出が非検出信号に切り替わると予想できる。このように、第一抵抗群7の抵抗値 r_s が最大値よりも一つ小さい抵抗値である段階でコンパレータ3の出力が切り替わらない場合、電圧検出が終了されてもよい。この場合の電源 V_{SS} の検出電圧値は、第一抵抗群7の抵抗値 r_s を最大としてコンパレータ3の出力が切り替わったと仮定した場合に採用される値である。

[0090] 上記の実施形態および変形例に開示された内容は、適宜組み合わせて実行することができる。

符号の説明

[0091] 1 : 電子時計、 2 : 外装ケース
3 : コンパレータ、 3 a : 第一入力端子、 3 b : 第二入力端子
4 : 電池、 5 : 風防、 6 : 電圧検出回路、 7 : 第一抵抗群、 8 : 第二抵抗群
9 : 微調整スイッチ部、 10 : 粗調整スイッチ部
21 : 本体、 22 : かん
31 : 文字板、 32 : 秒針、 33 : 分針、 34 : 時針
50 : 制御部
 r_i : 微調整抵抗、 R_j : 粗調整抵抗
 S_{fi} , S_{cj} : スイッチ、 V_{DD} : 接地電位、 V_{SS} : 電源
 V_{ref} : 基準電圧、 V_R : 可変抵抗

請求の範囲

- [請求項1] 基準電圧が入力される第一入力端子と、第二入力端子と、を有するコンパレータと、
- 検出対象と前記第二入力端子との間に配置された複数の微調整抵抗と、
- 前記検出対象と前記第二入力端子との間に配置された少なくとも一つの粗調整抵抗と、
- 任意の個数の前記微調整抵抗を前記検出対象および前記粗調整抵抗に対して直列に接続する微調整スイッチ部と、
- 任意の個数の前記粗調整抵抗を前記検出対象および前記微調整抵抗に対して直列に接続する粗調整スイッチ部と、
- 前記微調整スイッチ部が有するスイッチの開閉動作、および前記粗調整スイッチ部が有するスイッチの開閉動作を制御する制御部と、
- を備え、
- 前記粗調整抵抗は、複数の前記微調整抵抗の抵抗値を合算した合計値と等しい抵抗値の抵抗を含む
- ことを特徴とする電圧検出回路。
- [請求項2] 抵抗値が互いに異なる n 個の前記微調整抵抗を有し、
- 前記 n は、2 以上の自然数であり、
- n 個の前記微調整抵抗の抵抗値の最小値は、 r であり、
- n 個の前記微調整抵抗のそれぞれの抵抗値 $r_f(i)$ ($i = 1, 2, \dots, n$) は、 $2^{i-1} \times r$ である
- 請求項 1 に記載の電圧検出回路。
- [請求項3] 抵抗値が互いに異なる m 個の前記粗調整抵抗を有し、
- 前記 m は、2 以上の自然数であり、
- m 個の前記粗調整抵抗の抵抗値の最小値は、 R であり、
- m 個の前記粗調整抵抗のそれぞれの抵抗値 $R_c(j)$ ($j = 1, 2, \dots, m$) は、 $2^{j-1} \times R$ である

請求項 1 に記載の電圧検出回路。

[請求項4] 前記コンパレータの前記第二入力端子と接地電位との間の抵抗値を変化させる可変抵抗を有し、

前記第二入力端子には、前記可変抵抗と、前記微調整抵抗および前記粗調整抵抗と、によって分圧された電圧が入力される

請求項 1 に記載の電圧検出回路。

[請求項5] 前記制御部は、粗調整の検出シーケンスである第一シーケンス、および微調整の検出シーケンスである第二シーケンスを実行し、

前記第一シーケンスは、前記検出対象および前記微調整抵抗に対して直列に接続する前記粗調整抵抗の個数を前記コンパレータの出力が切り替わるまで変化させていくシーケンスであり、

前記第二シーケンスは、前記第一シーケンスで前記コンパレータの出力が切り替わる前後の抵抗値の範囲で、前記検出対象および前記粗調整抵抗に対して直列に接続する前記微調整抵抗の個数を変化させていくシーケンスであり、

前記制御部は、前記第一シーケンスにおいて直列に接続する前記粗調整抵抗の個数を増加させていく場合、前記第二シーケンスにおいて直列に接続する前記微調整抵抗の個数を増加させていき、

前記制御部は、前記第一シーケンスにおいて直列に接続する前記粗調整抵抗の個数を減少させていく場合、前記第二シーケンスにおいて直列に接続する前記微調整抵抗の個数を減少させていく

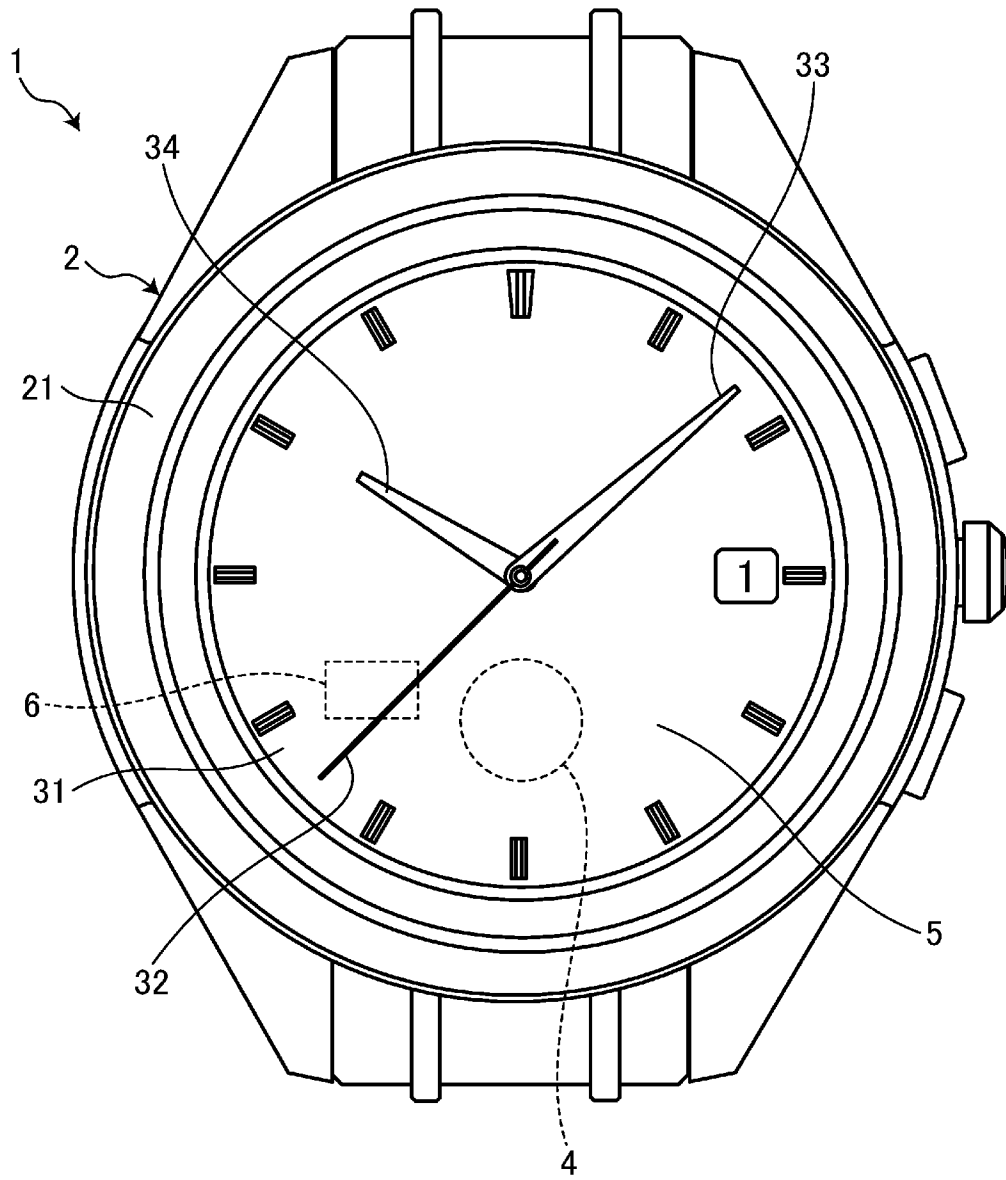
請求項 1 に記載の電圧検出回路。

[請求項6] 前記微調整スイッチ部は、前記粗調整抵抗に対して前記検出対象の側に配置される

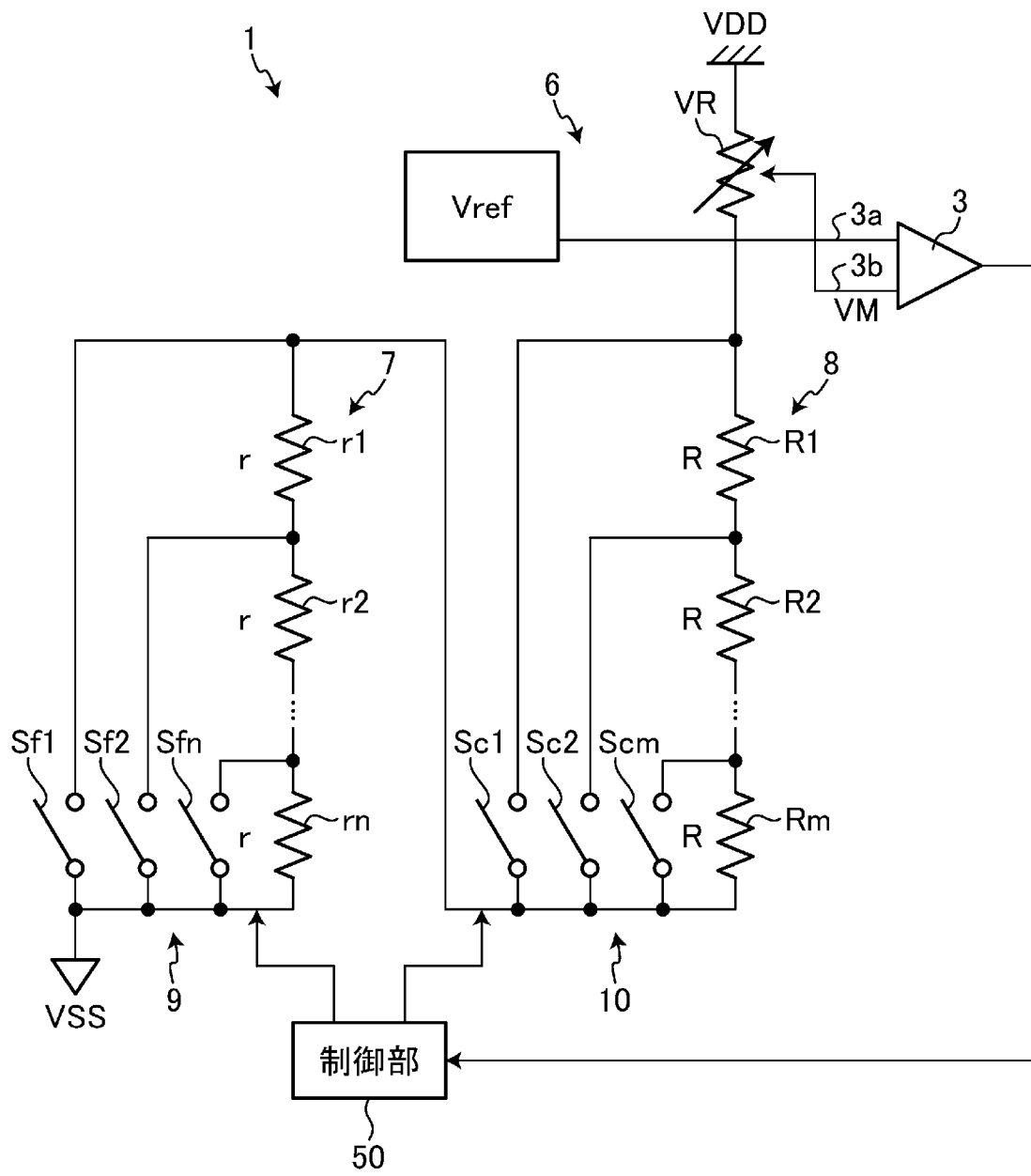
請求項 1 に記載の電圧検出回路。

[請求項7] 請求項 1 に記載の電圧検出回路と、
前記検出対象としての電池と、
を備えた時計。

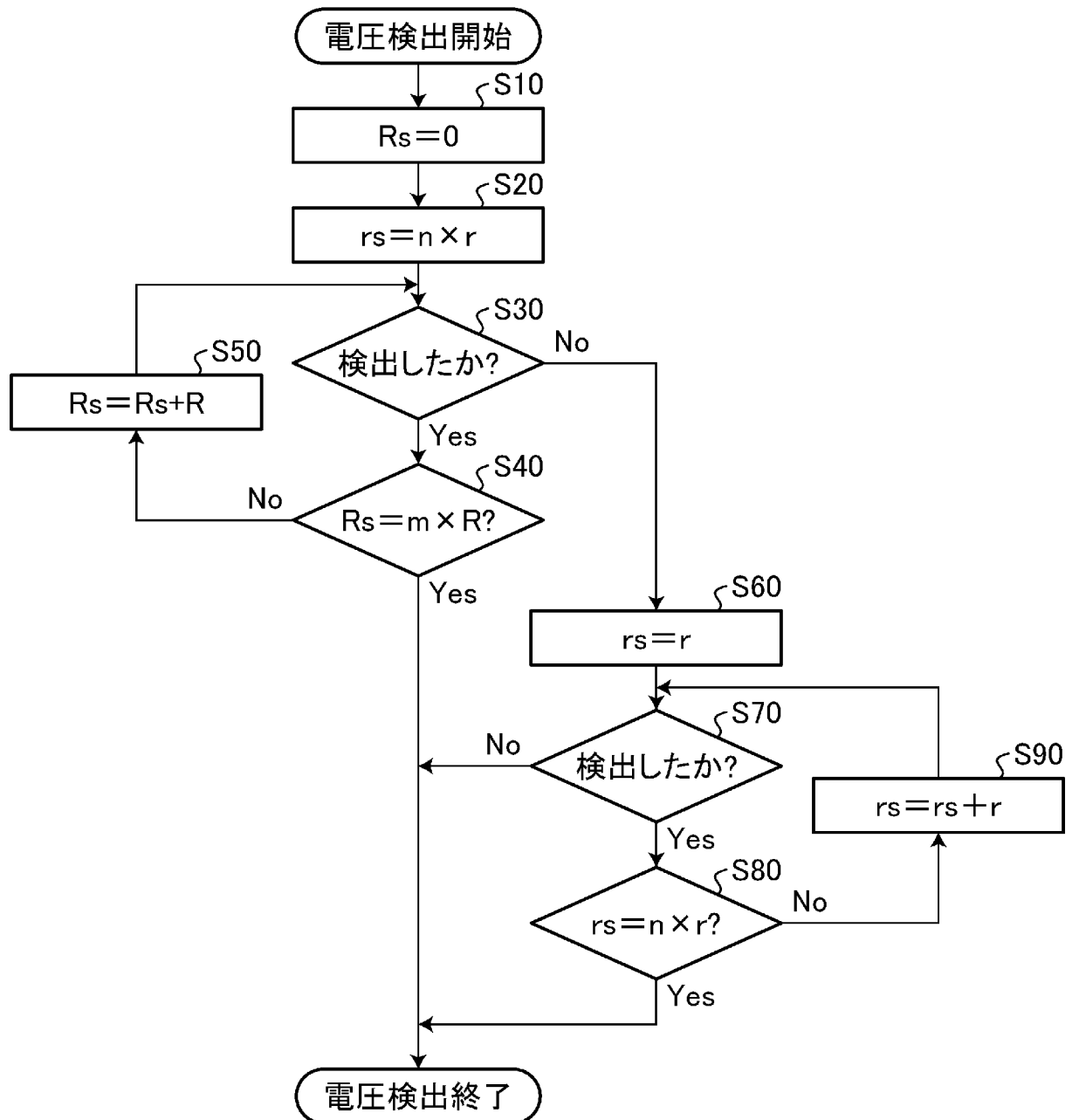
[図1]



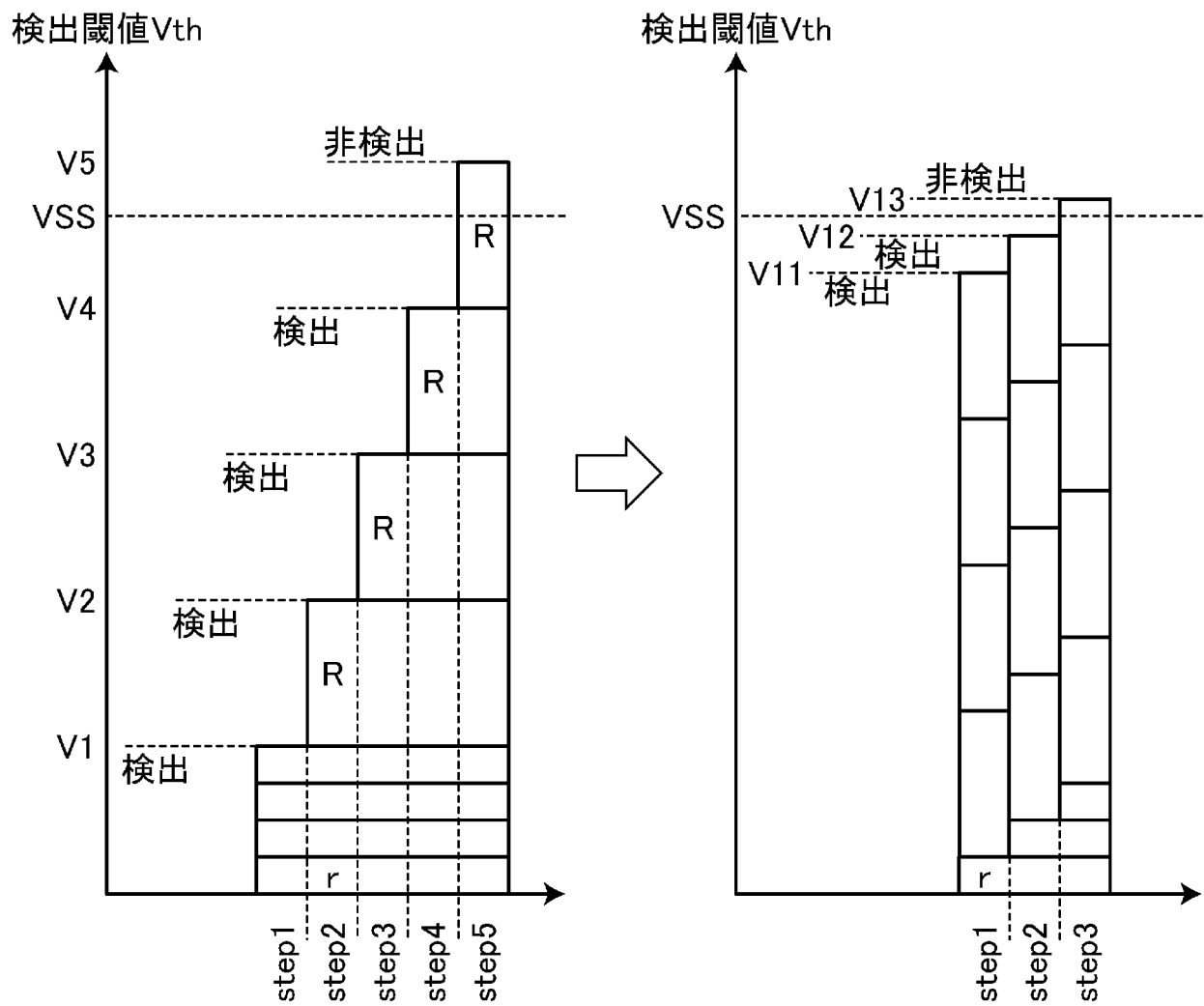
[図2]



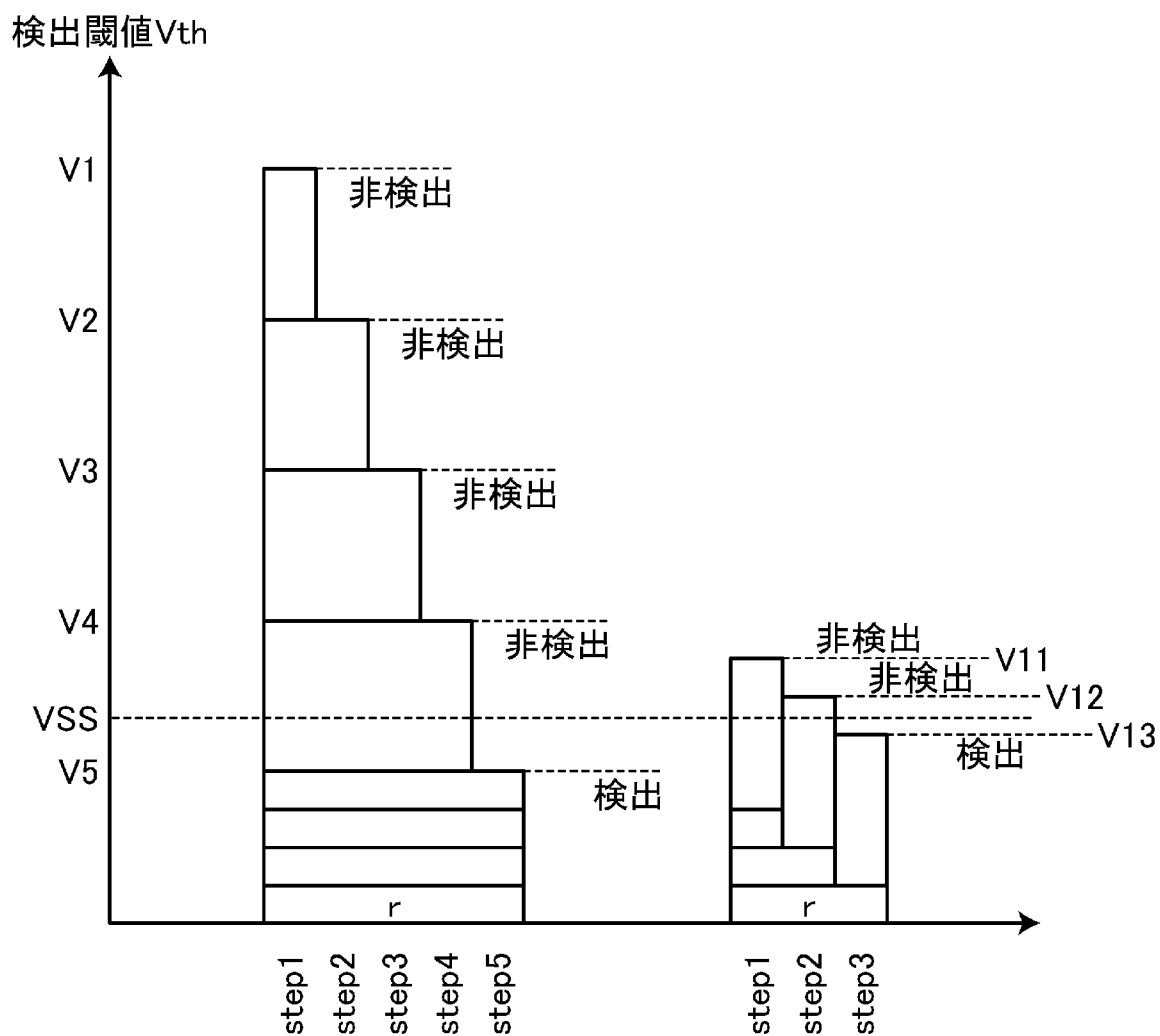
[図3]



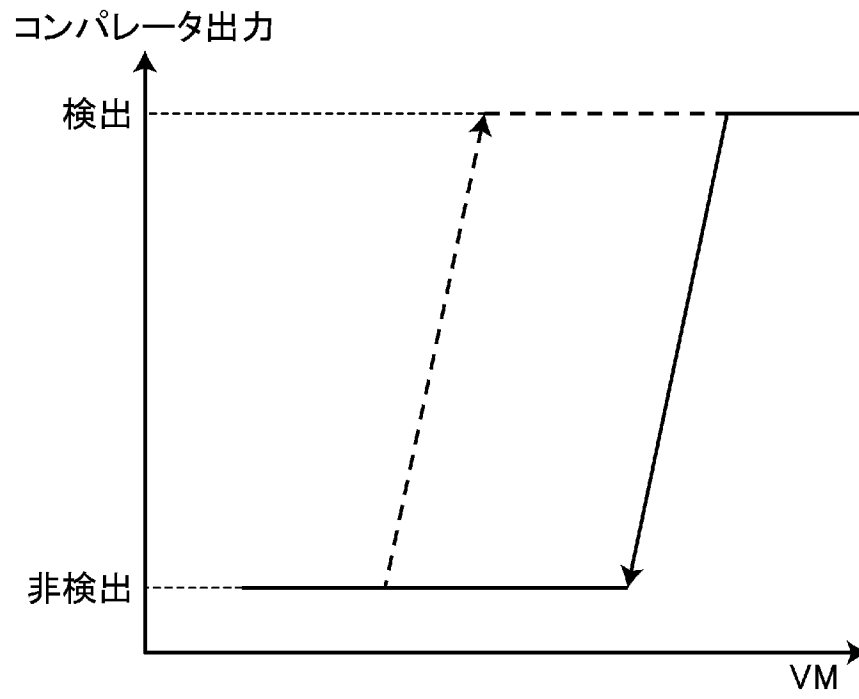
[図4]



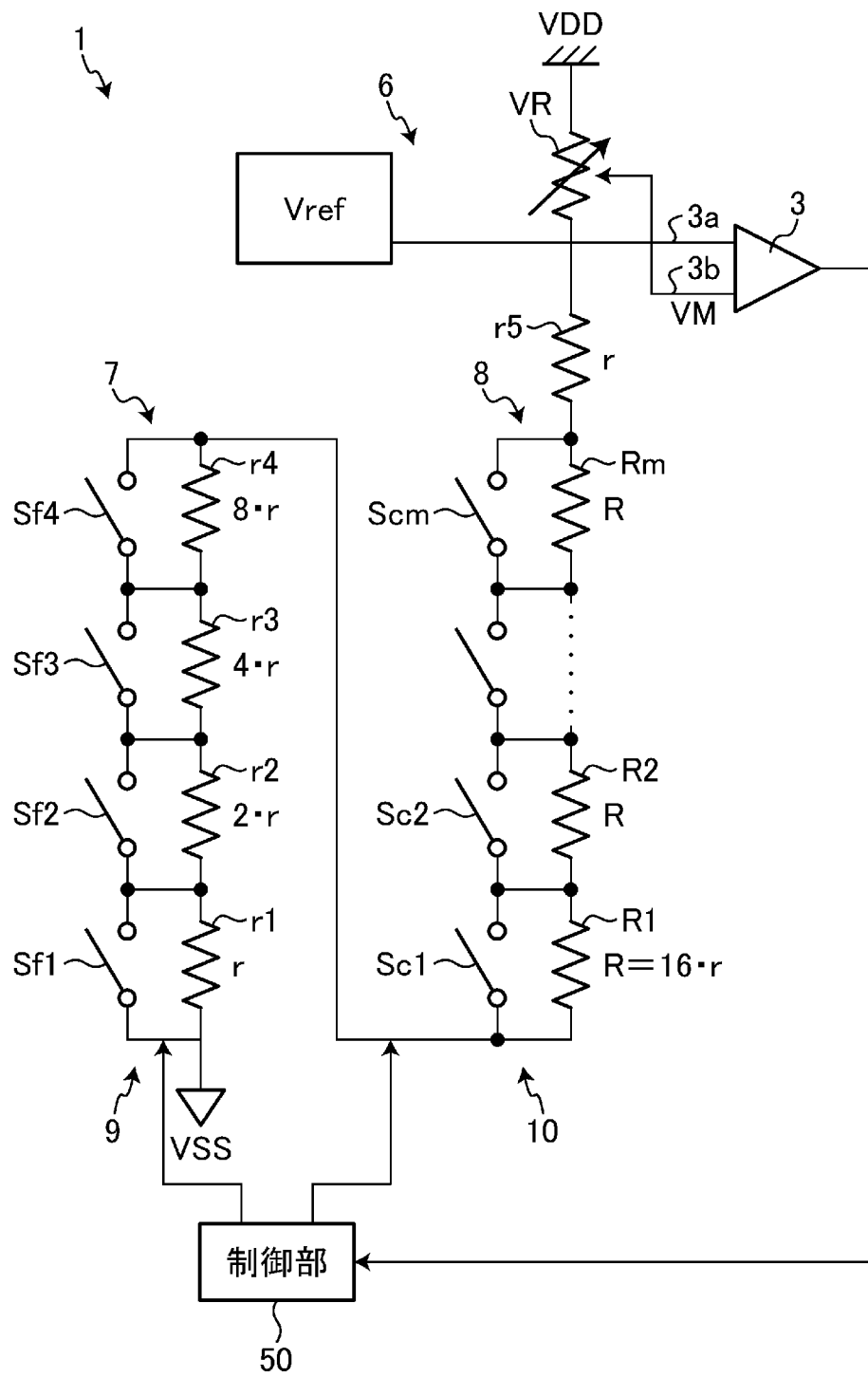
[図5]



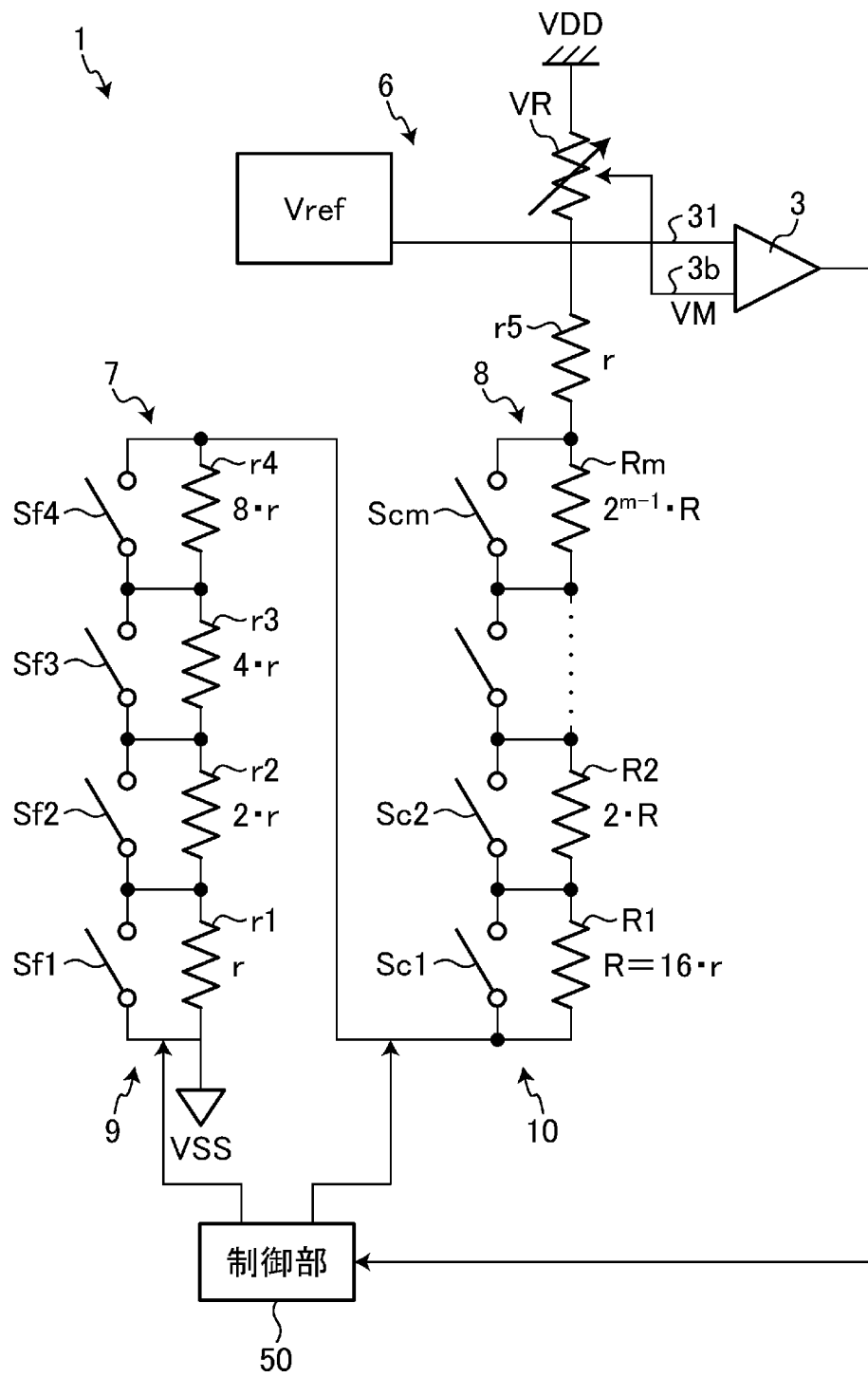
[図6]



[図7]



[図8]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2024/001690

A. CLASSIFICATION OF SUBJECT MATTER**G01R 19/165**(2006.01)i; **G04C 10/00**(2006.01)i; **G04G 19/02**(2006.01)i

FI: G01R19/165 A; G04C10/00 A; G04G19/02 Z

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G01R19/00; G01R15/00; G04C10/00; G04G19/02

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996

Published unexamined utility model applications of Japan 1971-2024

Registered utility model specifications of Japan 1996-2024

Published registered utility model applications of Japan 1994-2024

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2020-16578 A (ABLIC INC.) 30 January 2020 (2020-01-30) paragraphs [0010]-[0027], [0038], fig. 1, 2	1-3
Y		4, 6-7
A		5
Y	JP 60-52776 A (MATSUSHITA ELECTRIC WORKS, LTD.) 26 March 1985 (1985-03-26) pp. 2-3, examples 1, 2, fig. 2, 3	4
Y	JP 2009-31093 A (SEIKO INSTRUMENTS INC.) 12 February 2009 (2009-02-12) paragraphs [0025]-[0027], fig. 1	6
Y	JP 2016-217936 A (SEIKO EPSON CORPORATION) 22 December 2016 (2016-12-22) paragraphs [0052]-[0057], fig. 7, 8	7



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“D” document cited by the applicant in the international application

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

07 March 2024

Date of mailing of the international search report

19 March 2024

Name and mailing address of the ISA/JP

Japan Patent Office (ISA/JP)
3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915
Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/JP2024/001690

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP	2020-16578	A	30 January 2020	US 2020/0033382 A1 paragraphs [0017]-[0035], [0047], fig. 1, 2 KR 10-2020-0012751 A CN 110850312 A TW 202007983 A	
JP	60-52776	A	26 March 1985	(Family: none)	
JP	2009-31093	A	12 February 2009	(Family: none)	
JP	2016-217936	A	22 December 2016	US 2016/0342140 A1 paragraphs [0136]-[0153], fig. 7, 8 EP 3096190 A1 CN 106168752 A	

A. 発明の属する分野の分類（国際特許分類（IPC））

G01R 19/165(2006.01)i; G04C 10/00(2006.01)i; G04G 19/02(2006.01)i

FI: G01R19/165 A; G04C10/00 A; G04G19/02 Z

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

G01R19/00; G01R15/00; G04C10/00; G04G19/02

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報

1922-1996年

日本国公開実用新案公報

1971-2024年

日本国実用新案登録公報

1996-2024年

日本国登録実用新案公報

1994-2024年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	JP 2020-16578 A（エイブリック株式会社）30.01.2020（2020-01-30） 段落0010-0027, 0038, 第1, 2図	1-3
Y		4, 6-7
A		5
Y	JP 60-52776 A（松下電工株式会社）26.03.1985（1985-03-26） 第2頁－第3頁の実施例1, 2, 第2, 3図	4
Y	JP 2009-31093 A（セイコーインスツル株式会社）12.02.2009（2009-02-12） 段落0025-0027, 第1図	6
Y	JP 2016-217936 A（セイコーエプソン株式会社）22.12.2016（2016-12-22） 段落0052-0057, 第7, 8図	7

☐ C欄の続きにも文献が列挙されている。

☒ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

“A” 特に関連のある文献ではなく、一般的技术水準を示すもの

“D” 国際出願で出願人が先行技術文献として記載した文献

“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

“O” 口頭による開示、使用、展示等に言及する文献

“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献

“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの

“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

“&” 同一パテントファミリー文献

国際調査を完了した日

07.03.2024

国際調査報告の発送日

19.03.2024

名称及びあて先

日本国特許庁(ISA/JP)

〒100-8915

日本国

東京都千代田区霞が関三丁目4番3号

権限のある職員（特許庁審査官）

島田 保 2S 4004

電話番号 03-3581-1101 内線 3216

様式 PCT/ISA/210（第2ページ）（2022年7月）

国際調査報告
パテントファミリーに関する情報

国際出願番号
PCT/JP2024/001690

引用文献			公表日	パテントファミリー文献	公表日
JP	2020-16578	A	30.01.2020	US 2020/0033382 A1 段落0017-0035, 0047, 第1, 2 図 KR 10-2020-0012751 A CN 110850312 A TW 202007983 A	
JP	60-52776	A	26.03.1985	(ファミリーなし)	
JP	2009-31093	A	12.02.2009	(ファミリーなし)	
JP	2016-217936	A	22.12.2016	US 2016/0342140 A1 段落0136-0153, 第7, 8図 EP 3096190 A1 CN 106168752 A	