

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2025年1月23日(23.01.2025)



(10) 国際公開番号

WO 2025/018348 A1

(51) 国際特許分類:
H03K 17/691 (2006.01) H03K 19/0175 (2006.01)
H03K 7/08 (2006.01) H04L 25/02 (2006.01)

(21) 国際出願番号: PCT/JP2024/025526

(22) 国際出願日: 2024年7月16日(16.07.2024)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2023-117657 2023年7月19日(19.07.2023) JP

(71) 出願人: ローム株式会社 (ROHM CO., LTD.)
[JP/JP]; 〒6158585 京都府京都市右京区西院
溝崎町2-1番地 Kyoto (JP).

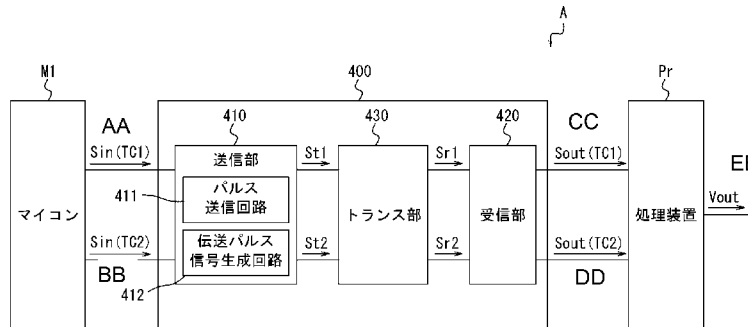
(72) 発明者: 篠部 晃生 (SASABE Akio); 〒6158585
京都府京都市右京区西院溝崎町2-1番地
ローム株式会社内 Kyoto (JP). 柳島 大
輝 (YANAGISHIMA Daiki); 〒6158585 京都府
京都市右京区西院溝崎町2-1番地
ローム株式会社内 Kyoto (JP).

(74) 代理人: 弁理士法人 佐野特許事務所 (SANO
PATENT OFFICE); 〒5400032 大阪府大阪市
中央区天満橋京町2-6 天満橋八千代
ビル別館5F Osaka (JP).

(81) 指定国(表示のない限り、全ての種類の国内保
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA,
BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN,
CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC,

(54) Title: SIGNAL TRANSMISSION DEVICE, ELECTRONIC APPARATUS, AND VEHICLE

(54) 発明の名称: 信号伝達装置、電子機器及び車両



410 Transmission portion
411 Pulse-transmission circuit
412 Transmission-pulse-signal generation circuit
420 Reception portion
430 Transformer portion
M1 Microcomputer
Pr Processing device
AA Sin(TC1)
BB Sin(TC2)
CC Sout(TC1)
DD Sout(TC2)
EE Vout

(57) Abstract: A signal transmission device (400) is configured to have: a transmission portion (410) configured to output a primary-side transmission pulse signal (Stp) having the number of pulses determined in accordance with an input signal (Sin) each time an input signal is input and a predetermined first time (T1) elapses; and a reception portion (420) configured to receive a secondary-side transmission pulse signal (Srp) having the same number of pulses as that of the primary-side transmission pulse signal (Stp) by performing insulation communication with the transmission portion (410) and to output

EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR,
HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG,
KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU,
LY, MA, MD, MG, MK, MN, MU, MW, MX, MY,
MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL,
PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK,
SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告 (条約第21条(3))

an output signal (Sout) in accordance with the number of pulses.

(57) 要約: 信号伝達装置 (4 0 0) は入力信号が入力されるとともに予め決められた第1時間 (T 1) 経過するごとに入力信号 (S i n) に応じて決められたパルス数の一次側伝送パルス信号 (S t p) を出力するように構成された送信部 (4 1 0) と、送信部 (4 1 0) との間で絶縁通信を行うことで一次側伝送パルス信号 (S t p) と同数のパルス数の二次側伝送パルス信号 (S r p) を受信し、パルス数に応じて出力信号 (S o u t) を出力するように構成された受信部 (4 2 0) と、を有するように構成されている。

明 細 書

発明の名称： 信号伝達装置、電子機器及び車両

技術分野

[0001] 信号伝達装置、信号伝達装置を有する電子機器及び車両に関する。

背景技術

[0002] 従来、一次回路系と二次回路系との間を電氣的に絶縁しつつ、一次回路系と二次回路系との間で信号を伝達する信号伝達装置は、様々なアプリケーション（電源装置及びモータ駆動装置など）に用いられている（特許文献1参照）。

先行技術文献

特許文献

[0003] 特許文献1：特許第5926003号公報

[0004] [概要]

しかしながら、従来の信号伝達装置では、伝達する信号のビット数が多くなるとチャンネル数を増やす必要があり、小型化について改善の余地があった。

[0005] 例えば、本開示は、信号伝達装置であって、入力信号が入力されるとともに予め決められた第1時間経過するごとに前記入力信号に応じて決められたパルス数の一次側伝送パルス信号を出力するように構成された送信部と、前記送信部との間で絶縁通信を行うことで前記一次側伝送パルス信号と同数のパルス数の二次側伝送パルス信号を受信するとともに前記二次側伝送パルス信号に含まれるパルス数を取得し、前記パルス数に応じて出力信号を出力するように構成された受信部と、を有するように構成される。

図面の簡単な説明

[0006] [図1]図1は、信号伝達装置の基本構成を示す図である。

[図2]図2は、トランスチップの基本構造を示す図である。

[図3]図3は、2チャンネル型のトランスチップとして用いられる半導体装置

の斜視図である。

[図4]図4は、図3に示す半導体装置の平面図である。

[図5]図5は、図3の半導体装置において低電位コイルが形成された層を示す平面図である。

[図6]図6は、図3の半導体装置において高電位コイルが形成された層を示す平面図である。

[図7]図7は、図6に示すVIII-VIII線に沿う断面図である。

[図8]図8は、図7に示す領域XIIIの拡大図（分離構造）を示す図である。

[図9]図9は、トランスチップのレイアウト例を模式的に示す図である。

[図10]図10は、信号伝達装置の一実施形態を示す図である。

[図11]図11は、信号出力回路を含む受信部の一構成例を示す図である。

[図12]図12は、信号伝達装置の動作時における信号状態の一例を示すタイミングチャートである。

[図13]図13は、入力信号を一次側伝送パルス信号に変換する変換テーブルの一例を示す図である。

[図14]図14は、入力信号が切り替わるときの信号伝達装置の動作の一例を示す図である。

[図15]図15は、一次側伝送パルス信号の切り替わりのタイミングの別の例を示すタイミングチャートである。

[図16]図16は、第1変形例の信号伝達装置の動作の一例を示すフローチャートである。

[図17]図17は、第2変形例の信号伝達装置の動作の一例を示すタイミングチャートである。

[図18]図18は、第2変形例の信号伝達装置の動作を示すフローチャートである。

[図19]図19は、車両の外観を示す図である。

[0007] [詳細な説明]

<信号伝達装置（基本構成）>

図1は、信号伝達装置の基本構成を示す図である。本構成例の信号伝達装置200は、一次回路系200p（VCC1-GND1系）と二次回路系200s（VCC2-GND2系）との間を絶縁しつつ、一次回路系200pから二次回路系200sにパルス信号を伝達し、二次回路系200sに設けられたスイッチ素子（不図示）のゲートを駆動する半導体集積回路装置（いわゆる絶縁ゲートドライバIC）である。例えば、信号伝達装置200は、コントローラチップ210と、ドライバチップ220と、トランスチップ230と、を単一のパッケージに封止して成る。

[0008] コントローラチップ210は、電源電圧VCC1（例えばGND1基準で最大7V）の供給を受けて動作する半導体チップである。コントローラチップ210には、例えば、パルス送信回路211と、バッファ212及び213が集積されている。

[0009] パルス送信回路211は、入力パルス信号INに応じて送信パルス信号S11及びS21を生成するパルスジェネレータである。より具体的に述べると、パルス送信回路211は、入力パルス信号INがハイレベルである旨を通知するときには、送信パルス信号S11のパルス駆動（単発または複数発の送信パルス出力）を行い、入力パルス信号INがローレベルである旨を通知するときには、送信パルス信号S21のパルス駆動を行う。すなわち、パルス送信回路211は、入力パルス信号INの論理レベルに応じて、送信パルス信号S11及びS21のいずれか一方をパルス駆動する。

[0010] バッファ212は、パルス送信回路211から送信パルス信号S11の入力を受けて、トランスチップ230（具体的にはトランス231）をパルス駆動する。

[0011] バッファ213は、パルス送信回路211から送信パルス信号S21の入力を受けて、トランスチップ230（具体的にはトランス232）をパルス駆動する。

[0012] ドライバチップ220は、電源電圧VCC2（例えばGND2基準で最大30V）の供給を受けて動作する半導体チップである。ドライバチップ22

0には、例えば、バッファ221及び222と、パルス受信回路223と、ドライバ224が集積されている。

[0013] バッファ221は、トランスチップ230（具体的にはトランス231）に誘起される受信パルス信号S12を波形整形してパルス受信回路223に出力する。

[0014] バッファ222は、トランスチップ230（具体的にはトランス232）に誘起される受信パルス信号S22を波形整形してパルス受信回路223に出力する。

[0015] パルス受信回路223は、バッファ221及び222を介して入力される受信パルス信号S12及びS22に応じてドライバ224を駆動することにより出力パルス信号OUTを生成する。より具体的に述べると、パルス受信回路223は、受信パルス信号S12のパルス駆動を受けて出力パルス信号OUTをハイレベルに立ち上げる一方、受信パルス信号S22のパルス駆動を受けて出力パルス信号OUTをローレベルに立ち下げるようにドライバ224を駆動する。すなわち、パルス受信回路223は、入力パルス信号INの論理レベルに応じて出力パルス信号OUTの論理レベルを切り替える。なお、パルス受信回路223としては、例えば、RSフリップフロップを好適に用いることができる。

[0016] ドライバ224は、パルス受信回路223の駆動制御に基づいて出力パルス信号OUTを生成する。

[0017] トランスチップ230は、トランス231及び232を用いてコントローラチップ210とドライバチップ220との間を直流的に絶縁しつつ、パルス送信回路211から入力される送信パルス信号S11及びS21をそれぞれ受信パルス信号S12及びS22としてパルス受信回路223に出力する。なお、本明細書中において、「直流的に絶縁する」とは、絶縁すべき対象物が導体では接続されていないということである。

[0018] より具体的に述べると、トランス231は、一次側コイル231pに入力される送信パルス信号S11に応じて、二次側コイル231sから受信パルス

ス信号 S 1 2 を出力する。一方、トランス 2 3 2 は、一次側コイル 2 3 2 p に入力される送信パルス信号 S 2 1 に応じて、二次側コイル 2 3 2 s から受信パルス信号 S 2 2 を出力する。

[0019] このように、絶縁間通信に用いられるスパイラルコイルの特性上、入力パルス信号 I N は、2 本の送信パルス信号 S 1 1 及び S 2 1 (=ライズ信号及びフォール信号に相当) に分離された後、2 つのトランス 2 3 1 及び 2 3 2 を介して一次回路系 2 0 0 p から二次回路系 2 0 0 s に伝達される。

[0020] なお、本構成例の信号伝達装置 2 0 0 は、コントローラチップ 2 1 0 及びドライバチップ 2 2 0 とは別に、トランス 2 3 1 及び 2 3 2 のみを搭載するトランスチップ 2 3 0 を独立に有しており、これら 3 つのチップを単一のパッケージに封止して成る。

[0021] このような構成とすることにより、コントローラチップ 2 1 0、及び、ドライバチップ 2 2 0 については、いずれも一般の低耐圧～中耐圧プロセス(数 V～数十 V 耐圧)で形成することができるので、専用の高耐圧プロセス(数 k V 耐圧)を用いる必要がなくなり、製造コストを低減することが可能となる。

[0022] なお、信号伝達装置 2 0 0 は、例えば、車両に搭載される車載機器の電源装置またはモータ駆動装置などで好適に利用することができる。上記の車両には、エンジン車のほか、電動車(BEV [battery electric vehicle]、HEV [hybrid electric vehicle]、PHEV/PHV [plug-in hybrid electric vehicle/plug-in hybrid vehicle]、又は、FCEV/FCV [fuel cell electric vehicle/fuel cell vehicle] などの xEV) も含まれる。

[0023] <トランスチップ(基本構造)>

次に、トランスチップ 2 3 0 の基本構造について説明する。図 2 は、トランスチップ 2 3 0 の基本構造を示す図である。本図のトランスチップ 2 3 0 において、トランス 2 3 1 は、上下方向に対向する一次側コイル 2 3 1 p と二次側コイル 2 3 1 s を含む。トランス 2 3 2 は、上下方向に対向する一次

側コイル 2 3 2 p と二次側コイル 2 3 2 s を含む。

[0024] 一次側コイル 2 3 1 p 及び 2 3 2 p は、いずれも、トランスチップ 2 3 0 の第 1 配線層（下層） 2 3 0 a に形成されている。二次側コイル 2 3 1 s 及び 2 3 2 s は、いずれも、トランスチップ 2 3 0 の第 2 配線層（本図では上層） 2 3 0 b に形成されている。なお、二次側コイル 2 3 1 s は、一次側コイル 2 3 1 p の直上に配置され、一次側コイル 2 3 1 p に対向している。また、二次側コイル 2 3 2 s は、一次側コイル 2 3 2 p の直上に配置され、一次側コイル 2 3 2 p に対向している。

[0025] 一次側コイル 2 3 1 p は、内部端子 X 2 1 に接続された第 1 端を始点として、内部端子 X 2 1 の周囲を時計回りで取り囲むように螺旋状に敷設されており、その終点に相当する第 2 端が内部端子 X 2 2 に接続されている。一方、一次側コイル 2 3 2 p は、内部端子 X 2 3 に接続された第 1 端を始点として、内部端子 X 2 3 の周囲を反時計回りで取り囲むように螺旋状に敷設されており、その終点に相当する第 2 端が内部端子 X 2 2 に接続されている。内部端子 X 2 1、X 2 2 及び X 2 3 は、図示の順で直線的に配列されている。

[0026] 内部端子 X 2 1 は、導電性の配線 Y 2 1 及びビア Z 2 1 を介して、第 2 層 2 3 0 b の外部端子 T 2 1 に接続されている。内部端子 X 2 2 は、導電性の配線 Y 2 2 及びビア Z 2 2 を介して、第 2 層 2 3 0 b の外部端子 T 2 2 に接続されている。内部端子 X 2 3 は、導電性の配線 Y 2 3 及びビア Z 2 3 を介して、第 2 層 2 3 0 b の外部端子 T 2 3 に接続されている。なお、外部端子 T 2 1 ～ T 2 3 は、直線的に並べて配置されており、コントローラチップ 2 1 0 とのワイヤボンディングに用いられる。

[0027] 二次側コイル 2 3 1 s は、外部端子 T 2 4 に接続された第 1 端を始点として、外部端子 T 2 4 の周囲を反時計回りで取り囲むように螺旋状に敷設されており、その終点に相当する第 2 端が外部端子 T 2 5 に接続されている。一方、二次側コイル 2 3 2 s は、外部端子 T 2 6 に接続された第 1 端を始点として、外部端子 T 2 6 の周囲を時計回りで取り囲むように螺旋状に敷設されており、その終点に相当する第 2 端が外部端子 T 2 5 に接続されている。な

お、外部端子 T 2 4、T 2 5 及び T 2 6 は、図示の順で直線的に並べて配置されており、ドライバチップ 2 2 0 とのワイヤボンディングに用いられる。

[0028] 二次側コイル 2 3 1 s 及び 2 3 2 s は、それぞれ、磁気結合によって一次側コイル 2 3 1 p 及び 2 3 2 p に交流接続されると共に、一次側コイル 2 3 1 p 及び 2 3 2 p から直流絶縁されている。すなわち、ドライバチップ 2 2 0 は、トランスチップ 2 3 0 を介してコントローラチップ 2 1 0 に交流接続されると共に、トランスチップ 2 3 0 によりコントローラチップ 2 1 0 から直流絶縁されている。

[0029] <トランスチップ（2チャンネル型）>

図 3 は、2チャンネル型のトランスチップとして用いられる半導体装置 5 を示す斜視図である。図 4 は、図 3 に示す半導体装置 5 の平面図である。図 5 は、図 3 に示す半導体装置 5 において低電位コイル 2 2（＝トランスの一次側コイルに相当）が形成された層を示す平面図である。図 6 は、図 3 に示す半導体装置 5 において高電位コイル 2 3（＝トランスの二次側コイルに相当）が形成された層を示す平面図である。図 7 は、図 6 に示すVIII-VIII線に沿う断面図である。図 8 は、図 7 に示す領域XIIIの拡大図であって、分離構造 1 3 0 を示す図である。

[0030] 図 3～図 7 を参照して、半導体装置 5 は、直方体形状の半導体チップ 4 1 を含む。半導体チップ 4 1 は、シリコン、ワイドバンドギャップ半導体および化合物半導体のうちの少なくとも 1 つを含む。

[0031] ワイドバンドギャップ半導体は、シリコンのバンドギャップ（約 1. 1 2 e V）を超える半導体からなる。ワイドバンドギャップ半導体のバンドギャップは、2. 0 e V 以上であることが好ましい。ワイドバンドギャップ半導体は、S i C（炭化シリコン）であってもよい。化合物半導体は、III-V族化合物半導体であってもよい。化合物半導体は、A l N（窒化アルミニウム）、I n N（窒化インジウム）、G a N（窒化ガリウム）およびG a A s（ヒ化ガリウム）のうちの少なくとも 1 つを含んでいてもよい。

[0032] 半導体チップ 4 1 は、この形態では、シリコン製の半導体基板を含む。半

導体チップ41は、シリコン製の半導体基板およびシリコン製のエピタキシャル層を含む積層構造を有するエピタキシャル基板であってもよい。半導体基板の導電型は、n型またはp型であってもよい。エピタキシャル層は、n型またはp型であってもよい。

[0033] 半導体チップ41は、一方側の第1主面42、他方側の第2主面43、並びに、第1主面42及び第2主面43を接続するチップ側壁44A～44Dを有している。第1主面42及び第2主面43は、それらの法線方向Zから見た平面視（以下、単に「平面視」という）において、四角形状（この形態では長方形形状）に形成されている。

[0034] チップ側壁44A～44Dは、第1チップ側壁44A、第2チップ側壁44B、第3チップ側壁44Cおよび第4チップ側壁44Dを含む。第1チップ側壁44Aおよび第2チップ側壁44Bは、半導体チップ41の長辺を形成している。第1チップ側壁44Aおよび第2チップ側壁44Bは、第1方向Xに沿って延び、第2方向Yに対向している。第3チップ側壁44Cおよび第4チップ側壁44Dは、半導体チップ41の短辺を形成している。第3チップ側壁44Cおよび第4チップ側壁44Dは、第2方向Yに延び、第1方向Xに対向している。チップ側壁44A～44Dは、研削面からなる。

[0035] 半導体装置5は、半導体チップ41の第1主面42の上に形成された絶縁層51をさらに含む。絶縁層51は、絶縁主面52および絶縁側壁53A～53Dを有している。絶縁主面52は、平面視において第1主面42に整合する四角形状（この形態では長方形形状）に形成されている。絶縁主面52は、第1主面42に対して平行に延びている。

[0036] 絶縁側壁53A～53Dは、第1絶縁側壁53A、第2絶縁側壁53B、第3絶縁側壁53Cおよび第4絶縁側壁53Dを含む。絶縁側壁53A～53Dは、絶縁主面52の周縁から半導体チップ41に向けて延び、チップ側壁44A～44Dに連なっている。絶縁側壁53A～53Dは、具体的には、チップ側壁44A～44Dに対して面一に形成されている。絶縁側壁53A～53Dは、チップ側壁44A～44Dに面一な研削面を形成している。

- [0037] 絶縁層 5 1 は、最下絶縁層 5 5、最上絶縁層 5 6 および複数（この形態では 1 1 層）の層間絶縁層 5 7 を含む多層絶縁積層構造からなる。最下絶縁層 5 5 は、第 1 主面 4 2 を直接被覆する絶縁層である。最上絶縁層 5 6 は、絶縁主面 5 2 を形成する絶縁層である。複数の層間絶縁層 5 7 は、最下絶縁層 5 5 および最上絶縁層 5 6 の間に介在する絶縁層である。最下絶縁層 5 5 は、この形態では、酸化シリコンを含む単層構造を有している。最上絶縁層 5 6 は、この形態では、酸化シリコンを含む単層構造を有している。最下絶縁層 5 5 の厚さおよび最上絶縁層 5 6 の厚さは、それぞれ $1\ \mu\text{m}$ 以上 $3\ \mu\text{m}$ 以下（たとえば $2\ \mu\text{m}$ 程度）であってもよい。
- [0038] 複数の層間絶縁層 5 7 は、最下絶縁層 5 5 側の第 1 絶縁層 5 8 および最上絶縁層 5 6 側の第 2 絶縁層 5 9 を含む積層構造をそれぞれ有している。第 1 絶縁層 5 8 は、窒化シリコンを含んでいてもよい。第 1 絶縁層 5 8 は、第 2 絶縁層 5 9 に対するエッチングストoppa層として形成されている。第 1 絶縁層 5 8 の厚さは、 $0.1\ \mu\text{m}$ 以上 $1\ \mu\text{m}$ 以下（たとえば $0.3\ \mu\text{m}$ 程度）であってもよい。
- [0039] 第 2 絶縁層 5 9 は、第 1 絶縁層 5 8 の上に形成されている。第 1 絶縁層 5 8 とは異なる絶縁材料を含む。第 2 絶縁層 5 9 は、酸化シリコンを含んでいてもよい。第 2 絶縁層 5 9 の厚さは、 $1\ \mu\text{m}$ 以上 $3\ \mu\text{m}$ 以下（たとえば $2\ \mu\text{m}$ 程度）であってもよい。第 2 絶縁層 5 9 の厚さは、第 1 絶縁層 5 8 の厚さを超えていることが好ましい。
- [0040] 絶縁層 5 1 の総厚さ D T は、 $5\ \mu\text{m}$ 以上 $50\ \mu\text{m}$ 以下であってもよい。絶縁層 5 1 の総厚さ D T 及び層間絶縁層 5 7 の積層数は任意であって、実現すべき絶縁耐圧（絶縁破壊耐量）に応じて調整される。また、最下絶縁層 5 5、最上絶縁層 5 6 および層間絶縁層 5 7 の絶縁材料は任意であり、特定の絶縁材料に限定されない。
- [0041] 半導体装置 5 は、絶縁層 5 1 に形成された第 1 機能デバイス 4 5 を含む。第 1 機能デバイス 4 5 は、1 つ又は複数（この形態では複数）の変圧器 2 1（先出のトランスに相当）を含む。つまり、半導体装置 5 は、複数の変圧器

21を含むマルチチャネル型デバイスである。複数の変圧器21は、絶縁側壁53A～53Dから間隔を空けて絶縁層51の内方部に形成されている。

複数の変圧器21は、第1方向Xに間隔を空けて形成されている。

[0042] 複数の変圧器21は、具体的には、平面視において絶縁側壁53C側から絶縁側壁53D側に向けてこの順に形成された第1変圧器21A、第2変圧器21B、第3変圧器21Cおよび第4変圧器21Dを含む。複数の変圧器21A～21Dは、同様の構造をそれぞれ有している。以下では、第1変圧器21Aの構造を例にとって説明する。第2変圧器21B、第3変圧器21Cおよび第4変圧器21Dの構造の説明については、第1変圧器21Aの構造の説明が準用されるものとし、省略する。

[0043] 図5～図7を参照して、第1変圧器21Aは、低電位コイル22および高電位コイル23を含む。低電位コイル22は、絶縁層51内に形成されている。高電位コイル23は、法線方向Zに低電位コイル22と対向するように絶縁層51内に形成されている。低電位コイル22および高電位コイル23は、この形態では、最下絶縁層55および最上絶縁層56に挟まれた領域（つまり複数の層間絶縁層57）に形成されている。

[0044] 低電位コイル22は、絶縁層51内において最下絶縁層55（半導体チップ41）側に形成されており、高電位コイル23は、絶縁層51内において低電位コイル22に対して最上絶縁層56（絶縁主面52）側に形成されている。つまり、高電位コイル23は、低電位コイル22を挟んで半導体チップ41に対向している。低電位コイル22および高電位コイル23の配置箇所は任意である。また、高電位コイル23は、1層以上の層間絶縁層57を挟んで低電位コイル22に対向していればよい。

[0045] 低電位コイル22及び高電位コイル23の間の距離（つまり層間絶縁層57の積層数）は、低電位コイル22及び高電位コイル23の間の絶縁耐圧及び電界強度に応じて適宜調整される。低電位コイル22は、この形態では、最下絶縁層55側から数えて3層目の層間絶縁層57に形成されている。高電位コイル23は、この形態では、最上絶縁層56側から数えて1層目の層

間絶縁層 57 に形成されている。

[0046] 低電位コイル 22 は、層間絶縁層 57 において第 1 絶縁層 58 及び第 2 絶縁層 59 を貫通して埋め込まれている。低電位コイル 22 は、第 1 内側末端 24、第 1 外側末端 25、ならびに、第 1 内側末端 24 および第 1 外側末端 25 の間を螺旋状に引き回された第 1 螺旋部 26 を含む。第 1 螺旋部 26 は、平面視において楕円形状（長円形状）に延びる螺旋状に引き回されている。第 1 螺旋部 26 の最内周縁を形成する部分は、平面視において楕円形状の第 1 内側領域 66 を区画している。

[0047] 第 1 螺旋部 26 の巻回数は、5 以上 30 以下であってもよい。第 1 螺旋部 26 の幅は、 $0.1\ \mu\text{m}$ 以上 $5\ \mu\text{m}$ 以下であってもよい。第 1 螺旋部 26 の幅は、 $1\ \mu\text{m}$ 以上 $3\ \mu\text{m}$ 以下であることが好ましい。第 1 螺旋部 26 の幅は、螺旋方向に直交する方向の幅によって定義される。第 1 螺旋部 26 の第 1 巻回ピッチは、 $0.1\ \mu\text{m}$ 以上 $5\ \mu\text{m}$ 以下であってもよい。第 1 巻回ピッチは、 $1\ \mu\text{m}$ 以上 $3\ \mu\text{m}$ 以下であることが好ましい。第 1 巻回ピッチは、第 1 螺旋部 26 において螺旋方向に直交する方向に隣り合う 2 つの部分の間の距離によって定義される。

[0048] 第 1 螺旋部 26 の巻回形状及び第 1 内側領域 66 の平面形状は任意であり、図 5 などに示される形態に限定されない。第 1 螺旋部 26 は、平面視において三角形形状、四角形状等の多角形状、または、円形状に巻回されていてもよい。第 1 内側領域 66 は、第 1 螺旋部 26 の巻回形状に応じて、平面視において三角形形状、四角形状等の多角形状、または、円形状に区画されていてもよい。

[0049] 低電位コイル 22 は、チタン、窒化チタン、銅、アルミニウム及びタングステンのうちの少なくとも 1 つを含んでいてもよい。低電位コイル 22 は、バリア層および本体層を含む積層構造を有していてもよい。バリア層は、層間絶縁層 57 内においてリセス空間を区画する。バリア層は、チタンおよび窒化チタンのうちの少なくとも 1 つを含んでいてもよい。本体層は、銅、アルミニウムおよびタングステンのうちの少なくとも 1 つを含んでいてもよい。

- 。
- [0050] 高電位コイル 23 は、層間絶縁層 57 において第 1 絶縁層 58 及び第 2 絶縁層 59 を貫通して埋め込まれている。高電位コイル 23 は、第 2 内側末端 27、第 2 外側末端 28、ならびに、第 2 内側末端 27 および第 2 外側末端 28 の間を螺旋状に引き回された第 2 螺旋部 29 を含む。第 2 螺旋部 29 は、平面視において楕円形状（長円形状）に延びる螺旋状に引き回されている。第 2 螺旋部 29 の最内周縁を形成する部分は、この形態では、平面視において楕円形状の第 2 内側領域 67 を区画している。第 2 螺旋部 29 の第 2 内側領域 67 は、法線方向 Z に第 1 螺旋部 26 の第 1 内側領域 66 に対向している。
- [0051] 第 2 螺旋部 29 の巻回数は、5 以上 30 以下であってもよい。第 1 螺旋部 26 の巻回数に対する第 2 螺旋部 29 の巻回数は、昇圧すべき電圧値に応じて調整される。第 2 螺旋部 29 の巻回数は、第 1 螺旋部 26 の巻回数を超えていることが好ましい。むろん、第 2 螺旋部 29 の巻回数は、第 1 螺旋部 26 の巻回数未満であってもよいし、第 1 螺旋部 26 の巻回数と等しくてもよい。
- [0052] 第 2 螺旋部 29 の幅は、0.1 μm 以上 5 μm 以下であってもよい。第 2 螺旋部 29 の幅は、1 μm 以上 3 μm 以下であることが好ましい。第 2 螺旋部 29 の幅は、螺旋方向に直交する方向の幅によって定義される。第 2 螺旋部 29 の幅は、第 1 螺旋部 26 の幅と等しいことが好ましい。
- [0053] 第 2 螺旋部 29 の第 2 巻回ピッチは、0.1 μm 以上 5 μm 以下であってもよい。第 2 巻回ピッチは、1 μm 以上 3 μm 以下であることが好ましい。第 2 巻回ピッチは、第 2 螺旋部 29 において螺旋方向に直交する方向に隣り合う 2 つの部分の間の距離によって定義される。第 2 巻回ピッチは、第 1 螺旋部 26 の第 1 巻回ピッチと等しいことが好ましい。
- [0054] 第 2 螺旋部 29 の巻回形状及び第 2 内側領域 67 の平面形状は任意であり、図 6 などに示される形態に限定されない。第 2 螺旋部 29 は、平面視において三角形状、四角形状等の多角形状、または、円形状に巻回されていても

よい。第2内側領域67は、第2螺旋部29の巻回形状に応じて、平面視において三角形状、四角形状等の多角形状、または、円形状に区画されていてもよい。

[0055] 高電位コイル23は、低電位コイル22と同一の導電材料によって形成されていることが好ましい。つまり、高電位コイル23は、低電位コイル22と同様に、バリア層および本体層を含むことが好ましい。

[0056] 図4を参照して、半導体装置5は、複数（本図では12個）の低電位端子11、及び、複数（本図では12個）の高電位端子12を含む。複数の低電位端子11は、対応する変圧器21A～21Dの低電位コイル22にそれぞれ電氣的に接続されている。複数の高電位端子12は、対応する変圧器21A～21Dの高電位コイル23にそれぞれ電氣的に接続されている。

[0057] 複数の低電位端子11は、絶縁層51の絶縁主面52の上に形成されている。複数の低電位端子11は、具体的には、複数の変圧器21A～21Dから第2方向Yに間隔を空けて絶縁側壁53B側の領域に形成され、第1方向Xに間隔を空けて配列されている。

[0058] 複数の低電位端子11は、第1低電位端子11A、第2低電位端子11B、第3低電位端子11C、第4低電位端子11D、第5低電位端子11Eおよび第6低電位端子11Fを含む。複数の低電位端子11A～11Fは、この形態では、2個ずつそれぞれ形成されている。複数の低電位端子11A～11Fの個数は任意である。

[0059] 第1低電位端子11Aは、平面視において第2方向Yに第1変圧器21Aに対向している。第2低電位端子11Bは、平面視において第2方向Yに第2変圧器21Bに対向している。第3低電位端子11Cは、平面視において第2方向Yに第3変圧器21Cに対向している。第4低電位端子11Dは、平面視において第2方向Yに第4変圧器21Dに対向している。第5低電位端子11Eは、平面視において第1低電位端子11Aおよび第2低電位端子11Bの間の領域に形成されている。第6低電位端子11Fは、平面視において第3低電位端子11Cおよび第4低電位端子11Dの間の領域に形成さ

れている。

[0060] 第1低電位端子11Aは、第1変圧器21A（低電位コイル22）の第1内側末端24に電氣的に接続されている。第2低電位端子11Bは、第2変圧器21B（低電位コイル22）の第1内側末端24に電氣的に接続されている。第3低電位端子11Cは、第3変圧器21C（低電位コイル22）の第1内側末端24に電氣的に接続されている。第4低電位端子11Dは、第4変圧器21D（低電位コイル22）の第1内側末端24に電氣的に接続されている。

[0061] 第5低電位端子11Eは、第1変圧器21A（低電位コイル22）の第1外側末端25および第2変圧器21B（低電位コイル22）の第1外側末端25に電氣的に接続されている。第6低電位端子11Fは、第3変圧器21C（低電位コイル22）の第1外側末端25および第4変圧器21D（低電位コイル22）の第1外側末端25に電氣的に接続されている。

[0062] 複数の高電位端子12は、複数の低電位端子11から間隔を空けて絶縁層51の絶縁主面52の上に形成されている。複数の高電位端子12は、具体的には、複数の低電位端子11から第2方向Yに間隔を空けて絶縁側壁53A側の領域に形成され、第1方向Xに間隔を空けて配列されている。

[0063] 複数の高電位端子12は、平面視において対応する変圧器21A～21Dに近接する領域にそれぞれ形成されている。高電位端子12が変圧器21A～21Dに近接するとは、平面視において高電位端子12および変圧器21の間の距離が、低電位端子11および高電位端子12の間の距離未満であることを意味する。

[0064] 複数の高電位端子12は、具体的には、平面視において第1方向Xに沿って複数の変圧器21A～21Dと対向するように第1方向Xに沿って間隔を空けて形成されている。複数の高電位端子12は、さらに具体的には、平面視において高電位コイル23の第2内側領域67および隣り合う高電位コイル23の間の領域に位置するように第1方向Xに沿って間隔を空けて形成されている。これにより、複数の高電位端子12は、平面視において第1方向

Xに複数の変圧器21A～21Dと一列に並んで配列されている。

[0065] 複数の高電位端子12は、第1高電位端子12A、第2高電位端子12B、第3高電位端子12C、第4高電位端子12D、第5高電位端子12Eおよび第6高電位端子12Fを含む。複数の高電位端子12A～12Fは、この形態では、2個ずつそれぞれ形成されている。複数の高電位端子12A～12Fの個数は任意である。

[0066] 第1高電位端子12Aは、平面視において第1変圧器21A（高電位コイル23）の第2内側領域67に形成されている。第2高電位端子12Bは、平面視において第2変圧器21B（高電位コイル23）の第2内側領域67に形成されている。第3高電位端子12Cは、平面視において第3変圧器21C（高電位コイル23）の第2内側領域67に形成されている。第4高電位端子12Dは、平面視において第4変圧器21D（高電位コイル23）の第2内側領域67に形成されている。第5高電位端子12Eは、平面視において第1変圧器21Aおよび第2変圧器21Bの間の領域に形成されている。第6高電位端子12Fは、平面視において第3変圧器21Cおよび第4変圧器21Dの間の領域に形成されている。

[0067] 第1高電位端子12Aは、第1変圧器21A（高電位コイル23）の第2内側末端27に電氣的に接続されている。第2高電位端子12Bは、第2変圧器21B（高電位コイル23）の第2内側末端27に電氣的に接続されている。第3高電位端子12Cは、第3変圧器21C（高電位コイル23）の第2内側末端27に電氣的に接続されている。第4高電位端子12Dは、第4変圧器21D（高電位コイル23）の第2内側末端27に電氣的に接続されている。

[0068] 第5高電位端子12Eは、第1変圧器21A（高電位コイル23）の第2外側末端28および第2変圧器21B（高電位コイル23）の第2外側末端28に電氣的に接続されている。第6高電位端子12Fは、第3変圧器21C（高電位コイル23）の第2外側末端28および第4変圧器21D（高電位コイル23）の第2外側末端28に電氣的に接続されている。

[0069] 図5～図7を参照して、半導体装置5は、絶縁層51内にそれぞれ形成された第1低電位配線31、第2低電位配線32、第1高電位配線33及び第2高電位配線34を含む。この形態では、複数の第1低電位配線31、複数の第2低電位配線32、複数の第1高電位配線33および複数の第2高電位配線34が形成されている。

[0070] 第1低電位配線31および第2低電位配線32は、第1変圧器21Aの低電位コイル22および第2変圧器21Bの低電位コイル22を同電位に固定している。また、第1低電位配線31および第2低電位配線32は、第3変圧器21Cの低電位コイル22および第4変圧器21Dの低電位コイル22を同電位に固定している。第1低電位配線31および第2低電位配線32は、この形態では、変圧器21A～21Dの全ての低電位コイル22を同電位に固定している。

[0071] 第1高電位配線33および第2高電位配線34は、第1変圧器21Aの高電位コイル23および第2変圧器21Bの高電位コイル23を同電位に固定している。また、第1高電位配線33および第2高電位配線34は、第3変圧器21Cの高電位コイル23および第4変圧器21Dの高電位コイル23を同電位に固定している。第1高電位配線33および第2高電位配線34は、この形態では、変圧器21A～21Dの全ての高電位コイル23を同電位に固定している。

[0072] 複数の第1低電位配線31は、対応する低電位端子11A～11Dおよび対応する変圧器21A～21D（低電位コイル22）の第1内側末端24にそれぞれ電氣的に接続されている。複数の第1低電位配線31は、同様の構造を有している。以下では、第1低電位端子11Aおよび第1変圧器21Aに接続された第1低電位配線31の構造を例にとって説明する。他の第1低電位配線31の構造の説明については、第1変圧器21Aに接続された第1低電位配線31の構造の説明が準用されるものとし、省略する。

[0073] 第1低電位配線31は、貫通配線71、低電位接続配線72、引き出し配線73、第1接続プラグ電極74、第2接続プラグ電極75、1つまたは複

数（この形態では複数）のパッドプラグ電極 7 6、および、1 つまたは複数（この形態では複数）の基板プラグ電極 7 7 を含む。

[0074] 貫通配線 7 1、低電位接続配線 7 2、引き出し配線 7 3、第 1 接続プラグ電極 7 4、第 2 接続プラグ電極 7 5、パッドプラグ電極 7 6 および基板プラグ電極 7 7 は、低電位コイル 2 2 等と同一の導電材料によってそれぞれ形成されていることが好ましい。つまり、貫通配線 7 1、低電位接続配線 7 2、引き出し配線 7 3、第 1 接続プラグ電極 7 4、第 2 接続プラグ電極 7 5、パッドプラグ電極 7 6 および基板プラグ電極 7 7 は、低電位コイル 2 2 等と同様に、バリア層および本体層をそれぞれ含むことが好ましい。

[0075] 貫通配線 7 1 は、絶縁層 5 1 において複数の層間絶縁層 5 7 を貫通し、法線方向 Z に沿って延びる柱状に延びている。貫通配線 7 1 は、この形態では、絶縁層 5 1 において最下絶縁層 5 5 および最上絶縁層 5 6 の間の領域に形成されている。貫通配線 7 1 は、最上絶縁層 5 6 側の上端部、および、最下絶縁層 5 5 側の下端部を有している。貫通配線 7 1 の上端部は、高電位コイル 2 3 と同一の層間絶縁層 5 7 に形成され、最上絶縁層 5 6 によって被覆されている。貫通配線 7 1 の下端部は、低電位コイル 2 2 と同一の層間絶縁層 5 7 に形成されている。

[0076] 貫通配線 7 1 は、この形態では、第 1 電極層 7 8、第 2 電極層 7 9、および、複数の配線プラグ電極 8 0 を含む。貫通配線 7 1 では、第 1 電極層 7 8、第 2 電極層 7 9 および配線プラグ電極 8 0 が低電位コイル 2 2 等と同一の導電材料によってそれぞれ形成されている。つまり、第 1 電極層 7 8、第 2 電極層 7 9 および配線プラグ電極 8 0 は、低電位コイル 2 2 等と同様に、バリア層および本体層をそれぞれ含む。

[0077] 第 1 電極層 7 8 は、貫通配線 7 1 の上端部を形成している。第 2 電極層 7 9 は、貫通配線 7 1 の下端部を形成している。第 1 電極層 7 8 は、アイランド状に形成され、法線方向 Z に低電位端子 1 1（第 1 低電位端子 1 1 A）に対向している。第 2 電極層 7 9 は、アイランド状に形成され、法線方向 Z に第 1 電極層 7 8 に対向している。

[0078] 複数の配線プラグ電極 80 は、第 1 電極層 78 および第 2 電極層 79 の間の領域に位置する複数の層間絶縁層 57 にそれぞれ埋設されている。複数の配線プラグ電極 80 は、互いに電氣的に接続されるように最下絶縁層 55 から最上絶縁層 56 に向けて積層され、かつ、第 1 電極層 78 および第 2 電極層 79 を電氣的に接続している。複数の配線プラグ電極 80 は、第 1 電極層 78 の平面積および第 2 電極層 79 の平面積未満の平面積をそれぞれ有している。

[0079] なお、複数の配線プラグ電極 80 の積層数は、複数の層間絶縁層 57 の積層数に一致している。この形態では、6 個の配線プラグ電極 80 が各層間絶縁層 57 内に埋設されているが、各層間絶縁層 57 内に埋設される配線プラグ電極 80 の個数は任意である。もちろん、複数の層間絶縁層 57 を貫通する 1 つまたは複数の配線プラグ電極 80 が形成されていてもよい。

[0080] 低電位接続配線 72 は、低電位コイル 22 と同一の層間絶縁層 57 内において第 1 変圧器 21A（低電位コイル 22）の第 1 内側領域 66 に形成されている。低電位接続配線 72 は、アイランド状に形成され、法線方向 Z に高電位端子 12（第 1 高電位端子 12A）に対向している。低電位接続配線 72 は、配線プラグ電極 80 の平面積を超える平面積を有していることが好ましい。低電位接続配線 72 は、低電位コイル 22 の第 1 内側末端 24 に電氣的に接続されている。

[0081] 引き出し配線 73 は、層間絶縁層 57 内において半導体チップ 41 および貫通配線 71 の間の領域に形成されている。引き出し配線 73 は、この形態では、最下絶縁層 55 から数えて 1 層目の層間絶縁層 57 内に形成されている。引き出し配線 73 は、一方側の第 1 端部、他方側の第 2 端部、ならびに、第 1 端部および第 2 端部を接続する配線部を含む。引き出し配線 73 の第 1 端部は、半導体チップ 41 および貫通配線 71 の下端部の間の領域に位置している。引き出し配線 73 の第 2 端部は、半導体チップ 41 および低電位接続配線 72 の間の領域に位置している。配線部は、半導体チップ 41 の第 1 主面 42 に沿って延び、第 1 端部および第 2 端部の間の領域を帯状に延び

ている。

[0082] 第1接続プラグ電極74は、層間絶縁層57内において貫通配線71および引き出し配線73の間の領域に形成され、貫通配線71および引き出し配線73の第1端部に電氣的に接続されている。第2接続プラグ電極75は、層間絶縁層57内において低電位接続配線72および引き出し配線73の間の領域に形成され、低電位接続配線72および引き出し配線73の第2端部に電氣的に接続されている。

[0083] 複数のパッドプラグ電極76は、最上絶縁層56内において低電位端子11（第1低電位端子11A）および貫通配線71の間の領域に形成され、低電位端子11および貫通配線71の上端部にそれぞれ電氣的に接続されている。複数の基板プラグ電極77は、最下絶縁層55内において半導体チップ41および引き出し配線73の間の領域に形成されている。基板プラグ電極77は、この形態では、半導体チップ41および引き出し配線73の第1端部の間の領域に形成され、半導体チップ41および引き出し配線73の第1端部にそれぞれ電氣的に接続されている。

[0084] 図6及び図7を参照して、複数の第1高電位配線33は、対応する高電位端子12A～12Dおよび対応する変圧器21A～21D（高電位コイル23）の第2内側末端27にそれぞれ電氣的に接続されている。複数の第1高電位配線33は、同様の構造をそれぞれ有している。以下では、第1高電位端子12A及び第1変圧器21Aに接続された第1高電位配線33の構造を例にとって説明する。他の第1高電位配線33の構造の説明については、第1変圧器21Aに接続された第1高電位配線33の構造の説明が準用されるものとし、省略する。

[0085] 第1高電位配線33は、高電位接続配線81、および、1つまたは複数（この形態では複数）のパッドプラグ電極82を含む。高電位接続配線81およびパッドプラグ電極82は、低電位コイル22等と同一の導電材料によって形成されていることが好ましい。つまり、高電位接続配線81およびパッドプラグ電極82は、低電位コイル22等と同様に、バリア層および本体層

を含むことが好ましい。

[0086] 高電位接続配線 8 1 は、高電位コイル 2 3 と同一の層間絶縁層 5 7 内において高電位コイル 2 3 の第 2 内側領域 6 7 に形成されている。高電位接続配線 8 1 は、アイランド状に形成され、法線方向 Z に高電位端子 1 2（第 1 高電位端子 1 2 A）に対向している。高電位接続配線 8 1 は、高電位コイル 2 3 の第 2 内側末端 2 7 に電氣的に接続されている。高電位接続配線 8 1 は、平面視において低電位接続配線 7 2 から間隔を空けて形成され、法線方向 Z に低電位接続配線 7 2 には対向していない。これにより、低電位接続配線 7 2 と高電位接続配線 8 1 の間の絶縁距離が増加し、絶縁層 5 1 の絶縁耐圧が高められている。

[0087] 複数のパッドプラグ電極 8 2 は、最上絶縁層 5 6 内において高電位端子 1 2（第 1 高電位端子 1 2 A）および高電位接続配線 8 1 の間の領域に形成され、高電位端子 1 2 及び高電位接続配線 8 1 にそれぞれ電氣的に接続されている。複数のパッドプラグ電極 8 2 は、平面視において高電位接続配線 8 1 の平面積未満の平面積をそれぞれ有している。

[0088] 図 7 を参照して、低電位端子 1 1 および高電位端子 1 2 の間の距離 D_1 は、低電位コイル 2 2 および高電位コイル 2 3 の間の距離 D_2 を超えていることが好ましい（ $D_2 < D_1$ ）。距離 D_1 は、複数の層間絶縁層 5 7 の総厚さ D_T を超えていることが好ましい（ $D_T < D_1$ ）。距離 D_1 に対する距離 D_2 の比 D_2 / D_1 は、0.01 以上 0.1 以下であってもよい。距離 D_1 は、 $100 \mu\text{m}$ 以上 $500 \mu\text{m}$ 以下であることが好ましい。距離 D_2 は、 $1 \mu\text{m}$ 以上 $50 \mu\text{m}$ 以下であってもよい。距離 D_2 は、 $5 \mu\text{m}$ 以上 $25 \mu\text{m}$ 以下であることが好ましい。距離 D_1 および距離 D_2 の値は任意であり、実現すべき絶縁耐圧に応じて適宜調整される。

[0089] 図 6 及び図 7 を参照して、半導体装置 5 は、平面視において変圧器 2 1 A ~ 2 1 D の周囲に位置するように絶縁層 5 1 内に埋設されたダミーパターン 8 5 を含む。

[0090] ダミーパターン 8 5 は、高電位コイル 2 3 および低電位コイル 2 2 とは異

なるパターン（不連続なパターン）で形成されており、変圧器 21A～21D から独立している。つまり、ダミーパターン 85 は、変圧器 21A～21D としては機能しない。ダミーパターン 85 は、変圧器 21A～21D において低電位コイル 22 および高電位コイル 23 の間の電界を遮蔽し、高電位コイル 23 に対する電界集中を抑制するシールド導体層として形成されている。ダミーパターン 85 は、この形態では、単位面積当たりにおいて高電位コイル 23 のライン密度と等しいライン密度で引き回されている。ダミーパターン 85 のライン密度が高電位コイル 23 のライン密度と等しいとは、ダミーパターン 85 のライン密度が高電位コイル 23 のライン密度の $\pm 20\%$ の範囲内に収まることを意味する。

[0091] 絶縁層 51 の内部におけるダミーパターン 85 の深さ位置は任意であり、緩和すべき電界強度に応じて調整される。ダミーパターン 85 は、法線方向 Z に関して低電位コイル 22 に対して高電位コイル 23 に近接する領域に形成されていることが好ましい。なお、法線方向 Z に関してダミーパターン 85 が高電位コイル 23 に近接するとは、法線方向 Z に関して、ダミーパターン 85 および高電位コイル 23 の間の距離が、ダミーパターン 85 および低電位コイル 22 の間の距離未満であることを意味する。

[0092] この場合、高電位コイル 23 に対する電界集中を適切に抑制できる。法線方向 Z に関して、ダミーパターン 85 及び高電位コイル 23 の間の距離を小さくするほど、高電位コイル 23 に対する電界集中を抑制できる。ダミーパターン 85 は、高電位コイル 23 と同一の層間絶縁層 57 内に形成されていることが好ましい。この場合、高電位コイル 23 に対する電界集中を更に適切に抑制できる。ダミーパターン 85 は、電気的狀態が異なる複数のダミーパターンを含む。ダミーパターン 85 は高電位ダミーパターンを含んでもよい。

[0093] 絶縁層 51 の内部における高電位ダミーパターン 86 の深さ位置は任意であり、緩和すべき電界強度に応じて調整される。高電位ダミーパターン 86 は、法線方向 Z に関して低電位コイル 22 に対して高電位コイル 23 に近接

する領域に形成されていることが好ましい。法線方向Zに関して高電位ダミーパターン86が高電位コイル23に近接するとは、法線方向Zに関して、高電位ダミーパターン86および高電位コイル23の間の距離が、高電位ダミーパターン86及び低電位コイル22の間の距離未満であることを意味する。

[0094] ダミーパターン85は、変圧器21A～21Dの周囲に位置するように絶縁層51内に電氣的に浮遊状態に形成された浮遊ダミーパターンを含む。

[0095] 浮遊ダミーパターンは、この形態では、平面視において高電位コイル23の周囲の領域を部分的に被覆し、かつ、部分的に露出させるように密なライン状に引き回されている。浮遊ダミーパターンは、有端状に形成されていてもよいし、無端状に形成されてもよい。

[0096] 絶縁層51の内部における浮遊ダミーパターンの深さ位置は任意であり、緩和すべき電界強度に応じて調整される。

[0097] 浮遊ラインの個数は任意であり、緩和すべき電界に応じて調整される。浮遊ダミーパターンは、複数の浮遊ラインから構成されていてもよい。

[0098] 図7を参照して、半導体装置5は、デバイス領域62において半導体チップ41の第1主面42に形成された第2機能デバイス60を含む。第2機能デバイス60は、半導体チップ41の第1主面42の表層部、および／または、半導体チップ41の第1主面42の上の領域を利用して形成され、絶縁層51（最下絶縁層55）によって被覆されている。図7では、第2機能デバイス60が第1主面42の表層部に示された破線によって簡略化して示されている。

[0099] 第2機能デバイス60は、低電位配線を介して低電位端子11に電氣的に接続され、高電位配線を介して高電位端子12に電氣的に接続されている。低電位配線は、第2機能デバイス60に接続されるように絶縁層51内に引き回されている点を除いて、第1低電位配線31（第2低電位配線32）と同様の構造を有している。高電位配線は、第2機能デバイス60に接続されるように絶縁層51内に引き回されている点を除いて、第1高電位配線33

(第2高電位配線34)と同様の構造を有している。第2機能デバイス60に係る低電位配線および高電位配線の具体的な説明は省略される。

[0100] 第2機能デバイス60は、受動デバイス、半導体整流デバイスおよび半導体スイッチングデバイスのうちの少なくとも1つを含んでいてもよい。第2機能デバイス60は、受動デバイス、半導体整流デバイスおよび半導体スイッチングデバイスのうちの任意の2種以上のデバイスが選択的に組み合わせられた回路網を含んでいてもよい。回路網は、集積回路の一部または全部を形成していてもよい。

[0101] 受動デバイスは、半導体受動デバイスを含んでいてもよい。受動デバイスは、抵抗及びコンデンサのいずれか一方または双方を含んでいてもよい。半導体整流デバイスは、pn接合ダイオード、PINダイオード、ツェナーダイオード、ショットキーバリアダイオードおよびファーストリカバリーダイオードのうちの少なくとも1つを含んでいてもよい。半導体スイッチングデバイスは、BJT [Bipolar Junction Transistor]、MISFET [Metal Insulator Semiconductor Field Effect Transistor]、IGBT [Insulated Gate Bipolar Junction Transistor] およびJFET [Junction Field Effect Transistor] のうちの少なくとも1つを含んでいてもよい。

[0102] 図5～図7を参照して、半導体装置5は、絶縁層51内に埋設されたシール導体61をさらに含む。シール導体61は、平面視において絶縁側壁53A～53Dから間隔を空けて絶縁層51内に壁状に埋設され、絶縁層51をデバイス領域62および外側領域63に区画している。シール導体61は、外側領域63からデバイス領域62への水分の進入及びクラックの進入を抑制する。

[0103] デバイス領域62は、第1機能デバイス45(複数の変圧器21)、第2機能デバイス60、複数の低電位端子11、複数の高電位端子12、第1低電位配線31、第2低電位配線32、第1高電位配線33、第2高電位配線34およびダミーパターン85を含む領域である。外側領域63は、デバイ

ス領域 6 2 外の領域である。

- [0104] シール導体 6 1 は、デバイス領域 6 2 から電氣的に切り離されている。シール導体 6 1 は、具体的には、第 1 機能デバイス 4 5（複数の変圧器 2 1）、第 2 機能デバイス 6 0、複数の低電位端子 1 1、複数の高電位端子 1 2、第 1 低電位配線 3 1、第 2 低電位配線 3 2、第 1 高電位配線 3 3、第 2 高電位配線 3 4 およびダミーパターン 8 5 から電氣的に切り離されている。シール導体 6 1 は、さらに具体的には、電氣的に浮遊状態に固定されている。シール導体 6 1 は、デバイス領域 6 2 に繋がる電流経路を形成しない。
- [0105] シール導体 6 1 は、平面視において、絶縁側壁 5 3～5 3 D に沿う帯状に形成されている。シール導体 6 1 は、この形態では、平面視において、四角環状（具体的には長方形環状）に形成されている。これにより、シール導体 6 1 は、平面視において四角形状（具体的には長方形形状）のデバイス領域 6 2 を区画している。また、シール導体 6 1 は、平面視においてデバイス領域 6 2 を取り囲む四角環状（具体的には長方形環状）の外側領域 6 3 を区画している。
- [0106] シール導体 6 1 は、具体的には、絶縁主面 5 2 側の上端部、半導体チップ 4 1 側の下端部、ならびに、上端部および下端部の間を壁状に延びる壁部を有している。シール導体 6 1 の上端部は、この形態では、絶縁主面 5 2 から半導体チップ 4 1 側に間隔を空けて形成され、絶縁層 5 1 内に位置している。シール導体 6 1 の上端部は、この形態では、最上絶縁層 5 6 によって被覆されている。シール導体 6 1 の上端部は、1 つまたは複数の層間絶縁層 5 7 によって被覆されていてもよい。シール導体 6 1 の上端部は、最上絶縁層 5 6 から露出していてもよい。シール導体 6 1 の下端部は、半導体チップ 4 1 から上端部側に間隔を空けて形成されている。
- [0107] このように、シール導体 6 1 は、この形態では、複数の低電位端子 1 1 および複数の高電位端子 1 2 に対して半導体チップ 4 1 側に位置するように絶縁層 5 1 内に埋設されている。また、シール導体 6 1 は、絶縁層 5 1 内において第 1 機能デバイス 4 5（複数の変圧器 2 1）、第 1 低電位配線 3 1、第

2 低電位配線 3 2、第 1 高電位配線 3 3、第 2 高電位配線 3 4 およびダミーパターン 8 5 に絶縁主面 5 2 に平行な方向に対向している。シール導体 6 1 は、絶縁層 5 1 内において、第 2 機能デバイス 6 0 の一部に絶縁主面 5 2 に平行な方向に対向していてもよい。

[0108] シール導体 6 1 は、複数のシールプラグ導体 6 4、および、1 つまたは複数（この形態では複数）のシールビア導体 6 5 を含む。シールビア導体 6 5 の個数は任意である。複数のシールプラグ導体 6 4 のうちの最上のシールプラグ導体 6 4 は、シール導体 6 1 の上端部を形成している。複数のシールビア導体 6 5 は、シール導体 6 1 の下端部をそれぞれ形成している。シールプラグ導体 6 4 およびシールビア導体 6 5 は、低電位コイル 2 2 と同一の導電材料によって形成されていることが好ましい。つまり、シールプラグ導体 6 4 およびシールビア導体 6 5 は、低電位コイル 2 2 等と同様に、バリア層および本体層を含むことが好ましい。

[0109] 複数のシールプラグ導体 6 4 は、複数の層間絶縁層 5 7 にそれぞれ埋め込まれ、平面視においてデバイス領域 6 2 を取り囲む四角環状（具体的には長方形環状）にそれぞれ形成されている。複数のシールプラグ導体 6 4 は、互いに接続されるように最下絶縁層 5 5 から最上絶縁層 5 6 に向かって積層されている。複数のシールプラグ導体 6 4 の積層数は、複数の層間絶縁層 5 7 の積層数に一致している。むろん、複数の層間絶縁層 5 7 を貫通する 1 つまたは複数のシールプラグ導体 6 4 が形成されていてもよい。

[0110] 複数のシールプラグ導体 6 4 の集合体により 1 つの環状のシール導体 6 1 が形成されるのであれば、複数のシールプラグ導体 6 4 の全てが環状に形成される必要はない。たとえば、複数のシールプラグ導体 6 4 の少なくとも 1 つが有端状に形成されていてもよい。また、複数のシールプラグ導体 6 4 の少なくとも 1 つが複数の有端帯状部分に分割されていてもよい。ただし、デバイス領域 6 2 への水分及びクラックの進入のリスクを鑑みると、複数のシールプラグ導体 6 4 は、無端状（環状）に形成されていることが好ましい。

[0111] 複数のシールビア導体 6 5 は、最下絶縁層 5 5 において半導体チップ 4 1

およびシールプラグ導体 6 4 の間の領域にそれぞれ形成されている。複数のシールビア導体 6 5 は、半導体チップ 4 1 から間隔を空けて形成され、シールプラグ導体 6 4 に接続されている。複数のシールビア導体 6 5 は、シールプラグ導体 6 4 の平面積未満の平面積を有している。単一のシールビア導体 6 5 が形成されている場合、単一のシールビア導体 6 5 は、シールプラグ導体 6 4 の平面積以上の平面積を有していてもよい。

[0112] シール導体 6 1 の幅は、 $0.1\ \mu\text{m}$ 以上 $10\ \mu\text{m}$ 以下であってもよい。シール導体 6 1 の幅は、 $1\ \mu\text{m}$ 以上 $5\ \mu\text{m}$ 以下であることが好ましい。シール導体 6 1 の幅は、シール導体 6 1 が延びる方向に直交する方向の幅によって定義される。

[0113] 図 7 及び図 8 を参照して、半導体装置 5 は、半導体チップ 4 1 及びシール導体 6 1 の間に介在し、シール導体 6 1 を半導体チップ 4 1 から電氣的に切り離す分離構造 1 3 0 を更に含む。分離構造 1 3 0 は、絶縁体を含むことが好ましい。分離構造 1 3 0 は、この形態では、半導体チップ 4 1 の第 1 主面 4 2 に形成されたフィールド絶縁膜 1 3 1 からなる。

[0114] フィールド絶縁膜 1 3 1 は、酸化膜（酸化シリコン膜）及び窒化膜（窒化シリコン膜）のうちの少なくとも一方を含む。フィールド絶縁膜 1 3 1 は、半導体チップ 4 1 の第 1 主面 4 2 の酸化によって形成された酸化膜の一例としてのローCOS（local oxidation of silicon）膜からなることが好ましい。フィールド絶縁膜 1 3 1 の厚さは、半導体チップ 4 1 およびシール導体 6 1 を絶縁できる限り任意である。フィールド絶縁膜 1 3 1 の厚さは、 $0.1\ \mu\text{m}$ 以上 $5\ \mu\text{m}$ 以下であってもよい。

[0115] 分離構造 1 3 0 は、半導体チップ 4 1 の第 1 主面 4 2 に形成され、平面視においてシール導体 6 1 に沿う帯状に延びている。分離構造 1 3 0 は、この形態では、平面視において四角環状（具体的には長方形環状）に形成されている。分離構造 1 3 0 は、シール導体 6 1 の下端部（シールビア導体 6 5）が接続された接続部 1 3 2 を有している。接続部 1 3 2 は、シール導体 6 1 の下端部（シールビア導体 6 5）が半導体チップ 4 1 側に向けて食い込んだ

アンカー部を形成していてもよい。むろん、接続部 132 は、分離構造 130 の主面に対して面一に形成されていてもよい。

[0116] 分離構造 130 は、デバイス領域 62 側の内端部 130A、外側領域 63 側の外端部 130B、ならびに、内端部 130A および外端部 130B の間の本体部 130C を含む。内端部 130A は、平面視において第 2 機能デバイス 60 が形成された領域（つまり、デバイス領域 62）を区画している。内端部 130A は、半導体チップ 41 の第 1 主面 42 に形成された絶縁膜（図示せず）と一体的に形成されていてもよい。

[0117] 外端部 130B は、半導体チップ 41 のチップ側壁 44A～44D から露出し、半導体チップ 41 のチップ側壁 44A～44D に連なっている。外端部 130B は、より具体的には、半導体チップ 41 のチップ側壁 44A～44D に対して面一に形成されている。外端部 130B は、半導体チップ 41 のチップ側壁 44A～44D および絶縁層 51 の絶縁側壁 53A～53D との間で面一な研削面を形成している。むろん、他の形態において、外端部 130B は、チップ側壁 44A～44D から間隔を空けて第 1 主面 42 内に形成されていてもよい。

[0118] 本体部 130C は、半導体チップ 41 の第 1 主面 42 に対してほぼ平行に延びる平坦面を有している。本体部 130C は、シール導体 61 の下端部（シールビア導体 65）が接続された接続部 132 を有している。接続部 132 は、本体部 130C において内端部 130A 及び外端部 130B から間隔を空けた部分に形成されている。分離構造 130 は、フィールド絶縁膜 131 の他、種々の形態を採り得る。

[0119] 図 7 を参照して、半導体装置 5 は、シール導体 61 を被覆するように絶縁層 51 の絶縁主面 52 の上に形成された無機絶縁層 140 をさらに含む。無機絶縁層 140 は、パッシベーション層と称されてもよい。無機絶縁層 140 は、絶縁主面 52 の上から絶縁層 51 及び半導体チップ 41 を保護する。

[0120] 無機絶縁層 140 は、この形態では、第 1 無機絶縁層 141 及び第 2 無機絶縁層 142 を含む積層構造を有する。第 1 無機絶縁層 141 は、酸化シリ

コンを含んでいてもよい。第1無機絶縁層141は、不純物無添加の酸化シリコンであるUSG (undoped silicate glass) を含むことが好ましい。第1無機絶縁層141の厚さは、50nm以上5000nm以下であってもよい。第2無機絶縁層142は、窒化シリコンを含んでいてもよい。第2無機絶縁層142の厚さは、500nm以上5000nm以下であってもよい。無機絶縁層140の総厚さを大きくすることにより、高電位コイル23上の絶縁耐圧を高めることができる。

[0121] 第1無機絶縁層141がUSGからなり、第2無機絶縁層142が窒化シリコンからなる場合、USGの絶縁破壊電圧 (V/cm) は窒化シリコンの絶縁破壊電圧 (V/cm) を超える。したがって、無機絶縁層140を厚化する場合、第2無機絶縁層142よりも厚い第1無機絶縁層141が形成されることが好ましい。

[0122] 第1無機絶縁層141は、酸化シリコンの一例としてのBPSG (boron doped phosphor silicate glass) およびPSG (phosphorus silicate glass) のうちの少なくとも一方を含んでいてもよい。ただし、この場合、酸化シリコン内に不純物（ホウ素又はリン）が含まれるため、高電位コイル23上の絶縁耐圧を高める上では、USGからなる第1無機絶縁層141が形成されることが特に好ましい。むろん、無機絶縁層140は、第1無機絶縁層141および第2無機絶縁層142のいずれか一方からなる単層構造を有していてもよい。

[0123] 無機絶縁層140は、シール導体61の全域を被覆し、シール導体61外の領域に形成された複数の低電位パッド開口143及び複数の高電位パッド開口144を有している。複数の低電位パッド開口143は、複数の低電位端子11をそれぞれ露出させている。複数の高電位パッド開口144は、複数の高電位端子12をそれぞれ露出させている。無機絶縁層140は、低電位端子11の周縁部に乗り上げたオーバラップ部を有していてもよい。無機絶縁層140は、高電位端子12の周縁部に乗り上げたオーバラップ部を有していてもよい。

- [0124] 半導体装置 5 は、無機絶縁層 140 の上に形成された有機絶縁層 145 を更に含む。有機絶縁層 145 は、感光性樹脂を含んでいてもよい。有機絶縁層 145 は、ポリイミド、ポリアミドおよびポリベンゾオキサゾールのうちの少なくとも 1 つを含んでいてもよい。有機絶縁層 145 は、この形態では、ポリイミドを含む。有機絶縁層 145 の厚さは、 $1\text{ }\mu\text{m}$ 以上 $50\text{ }\mu\text{m}$ 以下であってもよい。
- [0125] 有機絶縁層 145 の厚さは、無機絶縁層 140 の総厚さを超えていることが好ましい。さらに、無機絶縁層 140 および有機絶縁層 145 の総厚さは、低電位コイル 22 及び高電位コイル 23 の間の距離 D2 以上であることが好ましい。この場合、無機絶縁層 140 の総厚さは $2\text{ }\mu\text{m}$ 以上 $10\text{ }\mu\text{m}$ 以下であることが好ましい。また、有機絶縁層 145 の厚さは $5\text{ }\mu\text{m}$ 以上 $50\text{ }\mu\text{m}$ 以下であることが好ましい。これらの構造によれば、無機絶縁層 140 及び有機絶縁層 145 の厚化を抑制できると同時に、無機絶縁層 140 及び有機絶縁層 145 の積層膜により高電位コイル 23 上の絶縁耐圧を適切に高めることができる。
- [0126] 有機絶縁層 145 は、低電位側の領域を被覆する第 1 部分 146 及び高電位側の領域を被覆する第 2 部分 147 を含む。第 1 部分 146 は、無機絶縁層 140 を挟んでシール導体 61 を被覆している。第 1 部分 146 は、シール導体 61 外の領域において複数の低電位端子 11（低電位パッド開口 143）をそれぞれ露出させる複数の低電位端子開口 148 を有している。第 1 部分 146 は、低電位パッド開口 143 の周縁（オーバーラップ部）に乗り上がったオーバーラップ部を有していてもよい。
- [0127] 第 2 部分 147 は、第 1 部分 146 から間隔を空けて形成されており、第 1 部分 146 との間から無機絶縁層 140 を露出させている。第 2 部分 147 は、複数の高電位端子 12（高電位パッド開口 144）をそれぞれ露出させる複数の高電位端子開口 149 を有している。第 2 部分 147 は、高電位パッド開口 144 の周縁（オーバーラップ部）に乗り上がったオーバーラップ部を有していてもよい。

- [0128] 第2部分147は、変圧器21A～21Dおよびダミーパターン85を一括して被覆している。第2部分147は、具体的には、複数の高電位コイル23、複数の高電位端子12、第1高電位ダミーパターン87、第2高電位ダミーパターン88および浮遊ダミーパターン121を一括して被覆している。
- [0129] 本開示の実施形態は、さらに他の形態で実施できる。前述の実施形態では、第1機能デバイス45および第2機能デバイス60が形成された例について説明した。しかし、第1機能デバイス45を有せずに、第2機能デバイス60だけを有する形態が採用されてもよい。この場合、ダミーパターン85は取り除かれてもよい。この構造によれば、第2機能デバイス60について、第1実施形態において述べた効果（ダミーパターン85に係る効果を除く）と同様の効果を奏することができる。
- [0130] つまり、低電位端子11および高電位端子12を介して第2機能デバイス60に電圧が印加された場合において、高電位端子12およびシール導体61の間の不所望な導通を抑制できる。また、低電位端子11および高電位端子12を介して第2機能デバイス60に電圧が印加された場合において、低電位端子11およびシール導体61の間の不所望な導通を抑制できる。
- [0131] また、前述の実施形態では、第2機能デバイス60が形成された例について説明した。しかし、第2機能デバイス60は必ずしも必要ではなく、取り除かれてもよい。
- [0132] また、前述の実施形態では、ダミーパターン85が形成された例について説明した。しかし、ダミーパターン85は必ずしも必要ではなく、取り除かれてもよい。
- [0133] また、前述の実施形態では、第1機能デバイス45が、複数の変圧器21を含むマルチチャネル型からなる例について説明した。しかし、単一の変圧器21を含むシングルチャネル型からなる第1機能デバイス45が採用されてもよい。
- [0134] <トランス配列>

図9は、2チャンネル型のトランスチップ300（先出の半導体装置5に相当）におけるトランス配列の一例を模式的に示す平面図（上面図）である。本図のトランスチップ300は、第1トランス301と、第2トランス302と、第3トランス303と、第4トランス304と、第1ガードリング305と、第2ガードリング306と、パッドa1～a8と、パッドb1～b8と、パッドc1～c4と、パッドd1～d4と、を有する。

[0135] トランスチップ300において、第1トランス301を形成する二次側コイルL1sの一端には、パッドa1及びb1が接続されており、二次側コイルL1sの他端には、パッドc1及びd1が接続されている。第2トランス302を形成する二次側コイルL2sの一端には、パッドa2及びb2が接続されており、二次側コイルL2sの他端には、パッドc1及びd1が接続されている。

[0136] また、第3トランス303を形成する二次側コイルL3sの一端には、パッドa3及びb3が接続されており、二次側コイルL3sの他端には、パッドc2及びd2が接続されている。第4トランス304を形成する二次側コイルL4sの一端には、パッドa4及びb4が接続されており、二次側コイルL4sの他端には、パッドc2及びd2が接続されている。

[0137] なお、第1トランス301を形成する一次側コイル、第2トランス302を形成する一次側コイル、第3トランス303を形成する一次側コイル、及び、第4トランス304を形成する一次側コイルは、いずれも本図に明示されていない。ただし、一次側コイルは、それぞれ、基本的に二次側コイルL1s～L4sと同様の構成を有しており、二次側コイルL1s～L4sとそれぞれ対向する形で、二次側コイルL1s～L4sそれぞれの直下に配置されている。

[0138] すなわち、第1トランス301を形成する一次側コイルの一端には、パッドa5及びb5が接続されており、一次側コイルの他端には、パッドc3及びd3が接続されている。また、第2トランス302を形成する一次側コイルの一端には、パッドa6及びb6が接続されており、一次側コイルの他端

には、パッドc 3及びd 3が接続されている。

[0139] また、第3トランス303を形成する一次側コイルの一端には、パッドa 7及びb 7が接続されており、一次側コイルの他端には、パッドc 4及びd 4が接続されている。また、第4トランス304を形成する一次側コイルの一端には、パッドa 8及びb 8が接続されており、一次側コイルの他端には、パッドc 4及びd 4が接続されている。

[0140] ただし、上記のパッドa 5～a 8、パッドb 5～b 8、パッドc 3及びc 4、並びに、パッドd 3及びd 4については、不図示のビアを介してトランスチップ300の内部から表面まで引き出されている。

[0141] 上記複数のパッドのうち、パッドa 1～a 8は、それぞれ、第1の電流供給用パッドに相当し、パッドb 1～b 8は、それぞれ、第1の電圧測定用パッドに相当する。また、パッドc 1～c 4は、それぞれ、第2の電流供給用パッドに相当し、パッドd 1～d 4は、それぞれ、第2の電圧測定用パッドに相当する。

[0142] 従って、本構成例のトランスチップ300であれば、その不良品検査時に各コイルの直列抵抗成分を正確に測定することができる。従って、各コイルの断線が生じている不良品をリジェクトすることはもちろん、各コイルの抵抗値異常（例えば、コイル同士の中途短絡）が生じている不良品についても、これを適切にリジェクトすることが可能となり、延いては、不良品の市場流出を未然に防止することが可能となる。

[0143] なお、上記の不良品検査を通過したトランスチップ300については、上記複数のパッドを一次側チップ及び二次側チップ（例えば先出のコントローラチップ210及びドライバチップ220）との接続手段として用いればよい。

[0144] 具体的に述べると、パッドa 1及びb 1、パッドa 2及びb 2、パッドa 3及びb 3、並びに、パッドa 4及びb 4は、それぞれ、二次側チップの信号入力端または信号出力端に接続すればよい。また、パッドc 1及びd 1、並びに、パッドc 2及びd 2は、それぞれ、二次側チップのコモン電圧印加

端（GND2）に接続すればよい。

- [0145] 一方、パッドa5及びb5、パッドa6及びb6、パッドa7及びb7、並びに、パッドa8及びb8は、それぞれ、一次側チップの信号入力端または信号出力端に接続すればよい。また、パッドc3及びd3、並びに、パッドc4及びd4は、それぞれ、一次側チップのコモン電圧印加端（GND1）に接続すればよい。
- [0146] ここで、第1トランス301～第4トランス304は、図9に示すように、それぞれの信号伝達方向毎にカップリングして並べられている。本図に即して述べると、例えば一次側チップから二次側チップに向けて信号を伝達する第1トランス301と第2トランス302が第1ガードリング305によって第1のペアとされている。また、例えば二次側チップから一次側チップに向けて信号を伝達する第3トランス303と第4トランス304が第2ガードリング306によって第2のペアとされている。
- [0147] このようなカップリングを行った理由は、第1トランス301～第4トランス304をそれぞれ形成する一次側コイルと二次側コイルをトランスチップ300の基板上下方向に積み重ねる形で積層形成した場合において、一次側コイルと二次側コイルとの間で耐圧を確保するためである。ただし、第1ガードリング305、及び、第2ガードリング306については、必ずしも必須の構成要素ではない。
- [0148] なお、第1ガードリング305及び第2ガードリング306は、それぞれ、パッドe1及びe2を介して、接地端などの低インピーダンス配線に接続すればよい。
- [0149] また、トランスチップ300において、パッドc1及びd1は、二次側コイルL1sと二次側コイルL2sとの間で共有されている。また、パッドc2及びd2は、二次側コイルL3sと二次側コイルL4sとの間で共有されている。また、パッドc3及びd3は、一次側コイルL1pと一次側コイルL2pとの間で共有されている。また、パッドc4及びd4は、対応するそれぞれの一次側コイルとの間で共有されている。このような構成とすること

により、パッド数を削減して、トランスチップ300の小型化を図ることが可能となる。

[0150] また、図9に示したように、第1トランス301～第4トランス304をそれぞれ形成する一次側コイルと二次側コイルは、トランスチップ300の平面視において、長形状（または角を丸めたトラック状）となるように巻き回すことが望ましい。このような構成とすることにより、一次側コイルと二次側コイルが互いに重複する部分の面積が大きくなり、トランスの伝達効率を高めることが可能となる。

[0151] もちろん、本図のトランス配列はあくまでも一例であり、コイルの個数、形状、配置、及び、パッドの配置は任意である。また、これまでに説明してきたチップ構造及びトランス配列などについては、半導体チップ上にコイルを集積化した半導体装置全般に適用することが可能である。

[0152] <信号伝達装置400>

図10は、信号伝達装置400の一実施形態を示す図である。本実施形態の信号伝達装置400は、マイコンM1、処理装置Prとともに電子機器Aに搭載される。

[0153] 図10に示す信号伝達装置400は、前出の信号伝達装置200（図1等参照）と同様、送信部410と、受信部420と、トランス部430と、を有する。信号伝達装置400は、送信部410と、受信部420と、トランス部430と、を単一のパッケージに封止して成るものであってもよい。信号伝達装置400は、マイコンM1と、処理装置Prとを絶縁するとともに、マイコンM1から出力される入力信号Sinに応じた出力信号Soutを処理装置Prに伝達する。

[0154] 送信部410は、パルス送信回路411と、伝送パルス信号生成回路412と、を有する。パルス送信回路411は、前述の信号伝達装置200のパルス送信回路211、バッファ212、213を含むコントローラチップ210と同様の構成を有する。そのため、パルス送信回路411の詳細な説明は省略する。

- [0155] 伝送パルス信号生成回路412は、マイコンM1から受信した入力信号S_{in}を一次側伝送パルス信号S_{tp}に変換する。詳細は後述するが、入力信号S_{in}は、2ビットの信号であり、伝送パルス信号生成回路412は、2ビットの信号をパルス状の一次側伝送パルス信号S_{tp}を生成する。なお、一次側伝送パルス信号S_{tp}は、信号伝達装置200に入力する入力パルス信号I_Nに対応する信号である。
- [0156] さらに詳しく説明すると、後述の図12に示すように、一次側伝送パルス信号S_{tp}は、伝送周期F_t（第1時間T₁、例えば、10 μ s）に所定数のパルスが含まれる信号である。各パルスは、同じ周期（パルス周期F_p、例えば、100ns）のパルス信号である。
- [0157] パルス送信回路411は、一次側伝送パルス信号S_{tp}がハイレベルのとき、第1送信パルスS_{t1}（単発又は複数発のパルス出力）を出力する。また、パルス送信回路411は、一次側伝送パルス信号S_{tp}がローレベルのとき、第2送信パルスS_{t2}（単発又は複数発のパルス出力）を出力する。すなわち、パルス送信回路411は、一次側伝送パルス信号S_{tp}の論理レベルに応じて、第1送信パルスS_{t1}又は第2送信パルスS_{t2}をパルス駆動する。なお、本実施形態では、第1送信パルスS_{t1}及び第2送信パルスS_{t2}は、単発のパルス出力とする。
- [0158] 第1送信パルスS_{t1}及び第2送信パルスS_{t2}は、トランス部430を介して第1受信パルスS_{r1}及び第2受信パルスS_{r2}として受信部420に伝達される。トランス部430は、信号伝達装置200のトランスチップ230と同様の構成を有する。そのため、トランス部430の詳細な説明は省略する。
- [0159] 受信部420は、パルス受信回路421と、信号出力回路422と、を有する。パルス受信回路421は、前述の信号伝達装置200のバッファ221、222、パルス受信回路223を含むドライバチップ220と同様の構成を有する。そのため、パルス受信回路421の詳細な説明は省略する。
- [0160] パルス受信回路421は、第1受信パルスS_{r1}及び第2受信パルスS_r

2から二次側伝送パルス信号 S_{rp} を生成する。パルス受信回路421で生成された二次側伝送パルス信号 S_{rp} は、信号出力回路422に入力される。信号出力回路422は、二次側伝送パルス信号 S_{rp} を出力信号 S_{out} に変換し、処理装置Prに出力する。なお、出力信号 S_{out} は、入力信号 S_{in} と対応する信号であり、ここでは、2ビットの信号である。

[0161] ここで、信号出力回路422について、図面を参照して説明する。図11は、信号出力回路422を含む受信部420の一構成例を示す図である。図11に示す受信部420では、第1送信パルス S_{t1} 及び第2送信パルス S_{t2} から第1受信パルス S_{r1} 及び第2送信パルス S_{t2} それぞれへの絶縁伝達手段として、トランス部430に集積されるトランス431及び432が描写される。

[0162] パルス送信回路411は、トランス431を介して一次側伝送パルス信号 S_{tp} がハイレベルである旨を示す第1送信パルス S_{t1} を第1受信パルス S_{r1} として受信部420に通知する。また、パルス送信回路411は、トランス432を介して一次側伝送パルス信号 S_{tp} がローレベルである旨を示す第2送信パルス S_{t2} を第2受信パルス S_{r2} として受信部420に通知する。

[0163] パルス受信回路421は、第1受信パルス S_{r1} を受けて、二次側伝送パルス信号 S_{rp} をハイレベルに立ち上げる。一方、パルス受信回路421は、第2受信パルス S_{r2} を受けて、二次側伝送パルス信号 S_{rp} をローレベルに立ち下げる。パルス受信回路421は、このようにして二次側伝送パルス信号 S_{rp} を生成する。なお、二次側伝送パルス信号 S_{rp} は、ノイズの影響、回路の不具合等がない場合、一次側伝送パルス信号 S_{tp} と同数のパルスを有する信号である。本実施形態では、一次側伝送パルス信号 S_{tp} と二次側伝送パルス信号 S_{rp} とは、伝送周期 F_t 、パルス周期 F_p が同じであるとしているが、異なってもよい。

[0164] 信号出力回路422は、二次側伝送パルス信号 S_{rp} に応じて出力信号 S_{out} を生成する。図11に示すように、信号出力回路422は、カウンタ

一回路423と、タイマー回路424と、カウント値判定回路425と、を有する。二次側伝送パルス信号 S_{rp} は、伝送周期 F_t （第1時間 T_1 毎）に一次側伝送パルス信号 S_{tp} と同数のパルス进行有する。一次側伝送パルス信号 S_{tp} 及び二次側伝送パルス信号 S_{rp} において、最初のパルス立ち上がりから最後のパルスの立ち下がりまでの時間を第2時間 T_2 とする。第2時間 T_2 は、第1時間 T_1 よりも短い。

[0165] タイマー回路424は、二次側伝送パルス信号 S_{rp} のパルスを検出したときからの時間を計測する。ここでは、タイマー回路424は、二次側伝送パルス信号 S_{rp} の最初のパルスの立ち上がりから計測を開始する。なお、タイマー回路424は、最初のパルスの立ち下がりから計測を開始してもよい。

[0166] タイマー回路424は、時間の計測開始から後述する第3時間 T_3 （例えば、 $1\mu s$ ）が経過するまでの時間を計測する。第3時間 T_3 は、第2時間 T_2 以上であるとともに第1時間 T_1 未満である。第3時間 T_3 と第2時間 T_2 との差は、パルス周期 F_p （例えば、 $100ns$ ）よりも長い時間であることが好ましい。このようにすることで、カウンター回路423が第3時間 T_3 経過するまでにパルスを検出しない場合、最後に検出したパルスが最後のパルスと判断でき、パルス数を特定可能である。

[0167] タイマー回路424は、カウンター回路423及びカウント値判定回路425にリセット信号 R_{ss} を送信する。リセット信号 R_{ss} は、ハイレベル及びローレベルをとる信号である。タイマー回路424は、時間の計測を行っていないとき、ローレベルのリセット信号 R_{ss} を出力し、計測開始から第3時間 T_3 経過するまでハイレベルのリセット信号 R_{ss} を出力する。その後、タイマー回路424は、ローレベルのリセット信号 R_{ss} を出力する。

[0168] カウンター回路423は、二次側伝送パルス信号 S_{rp} のパルス数をカウントする。カウンター回路423は、例えば、二次側伝送パルス信号 S_{rp} の各パルスの立ち上がり又は立ち下がりパルスとして検出する構成であつ

てもよいし、二次側伝送パルス信号 S_{rp} の電圧レベルを検出し、閾値よりも高くなる回数をパルスとして検出してもよい。

[0169] カウンター回路 423 は、伝送周期 F_t ごとに検出したパルスを累積したカウント値 N_c に応じたカウント信号 S_{ct} を生成し、カウント値判定回路 425 に出力する。カウンタ回路 423 のリセット端子には、反転されたリセット信号 R_{ss} が入力される。カウンタ回路 423 は、リセット信号 R_{ss} がハイレベルのときカウント値 N_c を累積し、リセット信号 R_{ss} がローレベルのとき、カウント値 N_c をリセットするように構成されている。

[0170] カウント値判定回路 425 は、カウンタ回路 423 からのカウント信号 S_{ct} を受信する。また、カウント値判定回路 425 は、タイマ回路 424 からのリセット信号 R_{ss} を受信する。カウント値判定回路 425 は、カウンタ回路 423 からのカウント信号 S_{ct} に応じたカウント値 N_c を取得する。そして、カウント値判定回路 425 は、伝送周期 F_t の間、カウント値 N_c を保持し、保持しているカウント値 N_c に応じた出力信号 S_{out} を生成し、処理装置 P_r に出力する。処理装置 P_r は、出力信号 S_{out} に応じて、予め決められた出力電圧 V_{out} を出力可能な構成を有する。

[0171] 例えば、電子機器 A がスイッチング出力部を有する構成の場合、処理装置 P_r は、スイッチング出力部に含まれるスイッチ素子のゲートを駆動する駆動信号を出力する構成とすることができる。このとき、出力信号 S_{out} は動作させる、つまり、有効にするスイッチング出力部を決定するイネーブル信号とすることができる。また、出力信号 S_{out} が 2 ビットの情報を有する信号であることから、処理装置 P_r からスイッチング出力部に出力する電圧値を特定する信号として用いることもできる。

[0172] なお、スイッチング出力部としては、ハーフブリッジ出力部又はフルブリッジ出力部を挙げることができる。ハーフブリッジ出力部及びフルブリッジ出力部は、モータドライバなどの負荷駆動手段として用いられてもよいし、インバータなどの電力変換手段として用いられてもよい。ハーフブリッジ出力部及びフルブリッジ出力部のスイッチ素子は、IGBTであってもよい。

また、スイッチ素子は、MOSFET [metal oxide semiconductor field effect transistor] であってもよい。

[0173] 信号伝達装置400は、マイコンM1と処理装置Prとを絶縁し、マイコンM1からの入力信号に基づいてスイッチング出力部のスイッチ素子のゲートを駆動する半導体集積回路装置（いわゆる絶縁ゲートドライバIC）であるともいえる。

[0174] <信号伝達装置400の動作>

図12は、信号伝達装置400の動作時における信号状態の一例を示すタイミングチャートである。図13は、入力信号Sinを一次側伝送パルス信号Stpに変換する変換テーブルTbの一例を示す図である。なお、詳細は後述するが、二次側伝送パルス信号Srpを出力信号Soutに変換する場合も同様の変換テーブルを用いる。そのため、図13に示す変換テーブルTbには、二次側伝送パルス信号Srp及び出力信号Soutについても記載している。

[0175] 図12には、入力信号Sin、出力信号Sout、一次側伝送パルス信号Stp、二次側伝送パルス信号Srp、第1送信パルスSt1、第2送信パルスSt2、第1受信パルスSr1、第2受信パルスSr2、リセット信号Rss、カウント信号Sctが描画されている。

[0176] 図12に示すように、入力信号Sinは、第1入力情報TC1及び第2入力情報TC2を有する2ビットの信号である。第1入力情報TC1及び第2入力情報TC2は、それぞれ、ハイレベル及びローレベルをとる。また、出力信号Soutは、第1出力情報TD1及び第2出力情報TD2を有する2ビットの信号である。第1出力情報TD1及び第2出力情報TD2は、それぞれ、ハイレベル及びローレベルをとる。詳細は後述するが、第1出力情報TD1及び第2出力情報TD2は、第1入力情報TC1及び第2入力情報TC2を信号伝達装置400で伝達した情報である。

[0177] 伝送パルス信号生成回路412は、第1入力情報TC1及び第2入力情報TC2を受け、第1入力情報TC1及び第2入力情報TC2のレベルに応じ

て、一次側伝送パルス信号 S_{tp} を生成する。伝送パルス信号生成回路 412 は、例えば、図 13 に示す変換テーブル T_b を参照し、入力信号 S_{in} に応じた一次側伝送パルス信号 S_{tp} を生成する。図 13 に示す変換テーブル T_b は、第 1 入力情報 TC_1 及び第 2 入力情報 TC_2 のレベルと、一次側伝送パルス信号 S_{tp} の伝送周期 F_t （第 1 時間 T_1 、例えば、 $10\mu s$ ）に含まれるパルス数 N_p と、を関連付けている。

[0178] 例えば、図 13 に示すように、第 1 入力情報 TC_1 及び第 2 入力情報 TC_2 が、ともにローレベル（L）のとき、パルス数 N_p は「1」である。また、第 1 入力情報 TC_1 及び第 2 入力情報 TC_2 が、ともにハイレベル（H）のとき、パルス数 N_p は「4」である。このようにして、伝送パルス信号生成回路 412 は、第 1 入力情報 TC_1 及び第 2 入力情報 TC_2 のレベルを、パルス数 N_p に変換する。

[0179] なお、本実施形態では、入力信号 S_{in} として 2 ビットの信号としているが、これに限定されず、3 ビット以上の信号であってもよい。例えば、3 ビットの場合、一次側伝送パルス信号 S_{tp} のパルス数 N_p は、「1」～「8」である。すなわち、入力信号 S_{in} が n ビットの信号の場合、一次側伝送パルス信号 S_{tp} のパルス数 N_p は、「1」～「 2^n 」である。

[0180] そして、伝送パルス信号生成回路 412 は、第 1 時間 T_1 よりも短い第 3 時間 T_3 （例えば、 $1\mu s$ ）で決められたパルス数 N_p のパルスを出力するような一次側伝送パルス信号 S_{tp} を生成する。なお、パルス周期 F_p （例えば、 $100ns$ ）はトランス部 430 で信号を確実に伝送可能なように決められている。また、第 3 時間 T_3 は、パルス周期 F_p でパルス数 N_p のパルスを出力した後にパルス周期 F_p の 1 つ分以上の時間が含まれるように決められている。

[0181] 図 12 に示すように、入力信号 S_{in} は第 1 入力情報 TC_1 及び第 2 入力情報 TC_2 とともに、ハイレベルであるため、伝送パルス信号生成回路 412 は、伝送周期 F_t ごとに 4 個のパルスを出力するような、一次側伝送パルス信号 S_{tp} を生成する。

- [0182] 図12に示すように、パルス送信回路411は、一次側伝送パルス信号 S_{tp} のパルスの立ち上がり時に第1送信パルス S_{t1} を出力する。また、パルス送信回路411は、一次側伝送パルス信号 S_{tp} のパルスの立下り時に第2送信パルス S_{t2} を出力する。つまり、パルス送信回路411は、第1送信パルス S_{t1} と第2送信パルス S_{t2} を交互に出力する。
- [0183] 第1送信パルス S_{t1} 及び第2送信パルス S_{t2} は、トランス部430のトランス431及び432によって、第1受信パルス S_{r1} 及び第2受信パルス S_{r2} として伝達される。そして、図12に示すように、パルス受信回路421は、第1受信パルス S_{r1} を受信したときに立ち上がり、第2受信パルス S_{r2} を受信したときに立ち下がる二次側伝送パルス信号 S_{rp} を生成する。
- [0184] 二次側伝送パルス信号 S_{rp} は、信号出力回路422に送られる。信号出力回路422のタイマー回路424は、二次側伝送パルス信号 S_{rp} の各伝送周期 F_t の最初のパルスの立ち上がりを検出したとき、時間の計測を開始する。そして、タイマー回路424は、時間の計測と同時に、ハイレベルのリセット信号 R_{ss} を出力する。タイマー回路424は、計測開始から第3時間 T_3 経過した後、リセット信号 R_{ss} をローレベルに立下げる。
- [0185] カウンター回路423は、伝送周期 F_t の最初のパルスの立ち上がりを検出したとき、カウント値 N_c を1とし、パルスの立ち上がりを検出する毎に、カウント値 N_c を「1」ずつ増加（カウントアップ）する。
- [0186] カウンター回路423は、リセット信号 R_{ss} がハイレベルのとき、パルスを検出する毎にカウント値 N_c をカウントアップする。そして、カウンター回路423は、リセット信号 R_{ss} がローレベルのとき、カウント値 N_c をリセットする。つまり、カウンター回路423は、二次側伝送パルス信号 S_{rp} の各伝送周期 F_t の最初のパルスの立ち上がりから第3時間 T_3 経過するまで、パルスを検出し、カウント値 N_c の累積を行う。そして、カウンター回路423は、現在のカウント値 N_c の情報を含むカウント信号 S_{ct} をカウント値判定回路425に送る。また、カウンター回路423は、リセ

ット信号 R_{ss} がハイレベルに立ち上がったとき、カウント信号 S_{ct} をローレベルに立下げる。

[0187] カウント値判定回路 425 は、リセット信号 R_{ss} がハイレベルからローレベルに立ち下がったとき、そのときに受信しているカウント信号 S_{ct} に応じたカウント値 N_c を保持する。カウント値判定回路 425 は、図 13 に示す変換テーブル T_b を参照し、保持しているカウント値に基づいて出力信号 S_{out} を出力する。ここでは、カウント値 N_c が 4 なので、カウント値判定回路 425 は、第 1 出力情報 T_{D1} 及び第 2 出力情報 T_{D2} がともにハイレベルである出力信号 S_{out} を処理装置 P_r に対して出力する。

[0188] カウント値判定回路 425 は、次の伝送周期 F_t におけるリセット信号 R_{ss} がハイレベルからローレベルに立ち下がるまでの間、現在のカウント値を保持し、現在のカウント値に基づいて出力信号 S_{out} を出力する。

[0189] 次に、入力信号 S_{in} が切り替わる場合について説明する。図 14 は、入力信号 S_{in} が切り替わるときの信号伝達装置 400 の動作の一例を示す図である。図 14 には、図 12 と同じ信号が表示されている。そのため、図 14 のタイミングチャートにおける各信号の説明は省略する。

[0190] 図 14 に示すタイミングチャートにおいて、入力信号 S_{in} は、第 1 入力情報 T_{C1} 及び第 2 入力情報 T_{C2} がともにハイレベルとなっている。そして、時刻 T_{m1} において第 1 入力情報 T_{C1} がハイレベルからローレベルに立ち下がる。最初の伝送周期 F_t において、伝送周期 F_t の開始から、第 3 時間 T_3 経過するまでの間、リセット信号 R_{ss} はハイレベルである。そのため、カウント値判定回路 425 は、直前の伝送周期 F_t で保持していたカウント値 $N_c (=4)$ に応じて出力信号 S_{out} を出力する。

[0191] 伝送パルス信号生成回路 412 は、時刻 T_{m1} が含まれる伝送周期 F_t の次の伝送周期 F_t (以下、次の伝送周期 F_t と称する) では、第 1 入力情報 T_{C1} がローレベル且つ第 2 入力情報 T_{C2} がハイレベルのときのパルス数 $N_p (=3)$ の一次側伝送パルス信号 S_{tp} を送信する。

[0192] 次の伝送周期 F_t の開始から第 3 時間 T_3 が経過したとき、カウント値判

定回路425はカウント値 N_c が「4」から「3」に変化していることを認識する。そのため、カウント値判定回路425は、次の伝送周期 F_t の開始から第3時間 T_3 経過した時刻 T_{m2} で、第2出力情報 TD_2 はハイレベルのまま、第1出力情報 TD_1 をローレベルに変更した出力信号 S_{out} の出力を開始する。

[0193] 以上示したとおり、本実施形態にかかる信号伝達装置400では、入力信号 S_{in} 及び出力信号 S_{out} が複数のビット数を有する信号であっても、2個のトランス431、432で信号を伝達できる。そのため、信号伝達装置400のパッケージを小型化することが可能である。

[0194] なお、上述の構成では、送信部410は、一次側伝送パルス信号 S_{tp} の切り替わりを、次の伝送周期 F_t のタイミングとしているが、これに限定されない。送信部410は、入力信号 S_{in} の切り替わりから第3時間 T_3 よりも大きく第1時間 T_1 以下の第4時間 T_4 が経過した時点から、一次側伝送パルス信号 S_{tp} を切り替えてもよい（図15参照）。

[0195] <第1変形例>

図16は、第1変形例の信号伝達装置400の動作の一例を示すフローチャートである。図16は、入力信号 S_{in} が切り替わるときの信号伝達装置400の動作の一例を示す。第1変形例の信号伝達装置400は、カウント値判定回路425の動作は異なるが、構成は図10等を示す信号伝達装置400と同じである。そのため、第1変形例の信号伝達装置400において、図10に示す信号伝達装置400と実質上同じ部分には、同じ符号を付すとともに、詳細な説明は省略する。

[0196] 信号伝達装置400では、トランス部430のトランス431及び432の電磁結合によって、信号を伝達している。このような構成において、電氣的なノイズ、磁気等によって、伝達された信号にエラーが発生する場合がある。そこで、信号伝達装置400では、伝達される信号の正確性を担保するために信号のチェックを実行している。以下に信号のチェックの方法の一例について説明する。

- [0197] 第1変形例の信号伝達装置400において、カウント値判定回路425は、その時受信しているカウント信号Sctに応じた新たなカウント値Nc1を取得する(ステップS101)。そして、カウント値判定回路425は、リセット信号Rssがハイレベルからローレベルに立ち下がったか否か検出する(ステップS102)。リセット信号Rssがローレベルに立ち下がっていない場合(ステップS102でNoの場合)、カウント値判定回路425は、ステップS101に戻り、新たなカウント値Nc1の取得を行う。
- [0198] リセット信号Rssがローレベルに立ち下がったことを検出したとき(ステップS102でYesのとき)、カウント値判定回路425は、保持しているカウント値Nc0があるか否か確認する(ステップS103)。保持しているカウント値Nc0がないとき(ステップS103でNoのとき)、カウント値判定回路425は、新たに取得したカウント値Nc1を保持しているカウント値Nc0とする(ステップS105)。そして、カウント値判定回路425は、保持しているカウント値Nc0に応じた出力信号Soutを出力する(ステップS109)。
- [0199] カウント値判定回路425が保持しているカウント値Nc0があるとき(ステップS103でYesのとき)、カウント値判定回路425は新たなカウント値Nc1と保持しているカウント値Nc0が同じか否か確認する(ステップS104)。保持しているカウント値Nc0と新たなカウント値Nc1とが同じである場合(ステップS104でYesの場合)、カウント値判定回路425は、保持しているカウント値Nc0に応じた出力信号Soutを出力する(ステップS109)。そして、処理は、ステップS101に戻る。
- [0200] 保持しているカウント値Nc0と新たなカウント値Nc1が異なる場合(ステップS104でNoの場合)、カウント値判定回路425は保留しているカウント値Nc2があるか否か確認する(ステップS106)。保留しているカウント値Nc2とは、直前の伝送周期Ftで取得したカウント値であって、取得したときに保持しているカウント値と異なる場合に生成される。

- [0201] 保留しているカウント値N c 2がない場合（ステップS 1 0 6でN oの場合）、カウント値判定回路4 2 5はカウント値N c 2を新たなカウント値N c 1に置き換える（ステップS 1 0 7）。
- [0202] 保留しているカウント値N c 2がある場合（ステップS 1 0 6でY e sの場合）、カウント値判定回路4 2 5は新たなカウント値N c 1と保留しているカウント値N c 2が同じか否か確認する（ステップS 1 0 8）。新たなカウント値N c 1が保留しているカウント値N c 2と同じである場合（ステップS 1 0 8でY e sの場合）、カウント値判定回路4 2 5は、2回連続して同じカウント値を取得しているため、カウント値の変更がエラーではなく入力信号の変更であると判定する。その後、処理はステップS 1 0 5に移動し、保持しているカウント値N c 0を現在のカウント値N c 1に置き換え、処理を継続する。
- [0203] 新たなカウント値N c 1が保留しているカウント値N c 2と異なる場合（ステップS 1 0 8でN oの場合）、カウント値判定回路4 2 5は、新たなカウント値N c 1を保留しているカウント値N c 2に置き換える（ステップS 1 0 7）。その後、処理はステップS 1 0 9に移動し、処理を継続する。
- [0204] カウント値判定回路4 2 5は、連続して取得されたカウント値が同じである場合、入力信号の変化によるカウント値の変化であると判定し、新たに取得されたカウント値を保持し、保持されたカウント値に応じた出力信号S o u tを出力する。一方で、直前のカウント値と異なるカウント値を新たに取得した場合、新たなカウント値は、エラーによる可能性があると判定し、現在保持されているカウント値に応じた出力信号S o u tを出力する。このようにすることで、エラーによる出力信号S o u tが入力信号S i nと異なる信号になることを抑制することができる。
- [0205] なお、上述の例では、カウント値判定回路4 2 5は、2回連続同じカウント値になったときに、新たなカウント値がエラーではないと判定しているが、これに限定されず、3回以上連続して同じカウント値である場合にエラーではないと判定してもよい。

[0206] <第2変形例>

図17は、第2変形例の信号伝達装置400の動作の一例を示すタイミングチャートである。図18は、第2変形例の信号伝達装置400の動作を示すフローチャートである。第2変形例の信号伝達装置400は、タイマー回路424の動作が異なる。また、リセット信号Rstが入力したときのカウンタ回路423及びカウント値判定回路425の動作も異なる。これ以外の点については、図10等を示す信号伝達装置400と同じである。そのため、第2変形例の信号伝達装置400において、図10に示す信号伝達装置400と実質上同じ部分には、同じ符号を付すとともに、詳細な説明は省略する。

[0207] 図17に示すように、タイマー回路424は、パルス状のリセット信号Rstを出力する。そして、タイマー回路424から出力されたリセット信号Rstは、カウンタ回路423及びカウント値判定回路425に入力している。

[0208] 図18に示すとおり、信号伝達装置400において、タイマー回路424は、二次側伝送パルス信号Srpのパルスの立ち下がりを検出する（ステップS201）。そして、タイマー回路424は、検出したパルスの立ち下がりから時間の計測を開始する（ステップS202）。そして、タイマー回路424は、新たなパルスの立ち上がりを検出したか否か確認する（ステップS203）。パルスの立ち上がりを確認した場合（ステップS203でYesの場合）、タイマー回路424は、計測時間をリセットし（ステップS204）、ステップS203に戻り、パルスの立ち下がりの検出を行う。

[0209] 新たなパルスの立ち上がりが検出されない場合（ステップS203でNoの場合）、計測開始からの時間が第5時間T5（例えば、500ns）経過したか否か確認する（ステップS205）。計測開始からの時間が第5時間T5経過していない場合（ステップS205でNoの場合）、タイマー回路424は、この後パルスの立ち上がりが検出される可能性があるかと判定し、ステップS203に戻り、パルスの立ち上がりの検出を行う。

[0210] また、計測開始からの時間が第5時間 T_5 を経過した場合（ステップS205でYesの場合）、タイマー回路424は、パルス状のリセット信号 R_{st} を出力する（ステップS206）。タイマー回路424は、計測時間をリセットし（ステップS207）た後、ステップS201から処理を継続する。

[0211] カウンター回路423は、リセット信号 R_{st} の入力によって、カウント値 N_c がリセットされるように構成されている。また、カウント値判定回路425は、リセット信号 R_{st} が入力されたときに入力されているカウント信号 S_{ct} に応じたカウント値 N_c を保持し、カウント値 N_c の応じた出力信号 S_{out} を出力する。

[0212] 図17に示すように、時刻 T_{m3} で第1入力情報 TC_1 がローレベル立ち下がったとする。このとき、送信部410は、時刻 T_{m3} の直後の伝送周期 F_t の開始から、パルス数 $N_p (=3)$ の一次側伝送パルス信号 S_{tp} を送信する。そして、タイマー回路424は、3個目のパルスの立ち下がりを検出した後、第5時間 T_5 を経過したときに、二次側伝送パルス信号 S_{rp} のパルス数 N_p が4から3に切り替わったと判定する。これにより、カウント値判定回路425は、第5時間 T_5 経過したとき、第1出力情報 TD_1 をローレベルとした、出力信号 S_{out} を出力する。

[0213] このように、タイマー回路424が、二次側伝送パルス信号 S_{rp} のパルスの立ち下がりから時間を計測するように構成することで、伝送周期 F_t におけるパルス数を正確に検出することができる。また、二次側伝送パルス信号 S_{rp} の伝送周期 F_t の最初からパルス数を確定するまでの時間を短くすることができる。

[0214] <車両への適用>

図19は、車両の外観を示す図である。本構成例の車両Bは、バッテリーから電力供給を受けて動作する種々の電子機器を搭載している。

[0215] 車両Bには、エンジン車のほか、電動車（BEV [battery electric vehicle]、HEV [hybrid electric vehicle]、PHEV/PHV (plug-

in hybrid electric vehicle/plug-in hybrid vehicle]、又は、FCEV/FCEV (fuel cell electric vehicle/fuel cell vehicle] などのxEV) も含まれる。

[0216] なお、先に説明した信号伝達装置200又は400は、車両Bに搭載される電子機器のいずれにも組み込むことが可能である。

[0217] <その他>

上記実施形態は、全ての点で例示であって、制限的なものではないと考えられるべきであり、本開示の技術的範囲は、上記実施形態の説明ではなく、特許請求の範囲によって示されるものであり、特許請求の範囲と均等の意味及び範囲内に属する全ての変更が含まれると理解されるべきである。

[0218] 以上説明した信号伝達装置(400)は入力信号(S_{in})が入力されるとともに予め決められた第1時間(T_1)経過するごとに入力信号(S_{in})に応じて決められたパルス数(N_p)の一次伝送パルス信号(S_{tp})を出力するように構成された送信部(410)と、送信部(410)との間で絶縁通信を行うことで一次側伝送パルス信号(S_{tp})と同数のパルス数(N_p)の二次側伝送パルス信号(S_{rp})を受信するとともに二次側伝送パルス信号(S_{rp})に含まれるパルス数(N_p)を取得し、パルス数(N_p)に応じて出力信号(S_{out})を出力するように構成された受信部(420)と、を有するように構成された構成(第1の構成)である。

[0219] 上記第1の構成の信号伝達装置(400)において、受信部(420)は、二次側伝送パルス信号(S_{rp})に含まれるパルス数(N_p)が連続して所定回数同じであるときに出力信号(S_{out})を生成するように構成された構成(第2の構成)である。

[0220] 上記第1又は第2の構成の信号伝達装置(400)において、直前のパルス数(N_p)と異なるパルス数(N_p)を取得した場合、受信部(420)は現在出力中の出力信号(S_{out})の出力を行うように構成された構成(第3の構成)である。

[0221] 上記第1から第3のいずれかの構成の信号伝達装置(400)において、

送信部（４１０）は、複数ビットの入力信号（ S_{in} ）に応じて１つの伝送パルス信号（ S_{tp} ）を生成するように構成された構成（第４の構成）である。

[0222] 上記第１から第４のいずれかの構成の信号伝達装置（４００）において、送信部（４１０）は、第１時間（ T_1 ）よりも短い第２時間（ T_2 ）の間に全てのパルスが立ち上がる一次側伝送パルス信号（ S_{tp} ）を生成するように構成され、受信部（４２０）は、二次側伝送パルス信号（ S_{rp} ）のパルス数（ N_p ）をカウントするように構成されたカウンター回路（４２３）と、カウンター回路（４２３）から取得したパルス数（ N_p ）が連続して同じであるか否か判定するように構成されたカウント値判定回路（４２５）と、を有しカウンター回路（４２３）は、第１時間（ T_1 ）未満且つ第２時間（ T_2 ）以上の第３時間（ T_3 ）が経過するごとにカウントしたパルス数（ N_p ）をリセットし、カウント値判定回路（４２５）は、カウンター回路（４２３）がリセットされたときのパルス数（ N_p ）を二次側伝送パルス信号（ S_{rp} ）のパルス数（ N_p ）とするように構成された構成（第５の構成）である。

[0223] 上記第５の構成の信号伝達装置（４００）において、送信部（４１０）は、入力信号（ S_{in} ）が切り替わったとき、その切り替わりのタイミングから第３時間（ T_3 ）よりも大きく第１時間（ T_1 ）以下の第４時間（ T_4 ）が経過した時点から新たな一次側伝送パルス信号（ S_{tp} ）を出力するように構成された構成（第６の構成）である。

[0224] 上記第１から第４のいずれかの構成の信号伝達装置（４００）において、前記送信部（４１０）は、第１時間（ T_1 ）よりも短い第２時間（ T_2 ）の間に全てのパルスが立ち上がる一次側伝送パルス信号（ S_{tp} ）を生成するように構成され、受信部（４２０）は、二次側伝送パルス信号（ S_{rp} ）のパルス数（ N_p ）をカウントするように構成されたカウンター回路（４２３）と、カウンター回路（４２３）から取得したパルス数（ N_p ）が連続して同じであるか否か判定するように構成されたカウント値判定回路（４２５）

と、を有し、パルスの立下りからの時間が第1時間（ T_1 ）と第2時間（ T_2 ）との差分値よりも小さい第5時間（ T_5 ）経過するまでに、カウンター回路（423）がパルス数（ N_p ）を更新しない場合、カウンター回路（423）はパルス数（ N_p ）をリセットし、前記判定部は、前記カウンター回路がリセットされたときのパルス数を前記伝送パルス信号のパルス数とするように構成された構成（第7の構成）である。

[0225] 上記第1から第6のいずれかの構成の信号伝達装置（400）において、送信部（410）と、受信部（420）と、は、単一のパッケージに封止されるように構成された構成（第8の構成）である。

[0226] また、例えば、本開示に係る電子機器（A）は、スイッチング素子と、上記第1から第8のいずれかの構成の信号伝達装置（400）と、を有し、受信部（420）は、スイッチング素子を駆動させる情報を含む出力信号（ S_{out} ）を出力可能なように構成された構成（第9の構成）である。

[0227] また、例えば、本開示に係る車両（B）は、上記第1から第8のいずれかの構成の信号伝達装置（400）を有する構成（第10の構成）である。

符号の説明

- [0228] 5 半導体装置
- 11、11A～11F 低電位端子
- 12、12A～12F 高電位端子
- 21、21A～21D 変圧器（トランス）
- 22 低電位コイル（一次側コイル）
- 23 高電位コイル（二次側コイル）
- 24 第1内側末端
- 25 第1外側末端
- 26 第1螺旋部
- 27 第2内側末端
- 28 第2外側末端
- 29 第2螺旋部

- 3 1 第1低電位配線
- 3 2 第2低電位配線
- 3 3 第1高電位配線
- 3 4 第2高電位配線
- 4 1 半導体チップ
- 4 2 第1主面
- 4 3 第2主面
- 4 4 A～4 4 D チップ側壁
- 4 5 第1機能デバイス
- 5 1 絶縁層
- 5 2 絶縁主面
- 5 3 A～5 3 D 絶縁側壁
- 5 5 最下絶縁層
- 5 6 最上絶縁層
- 5 7 層間絶縁層
- 5 8 第1絶縁層
- 5 9 第2絶縁層
- 6 0 第2機能デバイス
- 6 1 シール導体
- 6 2 デバイス領域
- 6 3 外側領域
- 6 4 シールプラグ導体
- 6 5 シールビア導体
- 6 6 第1内側領域
- 6 7 第2内側領域
- 7 1 貫通配線
- 7 2 低電位接続配線
- 7 3 引き出し配線

- 7 4 第1 接続プラグ電極
- 7 5 第2 接続プラグ電極
- 7 6 パッドプラグ電極
- 7 7 基板プラグ電極
- 7 8 第1 電極層
- 7 9 第2 電極層
- 8 0 配線プラグ電極
- 8 1 高電位接続配線
- 8 2 パッドプラグ電極
- 8 5 ダミーパターン
- 8 6 高電位ダミーパターン
- 8 7 第1 高電位ダミーパターン
- 8 8 第2 高電位ダミーパターン
- 8 9 第1 領域
- 9 0 第2 領域
- 9 1 第3 領域
- 9 2 第1 接続部
- 9 3 第1 パターン
- 9 4 第2 パターン
- 9 5 第3 パターン
- 9 6 第1 外周ライン
- 9 7 第2 外周ライン
- 9 8 第1 中間ライン
- 9 9 第1 接続ライン
- 1 0 0 スリット
- 1 3 0 分離構造
- 1 4 0 無機絶縁層
- 1 4 1 第1 無機絶縁層

- 1 4 2 第2無機絶縁層
- 1 4 3 低電位パッド開口
- 1 4 4 高電位パッド開口
- 1 4 5 有機絶縁層
- 1 4 6 第1部分
- 1 4 7 第2部分
- 1 4 8 低電位端子開口
- 1 4 9 高電位端子開口
- 2 0 0 信号伝達装置
- 2 0 0 p 一次回路系
- 2 0 0 s 二次回路系
- 2 1 0 コントローラチップ（第1チップ）
- 2 1 1 パルス送信回路（パルスジェネレータ）
- 2 1 2、2 1 3 バッファ
- 2 2 0 ドライバチップ（第2チップ）
- 2 2 1、2 2 2 バッファ
- 2 2 3 パルス受信回路（RSフリップフロップ）
- 2 2 4 ドライバ
- 2 3 0 トランスチップ（第3チップ）
- 2 3 0 a 第1配線層（下層）
- 2 3 0 b 第2配線層（上層）
- 2 3 1、2 3 2 トランス
- 2 3 1 p、2 3 2 p 一次側コイル
- 2 3 1 s、2 3 2 s 二次側コイル
- 3 0 0 トランスチップ
- 3 0 1 第1トランス
- 3 0 2 第2トランス
- 3 0 3 第3トランス

304	第4トランス
305	第1ガードリング
306	第2ガードリング
a1～a8	パッド（第1の電流供給用パッドに相当）
b1～b8	パッド（第1の電圧測定用パッドに相当）
c1～c4	パッド（第2の電流供給用パッドに相当）
d1～d4	パッド（第2の電圧測定用パッドに相当）
e1、e2	パッド
L1p、L2p	一次側コイル
L1s、L2s、L3s、L4s	二次側コイル
T21、T22、T23、T24、T25、T26	外部端子
X21、X22、X23	内部端子
Y21、Y22、Y23	配線
Z21、Z22、Z23	ビア
400	信号伝達装置
410	送信部
411	パルス送信回路
412	伝送パルス信号生成回路
420	受信部
421	パルス受信回路
422	信号出力回路
423	カウンタ回路
424	タイマー回路
425	カウント値判定回路
430	トランス部
431、432	トランス

請求の範囲

- [請求項1] 入力信号が入力されるとともに予め決められた第1時間経過すると共に前記入力信号に応じて決められたパルス数の一次側伝送パルス信号を出力するように構成された送信部と、
- 前記送信部との間で絶縁通信を行うことで前記一次側伝送パルス信号と同数のパルス数の二次側伝送パルス信号を受信するとともに前記二次側伝送パルス信号に含まれるパルス数を取得し、前記パルス数に応じて出力信号を出力するように構成された受信部と、を有するように構成された信号伝達装置。
- [請求項2] 前記受信部は、前記二次側伝送パルス信号に含まれる前記パルス数が連続して所定回数同じであるときに当該パルス数に応じた前記出力信号を生成するように構成された請求項1に記載の信号伝達装置。
- [請求項3] 直前のパルス数と異なるパルス数を取得した場合、前記受信部は現在出力中の前記出力信号の出力を行うように構成された請求項1又は請求項2に記載の信号伝達装置。
- [請求項4] 前記送信部は、複数ビットの前記入力信号に応じて1つの前記一次側伝送パルス信号を生成するように構成された請求項1から請求項3のいずれかに記載の信号伝達装置。
- [請求項5] 前記送信部は、前記第1時間よりも短い第2時間の間に全てのパルスが立ち上がる前記一次側伝送パルス信号を生成するように構成され、
- 前記受信部は、
- 前記二次側伝送パルス信号の前記パルス数をカウントするように構成されたカウンター回路と、
- 前記カウンター回路から取得した前記パルス数が連続して同じであるか否か判定するように構成されたカウント値判定回路と、を有し、
- 前記カウンター回路は、前記第1時間未満且つ前記第2時間以上の第3時間が経過するごとにカウントした前記パルス数をリセットし、

前記カウント値判定回路は、前記カウンター回路がリセットされたときのパルス数を前記二次側伝送パルス信号のパルス数とするように構成された請求項 1 から請求項 4 のいずれかに記載の信号伝達装置。

[請求項6] 前記送信部は、前記入力信号が切り替わったとき、その切り替わりのタイミングから前記第 3 時間よりも大きく第 1 時間以下の第 4 時間が経過した時点から新たな前記一次側伝送パルス信号を出力するように構成された請求項 5 に記載の信号伝達装置。

[請求項7] 前記送信部は、前記第 1 時間よりも短い第 2 時間の間に全てのパルスが立ち上がる前記一次側伝送パルス信号を生成するように構成され、

前記受信部は、

前記二次側伝送パルス信号の前記パルス数をカウントするように構成されたカウンター回路と、

前記カウンター回路から取得した前記パルス数が連続して同じであるか否か判定するように構成されたカウント値判定回路と、を有し、

前記パルスの立下りからの時間が前記第 1 時間と前記第 2 時間との差分値よりも小さい第 5 時間経過するまでに、前記カウンター回路がパルス数を更新しない場合、前記カウンター回路は前記パルス数をリセットし、前記カウント値判定回路は、前記カウンター回路がリセットされたときのパルス数を前記二次側伝送パルス信号のパルス数とするように構成された請求項 1 から請求項 4 のいずれかに記載の信号伝達装置。

[請求項8] 前記送信部と、前記受信部と、は、単一のパッケージに封止されるように構成された請求項 1 から請求項 6 のいずれかに記載の信号伝達装置。

[請求項9] スイッチング素子と、

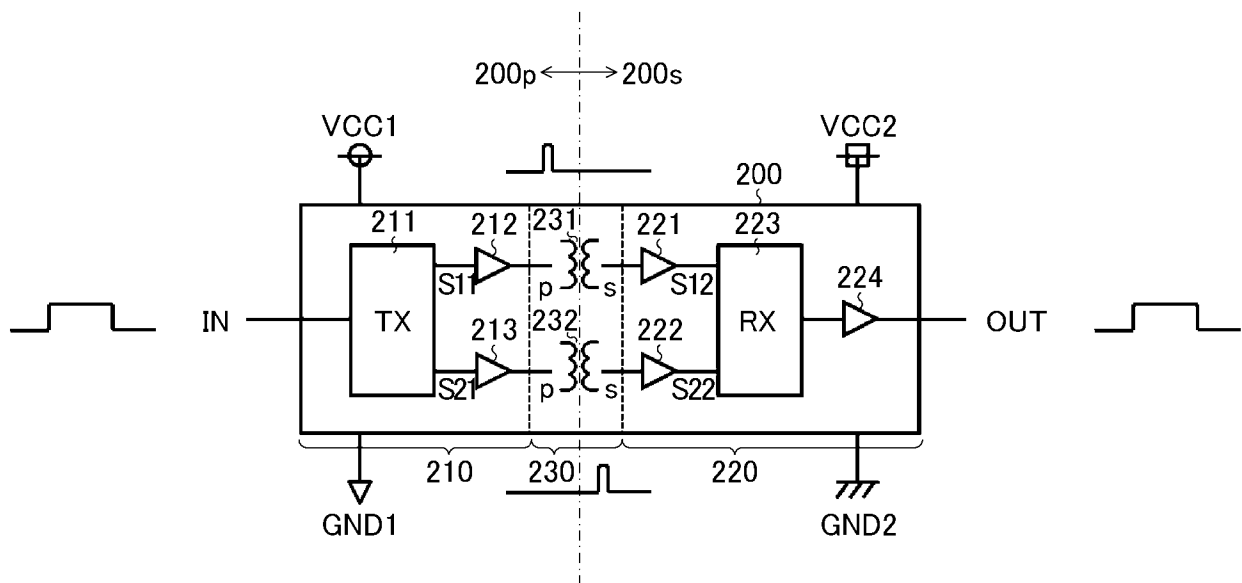
請求項 1 から請求項 8 のいずれかに記載の信号伝達装置と、を有し、

、

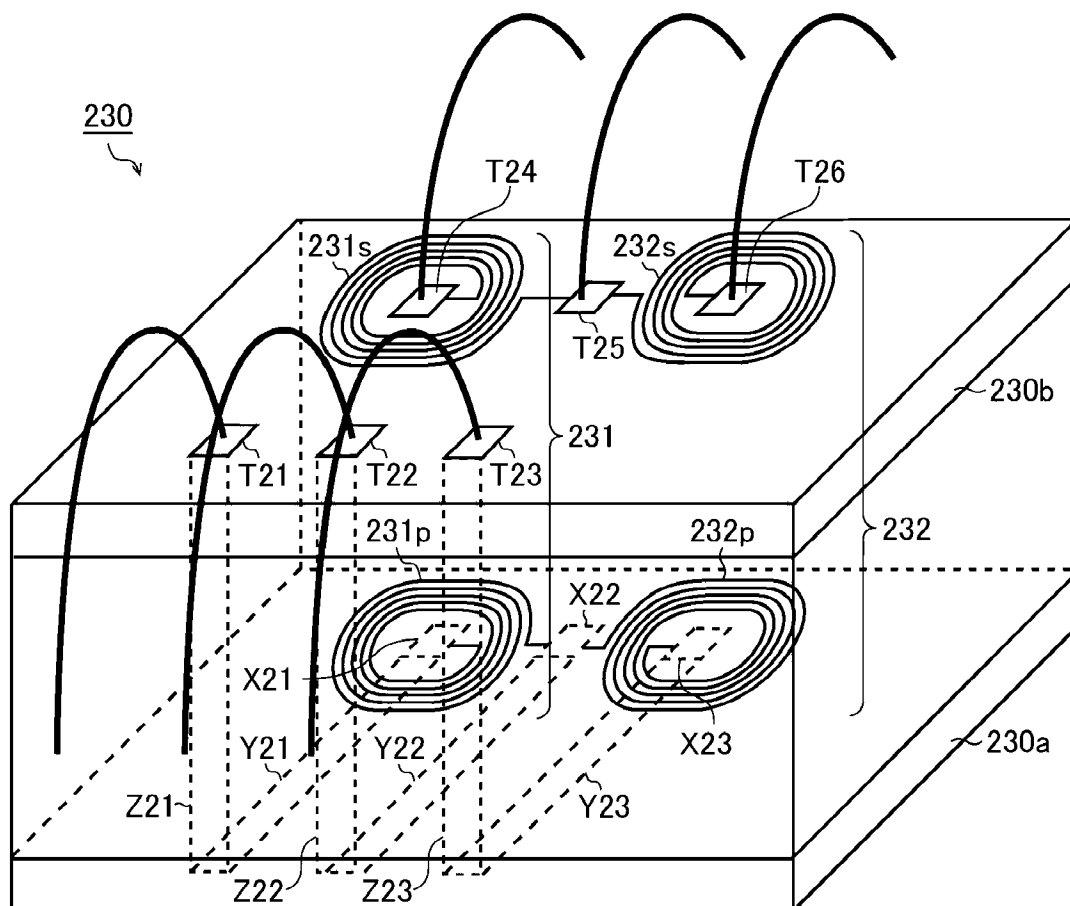
前記受信部は、前記スイッチング素子を駆動させる情報を含む前記出力信号を出力可能なように構成された電子機器。

[請求項10] 請求項1から請求項8のいずれかに記載の信号伝達装置を有するよう
に構成された車両。

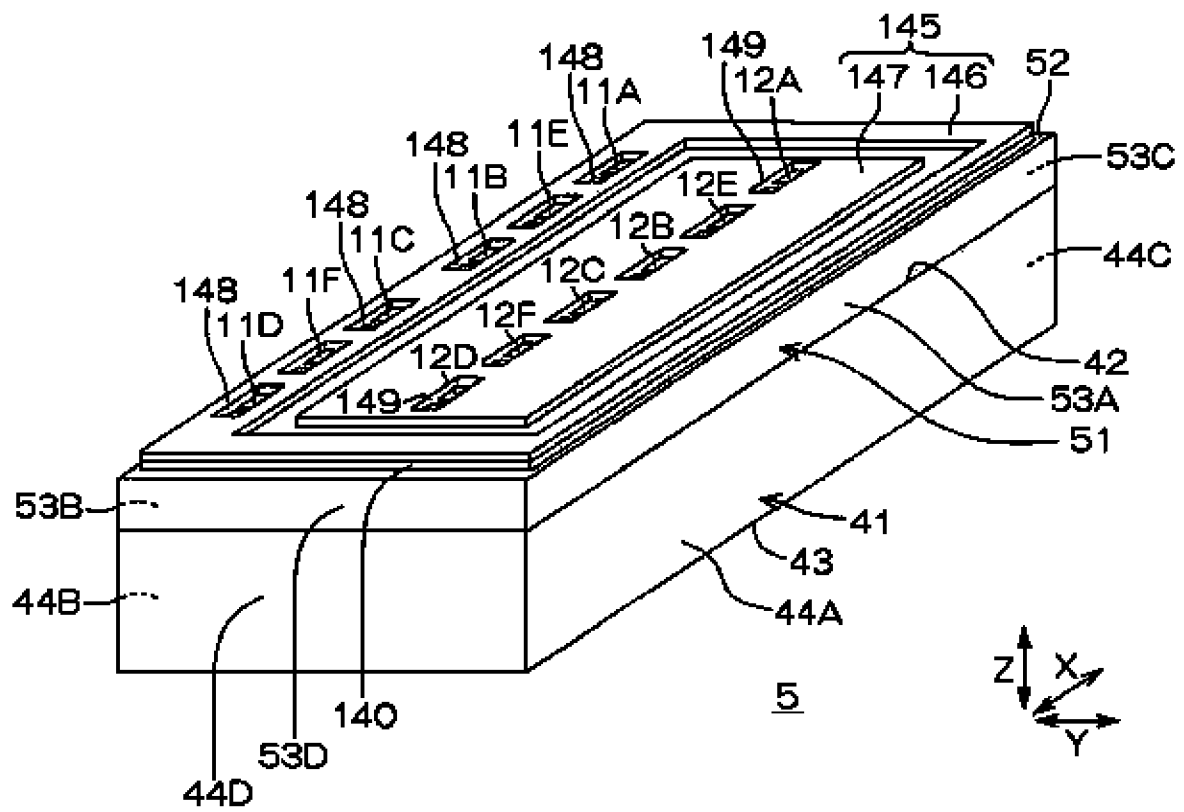
[図1]



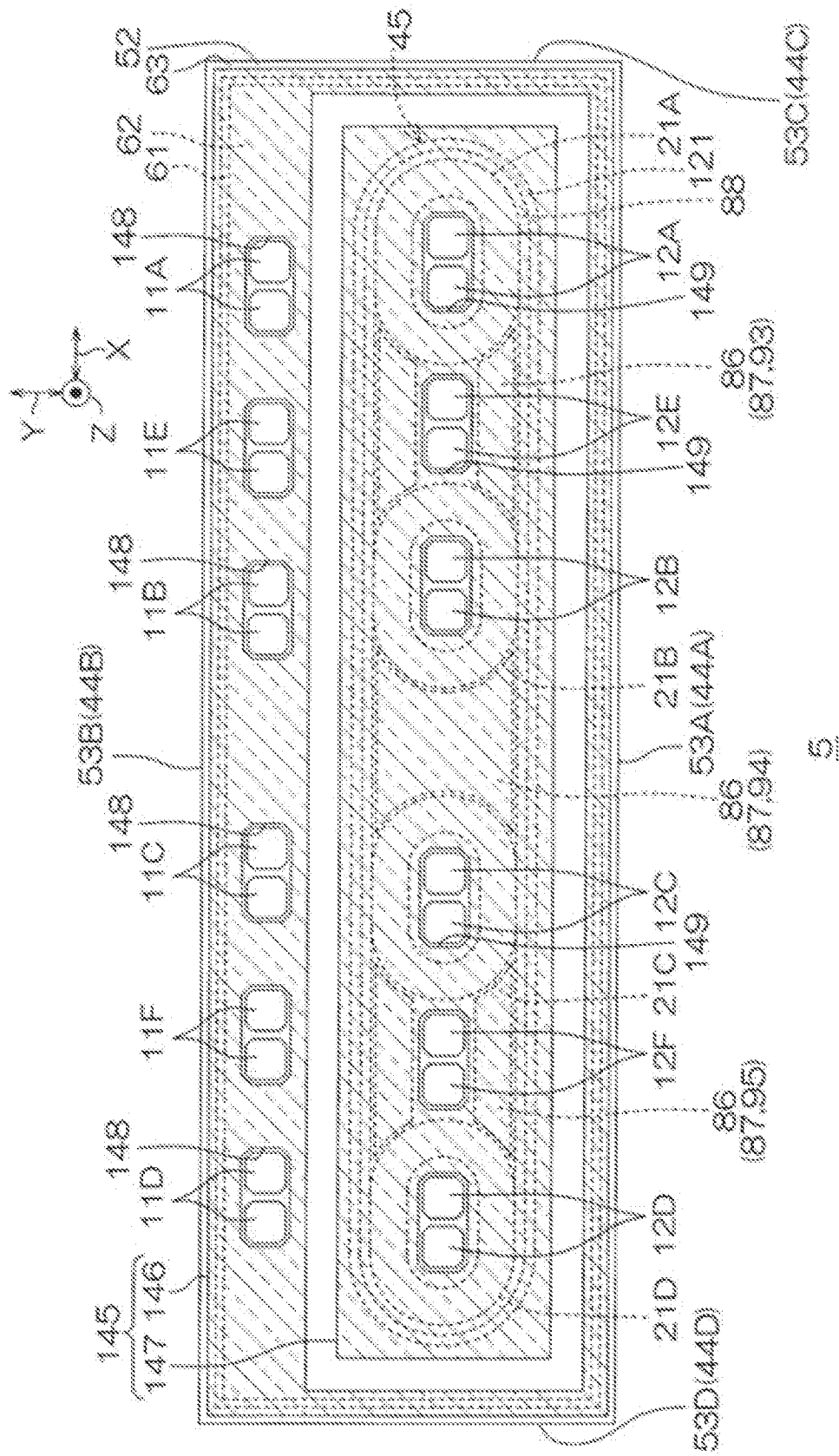
[図2]



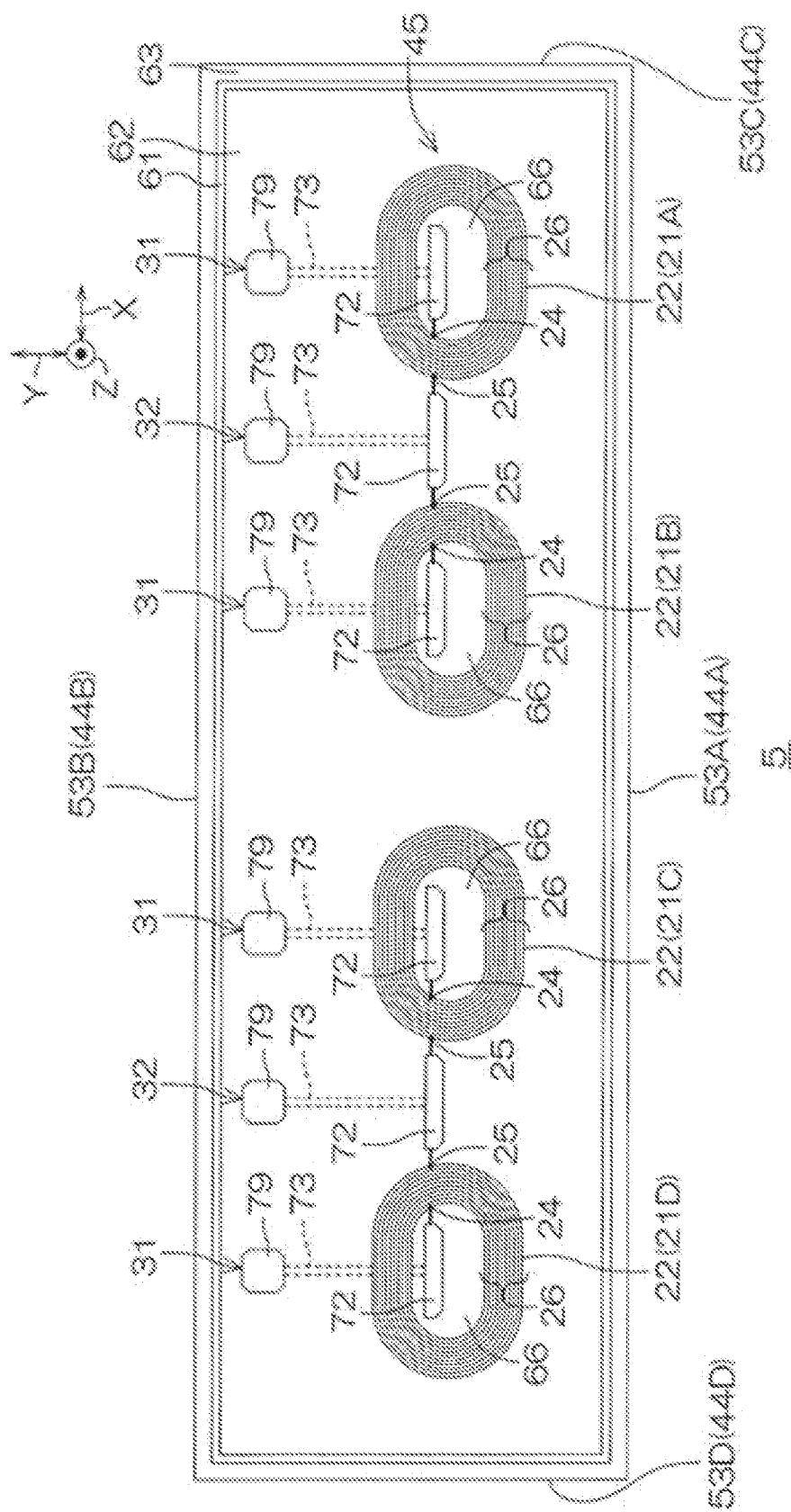
[図3]



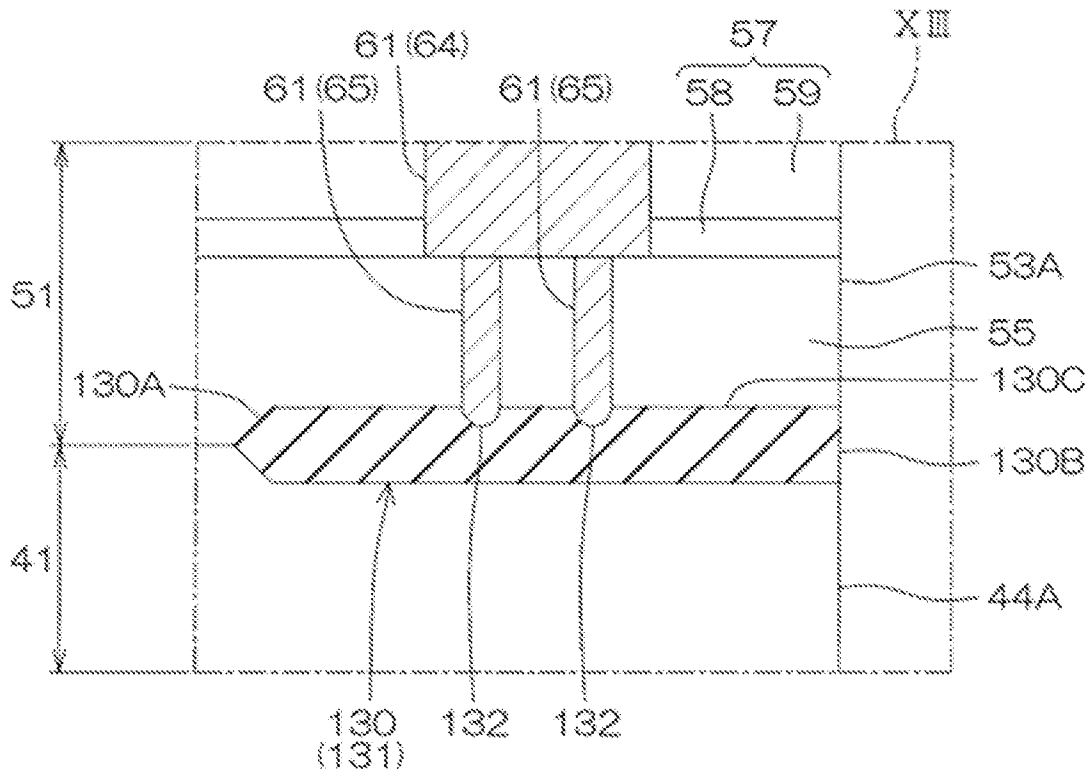
[図4]



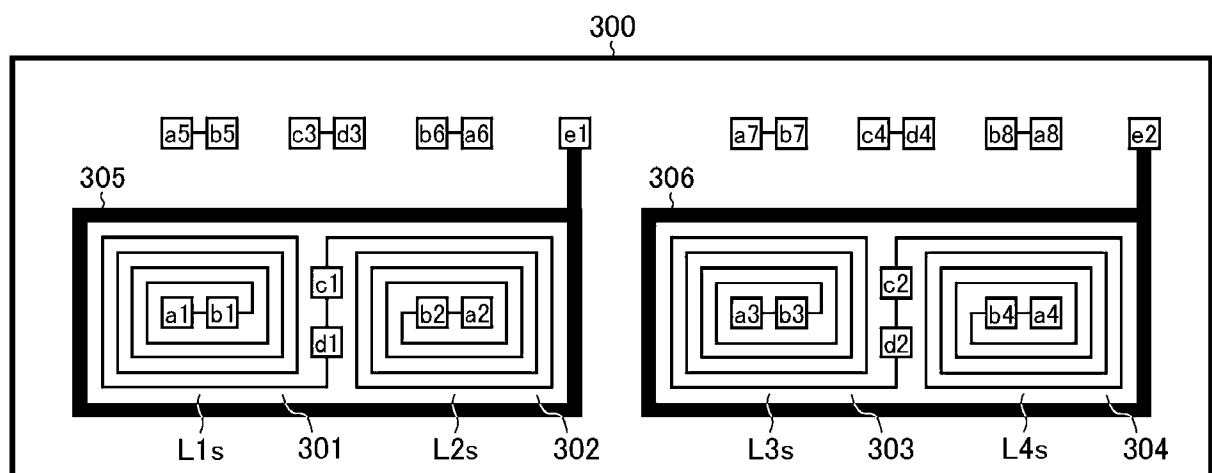
[図5]



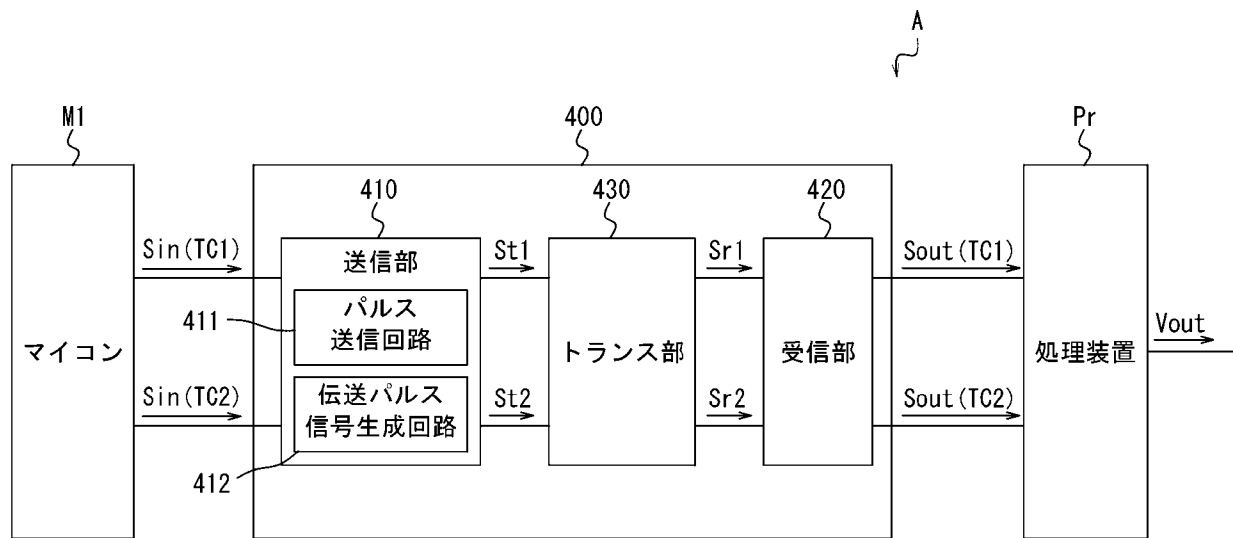
[図8]



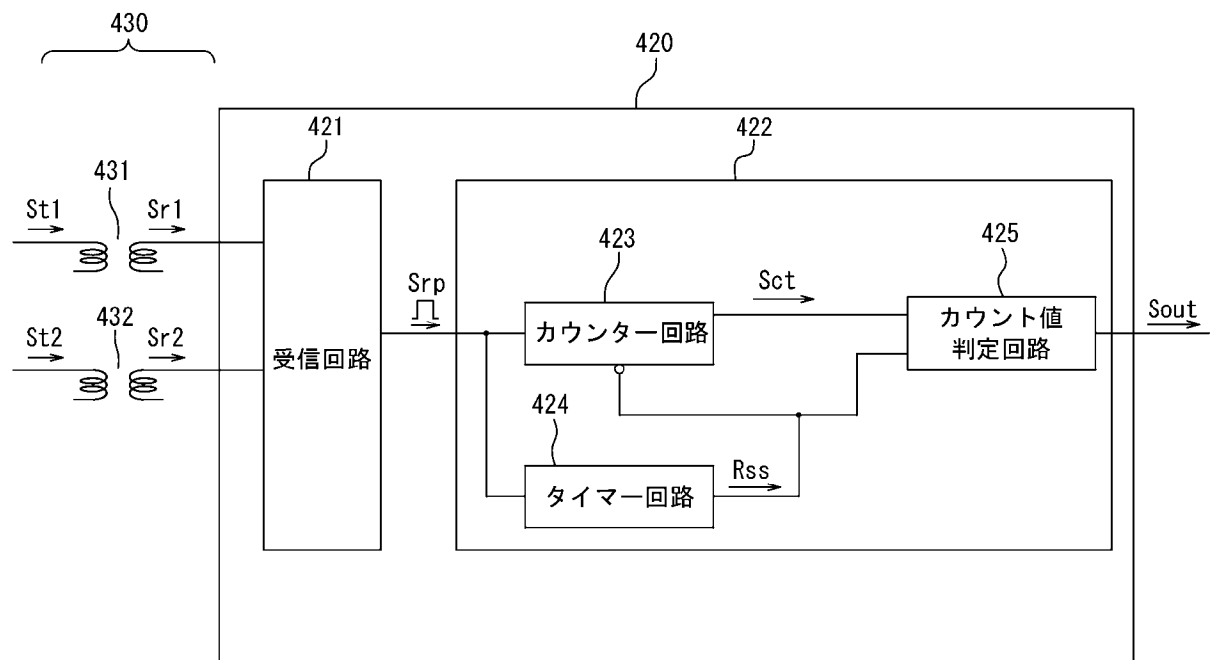
[図9]



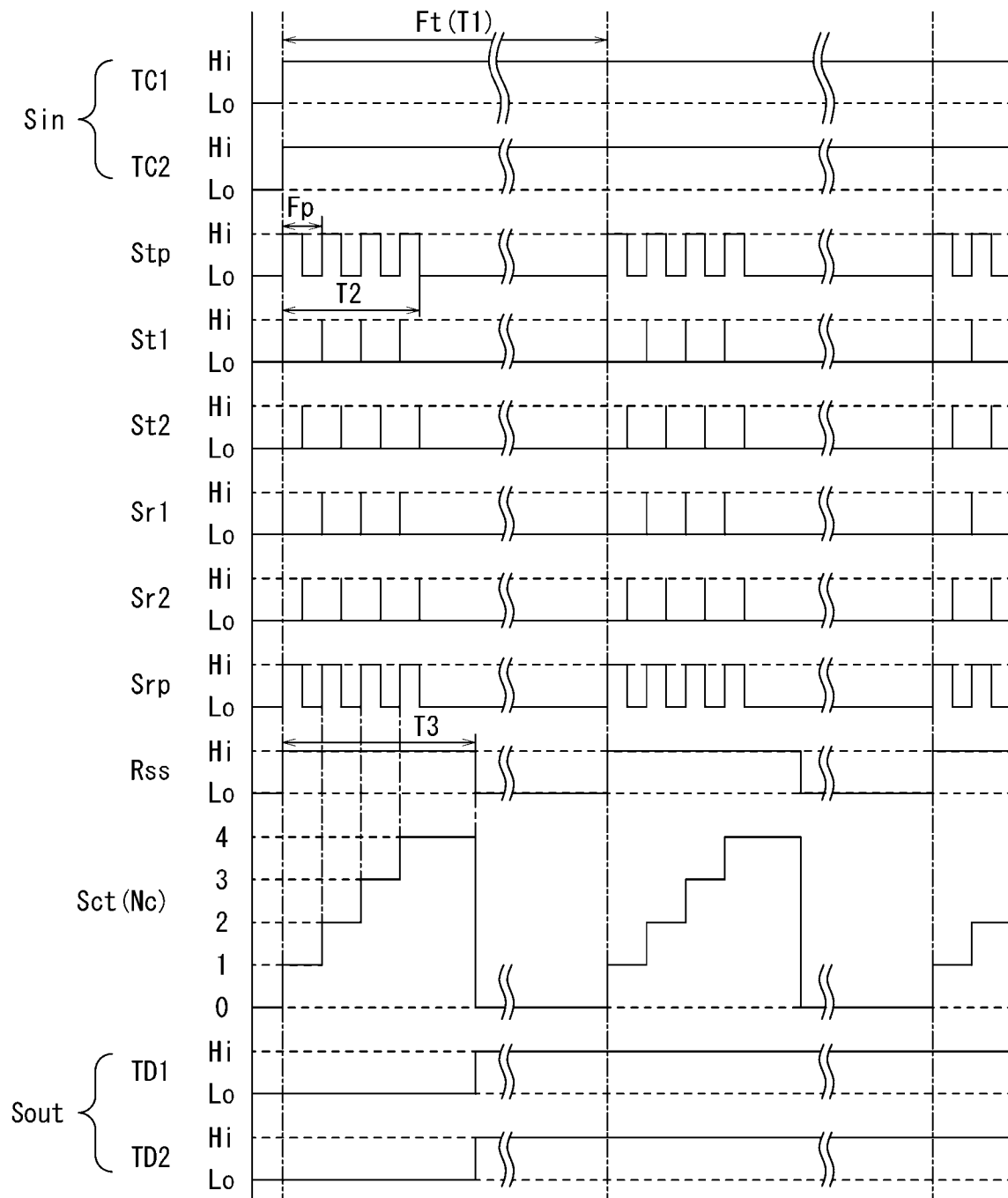
[図10]



[図11]



[図12]

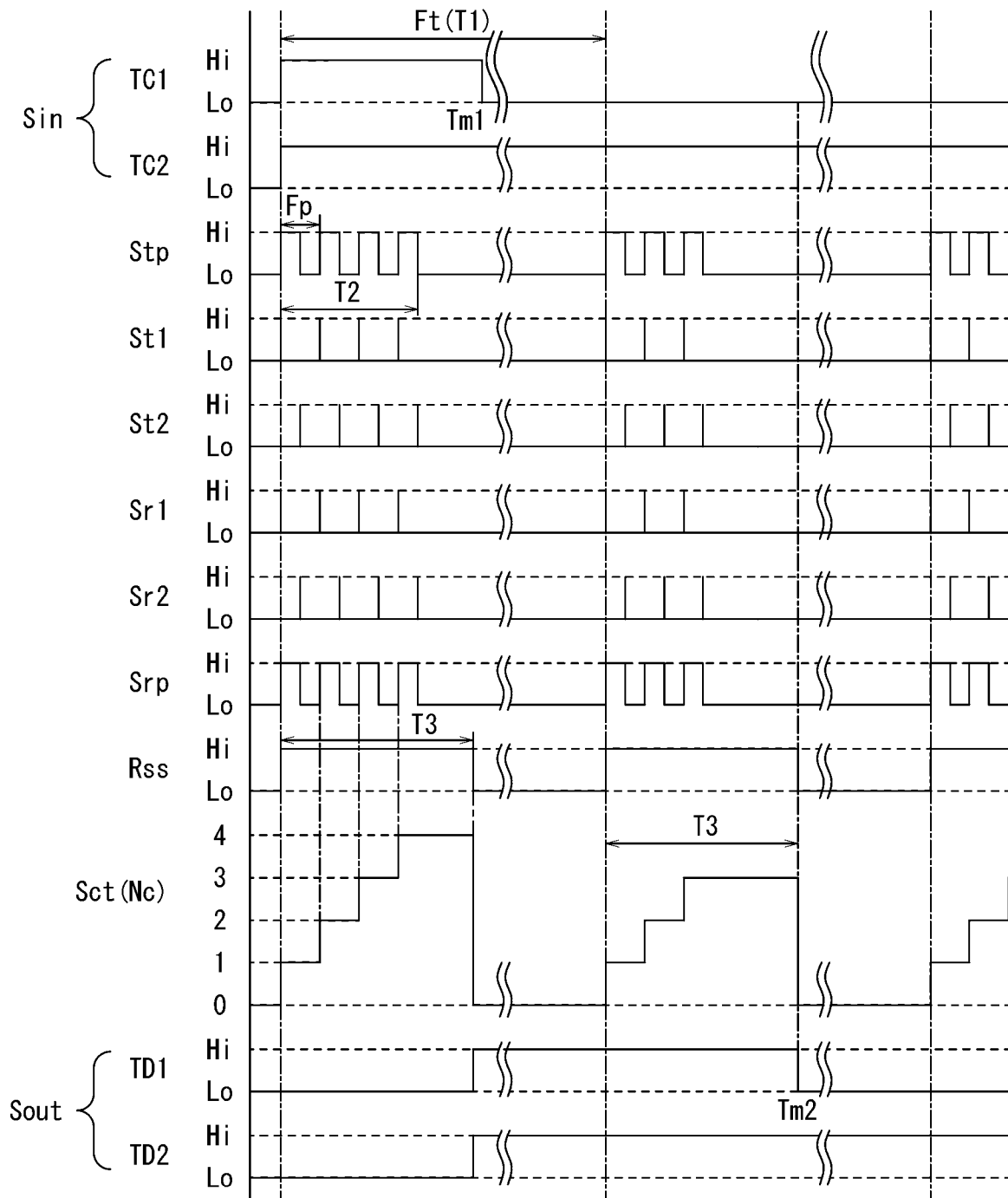


[図13]

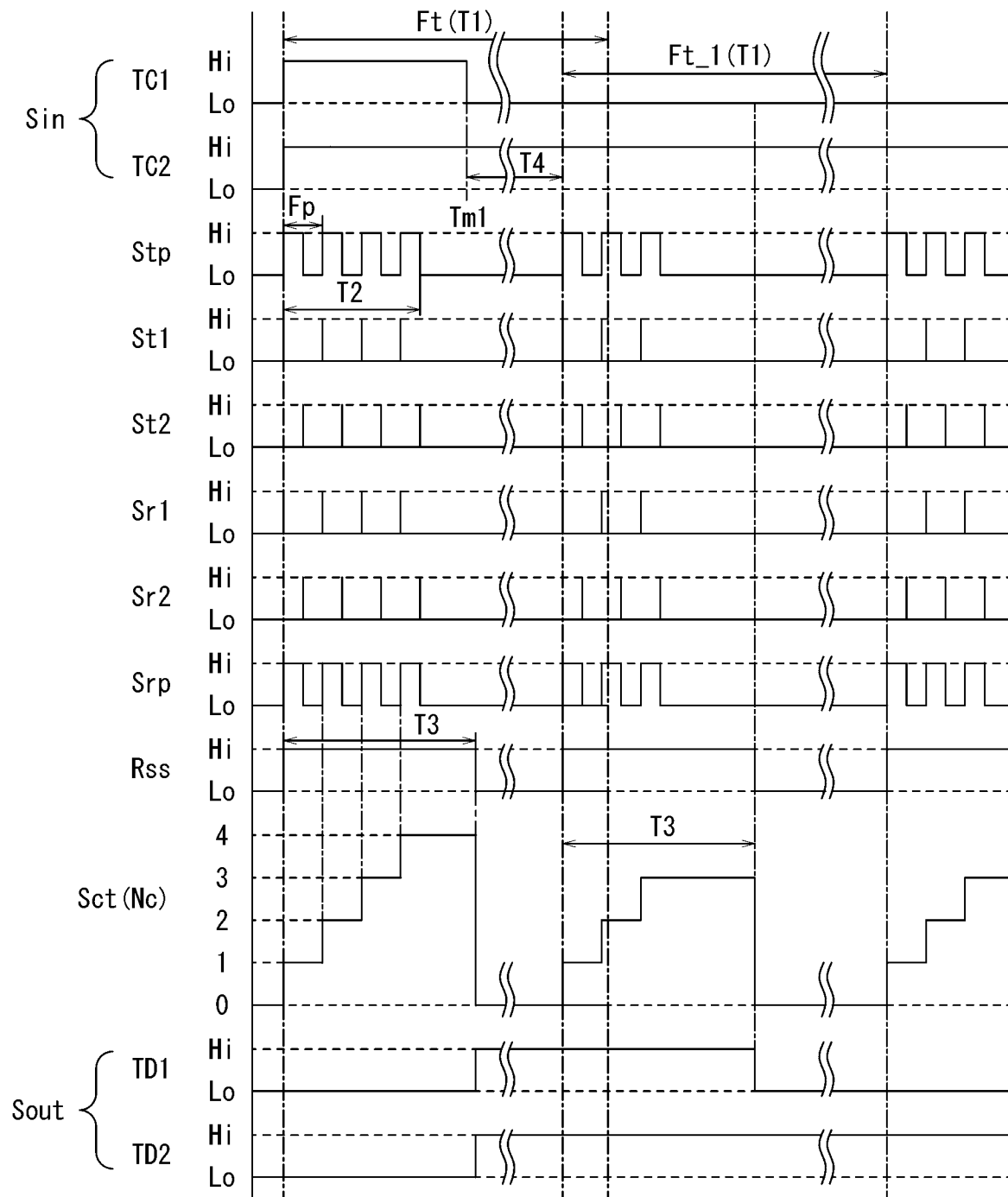
Tb

TC1/TD1	TC2/TD2	Np
L	L	1
L	H	2
H	L	3
H	H	4

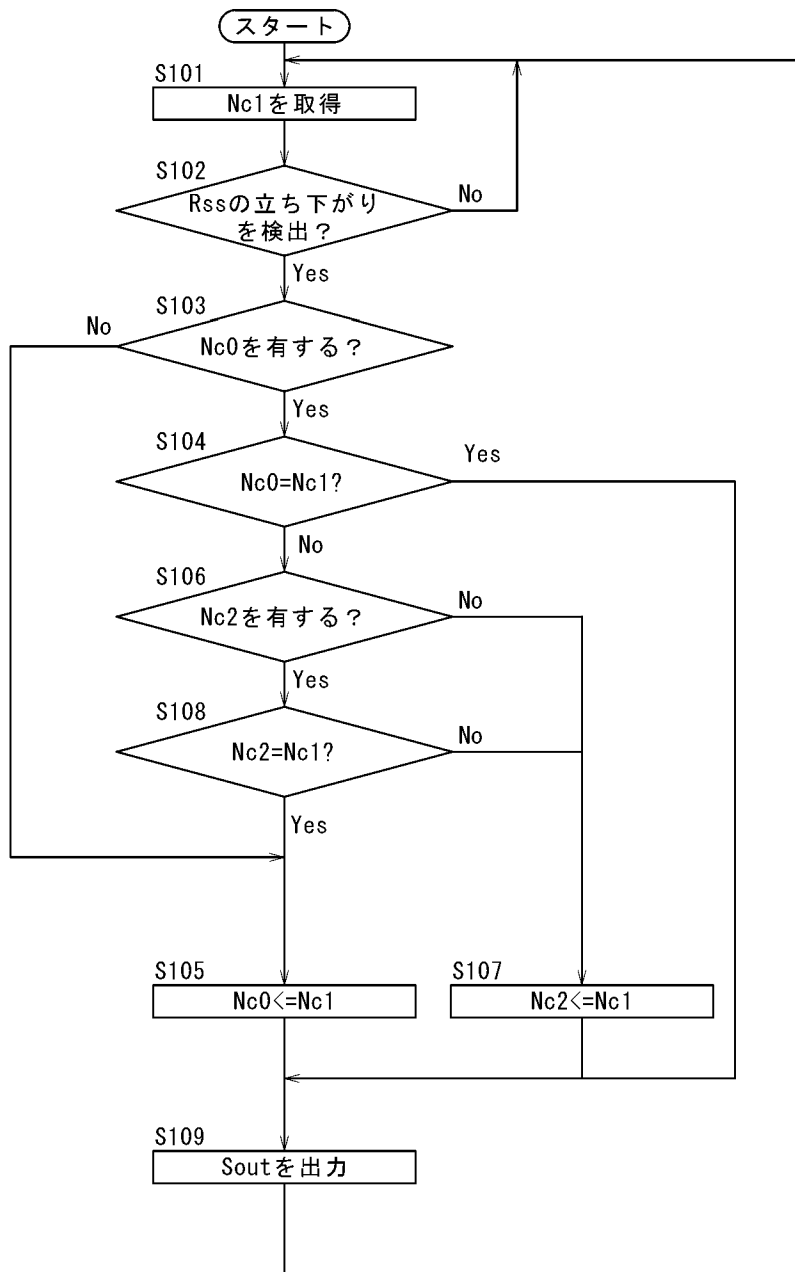
[図14]



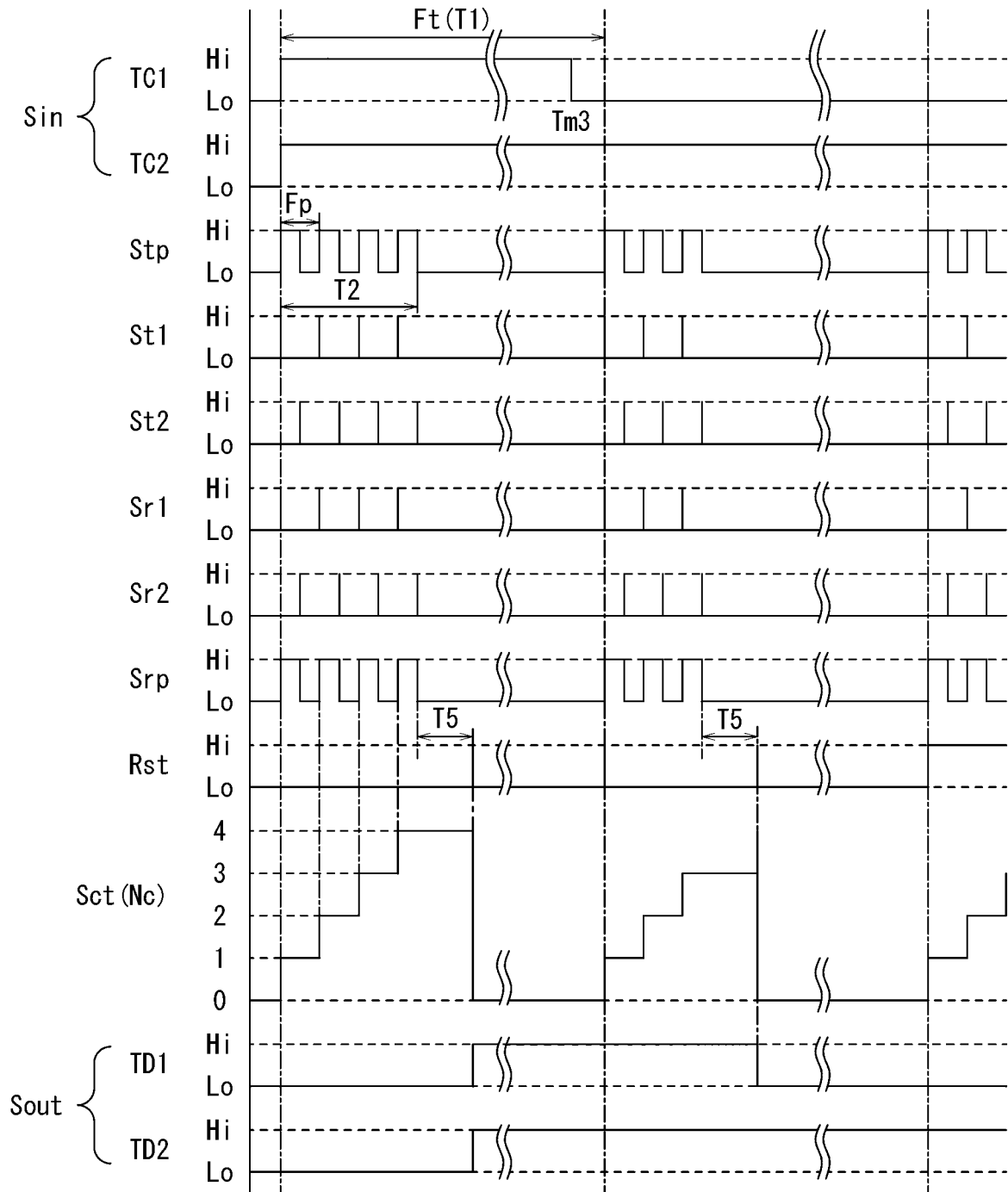
[図15]



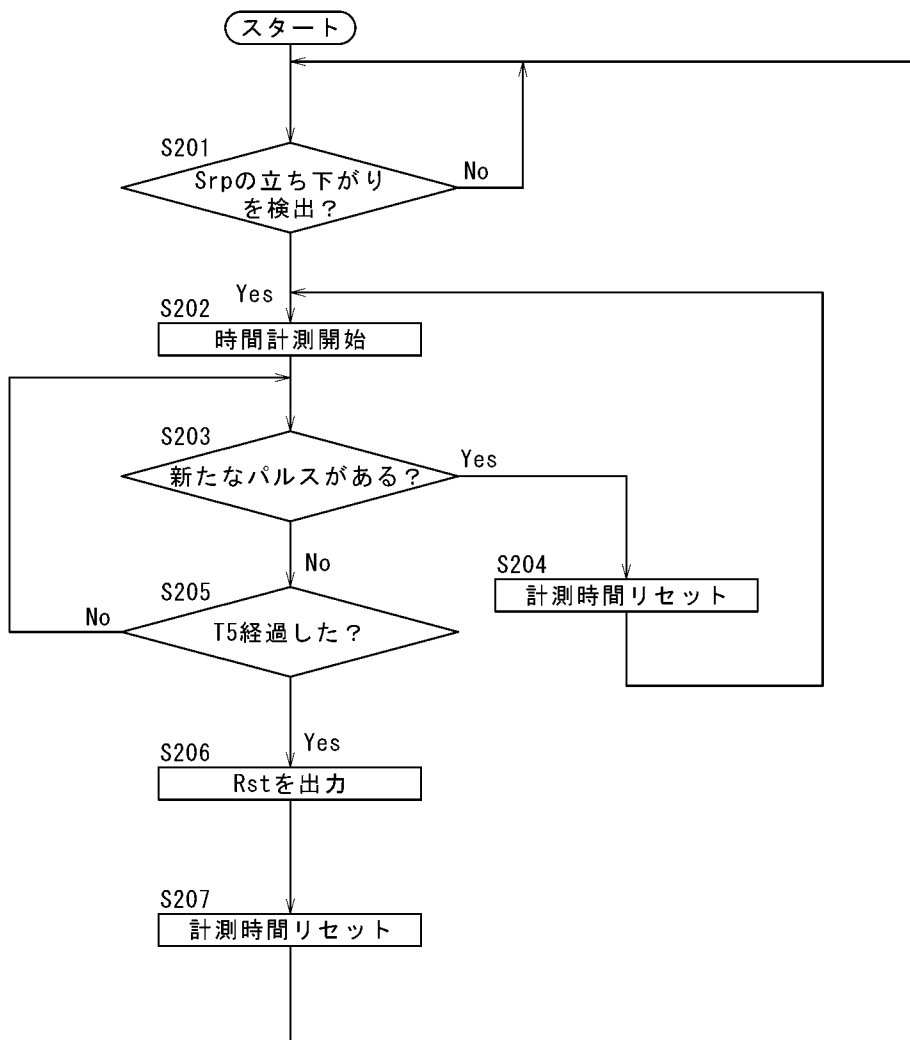
[図16]



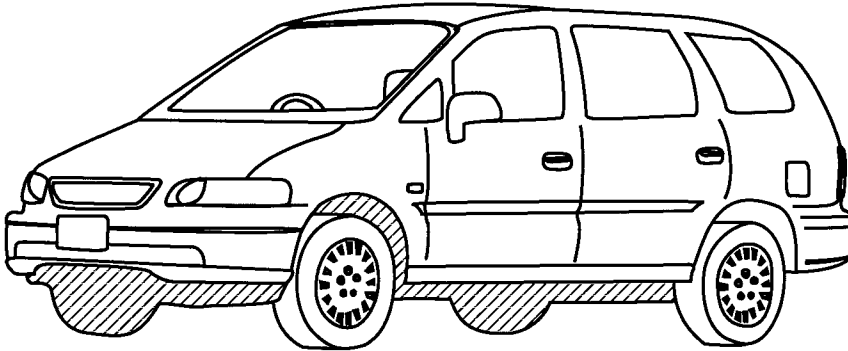
[図17]



[図18]



[図19]

B
↘

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2024/025526

A. CLASSIFICATION OF SUBJECT MATTER**H03K 17/691**(2006.01)i; **H03K 7/08**(2006.01)i; **H03K 19/0175**(2006.01)i; **H04L 25/02**(2006.01)i

FI: H03K17/691; H03K7/08 A; H04L25/02 303B; H04L25/02 V; H03K19/0175 280

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H03K17/691; H03K7/08; H03K19/0175; H04L25/02

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996

Published unexamined utility model applications of Japan 1971-2024

Registered utility model specifications of Japan 1996-2024

Published registered utility model applications of Japan 1994-2024

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2017-17788 A (DENSO CORPORATION) 19 January 2017 (2017-01-19) paragraphs [0013]-[0051], [0059], [0079]-[0085], [0111]-[0123], fig. 1-2, 9, 14-15	1-4, 8-10
Y		7
A		5-6
Y	JP 9-178785 A (FUJITSU TEN LTD.) 11 July 1997 (1997-07-11) paragraphs [0002]-[0004], fig. 20-21	7
A	WO 2011/055611 A1 (ROHM CO., LTD.) 12 May 2011 (2011-05-12) entire text, all drawings	1-10

☐ Further documents are listed in the continuation of Box C.☒ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“D” document cited by the applicant in the international application

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

29 August 2024

Date of mailing of the international search report

10 September 2024

Name and mailing address of the ISA/JP

Japan Patent Office (ISA/JP)
3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915
Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/JP2024/025526

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP	2017-17788	A	19 January 2017	(Family: none)	
JP	9-178785	A	11 July 1997	(Family: none)	
WO	2011/055611	A1	12 May 2011	US 2012/0212251 A1	
				entire text, all drawings	
				EP 2498460 A1	
				CN 102845037 A	

A. 発明の属する分野の分類（国際特許分類（IPC））

H03K 17/691(2006.01)i; H03K 7/08(2006.01)i; H03K 19/0175(2006.01)i; H04L 25/02(2006.01)i
FI: H03K17/691; H03K7/08 A; H04L25/02 303B; H04L25/02 V; H03K19/0175 280

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））
H03K17/691; H03K7/08; H03K19/0175; H04L25/02

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報

1922 - 1996年

日本国公開実用新案公報

1971 - 2024年

日本国実用新案登録公報

1996 - 2024年

日本国登録実用新案公報

1994 - 2024年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	JP 2017-17788 A（株式会社デンソー）19.01.2017（2017 - 01 - 19） [0013]-[0051], [0059], [0079]-[0085], [0111]-[0123], 図1-2, 9, 14-15	1-4, 8-10
Y		7
A		5-6
Y	JP 9-178785 A（富士通テン株式会社）11.07.1997（1997 - 07 - 11） [0002]-[0004], 図20-21	7
A	WO 2011/055611 A1（ローム株式会社）12.05.2011（2011 - 05 - 12） 全文, 全図	1-10

☐ C欄の続きにも文献が列挙されている。

☒ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

“A” 特に関連のある文献ではなく、一般的技术水準を示すもの

“D” 国際出願で出願人が先行技術文献として記載した文献

“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

“O” 口頭による開示、使用、展示等に言及する文献

“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献

“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの

“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

“&” 同一パテントファミリー文献

国際調査を完了した日

29.08.2024

国際調査報告の発送日

10.09.2024

名称及びあて先

日本国特許庁(ISA/JP)
〒100-8915
日本国
東京都千代田区霞が関三丁目4番3号

権限のある職員（特許庁審査官）

福田 正悟 5G 2676

電話番号 03-3581-1101 内線 3524

様式 PCT/ISA/210（第2ページ）（2022年7月）

国際調査報告
パテントファミリーに関する情報

国際出願番号
PCT/JP2024/025526

引用文献			公表日	パテントファミリー文献	公表日
JP	2017-17788	A	19.01.2017	(ファミリーなし)	
JP	9-178785	A	11.07.1997	(ファミリーなし)	
WO	2011/055611	A1	12.05.2011	US 2012/0212251 A1	
				全文, 全図	
				EP 2498460 A1	
				CN 102845037 A	