



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 202203439 A

(43)公開日：中華民國 111 (2022) 年 01 月 16 日

(21)申請案號：110118963

(22)申請日：中華民國 98 (2009) 年 05 月 07 日

(51)Int. Cl. : H01L27/12 (2006.01)

H01L27/088 (2006.01)

G02F1/1368 (2006.01)

(30)優先權：2008/05/16 日本

2008-130162

(71)申請人：日商半導體能源研究所股份有限公司 (日本) SEMICONDUCTOR ENERGY
LABORATORY CO., LTD. (JP)

日本

(72)發明人：木村肇 KIMURA, HAJIME (JP)

(74)代理人：林志剛

申請實體審查：有 申請專利範圍項數：10 項 圖式數：19 共 77 頁

(54)名稱

半導體裝置

(57)摘要

本發明的目的在於提供高開口率的半導體裝置以及其製造方法。此外，本發明的目的還在於提供低耗電量的半導體裝置以及其製造方法。半導體裝置包括：用作閘極電極的具有透光性的導電層；形成在具有該透光性的導電層上的閘極絕緣膜；在用作閘極電極的具有透光性的導電層上中間夾著閘極絕緣膜形成的半導體層；電連接於半導體層的用作源極電極或汲極電極的具有透光性的導電層。

An object is to provide a semiconductor device with high aperture ratio or a manufacturing method thereof. Another object is to provide semiconductor device with low power consumption or a manufacturing method thereof. A light-transmitting conductive layer which functions as a gate electrode, a gate insulating film formed over the light-transmitting conductive layer, a semiconductor layer formed over the light-transmitting conductive layer which functions as the gate electrode with the gate insulating film interposed therebetween, and a light-transmitting conductive layer which is electrically connected to the semiconductor layer and functions as source and drain electrodes are included.

指定代表圖：

符號簡單說明：

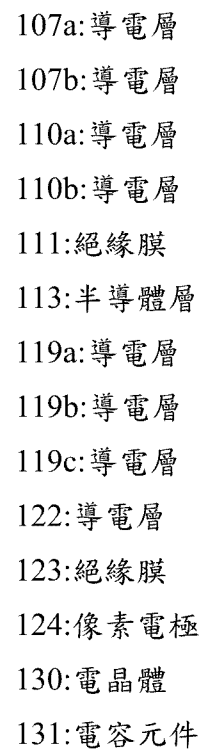


圖 1B

124

123

A

122

119a

113

107a

111

119b

107a

110a

B

發明摘要

【發明名稱】(中文/英文)

半導體裝置

SEMICONDUCTOR DEVICE

【中文】

本發明的目的在於提供高開口率的半導體裝置以及其製造方法。此外，本發明的目的還在於提供低耗電量的半導體裝置以及其製造方法。半導體裝置包括：用作閘極電極的具有透光性的導電層；形成在具有該透光性的導電層上的閘極絕緣膜；在用作閘極電極的具有透光性的導電層上中間夾著閘極絕緣膜形成的半導體層；電連接於半導體層的用作源極電極或汲極電極的具有透光性的導電層。

【英文】

An object is to provide a semiconductor device with high aperture ratio or a manufacturing method thereof. Another object is to provide semiconductor device with low power consumption or a manufacturing method thereof. A light-transmitting conductive layer which functions as a gate electrode, a gate insulating film formed over the light-transmitting conductive layer, a semiconductor layer formed over the light-transmitting conductive layer which functions as the gate electrode with the gate insulating film interposed therebetween, and a light-transmitting conductive layer which is electrically connected to the semiconductor layer and functions as source and drain electrodes are included.

【代表圖】

【本案指定代表圖】：第(1)圖。

【本代表圖之符號簡單說明】：

107a：導電層

107b：導電層

110a：導電層

110b：導電層

111：絕緣膜

113：半導體層

119a：導電層

119b：導電層

119c：導電層

122：導電層

123：絕緣膜

124：像素電極

130：電晶體

131：電容元件

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：無

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】(中文/英文)

半導體裝置

SEMICONDUCTOR DEVICE

【技術領域】

本發明關於半導體裝置、顯示裝置、其製造方法、或其使用方法。本發明尤其關於具有透光性的半導體層的半導體裝置、顯示裝置、其製造方法、或其使用方法。本發明尤其關於具有透光性的半導體層的液晶顯示裝置、其製造方法，或其使用方法。

【先前技術】

近年來，液晶顯示器(LCD)等的平板顯示器廣泛地普及。尤其已普遍使用在各像素中設置電晶體的主動矩陣型LCD。其電晶體廣泛使用非晶矽、多晶矽作為半導體層。

然而，已對使用具有透光性的半導體層的電晶體代替上述那樣的矽材料進行探討，並且，已對藉由對閘極電極和源極電極或汲極電極也使用具有透光性的電極，來提高開口率的技術進行探討(專利文獻 1、2)。

[專利文獻 1] 日本專利申請公開 2007-123700 號公報

[專利文獻 2] 日本專利申請公開 2007-81362 號公報

一般地，連接元件和元件，例如連接電晶體和電晶體

的佈線是使構成閘極電極及源極電極或汲極電極的導電層延伸，而在相同的島中形成。所以，將電晶體的閘極和其他電晶體的閘極連接的佈線(稱為閘極佈線)通常由與電晶體的閘極電極相同的層結構和材料形成，將電晶體的源極電極和其他電晶體的源極電極連接的佈線(稱為源極電極佈線)通常由與電晶體的源極電極相同的層結構和材料形成。因此，在使用具有透光性的材料形成閘極電極及源極電極或汲極電極的情況下，與閘極電極及源極電極或汲極電極相同，通常使用具有透光性的材料形成閘極佈線及源極電極佈線。

然而，一般地，氧化銦錫(ITO)、氧化銦鋅(IZO)、氧化銦錫鋅(ITZO)等具有透光性的導電材料的導電率低於鋁(Al)、鉬(Mo)、鈦(Ti)、鎢(W)、釹(Nd)、銅(Cu)、銀(Ag)等具有遮光性及反射性的導電材料的導電率。從而，當使用具有透光性的導電材料形成佈線時，佈線電阻升高。例如，在製造大型的顯示裝置的情況下，由於佈線較長，佈線電阻異常升高。而當佈線電阻升高時，藉由佈線傳播的信號的波形產生畸變，由於佈線電阻引起電壓下降，所以使供應的電壓變小。由此，供應準確的電壓和電流變得困難，而使進行正常的顯示和工作變得困難。

另一方面，藉由使用具有遮光性的導電材料作為閘極電極及源極電極或汲極電極，在閘極佈線及源極電極佈線也使用具有遮光性的導電材料的情況下，由於佈線的導電率得到提高，所以可以抑制信號的波形畸變。然而，由於

閘極電極及源極電極或汲極電極使用具有遮光性的導電材料形成，因此使開口率降低，耗電量增大。

此外，從顯示功能的方面來看，要求像素具有較大的儲存電容器，並要求其具有高開口率。藉由使各像素具有高開口率而提高光利用效率，可以實現顯示裝置的節能化及小型化。近年來，像素尺寸的微細化得到進展，所以要求更高清晰的圖像。像素尺寸的微細化使一個像素中的電晶體及佈線的形成面積增大，而使像素開口率降低。於是，為了在規定的像素尺寸中獲得各像素的高開口率，必須效率好地配置像素的電路結構所需要的電路元件。

【發明內容】

鑒於上述問題本發明的一個方式的目的之一在於提供高開口率的半導體裝置或其製造方法。此外，本發明的一個方式的目的之一在於提供耗電量小的半導體裝置或其製造方法。

為解決上述問題，本發明的一個方式是一種半導體裝置，包括：按順序層疊第一導電膜和第二導電膜的包括閘極電極的閘極佈線；覆蓋閘極電極及閘極佈線的閘極絕緣膜；中間夾著閘極絕緣膜而設置的島狀半導體膜；按順序層疊第三導電膜和第四導電膜的包括源極電極的源極電極佈線；覆蓋島狀半導體膜和包括源極電極的源極電極佈線的層間絕緣膜；設在層間絕緣膜的上方且電連接於島狀半導體膜的像素電極；以及電容佈線，其中閘極電極由第一

導電膜形成，閘極佈線由第一導電膜和第二導電膜形成，源極電極由第三導電膜形成，源極電極佈線由第三導電膜和第四導電膜形成。

本發明的一個方式是一種半導體裝置，包括：向第一方向延伸而形成的多個閘極佈線；與閘極佈線交叉並向第二方向延伸的多個源極電極佈線；由閘極佈線和所述源極電極佈線定義的多個像素部；形成在各像素部中並包括從閘極佈線延伸的閘極電極和從所述源極電極佈線延伸的源極電極的開關元件，其中閘極佈線由第一導電膜以及其上的第二導電膜形成，源極電極佈線由第三導電膜以及其上的第四導電膜形成，閘極電極由所述第一導電膜形成，源極電極由所述第三導電膜形成。

本發明的一個方式為最好第一導電膜及第三導電膜具有透光性。此外，本發明的一個方式為最好第二導電膜及第四導電膜具有遮光性。另外，本發明的一個方式為最好第二導電膜及第四導電膜的導電率高於第一導電膜及第三導電膜的導電率。

本發明的一個方式是一種半導體裝置，其使用選自 Al、Ti、Cu、Au、Ag、Mo、Ni、Ta、Zr 以及 Co 中的一種或多種元素形成第二導電膜。此外，使用選自 Al、Ti、Cu、Au、Ag、Mo、Ni、Ta、Zr 以及 Co 中的一種或多種元素形成第四導電膜。

藉由採用這種結構，可以形成具有透光性的電晶體或具有透光性的電容元件。由此，即使在像素內配置電晶

體、電容元件，也可以抑制開口率降低。再者，由於連接電晶體和元件(例如其他電晶體)的佈線，或連接電容元件和元件(例如其他電容元件)的佈線可以使用低電阻率且高導電率的材料形成，因此可以減少信號的波狀畸變，而可以減少因佈線電阻導致的電壓降低。

本發明的一個方式是一種半導體裝置，其中半導體膜為選自氧化鋅、氧化鈦、氧化鎂鋅、氧化鋕鋅、氧化鋕、 $\text{InGaO}_3(\text{ZnO})_5$ 及 In-Ga-Zn-O 類的非晶氧化物半導體中的任何一種。

本發明的一個方式是一種半導體裝置的製造方法，包括如下步驟：在具有透光性的絕緣基板上，按順序形成第一導電膜和第二導電膜；藉由使用多級灰度掩模的光刻，以留下第一導電膜和第二導電膜的疊層的部分、以及只留下第一導電膜的部分的方式，形成厚度不同的第一抗蝕劑掩模；使用第一抗蝕劑掩模對第一導電膜及第二導電膜進行蝕刻；對第一抗蝕劑掩模進行灰化處理而形成第二抗蝕劑掩模；使用第二抗蝕劑掩模對第二導電膜進行蝕刻而使第一導電膜的一部分露出；覆蓋絕緣基板、第一導電膜及第二導電膜地形成第一絕緣膜；在第一導電膜上中間夾著第一絕緣膜形成島狀半導體膜；在絕緣膜上按順序形成第三導電膜和第四導電膜；藉由使用多級灰度掩模的光刻，以留下第三導電膜和第四導電膜的疊層的部分、以及只留下第三導電膜的部分的方式，形成厚度不同的第三抗蝕劑掩模；使用第三抗蝕劑掩模對第三導電膜及第四導電膜進

行蝕刻；對第三抗蝕劑掩模進行灰化處理而形成第四抗蝕劑掩模；使用第四抗蝕劑掩模對第四導電膜進行蝕刻而使第三導電膜的一部分露出。

再者，在導電層中，藉由使用多級灰度掩模，可以使用一個掩模(中間掩模)形成具有透光性的區域(高透光率的區域)和具有遮光性的區域(低透光率的區域)。由此，可以在不增加掩模的個數的情況下形成具有透光性的區域(高透光率的區域)和具有遮光性的區域(低透光率的區域)。

注意，在本說明書中半導體裝置是指能夠利用半導體特性而工作的所有裝置，顯示裝置、半導體電路及電子設備都是半導體裝置。

根據本發明的一個方式，可以形成具有透光性的電晶體或具有透光性的電容元件。由此，即使在像素內配置電晶體、電容元件的情況下，也可以提高開口率。再者，由於連接電晶體和元件(例如別的電晶體)的佈線，或連接電容元件和元件(例如其他電容元件)的佈線可以使用低電阻率且高導電率的材料形成，因此可以減少信號的波狀畸變，而可以減少因佈線電阻導致的電壓降低。

【圖式簡單說明】

在附圖中：

圖 1A 和 1B 是根據本發明的一個方式的半導體裝置的俯視圖及截面圖；

圖 2A 至 2D 是說明根據本發明的一個方式的半導體

裝置的製造方法的截面圖；

圖 3A 至 3D 是說明根據本發明的一個方式的半導體裝置的製造方法的截面圖；

圖 4A 至 4D 是說明根據本發明的一個方式的半導體裝置的製造方法的截面圖；

圖 5A 至 5D 是說明根據本發明的一個方式的半導體裝置的製造方法的截面圖；

圖 6A 至 6C 是說明根據本發明的一個方式的半導體裝置的製造方法的截面圖；

圖 7A 至 7C 是說明根據本發明的一個方式的半導體裝置的製造方法的截面圖；

圖 8A 至 8D 是說明根據本發明的一個方式的半導體裝置的製造方法的截面圖；

圖 9A 至 9D 是說明根據本發明的一個方式的半導體裝置的製造方法的截面圖；

圖 10A 和 10B 是根據本發明的一個方式的半導體裝置的俯視圖及截面圖；

圖 11A 和 11B 是根據本發明的一個方式的半導體裝置的俯視圖及截面圖；

圖 12A 和 12B 是根據本發明的一個方式的半導體裝置的俯視圖及截面圖；

圖 13A-1 至 13B-2 是說明可應用於本發明的一個方式的多級灰度掩模的圖；

圖 14A 和 14B 是說明根據本發明的一個方式的顯示

裝置的俯視圖及截面圖；

圖 15A 至 15C 是說明使用根據本發明的一個方式的顯示裝置的電子設備的圖；

圖 16A 至 16C 是說明使用根據本發明的一個方式的顯示裝置的電子設備的圖；

圖 17A 和 17B 是根據本發明的一個方式的半導體裝置的俯視圖及截面圖；

圖 18A 和 18B 是說明根據本發明的一個方式的顯示裝置的俯視圖及截面圖；

圖 19 是根據本發明的一個方式的半導體裝置的截面圖。

【實施方式】

下面，參照附圖說明本發明的方式。注意，本發明可以用多種方式實施，本領域的技術人員容易理解，其方式和詳細內容可在不脫離本發明的宗旨及其範圍的條件下作各種各樣的變換。因此，本發明不應該被解釋為僅限於本實施例模式所記載的內容。此外，在以下所說明的本發明的結構中，使用同一附圖標記來表示不同附圖之間的同一部分，並省略對同一部分或具有相同功能的部分的詳細說明。

實施例模式 1

圖 1A 示出根據本實施例模式的半導體裝置的一例的

俯視圖，圖 1B 是圖 1A 中的 A-B 的截面圖。

如圖 1A 所示，元件基板包括設在第一方向上的閘極佈線及儲存電容線、與閘極佈線及儲存電容線交叉的設在第二方向上的源極電極佈線、具有閘極佈線及源極電極佈線的交叉部附近的電晶體的像素部。

根據本實施例模式的電晶體由用作閘極電極的具有透光性的導電層、形成在具有透光性的該導電層上的閘極絕緣膜、中間夾著閘極絕緣膜形成在用作閘極電極的具有透光性的導電層上的半導體層、電連接於半導體層的用作源極電極或汲極電極的具有透光性的導電層構成，以便提高像素的開口率。

像這樣，藉由使用具有透光性的物質形成電晶體的半導體層及電極，可以提高像素的開口率。然而，在使用具有透光性的物質形成電連接於閘極電極的閘極佈線、電連接於源極電極或汲極電極的源極電極佈線的情況下，佈線電阻被提高，而耗電量也被提高。於是，以按順序層疊具有透光性的導電層和具有遮光性的導電層的結構形成閘極佈線及源極電極佈線。注意，電晶體可以採用頂部閘極型和底部閘極型的任何一種。

按順序層疊具有透光性的導電層 107a、具有遮光性的導電層 110a 而形成電連接於電晶體的閘極電極的閘極佈線，按順序層疊具有透光性的導電層 119a、具有遮光性的導電層 122 而形成電連接於電晶體的源極電極或汲極電極的源極電極佈線。換言之，電晶體的閘極電極由構成

閘極佈線的具有透光性的導電層 107a 的一部分形成，並且源極電極或汲極電極由構成源極電極佈線的具有透光性導電層 119a 的一部分構成。

藉由按順序層疊具有透光性的導電層和具有遮光性的導電層而形成閘極佈線及源極電極佈線，可以降低佈線電阻，而可以降低耗電量。此外，由於閘極佈線及源極電極佈線使用具有遮光性的導電層來構成，所以可以使像素之間遮光。換言之，借助於設在行方向上的閘極佈線、以及設在列方向上的源極電極佈線，即使不使用黑矩陣也可以對像素之間的空隙進行遮光。

在閘極佈線上製造電晶體的情況下，電晶體的尺寸取決於電晶體的閘極佈線的寬度，但是在本實施例模式中，由於在像素內形成電晶體，所以可以將電晶體形成得大。如圖 17A 和 17B 所示那樣，可以製造比閘極佈線的寬度大的電晶體。藉由使電晶體的尺寸增大，可以充分提高其電流能力，而可以縮短對像素的信號寫入時間。因此，可以提供高清晰的顯示裝置。

此外，設在與閘極佈線同樣的第一方向上的儲存電容線也與閘極佈線相同，由按順序層疊具有透光性的導電層和具有遮光性的導電層形成。在儲存電容線中形成有儲存電容部。儲存電容部將用作閘極絕緣膜的絕緣膜作為電介質、由用作下部電極的具有透光性的導電層、用作上部電極的具有透光性的導電層構成。

像這樣，藉由由具有透光性的導電層構成儲存電容

部，可以提高開口率。此外，藉由由具有透光性的導電層構成儲存電容部，可以使儲存電容部的尺寸增大，即使電晶體截止時，也容易維持像素電極的電位。另外，可以使饋通電位降低。

此外，可以使形成具有圖 1 所示的像素結構的元件基板所需要的掩模的數量為五個。換言之，第一個是形成閘極佈線及電容佈線的掩模，第二個是形成半導體層 113 的掩模，第三個是形成源極電極佈線及儲存電容部的上部電極的掩模，第四個是形成分別到達源極電極佈線和儲存電容部的上部電極的接觸孔的掩模，第五個是形成像素電極 124 的掩模。

如上所述，在採用圖 1 所示的像素結構的情況下，可以以少的掩模個數形成高開口率的顯示裝置。

接下來，在圖 2A 至 9D 中，使用截面圖示出根據本實施例模式的半導體裝置的製造過程的一例。在圖 2A 至 9D 中，說明使用多級灰度掩模的情況，但是不局限於此。另外，圖 2A 至 2D、圖 4A 至 4D、圖 6A 至 6D 以及圖 8A 至 8D 為圖 1A 的 A-C 的截面，圖 3A 至 3D、圖 5A 至 5D、圖 7A 至 7C、圖 9A 至 9D 為圖 1A 的 D-E 的截面。圖 2A 至 2D、圖 4A 至 4D、圖 6A 至 6C、圖 8A 至 8D 分別對應於圖 3A 至 3D、圖 5A 至 5D、圖 7A 至 7C、圖 9A 至 9D。此外，在圖 2A 至 2D、圖 4A 至 4D、圖 6A 至 6C 中示出源極電極佈線部 301、電晶體部 302、閘極佈線部 303、儲存電容部 304，並且在圖 3A 至 3D、圖 5A

至 5D、圖 7A 至 7C 中示出電晶體部 302、閘極佈線部 303。

首先，如圖 2A 及圖 3A 所示那樣，在基板 101 上使用濺射法層疊形成導電膜 102 和導電膜 103。連續進行該工序，也可以使用多室連續進行濺射。藉由連續形成導電膜 102 和導電膜 103，可以提高產率，並可以抑制雜質及灰塵的混入。

基板 101 最好採用光透過率高的材質。例如，可以使用玻璃基板、塑膠基板、丙烯酸基板、陶瓷基板等。

導電膜 102 的光透過率最好充分高。此外，導電膜 102 的光透過率最好高於導電膜 103 的光透過率。

導電膜 102 可以使用氧化銦錫(ITO)、包含氧化銦錫和氧化矽的 ITSO、有機銦、有機錫、氧化鋅、氮化鈦等。此外，也可以使用包含氧化鋅(ZnO)的氧化銦鋅(IZO(indium zincoxide))、氧化鋅(ZnO)、摻雜有鎵(Ga)的 ZnO、氧化錫(SnO₂)、包含氧化鎢的氧化銦、包含氧化鎢的氧化銦鋅、包含氧化鈦的氧化銦、包含氧化鈦的氧化銦錫等。藉由使用濺射法並使用這些材料，可以單層結構或疊層結構形成導電膜 102。注意，在採用疊層結構的情況下，最好所有多個膜的光透過率充分高。

最好導電膜 103 的電阻率充分低，並且其導電率充分高。此外，導電膜 102 的電阻率最好低於導電膜 103 的電阻率。注意，為了將導電膜 102 用作導電層，最好使導電膜 102 的電阻率低於絕緣層的電阻率。

導電膜 103 可以使用鉬、鈦、鉻、鉭、鎢、鋁、銅、釹或釷等金屬材料或以這些為主要成分的合金材料，並使用濺射法或真空蒸鍍法以單層結構或疊層結構來形成。此外，在以疊層結構形成導電膜 103 的情況下，可以在多個膜中包含具有透光性的導電膜。

當在導電膜 102 上形成導電膜 103 的情況下，有時兩者的膜起反應。例如，在導電膜 102 的上一側的面(接觸於導電膜 103 的面)為 ITO 的情況下，在導電膜 103 的下一側的面(接觸於導電膜 102 的面)為鋁的條件下，兩者的膜起化學反應。從而，為了避免上述情況，導電膜 103 的下一側的面(接觸於導電膜 102 的面)最好使用高熔點材料。例如，作為高熔點材料的例子，可以舉出鉬(Mo)、鈦(Ti)、鎢(W)、鎳(Ni)、釹(Nd)等。在使用高熔點材料的膜上最好使用高導電率的材料以多層膜形成導電膜 103。作為高導電率的材料，可以舉出鋁(Al)、銅(Cu)、銀(Ag)等。例如，在以疊層結構形成導電膜 103 的情況下，可以層疊鉬(Mo)作為第一層、層疊鋁(Al)作為第二層、層疊鉬(Mo)作為第三層，或者層疊鉬(Mo)作為第一層、層疊包含微量的釹(Nd)的鋁(Al)作為第二層、層疊鉬(Mo)作為第三層而形成。

在本實施例模式的結構中，由於導電膜 102 形成在導電膜 103 的下層，因此可以使用市場上出售的附有 ITO(氧化銦錫)的玻璃並使用濺射法只形成導電膜 103。

此外，雖然未圖示，在基板 101 和導電膜 102 之間可

以形成氧化矽、氮化矽、氧氮化矽等作為基底膜。藉由在基板 101 和具有透光性的導電膜之間形成基底膜，可以抑制可動離子及雜質等從基板 101 擴散到元件中，而可以防止元件的特性退化。

接著，如圖 2B 及圖 3B 所示，在導電膜 103 上形成抗蝕劑掩模 106a、106b。抗蝕劑掩模 106a、106b 藉由使用多級灰度掩模可以形成具有厚度不同的區域的抗蝕劑掩模。藉由使用多級灰度掩模，由於減少所使用的光掩模的數量，而減少製造工序，因此是最好的。在本實施例模式中，在形成導電膜 102 及導電膜 103 的圖案的工序、形成用作閘極電極的具有透光性的導電層的工序中，可以使用多級灰度掩模。

多級灰度掩模是指可以多個步驟的光量進行曝光的掩模，代表性的可以曝光區域、半曝光區域以及非曝光區域的三個步驟進行曝光。藉由使用多級灰度掩模，可以一次的曝光及顯影的工序形成具有多個(代表性的為兩種)厚度的抗蝕劑掩模。由此，藉由使用多級灰度掩模，可以減少光掩模的數量。

圖 13A-1 及圖 13B-1 是示出代表性的多級灰度掩模的截面圖。圖 13A-1 表示灰度掩模 180，圖 13B-1 表示半色調掩模 185。

圖 13A-1 所示的灰度掩模 180 由在具有透光性的基板 181 上使用遮光層形成的遮光部 182、以及根據遮光層的圖案設置的繞射光柵部 183 構成。

繞射光柵部 183 藉由具有以用於曝光的光的分辨極限以下的間隔設置的槽縫、點或網眼等，來控制光的透過量。此外，設置在繞射光柵部 183 的槽縫、點或網眼既可以為週期性的，又可以為非週期性的。

作為具有透光性的基板 181 可以使用石英等形成。構成遮光部 182 及繞射光柵部 183 的遮光層使用金屬膜形成即可，最好使用鉻或氧化鉻等設置。

在對灰度掩模 180 照射用於曝光的光的情況下，如圖 13A-2 所示，重疊於遮光部 182 的區域的透光率為 0%，不設置遮光部 182 或繞射光柵部 183 的區域的透光率為 100%。此外，根據繞射光柵的槽縫、點或網眼的間隔等繞射光柵部 183 的透光率可以被調整為大約 10%至 70%的範圍內。

圖 13B-1 所示的半色調掩模 185 由在具有透光性的基板 186 上使用半透光層形成的半透光部 187、以及使用遮光層形成的遮光部 188 構成。

半透光部 187 可以使用 MoSiN、MoSi、MoSiO、MoSiON、CrSi 等的層形成。遮光部 188 使用與灰度掩模的遮光層同樣的金屬膜形成即可，最好使用鉻或氧化鉻等。

在對半色調掩模 185 照射用於曝光的光的情況下，如圖 13B-2 所示，重疊於遮光部 188 的區域的透光率為 0%，不設置遮光部 188 或半透光部 187 的區域的透光率為 100%。此外，根據形成的材料的種類或形成的膜厚等

半透光部 187 的透光率可以被調整為大約 10%至 70%的範圍內。

藉由使用多級灰度掩模進行曝光及顯影，可以形成具有膜厚度不同的區域的抗蝕劑掩模。此外，可以形成膜厚度不同的抗蝕劑掩模。

如圖 2B 及圖 3B 所示，半色調掩模由透過光的基板 104 上的半透光層 105a、105c 及遮光層 105b 構成。從而，在導電膜 103 上的後面成為儲存電容部的下部電極及閘極電極的部分形成抗蝕劑掩模 106a 的膜厚度較薄的區域、較薄的抗蝕劑掩模 106b，在後面成為閘極佈線的部分形成抗蝕劑掩模 106a 的膜厚度較厚的區域。

接著，如圖 2C 及圖 3C 所示，使用抗蝕劑掩模 106a、106b 對導電膜 102 及導電膜 103 進行蝕刻。藉由進行蝕刻，可以形成導電層 107a、導電層 108a、導電層 107b、導電層 108b。

接著，如圖 2D 及圖 3D 所示，對抗蝕劑掩模 106a、106b 進行利用氧電漿的灰化處理。藉由對抗蝕劑掩模 106a、106b 進行利用氧電漿的灰化處理，去除抗蝕劑掩模 106a 的膜厚度較薄的區域，而使其下方的具有遮光性的導電層露出。此外，抗蝕劑掩模 106a 的膜厚度較厚的區域縮小，其作為抗蝕劑掩模 109 留下。藉由使用利用多級灰度掩模形成的抗蝕劑掩模，不再增加抗蝕劑掩模，因此可以使工序簡化。

接著，使用抗蝕劑掩模 109 對具有遮光性的導電層

108a 進行蝕刻。其結果，導電層 108a 的一部分被去除，而使導電層 107a 露出。此外，以留下形成有抗蝕劑掩模 109 的部分的方式去除導電層 108a。這是因為利用灰化處理使抗蝕劑掩模 106a 縮小，而使導電層 108a 的一部分露出的緣故。從而，不由抗蝕劑掩模 109 覆蓋的導電層 108a 的一部分也同時被蝕刻。由此，導電層 108a 和導電層 107a 各個層所具有的面積大不一樣。換言之，導電層 107a 具有的面積大於導電層 108a 具有的面積。或者，導電層 108a 和導電層 107a 具有導電層 108a 和導電層 107a 重疊的區域以及導電層 108a 和導電層 107a 不重疊的區域。

當去除具有遮光性的導電層時，有時去除具有透光性的導電層的一部分(例如，接觸於具有遮光性的導電層的表面部分等)。具有透光性的導電層被去除的程度，取決於具有透光性的導電層和具有遮光性的導電層的蝕刻的選擇比。由此，例如在很多情況下，由導電層 110a 覆蓋的區域的導電層 107a 的膜厚度厚於不由導電層 110a 覆蓋的區域的導電層 107a 的膜厚度。

在留下具有透光性的導電層，並且使用濕蝕刻只去除具有遮光性的導電層的情況下，使用具有透光性的導電層和具有遮光性的導電層之間的選擇比高的蝕刻溶液。在作為具有遮光性的導電層，使用第一層為鉬(Mo)、第二層為鋁(Al)、第三層為鉬(Mo)的疊層，或者第一層為鉬(Mo)、第二層為包含微量的釹(Nd)的鋁(Al)、第三層為鉬(Mo)的

疊層等的情況下，例如可以使用由磷酸、硝酸、醋酸以及純水構成的混酸進行濕蝕刻。藉由使用該混酸，可以提供均勻且良好的錐形。如上所述那樣，由於濕蝕刻除了能夠藉由形成為錐形來提高覆蓋率以外，其為利用蝕刻溶液的蝕刻、利用純水的沖洗、乾燥這樣簡單的工序，並且產率高，所以濕蝕刻適合用於上述具有遮光性的導電層的蝕刻。

接著，如圖 4A 及圖 5A 所示，去除抗蝕劑掩模 109。

可以將導電層 110a 及導電層 107a 的主要為其一部分的區域(主要為導電層 110a 的區域)用作閘極佈線或閘極佈線的一部分，並將其他一部分的區域(主要為只有導電層 107a 的區域)用作電晶體的閘極電極或閘極電極的一部分。更最好地，導電層 110a 和導電層 107a 重疊的區域有時具有高導電率的導電層 110a，最好將該區域用作閘極佈線或閘極佈線的一部分。或者，更最好地，沒有設置導電層 110a 的區域中的導電層 107a 有時可以透過光，因此最好將該區域用作電晶體的閘極電極或閘極電極的一部分。

從而，可以認為在導電層 110a 及導電層 107a 中，用作閘極電極的佈線和用作閘極佈線的佈線(或者，用作閘極佈線的佈線中的至少一層)是連接著的。或者，可以認為在導電層 110a 及導電層 107a 中，閘極佈線所具有的至少一個層的面積形成為大於閘極佈線所具有的其他層的面積，將面積較大的區域的一部分用作閘極電極。或者，可

以認為在導電層 110a 及導電層 107a 中，導電層 107a 的面積形成為大於導電層 110a 的面積，將面積較大的區域的一部分用作閘極電極。換言之，可以認為將閘極佈線的一部分用作閘極電極或閘極電極的一部分。或者，可以認為在主要用作閘極電極或閘極電極的一部分的導電層的導電層 107a 上，設置主要用作閘極佈線或閘極佈線的一部分的導電層的導電層 110a。

同樣地，可以將具有遮光性的導電層及導電層 107b 的主要為其一部分的區域(主要為導電層 110b 的區域)用作電容佈線或電容佈線的一部分，將其他區域(主要為只有導電層 107b 的區域)用作電容元件的電極或電容元件的電極的一部分。更最好地，在具有遮光性的導電層和導電層 107b 重疊的區域中，有時包括具有高導電率的遮光性的導電層，因此最好將該區域用作電容佈線或電容佈線的一部分。或者，更最好地，沒有設置具有遮光性的導電層的區域中的導電層 107b 有時可以透過光，因此最好將該區域用作電容元件的電極或電容元件的電極的一部分。

從而，可以認為在具有遮光性的導電層及導電層 107b 中，具有用作電容元件的電極的佈線和用作電容元件的佈線(或者，用作電容佈線的佈線中的至少一層)是連接著的。或者，可以認為在具有遮光性的導電層及導電層 107b 中，電容佈線所具有的至少一個層的面積形成為大於電容佈線所具有的其他層的面積，將面積較大的區域的一部分用作電容元件的電極。或者，可以認為在具有遮光

性的導電層及導電層 107b 中，導電層 107b 的面積形成為大於具有遮光性的導電層，將面積較大的區域的一部分用作電容元件的電極。換言之，可以認為將電容佈線的一部分用作電容元件的電極或電容元件的電極的一部分。或者，可以認為在主要用作電容元件的電極或電容元件的電極的一部分的導電層的導電層 107b 上，設置有主要用作電容佈線或電容佈線的一部分的導電層的導電層 110b。

接著，如圖 4B 及圖 5B 所示，覆蓋具有透光性的導電層及具有遮光性的導電層，而形成用作閘極絕緣膜的絕緣膜 111。然後，在絕緣膜 111 上形成半導體膜 112。

絕緣膜 111 既可以單層結構形成又可以多個膜的疊層結構形成。在採用多個膜的疊層結構的情況下，最好所有膜的光透過率充分高。同樣地，半導體膜 112 既可以單層結構形成又可以多個膜的疊層結構形成。在採用多個膜的疊層結構的情況下，最好所有膜的光透過率充分高。

覆蓋具有透光性的導電層及具有遮光性的導電層的絕緣膜 111 形成為厚度為 50nm 至 500nm 左右。藉由利用濺射法或電漿 CVD 法等各種 CVD 法，使用包含矽的氧化物或矽的氮化物的膜以單層或疊層形成絕緣膜 111。具體而言，使用包含氧化矽的膜(SiO_x)、包含氧氮化矽的膜(SiO_xN_y)、包含氮氧化矽的膜(SiN_xO_y)以單層結構形成絕緣膜 111，或者使用這些膜適當地層疊而形成絕緣膜 111。

在含有氧、氮或氧及氮的氣氛中，對具有透光性的導

電層及具有遮光性的導電層進行高密度電漿處理，來使具有透光性的導電層及具有遮光性的導電層的表面氧化或氮化，而形成絕緣膜。利用高密度電漿處理而形成的絕緣膜的厚度、品質等的均勻性良好，並且可以形成為緻密的膜。作為包含氧的氣氛，可以使用混合有氧(O_2)、二氧化氮(NO_2)、或一氧化二氮(N_2O)和稀有氣體的混合氣體；或混合有氧(O_2)、二氧化氮(NO_2)、或一氧化二氮(N_2O)和稀有氣體和氫(H_2)的混合氣體。另外，作為包含氮的氣氛，可以使用混合有氮(N_2)或氨(NH_3)和稀有氣體的混合氣體；或混合有氮(N_2)或氨(NH_3)和稀有氣體和氫(H_2)的混合氣體。藉由利用由高密度電漿產生的氧自由基(有時也包含 OH 自由基)、氮自由基(有時也包含 NH 自由基)，使具有透光性的導電層及具有遮光性的導電層的表面氧化或氮化。

在藉由進行高密度電漿處理形成絕緣膜 111 的情況下，以覆蓋具有透光性的導電層及具有遮光性的導電層的方式形成厚度為 1nm 至 20nm，典型為 5nm 至 10nm 的絕緣膜。由於在此情況下的反應為固相反應，因此可以使該絕緣膜 111 和具有透光性的導電層及具有遮光性的導電層的介面態密度極低。由於直接使具有透光性的導電層及具有遮光性的導電層氧化或氮化，所以可以使所形成的絕緣膜 111 的厚度均勻。換言之，藉由進行在此所示的高密度電漿處理而將電極的表面固相氧化，可以形成均勻性好且介面態密度低的絕緣膜。在此，將選自鉭(Ta)、鎢(W)、

鈦(Ti)、鉬(Mo)、鉻(Cr)和鈮(Nb)等中的元素、或者以這些元素為主要成分的合金材料或化合物材料的氧化物用作絕緣膜 111。

絕緣膜 111 可以僅僅使用藉由高密度電漿處理形成的絕緣膜，還可以藉由利用電漿或熱反應的 CVD 法沉積氧化矽、包含氫的氮化矽、包含氮的氧化矽等的絕緣膜來形成，至少沉積一層來形成即可。在任何情況下，將藉由高密度電漿形成的絕緣膜包含於閘極絕緣膜的一部分或全部而形成的電晶體可以降低特性不均勻性。

此外，作為絕緣膜 111，可以使用與氧化物半導體膜的匹配性良好的氧化鋁(Al_2O_3)、氮化鋁(AlN)、氧化鈦(TiO_2)、氧化鋇(ZrO_2)、氧化鋰(Li_2O)、氧化鉀(K_2O)、氧化鈉(Na_2O)、氧化銦(In_2O_3)、氧化釔(Y_2O_3)、鋇酸鈣(CaZrO_3)或至少包含上述材料中的兩種的材料，以單層或層疊兩層以上形成。

絕緣膜 111 最好包含具有透光性的材料或具有高光透過率的材料，而導電層 107a、107b 或半導體膜 112 也最好包含具有透光性的材料或具有高光透過率的材料。從而，對兩者的光透過率進行比較，最好絕緣膜 111 的光透過率高於或等於導電層 107a、導電層 107b 或半導體膜 112。這是因為有時絕緣膜 111 形成為大面積，為了提高光利用效率，最好其光透過率高。

將絕緣膜 111 最好用作絕緣體，其最好具有適合於絕緣體的電阻率。另一方面，將導電層 107a、107b 最好用

作導體，並且最好將半導體膜 112 用作半導體。由此，絕緣膜 111 的電阻率最好高於導電層 107a、107b、導電層 110a、110b 或半導體膜 112 的電阻率。在絕緣膜 111 的電阻率較高的情況下，由於可以使導體之間彼此電絕緣，因此可以減少漏泄電流，而可以使電路更好地工作，由此是最好的。

接著，在絕緣膜 111 上形成半導體膜 112。半導體膜 112 最好包含具有透光性的材料或高透過率的材料而形成。半導體膜 112 可以使用氧化物半導體形成。作為氧化物半導體，可以使用如下材料：將第 1 族元素(例如，鋰(Li)、鈉(Na)、鉀(K)、銣(Rb)、銫(Cs))、第 13 族元素(例如，硼(B)、鎵(Ga)、銦(In)、鉈(Tl))、第 14 族元素(例如，碳(C)、矽(Si)、鍺(Ge)、錫(Sn)、鉛(Pb))、第 15 族元素(例如，氮(N)、磷(P)、砷(As)、銻(Sb)、鉍(Bi))、或第 17 族元素(例如，氟(F)、氯(Cl)、溴(Br)、碘(I))等雜質元素中的一種或多種添加到氧化鋅(ZnO)的非晶狀態，將多晶狀態或非晶狀態和多晶狀態混在一起的微晶狀態的材料；或者不添加任何雜質元素的材料。另外，可以使用 $\text{InGaO}_3(\text{ZnO})_5$ 、氧化鎂鋅($\text{Mg}_x\text{Zn}_{1-x}\text{O}$)或氧化鎘鋅($\text{Cd}_x\text{Zn}_{1-x}\text{O}$)、氧化鎘(CdO)、In-Ga-Zn-O 類的非晶氧化物半導體(a-IGZO)中的任何一種。以 25nm 至 200nm(最好 30nm 至 150nm)的厚度且在 0.4Pa 的壓力下，在 $\text{Ar} : \text{O}_2 = 50 : 5\text{sccm}$ 的流量的條件下利用濺射法形成半導體膜 112，然後使用稀釋為 0.05%的氫氟酸進行蝕刻而將半導體膜 112

形成為所希望的形狀。與使用非晶矽膜的半導體膜相比，由於沒有氧化的擔憂，並不必在高真空下形成半導體膜 112，因此工序價格低廉。另外，由於具有氧化鋅的氧化物半導體膜對電漿耐性高，因此可以使用電漿 CVD(也稱為 PCVD 或 PECVD)法進行成膜。在 CVD 法中，電漿 CVD 法的裝置尤其簡單，並且產率也好。

此外，上述氧化物半導體可以添加有氮。藉由添加有氮，在氧化物半導體呈現 n 型半導體的性質的情況下，將氮用作受主雜質。由此，可以控制使用添加有氮的氧化物半導體膜而製造的電晶體的臨界值電壓。在使用 ZnO 形成氧化物半導體的情況下，最好添加(摻雜)氮。ZnO 本來呈現 n 型半導體的性質。藉由添加氮將氮用作對 ZnO 的受主雜質，其結果可以控制臨界值電壓。在氧化物半導體膜本身呈現 n 型的情況下，可以對形成通道的氧化物半導體膜的部分添加賦予 p 型的導電性的雜質，而將其導電型控制為接近極近 I 型(本征半導體)。

可以對半導體膜 112 進行熱處理。藉由對半導體膜 112 進行熱處理，可以提高半導體膜 112 的結晶性。至少在電晶體的通道形成區域中進行半導體膜 112 的晶化即可。藉由提高電晶體的通道形成區域中的結晶性，可以提高電晶體的特性。

作為在此的熱處理，可以使用快速熱退火(Rapid Thermal Anneal)裝置、利用鹵素燈或燈加熱的燈快速熱退火(Lamp Rapid Thermal Anneal)裝置。LRTA 裝置可以使

用紅外光區域、可見光區域、紫外光區域等的波長的光。例如，當使用 LRTA 裝置時，在 250°C 至 570°C (最好為 300°C 至 400°C ，更最好為 300°C 至 350°C)，1 分鐘至 1 個小時的條件下，更最好在 10 分鐘至 30 分鐘的條件下進行處理即可。藉由利用選自鹵素燈、金鹵燈、氙弧燈、碳弧燈、高壓鈉燈、高壓汞燈中的一種或多種的輻射進行處理。

此外，可以代替 LRTA 輻射雷射光束來進行加熱處理，例如作為雷射光束可以使用紅外光雷射光束、可見光雷射光束、或紫外光雷射光束等。另外，還可以組合 LRTA 及雷射光束輻射來選擇性地改善氧化物半導體膜的結晶性。在使用鐳射輻照的情況下，可以使用連續振盪型的雷射光束(CW 雷射光束)或脈衝振盪型的雷射光束(脈衝雷射光束)。在此可以使用的雷射光束為由如下雷射器中的一種或多種振盪出來的雷射光束：Ar 雷射器、Kr 雷射器、以及受激準分子雷射器等的气體雷射器；將在單晶的 YAG、 YVO_4 、鎂橄欖石(Mg_2SiO_4)、 YAlO_3 、 GdVO_4 、或者多晶(陶瓷)的 YAG、 Y_2O_3 、 YVO_4 、 YAlO_3 、 GdVO_4 中添加作為摻雜物的 Nd、Yb、Cr、Ti、Ho、Er、Tm、Ta 中的一種或多種而獲得的材料用作介質的雷射器；玻璃雷射器；紅寶石雷射器；變石雷射器；Ti:藍寶石雷射器；銅蒸汽雷射器；以及金蒸汽雷射器。藉由照射這種雷射光束的基波以及這種基波的第二高次諧波至第四高次諧波的雷射光束，可以使其結晶性良好。注意，作為雷射光

束最好使用比氧化物半導體膜的帶隙能極大的雷射光束。例如，可以使用由 KrF、ArF、XeCl、或 XeF 的受激准分子鐳射振盪器發射的雷射光束。

半導體膜 112 最好包含具有透光性的材料或高光透過率的材料，但是導電層 107a、107b 也最好包含具有透光性的材料或高光透過率的材料。從而，當對兩者的光透過率進行比較時，最好導電層 107a、107b 的光透過率高於或等於半導體膜 112 的光透過率。這是因為有時導電層 107a、107b 形成為大面積，為了提高光利用效率，最好其光透過率高。

半導體膜 112 最好包含具有透光性的材料或高光透過率的材料，但是不局限於此。其可以包含雖然光透過率小但是可以透過光的材料。例如，可以具有矽(Si)、鍺(Ge)而形成。再者，結晶狀態最好具有選自單晶(monocrystal)狀態、多晶(polycrystal)狀態、非晶(amorphous)狀態、微晶(micro-crystal、奈米晶體(nanocrystal)、半非晶)狀態等中的至少一種結晶狀態。在採用非晶的情況下，具有如下優點，因此是最好的：可以在低溫度下製造；並且可以形成大型半導體裝置或顯示裝置；並且可以使用比玻璃熔點低的基板而形成。

由於將半導體膜 112 最好用作半導體，因此其最好具有適合於半導體的電阻率。另一方面，將導電層 107a、107b 最好用作導體。由此，半導體膜 112 的電阻率最好高於導電層 107a、107b 的電阻率。

接著，如圖 4C、圖 5C 所示，在半導體膜 112 上利用光刻法形成抗蝕劑掩模(未圖示)，並使用抗蝕劑掩模進行蝕刻來形成加工為所希望的形狀的半導體層 113(也稱為島狀半導體層)。蝕刻可以使用稀釋到 0.05%的氫氟酸、鹽酸等。

將半導體層 113 可以用作電晶體的半導體層(主動層)或電晶體的半導體層(主動層)的一部分。或者，將半導體層 113 可以用作 MOS 電容或 MOS 電容的一部分。或者，將半導體層 113 可以用作減少佈線與佈線的交叉部中的寄生電容的膜。注意，雖然未圖示，但也可以形成包含賦予一種導電型的雜質元素的半導體層，以在半導體層 113 中形成源區及汲區。

接著，如圖 4D、圖 5D 所示，以覆蓋半導體層 113 及絕緣膜 111 的方式利用濺射法層疊形成導電膜 114 和導電膜 115。連續進行該工序，也可以使用多室連續進行濺射。藉由連續形成導電膜 114 和導電膜 115，可以提高產率，並可以抑制雜質及灰塵的混入。

導電膜 114 的光透過率最好充分高。此外，導電膜 114 的光透過率最好高於導電膜 115 的光透過率。

導電膜 114 可以使用氧化銦錫(ITO)、包含氧化銦錫和氧化矽的 ITSO、有機銦、有機錫、氧化鋅、氮化鈦等。此外，也可以使用包含氧化鋅(ZnO)的氧化銦鋅(IZO(indium zincoxide))、氧化鋅(ZnO)、摻雜有鎵(Ga)的 ZnO、氧化錫(SnO₂)、包含氧化鎢的氧化銦、包含氧化鎢

的氧化銦鋅、包含氧化鈦的氧化銦、包含氧化鈦的氧化銦錫等。藉由使用濺射法並使用這些材料，可以單層結構或疊層結構形成導電膜 114。注意，在採用疊層結構的情況下，最好所有多個膜的光透過率充分高。

最好由具有與形成導電膜 102 的材料大概相同的材料構成導電膜 114。大概相同的材料是指主要成分的元素為相同的材料，從雜質的觀點來看，有時包含的元素的種類、濃度等不同。像這樣，藉由使用大概相同的材料，具有如下優點：在利用濺射法、蒸鍍等形成具有透光性的導電膜的情況下，可以共同使用材料。而若可以共同使用材料，則可以使用同一個製造裝置，這樣可以順利進行製造工序，並可以提高產率，從而可以實現低成本化。

最好導電膜 115 的電阻率充分低，並且其導電率充分高。此外，導電膜 114 的電阻率最好高於導電膜 115 的電阻率。注意，將導電膜 114 用作導電層，導電膜 114 的電阻率最好低於絕緣層的電阻率。

導電膜 115 可以使用鉬、鈦、鉻、鉭、鎢、鋁、銅、釹或銦等金屬材料或以這些為主要成分的合金材料，並使用濺射法或真空蒸鍍法以單層結構或疊層結構來形成。此外，在以疊層結構形成導電膜 115 的情況下，可以在多個膜中包含具有透光性的導電膜。

此外，最好由具有與形成導電膜 103 的材料不同的材料構成導電膜 115。或者，最好由具有與具有遮光性的導電膜不同的疊層結構構成導電膜 115。這是因為在很多情

況下，在製造工序中對導電膜 115 和導電膜 103 施加的溫度不同。一般地，與導電膜 115 相比，在很多情況下導電膜 103 處於高溫下。從而，與導電膜 115 相比，導電膜 103 最好使用熔點高的材料或採用疊層結構。另外，與導電膜 115 相比，導電膜 103 最好使用不易產生小丘的材料或採用疊層結構。另外，有時導電膜 115 構成供應視頻信號的信號線，所以最好使用比導電膜 103 佈線電阻小的材料或採用疊層結構。

在導電膜 114 上形成導電膜 115 的情況下，有時兩者的膜起反應。例如，在導電膜 114 的上一側的面(接觸於導電膜 115 的面)為 ITO 的情況下，在導電膜 115 的下一側的面(接觸於導電膜 114 的面)為鋁的情況下，兩者的膜起化學反應。從而，為了避免上述情況，導電膜 115 的下一側的面(接觸於導電膜 114 的面)最好使用高熔點材料。例如，作為高熔點材料的例子，可以舉出鉬(Mo)、鈦(Ti)、鎢(W)、釹(Nd)等。然後，在這些的膜上，最好使用高導電率的材料以多層膜形成導電膜 115。作為高導電率的材料，可以舉出鋁(Al)、銅(Cu)、銀(Ag)等。這些材料具有遮光性及反射性。

接著，如圖 6A 及圖 7A 所示，在導電膜 115 上形成抗蝕劑掩模 118a 至 118c。抗蝕劑掩模 118a 至 118c 是藉由利用多級灰度掩模具有厚度不同的區域的抗蝕劑掩模。

如圖 6A 至圖 7A 所示，半色調掩模由透過光的基板 116 上的半透光層 117b 至 117d 及遮光層 117a 構成。從

而，在導電膜 115 上的後面成為儲存電容部的上部電極、源極電極或汲極電極的部分形成較薄的抗蝕劑掩模，而在後面成為源極電極佈線的部分形成較厚的抗蝕劑掩模。

如圖 6B 及圖 7B 所示，使用抗蝕劑掩模 118a 至 118c 對導電膜 114 及導電膜 115 進行蝕刻。藉由進行蝕刻，可以形成導電層 119a、導電層 120a、導電層 119b、導電層 120b、導電層 119c、導電層 120c。

在此，藉由對半導體層 113 使用稀釋了的氫氟酸進行蝕刻，可以對通道的一部分進行蝕刻。

接著，如圖 6C 及圖 7C 所示，對抗蝕劑掩模 118a 至 118c 進行利用氧電漿的灰化處理。藉由對抗蝕劑掩模 118a 至 118c 進行利用氧電漿的灰化處理，去除抗蝕劑掩模 118b、118c，而使其下方的導電層 120a、120c 露出。此外，抗蝕劑掩模 118a 縮小，而其作為抗蝕劑掩模 121 留下。藉由使用利用多級灰度掩模形成的抗蝕劑掩模，不再增加抗蝕劑掩模，因此可以使工序簡化。

接著，如圖 8A 及圖 9A 所示，使用抗蝕劑掩模 121 對具有遮光性的導電層進行蝕刻。其結果，導電層 120a 的一部分、120c 被去除，而使導電層 119b、119c 露出。此外，以留下形成有抗蝕劑掩模 121 的部分的方式去除導電層 119a、120a。這是因為藉由灰化處理使抗蝕劑掩模 118a 縮小，而使導電層 120a 露出。從而，不由抗蝕劑掩模 121 覆蓋的具有遮光性的導電層也同時被蝕刻。由此，導電層 122 和導電層 119a 各個層所具有的面積大不一

樣。換言之，導電層 119a 具有的面積大於導電層 122 具有的面積。此外，導電層 122 和導電層 119a 具有導電層 122 和導電層 119a 重疊的區域以及導電層 122 和導電層 119a 不重疊的區域。

當去除具有遮光性的導電層時，有時去除具有透光性的導電層的一部分(例如，接觸於具有遮光性的導電層的表面部分等)。具有透光性的導電層被去除的程度，取決於具有透光性的導電層和具有遮光性的導電層的蝕刻的選擇比。由此，例如在很多情況下，由導電層 122 覆蓋的區域的導電層 119a 的膜厚度厚於不由導電層 122 覆蓋的區域的導電層 119a 的膜厚度。

此外，可以將導電層 122 及導電層 119a 的主要為其一部分的區域(主要為導電層 122 的區域)用作源極電極佈線或源極電極佈線的一部分，並將其他一部分的區域(主要為只有導電層 119a 的區域)用作電晶體的源極電極或源極電極的一部分。更最好地，導電層 122 和導電層 119a 重疊的區域有時具有高導電率的導電層 122，最好將該區域用作源極電極佈線或源極電極佈線的一部分。或者，更最好地，沒有設置導電層 122 的區域中的導電層 119a 有時可以透過光，將該區域用作電晶體的源極電極或源極電極的一部分。

從而，可以認為在導電層 122 及導電層 119a 中，用作源極電極的佈線和用作源極電極佈線的佈線(或者，用作源極電極佈線的佈線中的至少一個層)是連接著的。或

者，可以認為在導電層 122 及導電層 119a 中，源極電極佈線所具有的至少一個層的面積形成為大於源極電極佈線所具有的其他層的面積，將面積較大的區域的一部分用作源極電極。或者，可以認為在導電層 122 及導電層 119a 中，導電層 119a 的面積形成為大於導電層 122 的面積，將面積較大的區域的一部分用作源極電極。換言之，可以認為將源極電極佈線的一部分用作源極電極或源極電極的一部分。或者，可以認為在主要用作源極電極或源極電極的一部分的導電層的導電層 119a 上，設置主要用作源極電極佈線或源極電極佈線的一部分的導電層的導電層 122。

在此，說明瞭源極電極，但是根據電壓的大小、或電晶體的極性等，源極電極和汲極電極可以互相替換，所以源極電極可以被替換為汲極電極。

此外，可以將具有遮光性的導電層及導電層 119c 的主要是其一部分的區域(主要為具有遮光性的導電層的區域)用作電容佈線或電容佈線的一部分，而將其他區域(主要為只有導電層 119c 的區域)用作電容元件的電極或電容元件的電極的一部分。更最好地，在具有遮光性的導電層和導電層 119c 重疊的區域中，有時包括高導電率的具有遮光性的導電層，因此最好將該區域用作電容佈線或電容佈線的一部分。或者，更最好地，沒有設置具有遮光性的導電層的區域中的導電層 119c 有時可以透過光，所以最好將區域用作電容元件的電極或電容元件的電極的一部

分。

從而，可以認為在具有遮光性的導電層及導電層 119c 中，具有用作電容元件的電極的佈線和用作電容元件的佈線(或者，用作電容佈線的佈線中的至少一個層)是連接著的。或者，可以認為在具有遮光性的導電層及導電層 119c 中，電容佈線所具有的至少一個層的面積形成為大於電容佈線所具有的其他層的面積，將面積較大的區域的一部分用作電容元件的電極。或者，可以認為在具有遮光性的導電層及導電層 119c 中，導電層 119c 的面積形成為大於具有遮光性的導電層，將面積較大的區域的一部分用作電容元件的電極。換言之，可以認為將電容佈線的一部分用作電容元件的電極或電容元件的電極的一部分。或者，可以認為在主要用作電容元件的電極或電容元件的電極的一部分的導電層的導電層 119c 上，設置有主要用作電容佈線或電容佈線的一部分的導電層的導電層 122。

接著，如圖 8B 及圖 9B 所示，去除抗蝕劑掩模 121。藉由上述步驟，可以製造電晶體 130、電容元件 131，並可以使電晶體 130、電容元件 131 成為具有透光性的元件。

由於圖 9B 是對於形成主動電極或汲極電極的方向旋轉 90 度的截面圖，因此未圖示源極電極或汲極電極。

接著，如圖 8C 及圖 9C 所示，形成絕緣膜 123。可以單層結構或疊層結構形成絕緣膜 123。在以疊層結構形成絕緣膜 123 的情況下，最好各個膜的光透過率充分高。將

絕緣膜 123 用作保護電晶體免受雜質等的影響的絕緣膜。此外，絕緣膜 123 緩和電晶體、電容元件、或佈線等導致的凹凸，將其可以用作使形成有電晶體、電容元件、或佈線等的表面平坦化的絕緣膜。換言之，絕緣膜 123 可以用作平坦化膜。

尤其是，由於可以使電晶體 130、電容元件 131 成為具有透光性的元件，因此為了使配置有這些的區域也可以用作開口區域，緩和電晶體 130、電容元件 131 或佈線等導致的凹凸，最好使形成有這些元件的上部平坦化。

絕緣膜 123 最好使用具有氮化矽的膜形成。由於氮化矽膜阻擋雜質的效果高，因此是最好的。或者，絕緣膜 123 最好使用具有有機材料的膜形成。作為有機材料的例子，最好使用丙烯、聚醯亞胺、聚醯胺等。由於這些有機材料使凹凸平坦化的功能高，因此是最好的。從而，在使用氮化矽膜和有機材料的膜並以疊層結構形成絕緣膜 123 的情況下，最好在其下一側設置氮化矽膜，並且在其上一側配置有機材料的膜。

此外，絕緣膜 123 可以用作濾色片。藉由在基板 101 上設置濾色片，在對置基板上不需要設置濾色片，因而不需要用於調節兩個基板的位置的餘地，因此可以容易製造面板。

接著，去除絕緣膜 123、或絕緣膜 123 及絕緣膜 111 的一部分而形成接觸孔。

接著，如圖 8D 及圖 9D 所示，在絕緣膜 123 及接觸

孔上形成導電膜，藉由對該導電膜的一部分進行蝕刻，形成 124a、124b。可以單層結構或疊層結構形成導電膜。在採用疊層結構的情況下，最好各個膜的光透過率充分高。

將導電膜 124a、124b 可以用作像素電極。或者，將導電膜 124a、124b 可以用作電容元件的電極。因此，最好由具有透光性的材料或高光透過率的材料構成導電膜 124a、124b。

透過接觸孔，導電膜 124a、124b 可以使源極電極佈線、源極電極、閘極佈線、閘極電極、像素電極、電容佈線、電容元件的電極等彼此連接。從而，將導電膜 124a、124b 可以用作連接導體和導體的佈線。

最好由大概相同的材料構成導電膜 124a、124b、導電膜 102。或者，最好由大概相同的材料構成導電膜 124a、124b、導電膜 114。像這樣，藉由使用大概相同的材料，具有如下優點：在利用濺射法、蒸鍍等形成具有透光性的導電膜的情況下，可以共同使用材料。而若可以共同使用材料，則可以使用同一個製造裝置，這樣可以順利進行製造工序，並可以提高產率，從而可以實現低成本化。

雖然在本實施例模式中示出通道蝕刻型電晶體的製造方法，但是本發明的方式不局限於此，也可以製造通道保護型電晶體。在圖 19 中示出通道保護型電晶體的截面圖的一例。在製造通道保護型電晶體的情況下，可以直到圖

4A 至圖 5A 與通道蝕刻型同樣地製造。接著，在圖 4B 及圖 5B 中，在形成半導體膜 112 之後，形成保護膜 132。作為保護膜 132，可以適當地使用氧化矽、氮化矽、氧氮化矽、氮氧化矽等。接著，在保護膜 132 上形成抗蝕劑掩模，藉由進行蝕刻，可以將保護膜形成為所希望的形狀而形成通道保護層。然後，圖 4C 及圖 5C 以後，除了去除通道的一部分的工序以外，與通道蝕刻型的製造方法同樣進行即可。

如上所述，藉由應用本發明的一個方式，可以形成具有透光性的電晶體或具有透光性的電容元件。由此，即使在像素內配置電晶體、電容元件的情況下，也可以提高開口率。再者，由於連接電晶體和元件(例如其他電晶體)的佈線，或連接電容元件和元件(例如其他電容元件)的佈線可以使用低電阻率且高導電率的材料而形成，因此可以減少信號的波狀畸變，而可以減少因佈線電阻而導致的電壓降低。

下面，將使用圖 10A 和 10B 對與圖 1A 和 1B 不同的元件基板的其他例子進行說明。圖 10A 是根據本實施例模式的半導體裝置的俯視圖，圖 10B 是 F-G 的截面圖。與圖 1A 和 1B 不同之處是使儲存電容部的下部電極(導電層 107c)的面積增大，並使儲存電容部的上部電極為像素電極 124。儲存電容部的尺寸最好成為像素間距的七成以上，或成為八成以上。以下，由於儲存電容部及儲存電容佈線以外的結構與圖 1A 和 1B 所示的結構相同，因此省

略詳細說明。

藉由採用這種結構，當形成源極電極佈線及源極電極或汲極電極時，由於不需要形成儲存電容部的上部電極，因此可以提高透過率。此外，可以形成較大面積的高透過率的儲存電容部。藉由使儲存電容部的尺寸增大，即使電晶體截止，也容易維持像素電極的電位。另外，可以使饋通電位降低。另外，即使將儲存電容部的尺寸形成為大，也可以提高開口率並可以降低耗電量。此外，由於絕緣層為兩層，因此可以防止形成在絕緣膜中的針孔等所導致的層間短路。另外，可以減少電容佈線的凹凸，並可以抑制液晶的取向錯亂。

下面，將使用圖 11A 和 11B 對與圖 1A 和 1B 不同的元件基板的其他例子進行說明。圖 11A 是根據本實施例模式的半導體裝置的俯視圖，圖 11B 是 H-I 的截面圖。與圖 1A 和 1B 不同之處是使儲存電容部的下部電極(導電層 107d)的面積增大，並按順序層疊具有透光性的導電層和具有遮光性的導電層而形成電容佈線，並且使儲存電容部的上部電極(導電層 119d)的尺寸增大。儲存電容部的尺寸最好成為像素間距的七成以上，或成為八成以上。以下，由於儲存電容部以外的結構與圖 1A 和 1B 所示的結構相同，因此省略詳細說明。

藉由採用這種結構，由於電容佈線可以使用低電阻率且高導電率的材料形成，因此可以減少信號的波狀畸變，而可以減少因佈線電阻導致的電壓降低。此外，即使因像

素電極的接觸孔所導致的凹凸而發生液晶的取向錯亂，借助於電容佈線的具有遮光性的導電層，可以防止漏光。此外，藉由使儲存電容的尺寸增大，即使電晶體截止，也容易維持像素電極的電位。另外，可以使饋通電位降低。另外，即使將儲存電容形成為大尺寸，也可以提高開口率並可以降低耗電量。

下面，將使用圖 12A 和 12B 對與圖 1A 和 1B 不同的元件基板的其他例子進行說明。圖 12A 是根據本實施例模式的半導體裝置的俯視圖，圖 12B 是 J-K 的截面圖。與圖 1A 和 1B 不同之處是使用作儲存電容部的下部電極的具有透光性的導電層 107c 的尺寸增大，並使用作儲存電容部的上部電極的具有透光性的導電層 119e 的尺寸增大。儲存電容部的尺寸最好成為像素間距的七成以上，或成為八成以上。以下，儲存電容部以外的結構與圖 1A 和 1B 所示的結構相同，因此省略詳細說明。

藉由採用這種結構，可以形成較大尺寸的高透過率的儲存電容。藉由使儲存電容的尺寸增大，即使電晶體截止，也容易維持像素電極的電位。另外，可以使饋通電位降低。另外，即使儲存電容形成為大，也可以提高開口率並可以降低耗電量。

下面，將使用圖 14A 和 14B 對根據本實施例模式的顯示裝置的外觀及截面進行說明。圖 14A 是藉由使用密封材料 4005 將形成在第一基板 4001 上的具有半導體層的薄膜電晶體 4010 及液晶元件 4013 密封在第一基板 4001 與

第二基板 4006 之間的液晶顯示裝置的俯視圖，圖 14B 相當於沿圖 14A 的 A-A' 的截面圖。

以圍繞在第一基板 4001 上設置的像素部 4002 和掃描線驅動電路 4004 的方式設置有密封材料 4005。另外，在像素部 4002 和掃描線驅動電路 4004 上設置有第二基板 4006。因此，像素部 4002 和掃描線驅動電路 4004 與液晶 4008 一起由第一基板 4001、密封材料 4005、以及第二基板 4006 密封。另外，在第一基板 4001 上的與由密封材料 4005 圍繞的區域不同的區域中安裝有在另外準備的基板上由多晶半導體膜形成的信號線驅動電路 4003。注意，雖然在本實施例模式中，對將具有使用多晶半導體膜的薄膜電晶體的信號線驅動電路貼合到第一基板 4001 的一例進行說明，但是也可以由使用單晶半導體的電晶體形成信號線驅動電路並貼合。圖 14B 例示包含於信號線驅動電路 4003 的由多晶半導體膜形成的薄膜電晶體 4009。

此外，設置在第一基板 4001 上的像素部 4002 和掃描線驅動電路 4004 具有多個薄膜電晶體，圖 14B 例示包含於像素部 4002 的薄膜電晶體 4010。薄膜電晶體 4010 相當於使用半導體層的薄膜電晶體。雖然在像素部 4002 中未圖示儲存電容部，但是可以形成圖 1A 和 1B、圖 10A 和 10B 至圖 12A 和 12B 所示那樣的儲存電容部。

如上所述，按順序層疊具有透光性的導電層、具有遮光性的導電層而形成電連接於電晶體的閘極電極的閘極佈線，按順序層疊具有透光性的導電層、具有遮光性的導電

層而形成電連接於電晶體的源極電極或汲極電極的源極電極佈線。換言之，電晶體的閘極電極由構成閘極佈線的具有透光性的導電層的一部分形成，並且源極電極或汲極電極由構成源極電極佈線的具有透光性的導電層的一部分構成。

藉由按順序層疊具有透光性的導電層和具有遮光性的導電層而形成閘極佈線及源極電極佈線，可以降低佈線電阻，而可以降低耗電量。此外，由於閘極佈線及源極電極佈線使用具有遮光性的導電層來構成，所以可以使像素之間遮光。換言之，借助於設在行方向上的閘極佈線、設在列方向上的源極電極佈線，即使不使用黑矩陣也可以對像素之間的空隙進行遮光。

像這樣，藉由由具有透光性的導電層構成儲存電容部，可以提高開口率。此外，藉由由具有透光性的導電層構成儲存電容部，可以使儲存電容部的尺寸增大，即使電晶體截止，也容易維持像素電極的電位。

此外，4013 相當於液晶元件，液晶元件 4013 所具有的像素電極 4030 藉由佈線 4040 電連接於薄膜電晶體 4010。液晶元件 4013 的對置電極 4031 形成在第二基板 4006 上。像素電極 4030、對置電極 4031 以及液晶 4008 彼此重疊的部分相當於液晶元件 4013。

此外，作為第一基板 4001、第二基板 4006，可以使用玻璃、金屬(代表性的為不銹鋼)、陶瓷、塑膠。作為塑膠，可以使用 FRP(Fiberglass-Reinforced Plastics，即纖維

增強塑膠)板、PVF(聚氟乙烯)薄膜、聚酯薄膜或丙烯酸樹脂薄膜。另外，也可以採用由 PVF 薄膜或聚酯薄膜夾有鋁箔的結構的薄片。

另外，4035 相當於球狀的隔離物，其用於控制像素電極 4030 和對置電極 4031 之間的距離(單元間隙)而設置。注意，也可以使用藉由對絕緣膜進行選擇性的蝕刻而獲得的隔離物。

此外，供應給另外形成的信號線驅動電路 4003 和掃描線驅動電路 4004 或像素部 4002 的各種信號及電位，藉由引導佈線 4014、4015 從 FPC4018 提供。

在本實施例模式中，連接端子 4016 由與液晶元件 4013 所具有的像素電極 4030 相同的導電膜形成。另外，引導佈線 4014、4015 由與佈線 4040 相同的導電膜形成。

連接端子 4016 透過各向異性導電膜 4019 電連接於 FPC4018 所具有的端子。

注意，雖然未圖示，但是本實施例模式所示的液晶顯示裝置具有取向膜、偏光板，進而也可以具有濾色片、遮罩膜。

注意，圖 14A 和 14B 示出另外形成信號線驅動電路 4003 並安裝到第一基板 4001 的例子，但是本實施例模式不局限於該結構。既可以另外形成掃描線驅動電路並安裝，又可以另外僅形成信號線驅動電路的一部分或掃描線驅動電路的一部分並安裝。

下面，將使用圖 18A 和 18B 對相當於半導體裝置的

一個方式的發光顯示面板(也稱為發光面板)的外觀及截面進行說明。圖 18A 是藉由使用密封材料 4505 將形成在第一基板 4501 上的將實施例模式 1 所示的 In-Ga-Zn-O 類非單晶膜用作半導體層的可靠性高的薄膜電晶體 4509、4510 及發光元件 4511 密封在第一基板 4501 與第二基板 4506 之間的面板的俯視圖，圖 18B 相當於沿圖 18A 的 H-I 的截面圖。

以圍繞在第一基板 4501 上設置的像素部 4502、信號線驅動電路 4503a、4503b、以及掃描線驅動電路 4504a、4504b 的方式設置有密封材料 4505。另外，在像素部 4502、信號線驅動電路 4503a、4503b、以及掃描線驅動電路 4504a、4504b 上設置有第二基板 4506。因此，像素部 4502、信號線驅動電路 4503a、4503b、以及掃描線驅動電路 4504a、4504b 與填充劑 4507 一起由第一基板 4501、密封材料 4505、以及第二基板 4506 密封。像這樣，為了不被暴露於空氣，最好由氣密性高且脫氣少的保護薄膜(黏合薄膜、紫外線硬化樹脂薄膜等)或覆蓋材料來封裝(密封)。

此外，設置在第一基板 4501 上的像素部 4502、信號線驅動電路 4503a、4503b、以及掃描線驅動電路 4504a、4504b 具有多個薄膜電晶體，圖 18B 例示包含於像素部 4502 的薄膜電晶體 4510 以及包含於信號線驅動電路 4503a 的薄膜電晶體 4509。

薄膜電晶體 4509、4510 可以應用將 In-Ga-Zn-O 類非

單晶膜用作半導體層的可靠性高的實施例模式 1 所示的薄膜電晶體。在本實施例模式中，薄膜電晶體 4509、4510 為 n 通道型薄膜電晶體。

此外，4511 相當於發光元件，發光元件 4511 所具有的像素電極的第一電極層 4517 電連接於薄膜電晶體 4510 的源極電極層或汲極電極層。注意，雖然發光元件 4511 的結構是第一電極層 4517、場致發光層 4512、第二電極層 4513 的疊層結構，但是不局限於本實施例模式所示的結構。根據從發光元件 4511 取出光的方向，可以適當地改變發光元件 4511 的結構。

隔離牆 4520 使用有機樹脂膜、無機絕緣膜、或有機聚矽氧烷而形成。尤其是，最好使用感光性的材料，並在第一電極層 4517 上形成開口部，該開口部的側壁形成為具有連續的曲率的傾斜面。

場致發光層 4512 既可以由單層構成，又可以由多個層的疊層構成。

最好在第二電極層 4513 及隔離牆 4520 上形成保護膜，以便防止氧、氫、二氧化碳或水分等侵入到發光元件 4511 中。保護膜可以使用氮化矽膜、氮氧化矽膜、DLC 膜等形成。

此外，提供到信號線驅動電路 4503a、4503b、掃描線驅動電路 4504a、4504b 或像素部 4502 的各種信號及電位從 FPC4518a、4518b 供給。

在本實施例模式中，連接端子電極 4515 由與發光元

件 4511 所具有的第一電極層 4517 相同的導電膜形成，端子電極 4516 由與薄膜電晶體 4509、4510 所具有的源極電極層及汲極電極層相同的導電膜形成。

連接端子電極 4515 與 FPC4518a 所具有的端子透過各向異性導電膜 4519 電連接。

作為位於在發光元件 4511 的光的取出方向上的基板的第二基板必須是透光性的基板。在此情況下，使用如玻璃板、塑膠板、聚酯薄膜或丙烯酸薄膜等具有透光性的材料。

另外，作為填充劑 4507 除了氮或氬等惰性氣體之外，還可以使用紫外線硬化樹脂或熱硬化樹脂，即可以使用 PVC(聚氯乙烯)、丙烯酸、聚醯亞胺、環氧樹脂、矽酮樹脂、PVB(聚乙烯醇縮丁醛)、或 EVA(乙烯-醋酸乙烯酯)。在本實施例模式中作為填充劑使用氮。

此外，若有需要，也可以在發光元件的射出表面上適當地設置諸如偏光板、圓偏光板(包括橢圓偏光板)、相位差板($\lambda/4$ 片、 $\lambda/2$ 片)、以及濾色片等的光學薄膜。另外，也可以在偏光板或圓偏光板上設置反射防止膜。例如，可以實施抗眩光處理，該處理是能夠利用表面的凹凸來擴散反射光而降低眩光的。

作為信號線驅動電路 4503a、4503b、以及掃描線驅動電路 4504a、4504b，可以安裝在另行準備的基板上由單晶半導體膜或多晶半導體膜形成的驅動電路。另外，既可以另行僅形成信號線驅動電路或其一部分而安裝，又可

以另行僅形成掃描線驅動電路或其一部分而安裝，本實施例模式不局限於圖 18A 和 18B。

藉由上述工序，可以製造作為半導體裝置的具有高可靠性的發光顯示裝置(顯示面板)。

如上所述，藉由應用本實施例模式而製造顯示裝置，可以形成在像素部中具有透光性的電晶體或具有透光性的電容元件。由此，即使在像素內配置電晶體、電容元件的情況下，也可以提高開口率。從而，可以製造高輝度的顯示裝置。再者，由於連接電晶體和元件(例如其他電晶體)的佈線，或連接電容元件和元件(例如其他電容元件)的佈線可以使用低電阻率且高導電率的材料而形成，因此可以減少信號的波狀畸變，而可以減少因佈線電阻導致的電壓降低。

本實施例模式可以適當地與其他實施例模式所記載的結構組合來實施。

實施例模式 2

可以將根據本發明的一個方式而得到的元件基板、以及使用其的顯示裝置等使用於主動矩陣型顯示裝置面板。就是說，可以在將這些安裝到顯示部的所有的電子設備中實施本發明的一個方式。

作為這種電子設備，可以舉出影像拍攝裝置如攝像機和數位照相機等、頭戴式顯示器(護目鏡型顯示器)、汽車導航系統、投影機、汽車音響、個人電腦、可攜式資訊終

端(移動電腦、移動電話或電子書籍等)等。圖 15A 至 15C 示出其一例。

圖 15A 表示電視裝置。如圖 15A 所示，可以將顯示面板組裝在框體中來完成電視裝置。由顯示面板形成主畫面 2003，並且，作為其他附屬裝置還具有揚聲器部分 2009、操作開關等。如上所述，可以完成電視裝置。

如圖 15A 所示，在框體 2001 中組裝利用顯示元件的顯示用面板 2002，並且可以由接收機 2005 接收普通的電視廣播，而且藉由數據機 2004 連接到有線或無線方式的通訊網絡，從而還可以進行單向(從發送者到接收者)或雙向(在發送者和接收者之間，或者在接收者之間)的資訊通訊。電視裝置的操作可以由組裝在框體中的開關或另外形成的遙控單元 2006 進行，並且該遙控單元也可以設置有顯示輸出的資訊的顯示部 2007。

另外，電視裝置還可以附加有如下結構：除了主畫面 2003 以外，使用第二顯示面板形成子畫面 2008，來顯示頻道或音量等。在這種結構中，也可以利用視角優越的液晶顯示面板形成主畫面 2003，並且利用能夠以低耗電量進行顯示的發光顯示面板形成子畫面 2008。另外，為了優先低耗電量化，也可以採用如下結構：利用發光顯示面板形成主畫面 2003，利用發光顯示面板形成子畫面 2008，並且子畫面 2008 能夠點亮和熄滅。

藉由應用本發明的一個方式，由於可以形成高開口率的像素，因此可以製造高輝度的顯示裝置。從而，可以實

現電視裝置的低耗電量化。

圖 15B 表示可攜式電話機 2301 的一例。該可攜式電話機 2301 藉由包括顯示部 2302、操作部 2303 等來構成。藉由在顯示部 2302 中應用本發明的一個方式，由於可以形成高開口率的像素，因此可以製造高輝度的顯示裝置。從而，可以實現可攜式電話機的低耗電量化。

另外，圖 15C 所示的可攜式電腦包括主體 2401、顯示部 2402 等。藉由在顯示部 2402 中應用本發明的一個方式，由於可以形成高開口率的像素，因此可以製造高輝度的顯示裝置。從而，可以實現電腦的低耗電量化。

圖 16A 至 16C 示出智慧手機的結構的一例，例如在顯示部中，應用具有上述實施例模式所示的薄膜電晶體的元件基板及具有其的顯示裝置。圖 16A 是正視圖，圖 16B 是後視圖，而圖 16C 是展開圖。智慧手機由框體 1111 及框體 1002 這兩個框體構成。智慧手機具有手機和可攜式資訊終端雙方的功能，並裝有電腦，其除了音頻通話以外還可以進行各種各樣的資料處理，也稱為智慧型電話 (smartphone)。

手機由框體 1111 及框體 1002 這兩個框體構成。框體 1111 具有顯示部 1101、揚聲器 1102、麥克風 1103、操作鍵 1104、指標裝置 1105、表面影像拍攝裝置用透鏡 1106、外部連接端子插口 1107、耳機端子 1008 等，並且框體 1002 由鍵盤 1201、外部記憶插槽 1202、背面影像拍攝裝置 1203、燈 1204 等構成。此外，框體 1111 的內部

裝有天線。

此外，除了上述結構以外，還可以裝有非接觸 IC 晶片、小型記憶裝置等。

在圖 16A 中，框體 1111 和框體 1002 彼此重疊，從圖 16A 的狀態框體 1111 和框體 1002 滑動而如圖 16C 所示地展開。可以對顯示部 1101 組裝上述實施例模式所示的顯示裝置，並且根據使用方式而適當地改變顯示方向。因為在同一個表面上具有顯示部 1101 及表面影像拍攝裝置用透鏡 1106，所以可以進行電視電話。此外，可以將顯示部 1101 用作取景器，並且使用背面影像拍攝裝置 1203 及燈 1204 而攝影靜態圖像和動態圖像。

揚聲器 1102 及麥克風 1103 不局限於音頻通話，而可以用於電視電話、錄音、再生等用途。藉由利用操作鍵 1104，可以進行打電話或接電話、電子郵件等簡單的資訊輸入、畫面的捲動、遊標的移動等。

此外，在要處理的信息量大諸如當製作檔、或者用作可攜式資訊終端等時，使用鍵盤 1201 是方便的。使彼此重疊的框體 1111 和框體 1002(圖 16A)滑動並如圖 16C 所示地展開而可以用作可攜式資訊終端。此外，藉由利用鍵盤 1201、指標裝置 1105，可以順利進行遊標的操作。外部連接端子插口 1107 可以與交流整流器及 USB 電纜等各種電纜連接，而可以進行充電以及與個人電腦等的資料通訊。此外，藉由將記錄媒體插入於外部記憶插槽 1202，可以對應於更大量的資料保存以及移動。

框體 1002 的背面(圖 16B)具有背面影像拍攝裝置 1203 以及燈 1204，並且將顯示部 1101 用作取景器而可以攝影靜態圖像和動態圖像。

此外，除了上述功能結構以外，還可以具有紅外線通訊功能、USB 埠、電視單波段(one segment)接收功能、非接觸 IC 晶片、耳機插口等。

藉由應用上述實施例模式所示的顯示裝置，可以提供圖像品質得到提高的智慧型電話。

本實施例模式可以適當地與其他實施例模式組合來實施。

本案係根據 2008 年 5 月 16 日在日本專利局申請的日本專利申請案第 2008-130162 號，其整個內容亦併入做為參考。

【符號說明】

101：基板

102：導電膜

103：導電膜

104：基板

105a：半透光層

105b：遮光層

105c：半透光層

106a：抗蝕劑掩模

106b：抗蝕劑掩模

- 107a：導電層
- 107b：導電層
- 108a：導電層
- 108b：導電層
- 109：抗蝕劑掩模
- 110a：導電層
- 110b：導電層
- 111：絕緣膜
- 112：半導體膜
- 113：半導體層
- 114：導電膜
- 115：導電膜
- 116：基板
- 117a：遮光層
- 117b：半透光層
- 117c：半透光層
- 117d：半透光層
- 118a：抗蝕劑掩模
- 118b：抗蝕劑掩模
- 118c：抗蝕劑掩模
- 119a：導電層
- 119b：導電層
- 119c：導電層
- 120a：導電層

120b：導電層
 120c：導電層
 121：抗蝕劑掩模
 122：導電層
 123：絕緣膜
 124：像素電極
 124a 導電膜
 124b 導電膜
 130：電晶體
 131：電容元件
 132：保護膜
 180：灰度掩模
 181：基板
 182：遮光部
 183：繞射光柵部
 185：半色調掩模
 186：基板
 187：半透光部
 188：遮光部
 301：源極電極佈線部
 302：電晶體部
 303：閘極佈線部
 304：儲存電容部
 1002：框體

- 1101：顯示部
- 1102：揚聲器
- 1103：麥克風
- 1104：操作鍵
- 1105：指標裝置
- 1106：表面影像拍攝裝置用透鏡
- 1107：外部連接端子插口
- 1008：耳機端子
- 1111：框體
- 1201：鍵盤
- 1202：外部記憶插槽
- 1203：背面影像拍攝裝置
- 1204：燈
- 2001：框體
- 2002：顯示用面板
- 2003：主畫面
- 2004：數據機
- 2005：接收機
- 2006：遙控單元
- 2007：顯示部
- 2008：子畫面
- 2009：揚聲器部分
- 2301：可攜式電話機
- 2302：顯示部

2303：操作部
2401：主體
2402：顯示部
4001：基板
4002：像素部
4003：信號線驅動電路
4004：掃描線驅動電路
4005：密封材料
4006：基板
4008：液晶
4009：薄膜電晶體
4010：薄膜電晶體
4013：液晶元件
4014：佈線
4015：佈線
4016：連接端子
4018：FPC
4019：各向異性導電膜
4030：像素電極
4031：對置電極
4035：隔離物
4040：佈線
4501：基板
4502：像素部

- 4503a：信號線驅動電路
- 4503b：信號線驅動電路
- 4504a：掃描線驅動電路
- 4504b：掃描線驅動電路
- 4505：密封材料
- 4506：基板
- 4507：填充劑
- 4509：薄膜電晶體
- 4510：薄膜電晶體
- 4511：發光元件
- 4512：場致發光層
- 4513：電極層
- 4515：連接端子電極
- 4516：端子電極
- 4517：電極層
- 4518a：FPC
- 4518b：FPC
- 4519：各向異性導電膜
- 4520：隔離牆

申請專利範圍

【請求項1】一種半導體裝置，包括：

閘極電極；

在該閘極電極之上的第一絕緣層；

在該第一絕緣層之上的氧化物半導體層；

在該氧化物半導體層之上且與該氧化物半導體層直接接觸的第一導電層；

在該氧化物半導體層之上且與該氧化物半導體層直接接觸的第二導電層；

在該第一導電層之上且與該第一導電層直接接觸的金屬層；

第二絕緣層，包括在該第一導電層、該第二導電層和該金屬層之上的氮化矽；以及

在該第二絕緣層之上的像素電極，

其中，該第一導電層的透光率高於該金屬層的透光率，

其中，該第一導電層和該第二導電層中的每一個是包括銦及鋅的氧化物層，

其中，該金屬層包括銅，並且

其中，該第一導電層包括該第一導電層與該金屬層彼此不重疊的區域。

【請求項2】如請求項1之半導體裝置，其中，該像素電極透過該第二絕緣層中的接觸孔與該第二導電層電連接。

【請求項3】如請求項1之半導體裝置，其中該氧化物半導體層包括銦、鎵及鋅。

【請求項4】如請求項1之半導體裝置，其中，該像素電極包括與該氧化物半導體層重疊的區域。

【請求項5】如請求項1之半導體裝置，其中，該像素電極包括與該第二導電層相同的材料。

【請求項6】如請求項1之半導體裝置，其中，該金屬層與該氧化物半導體層不重疊。

【請求項7】如請求項1之半導體裝置，其中，該金屬層的所有側邊均從該第一導電層的所有側邊縮減。

【請求項8】如請求項1之半導體裝置，其中，該閘極電極包括第一層和在該第一層之上的第二層。

【請求項9】如請求項1之半導體裝置，其中，該第一導電層包含在源極電極中。

【請求項10】如請求項1之半導體裝置，其中，該金屬層與該氧化物半導體層不直接接觸。

圖式

圖 1A

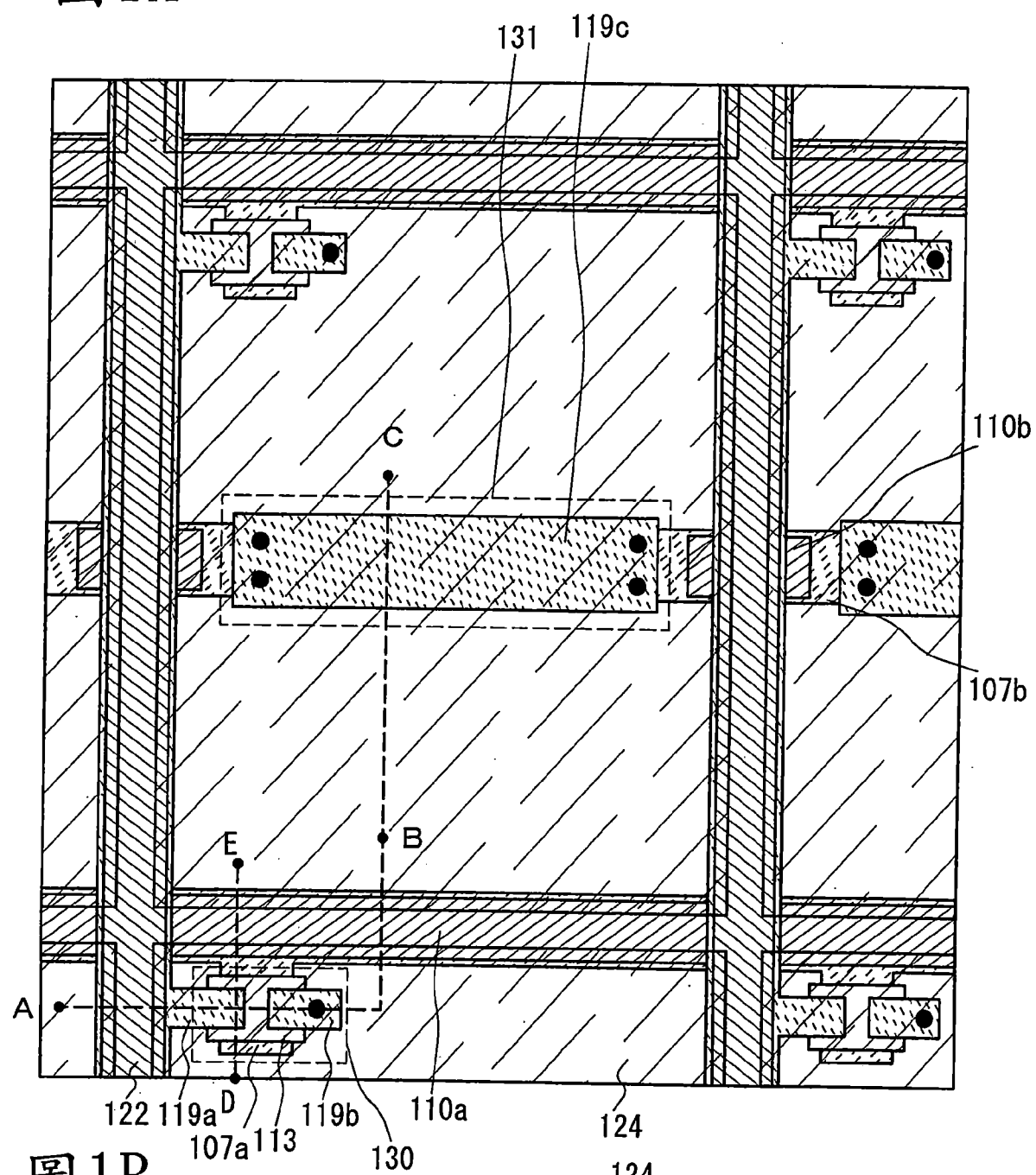
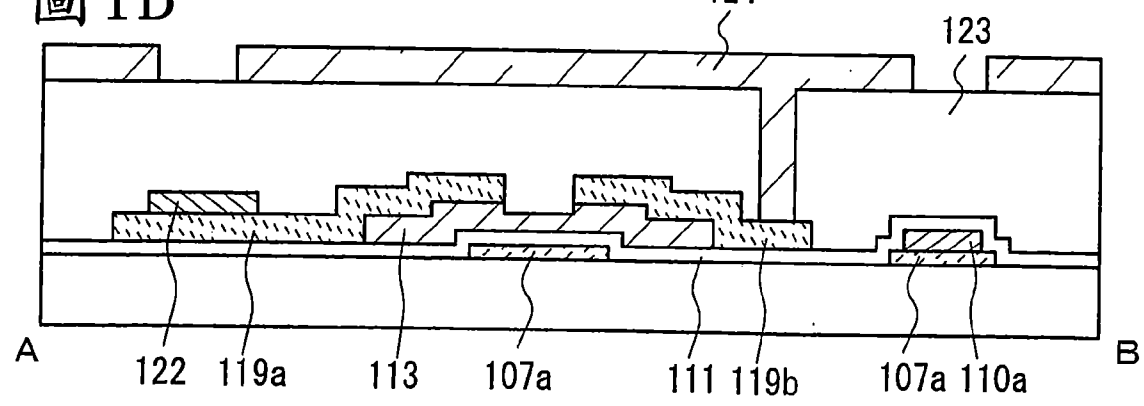


圖 1B



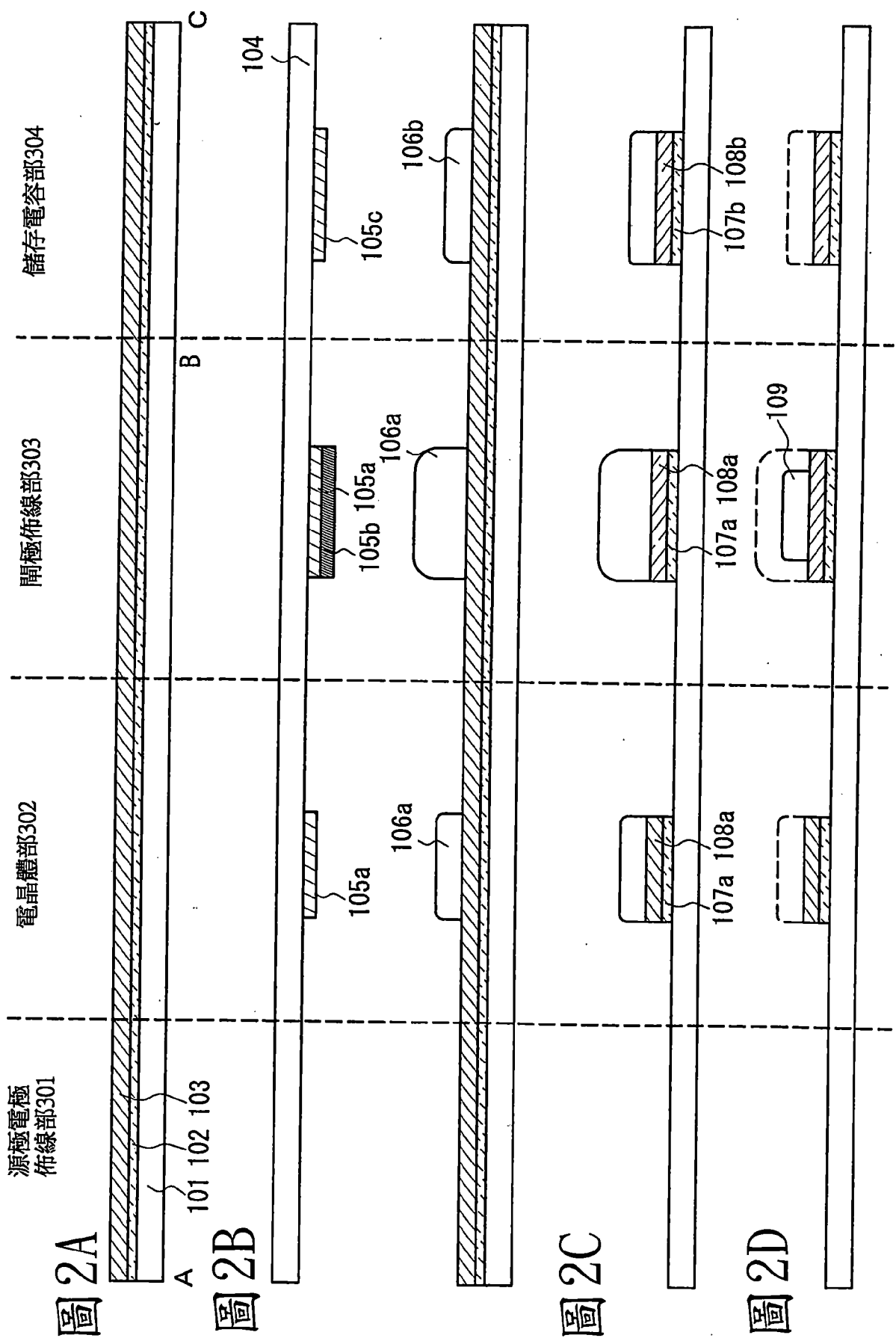


圖 3A

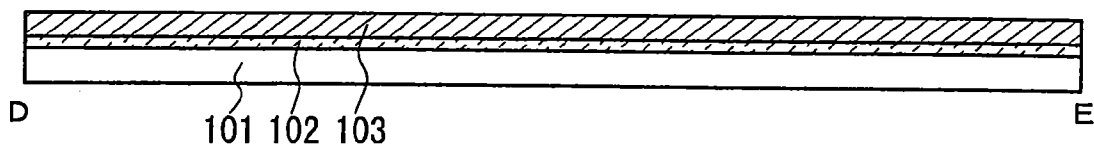


圖 3B

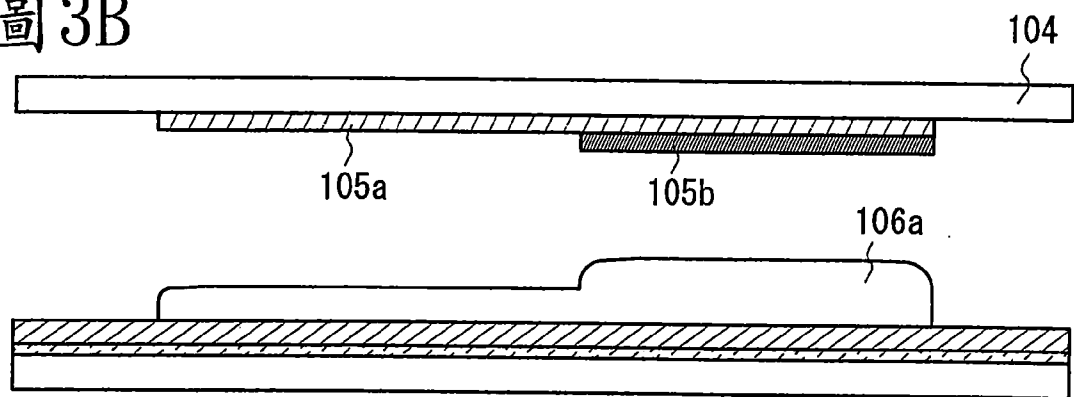


圖 3C

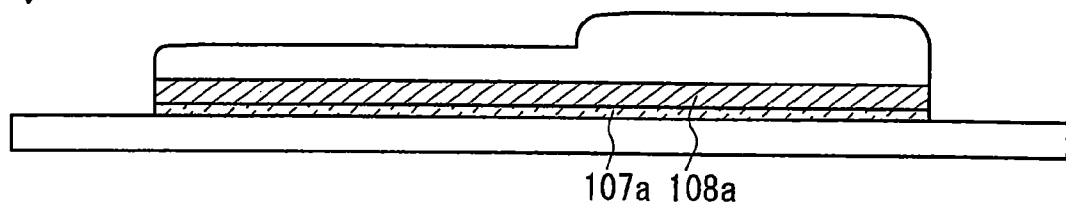
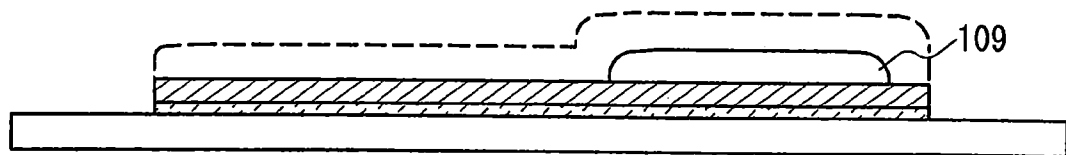


圖 3D



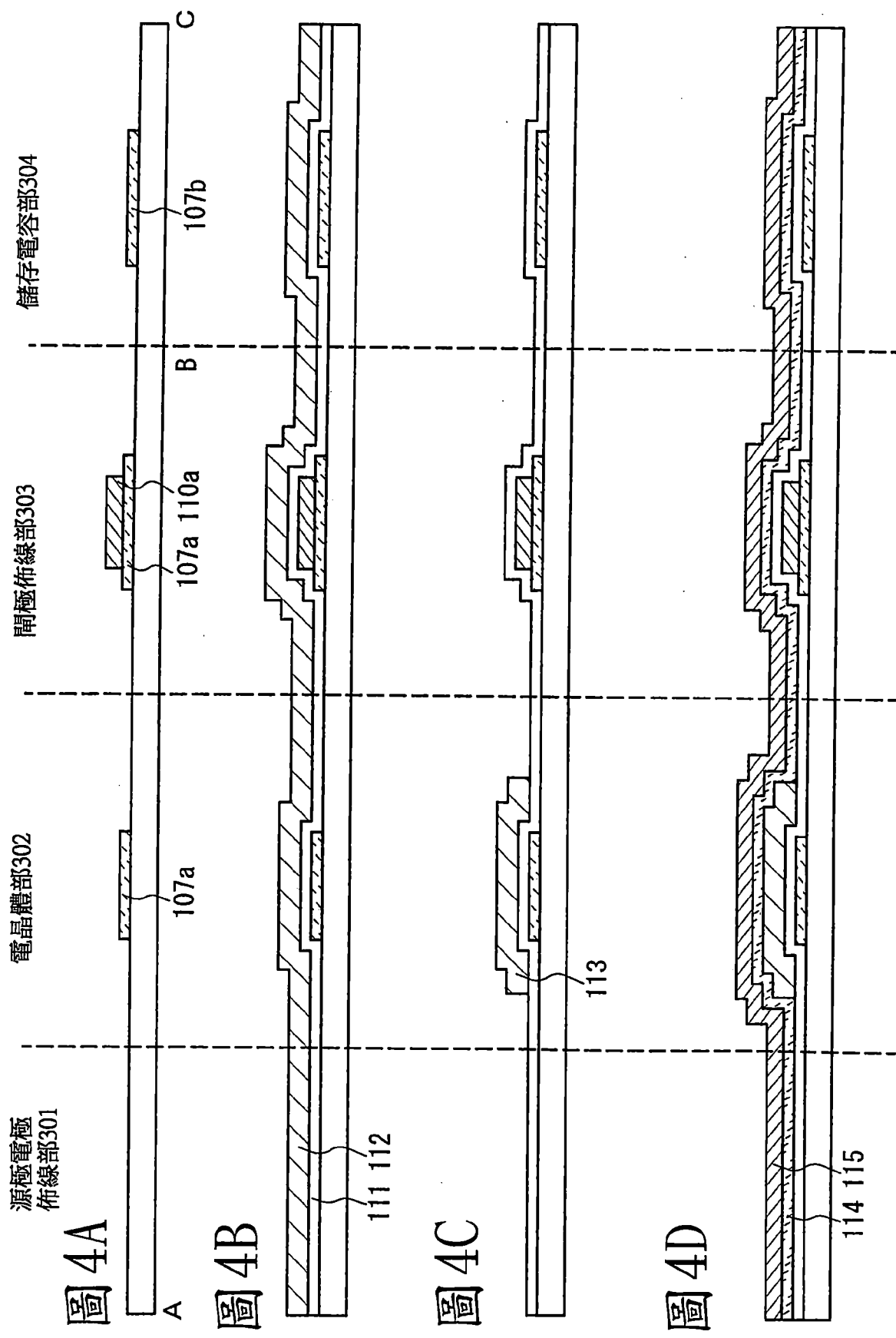


圖 5A

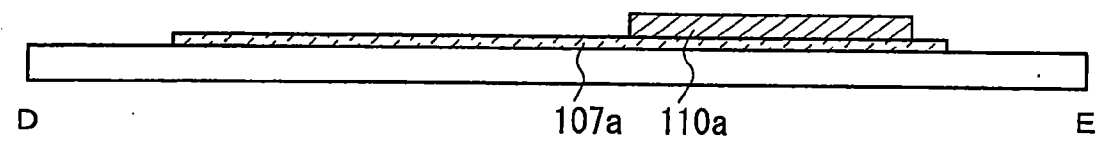


圖 5B

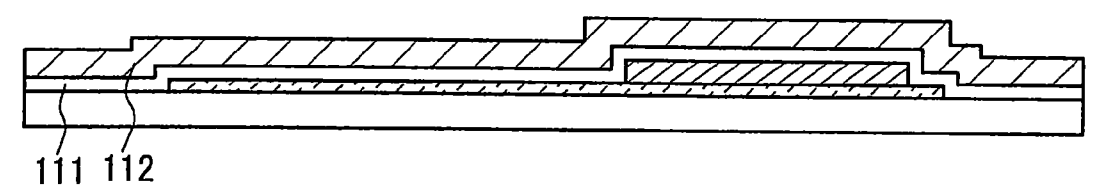


圖 5C

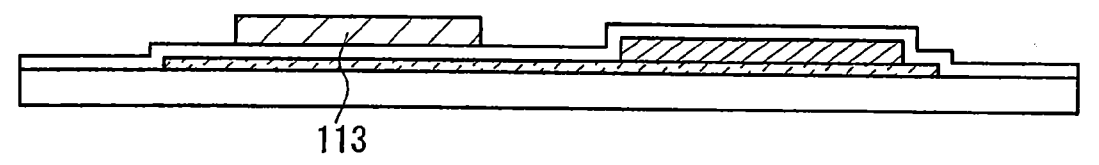
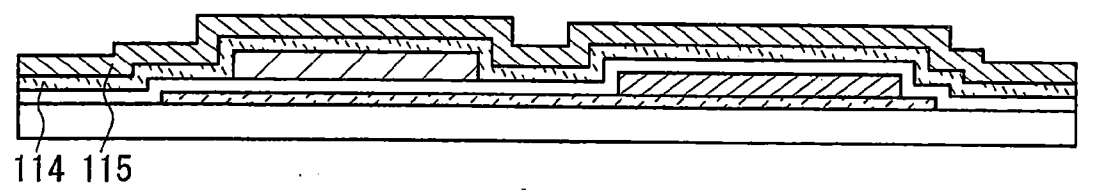


圖 5D



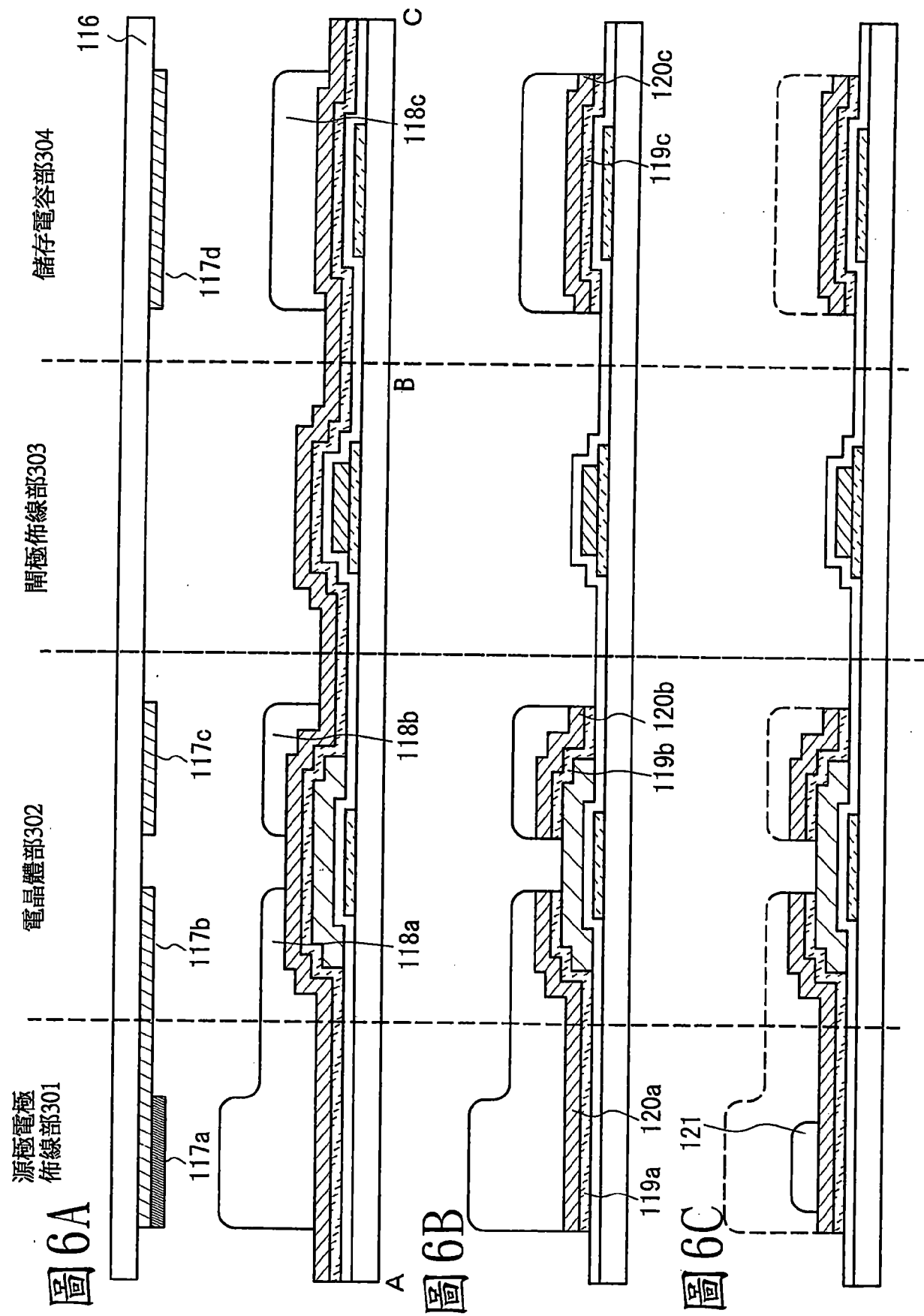


圖 7A

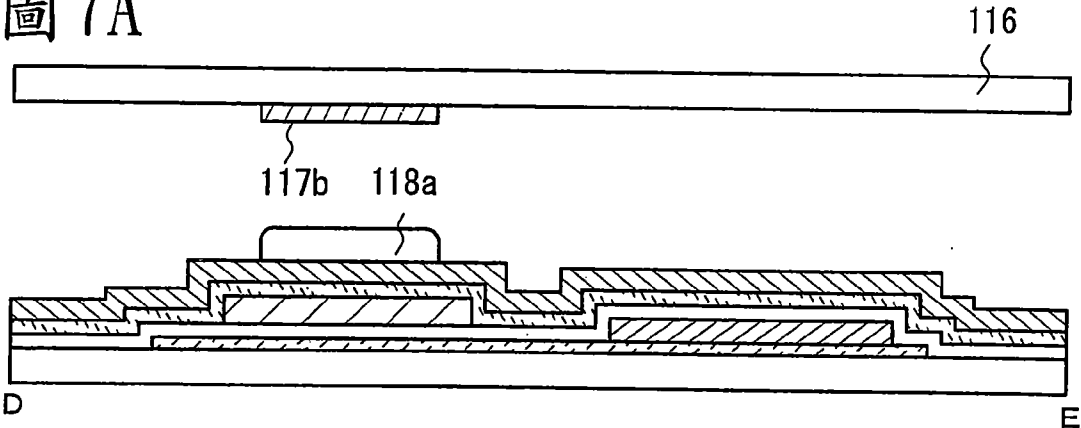


圖 7B

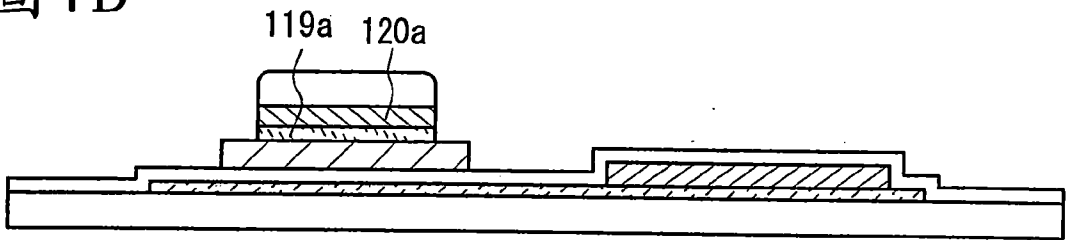
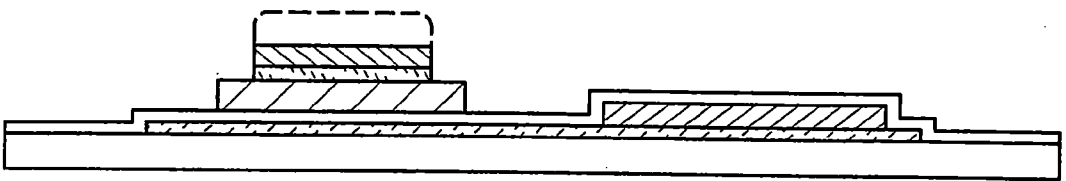


圖 7C



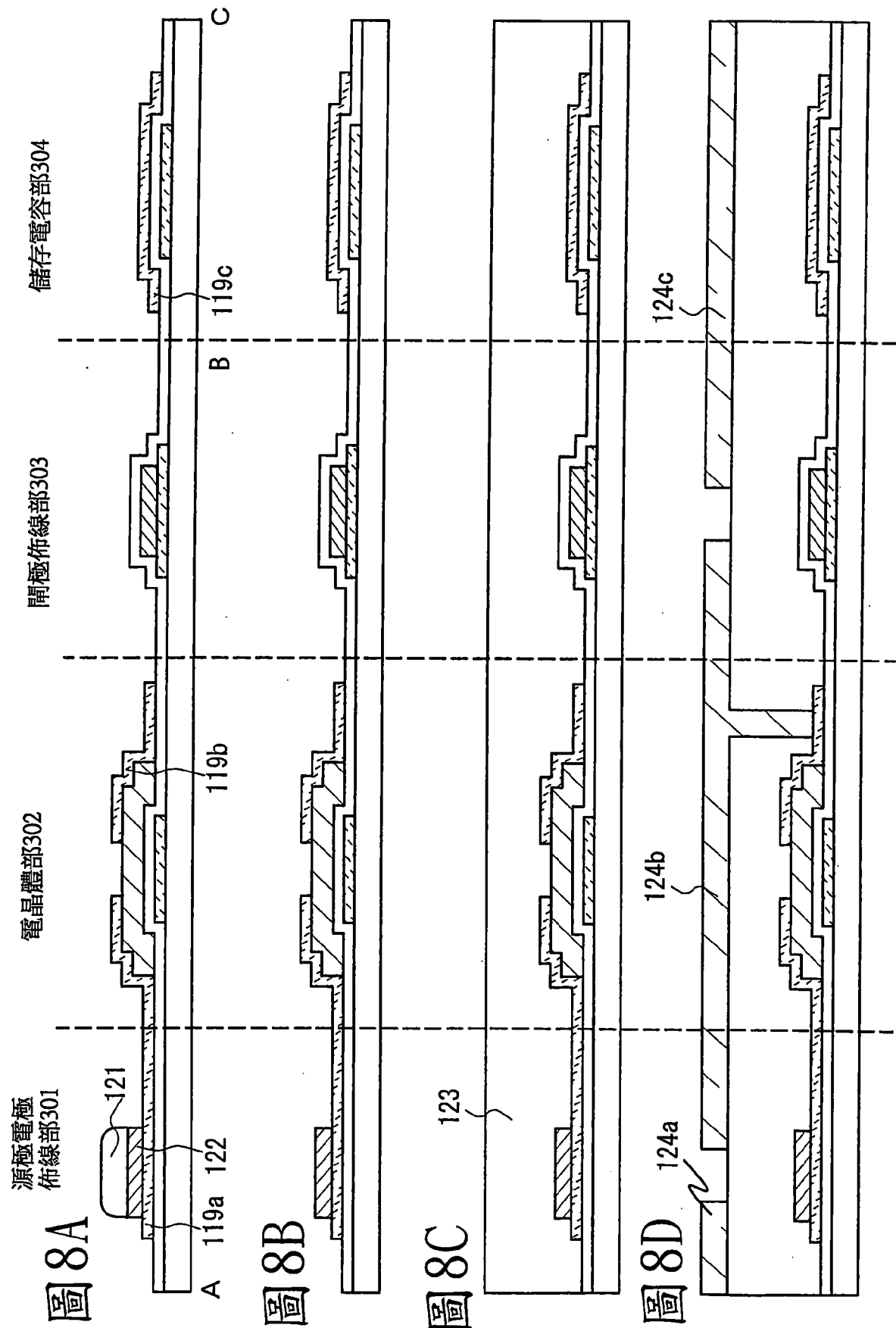


圖 9A

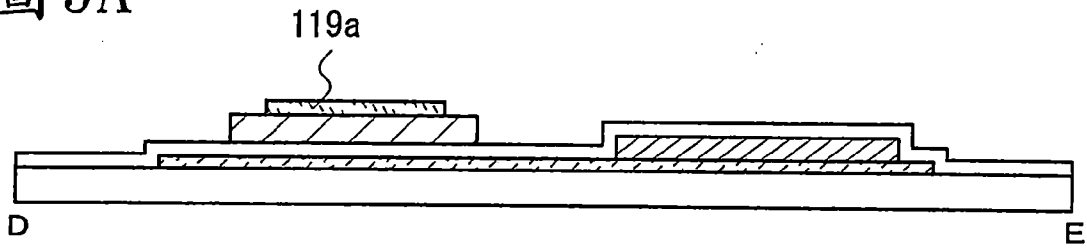


圖 9B

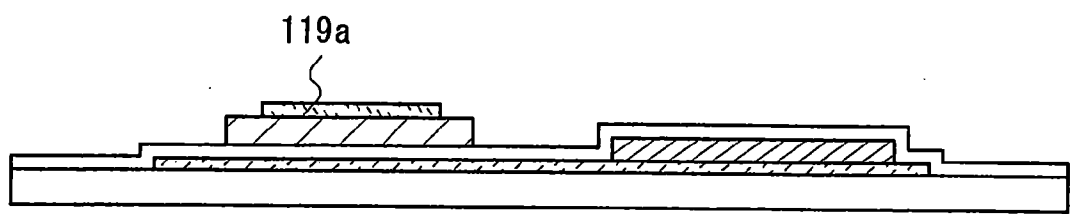


圖 9C

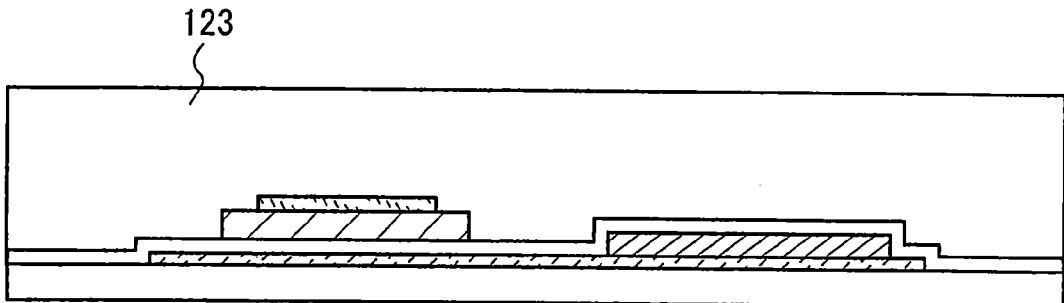


圖 9D

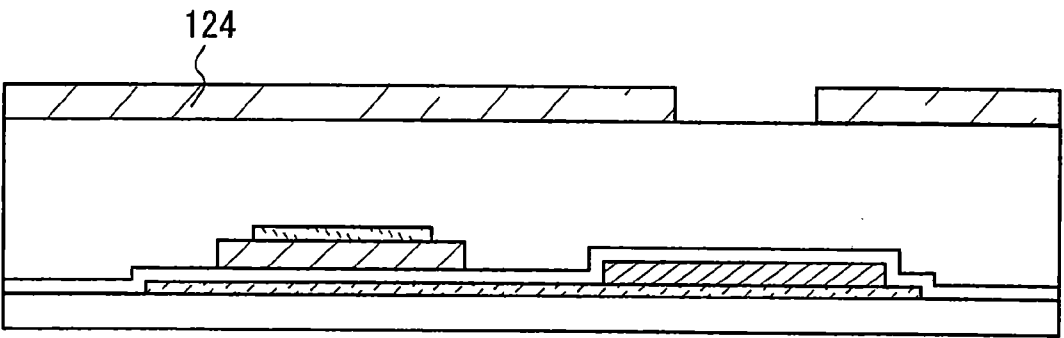


圖 10A

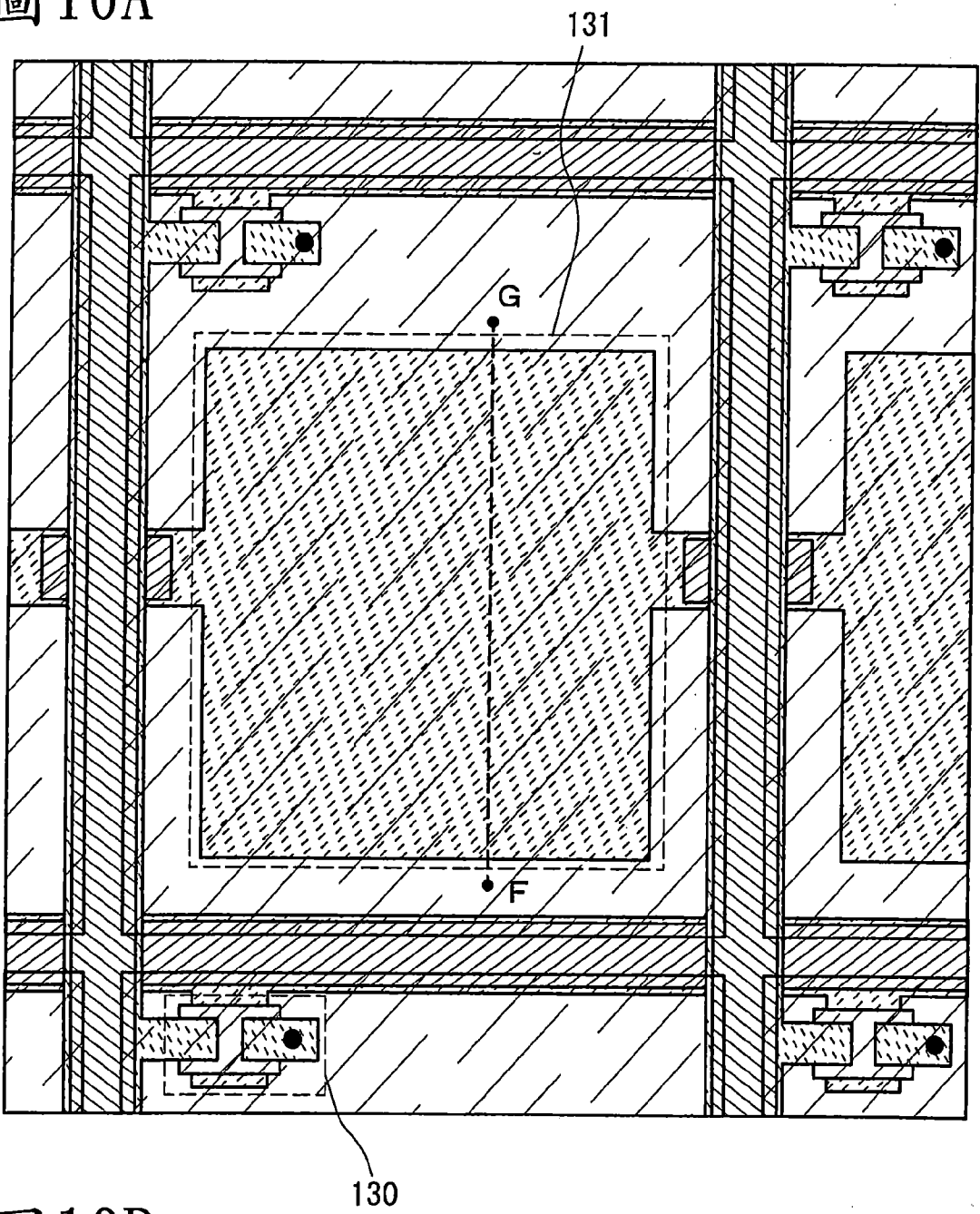


圖 10B

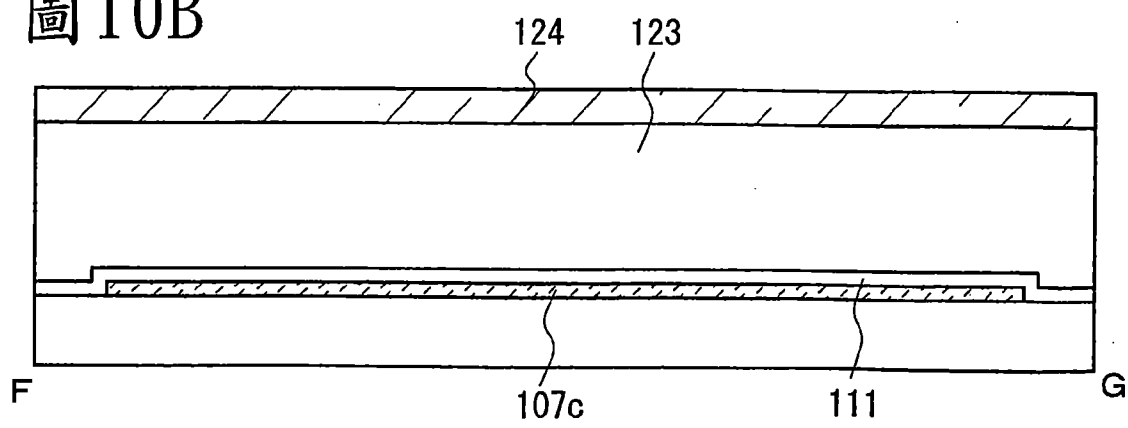


圖 11A

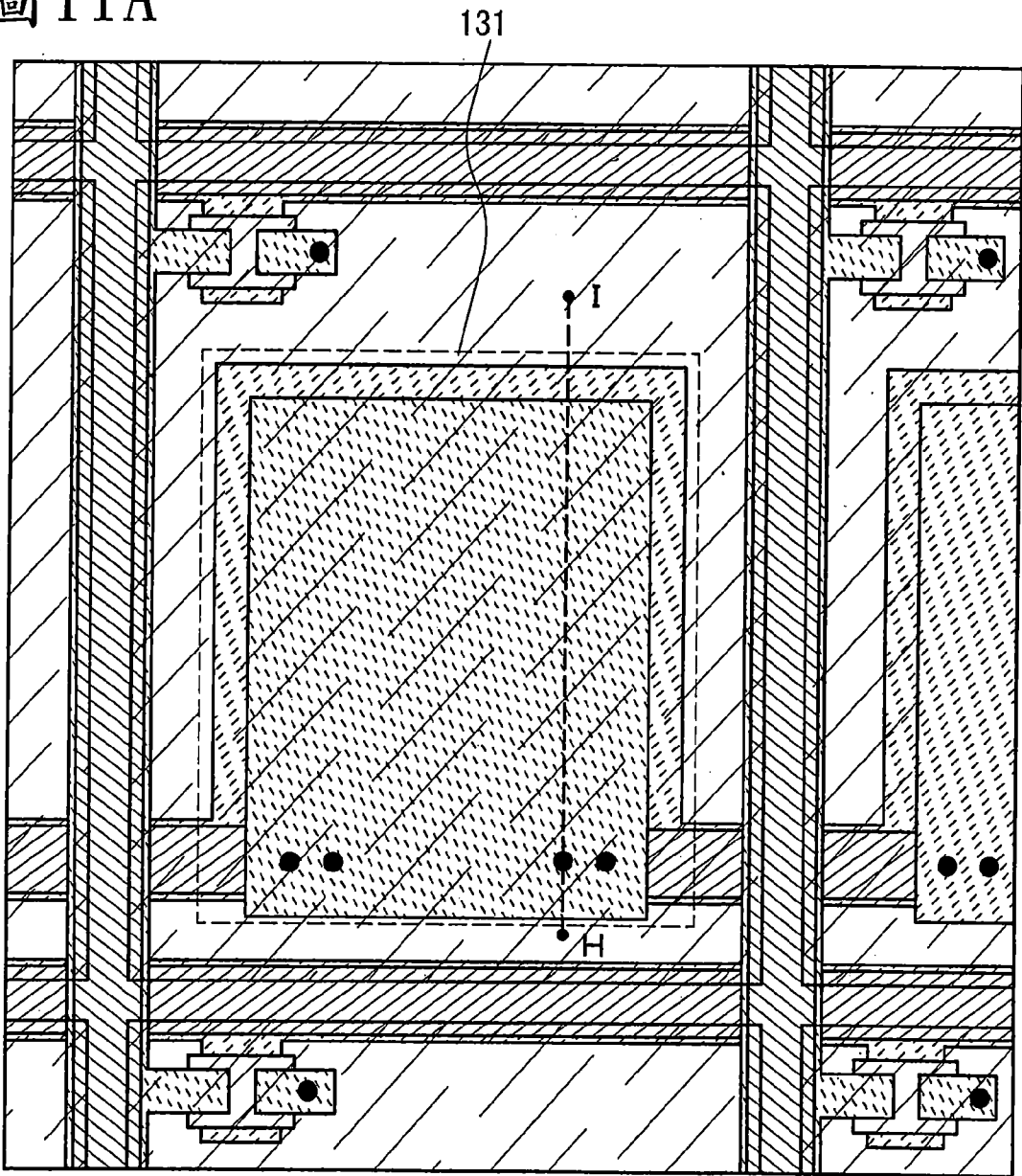


圖 11B

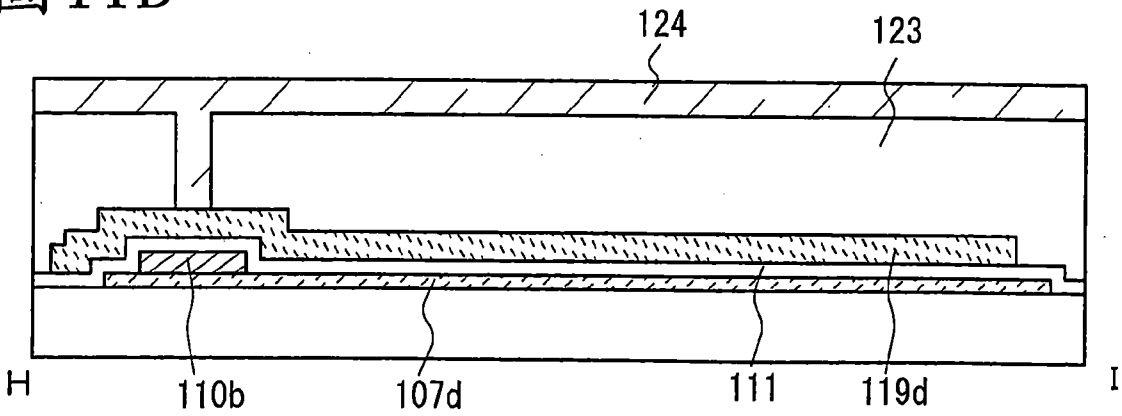


圖 12A

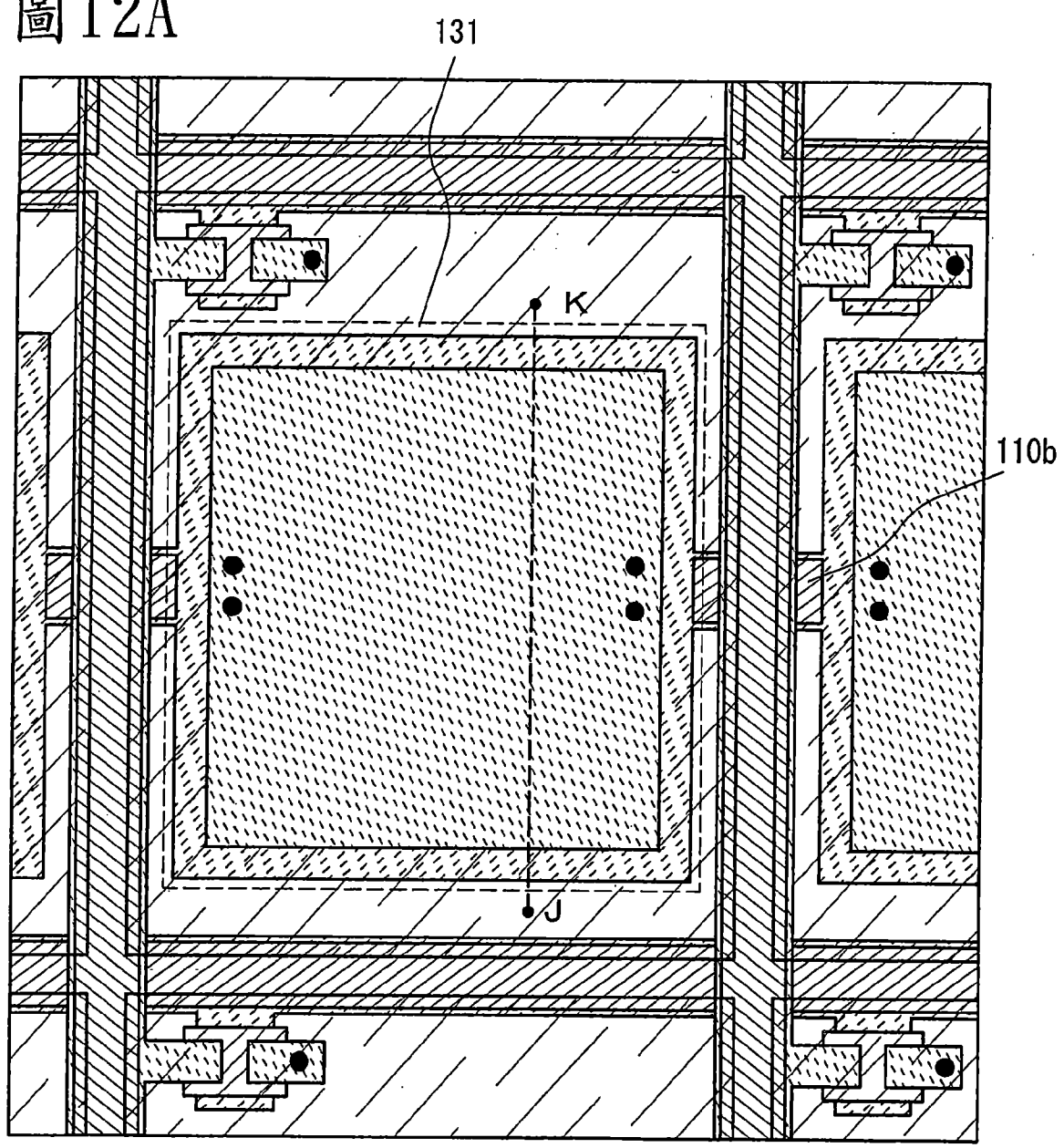


圖 12B

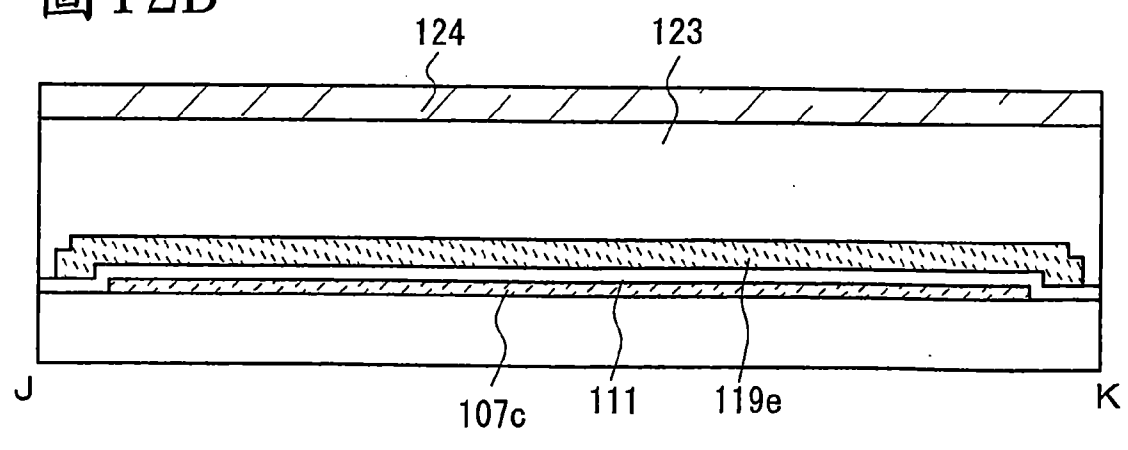


圖 13A-1

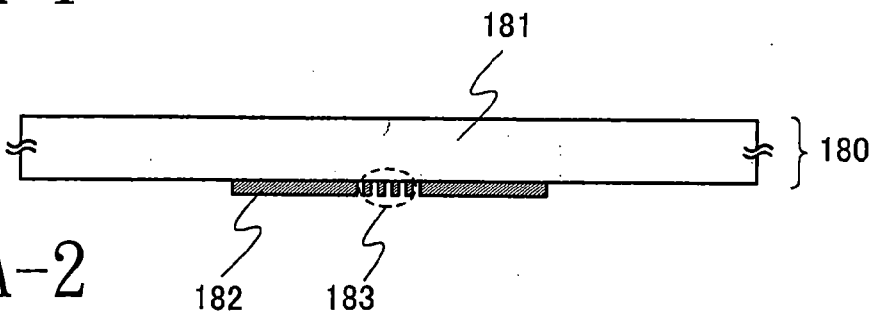


圖 13A-2

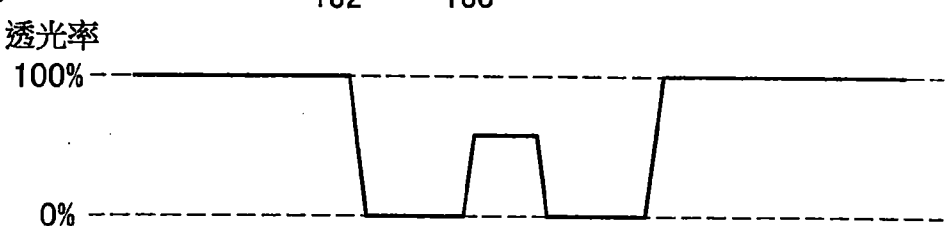


圖 13B-1

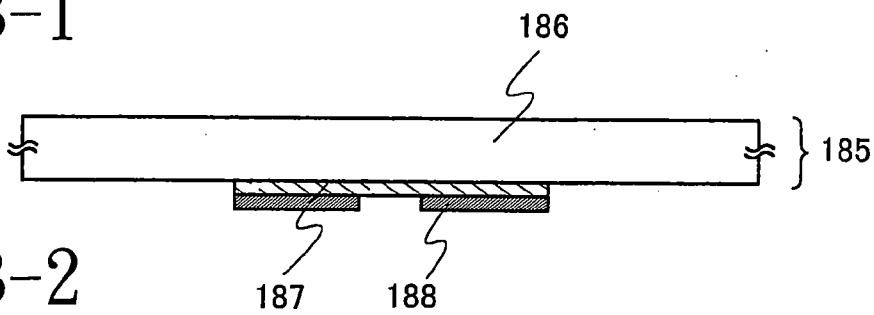


圖 13B-2

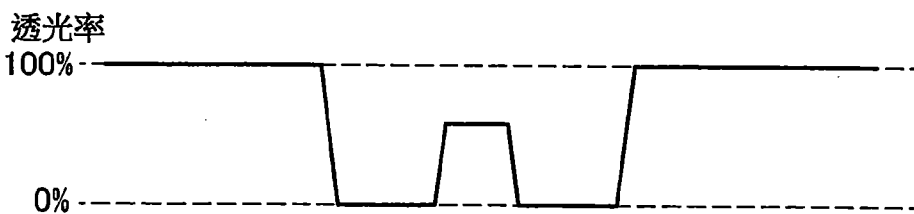


圖14A

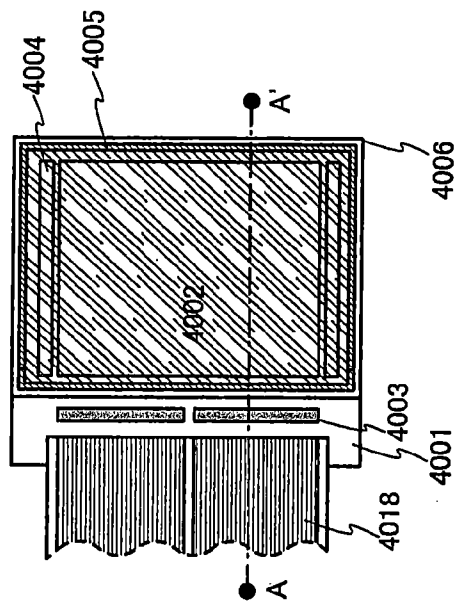


圖14B

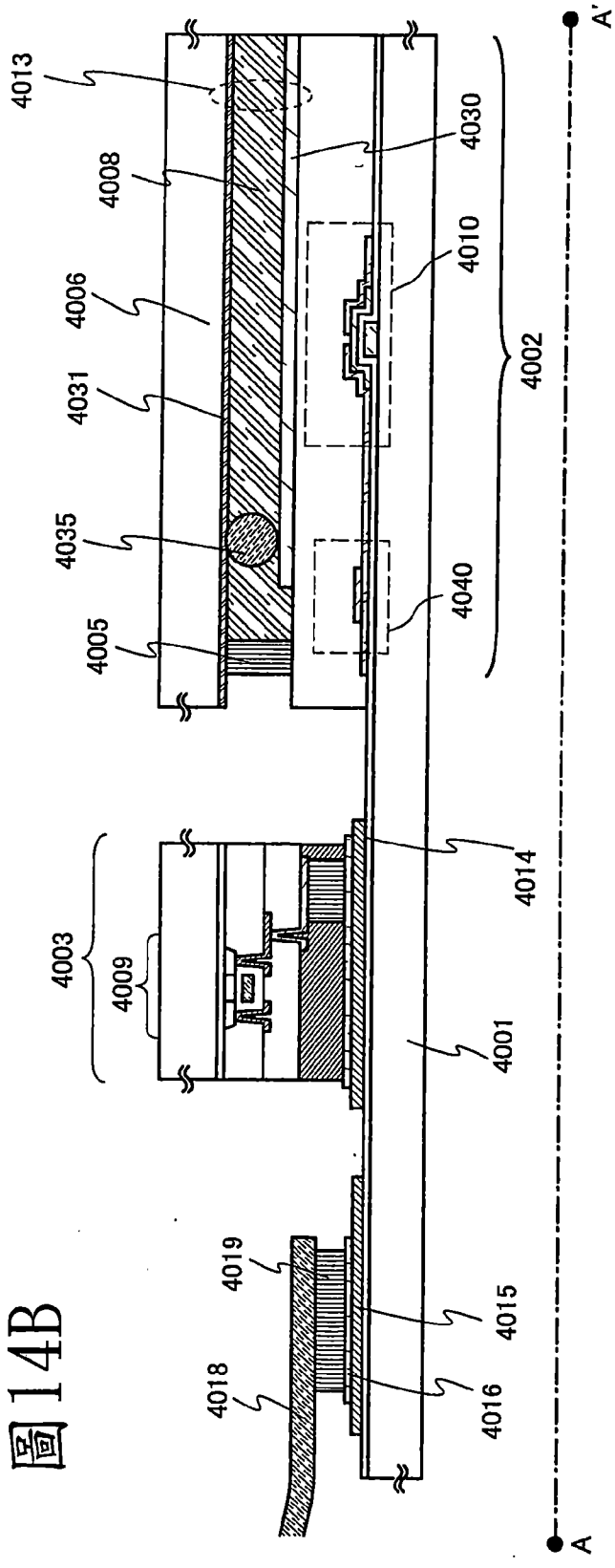


圖 15A

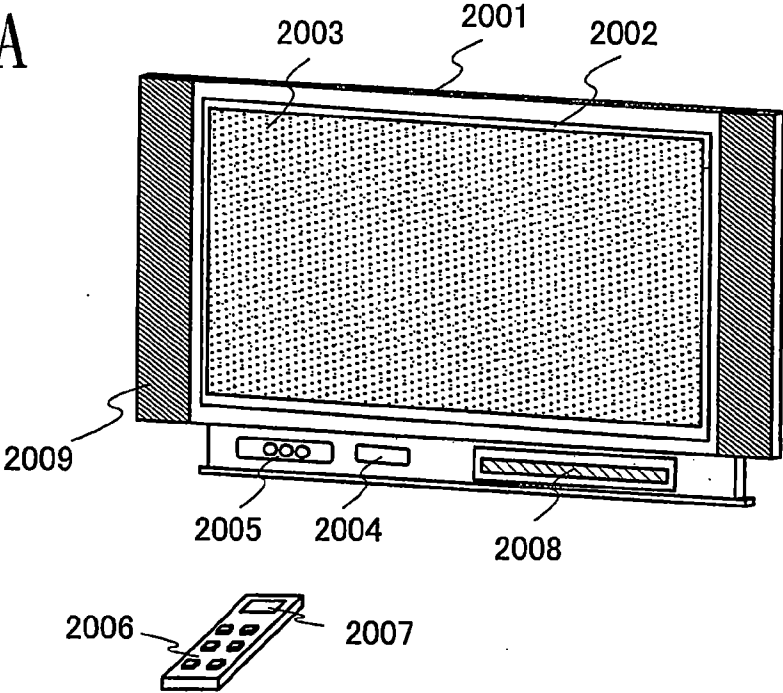


圖 15B

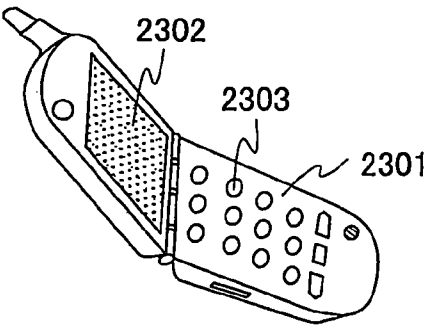


圖 15C

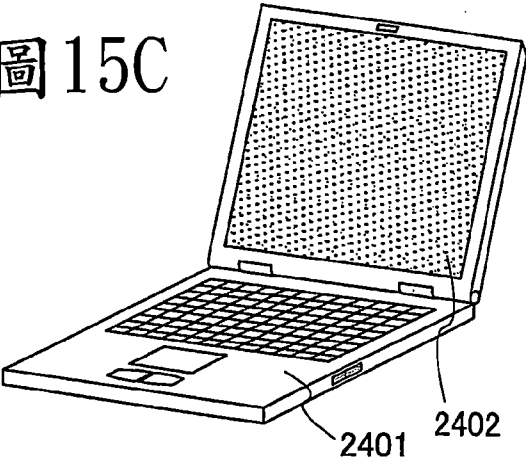


圖 16A

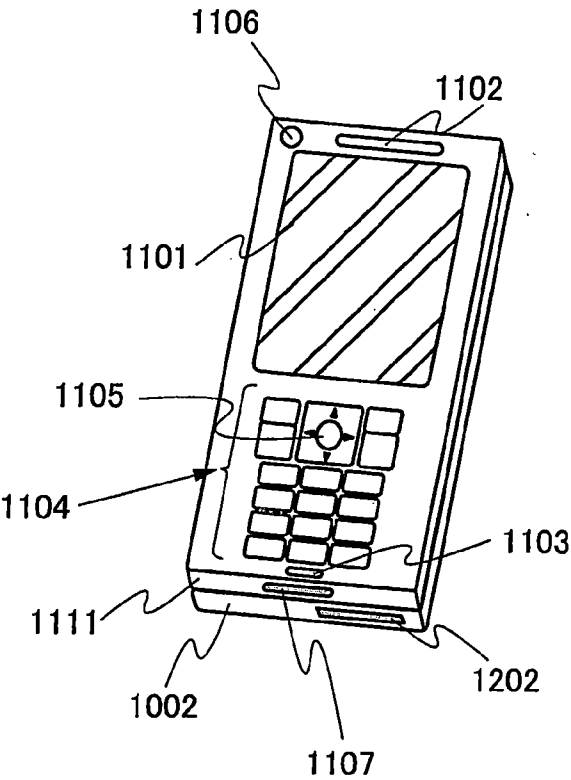


圖 16B

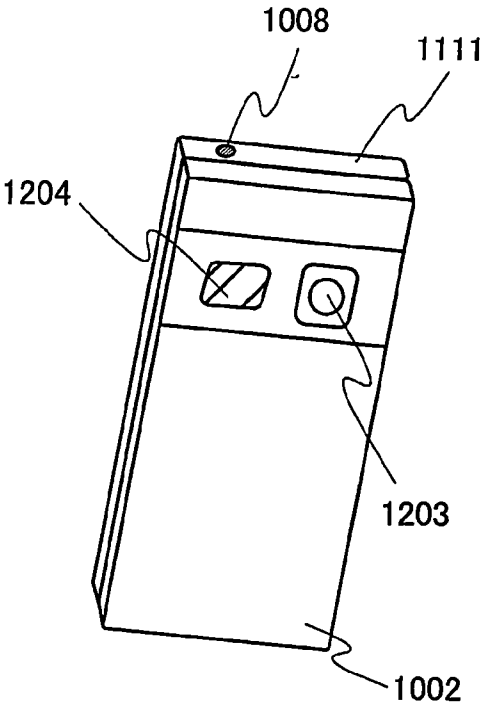


圖 16C

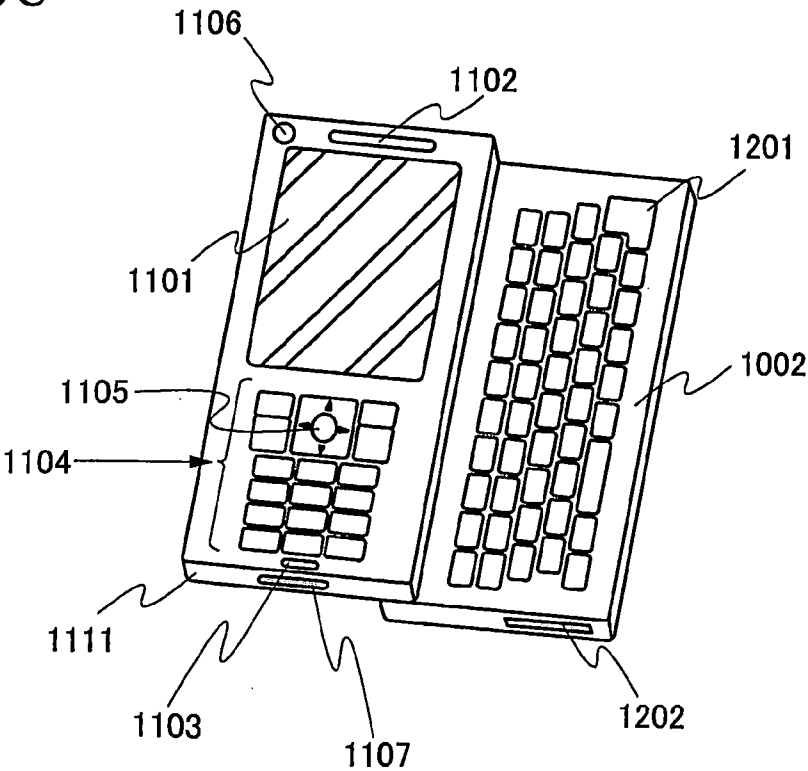


圖 17A

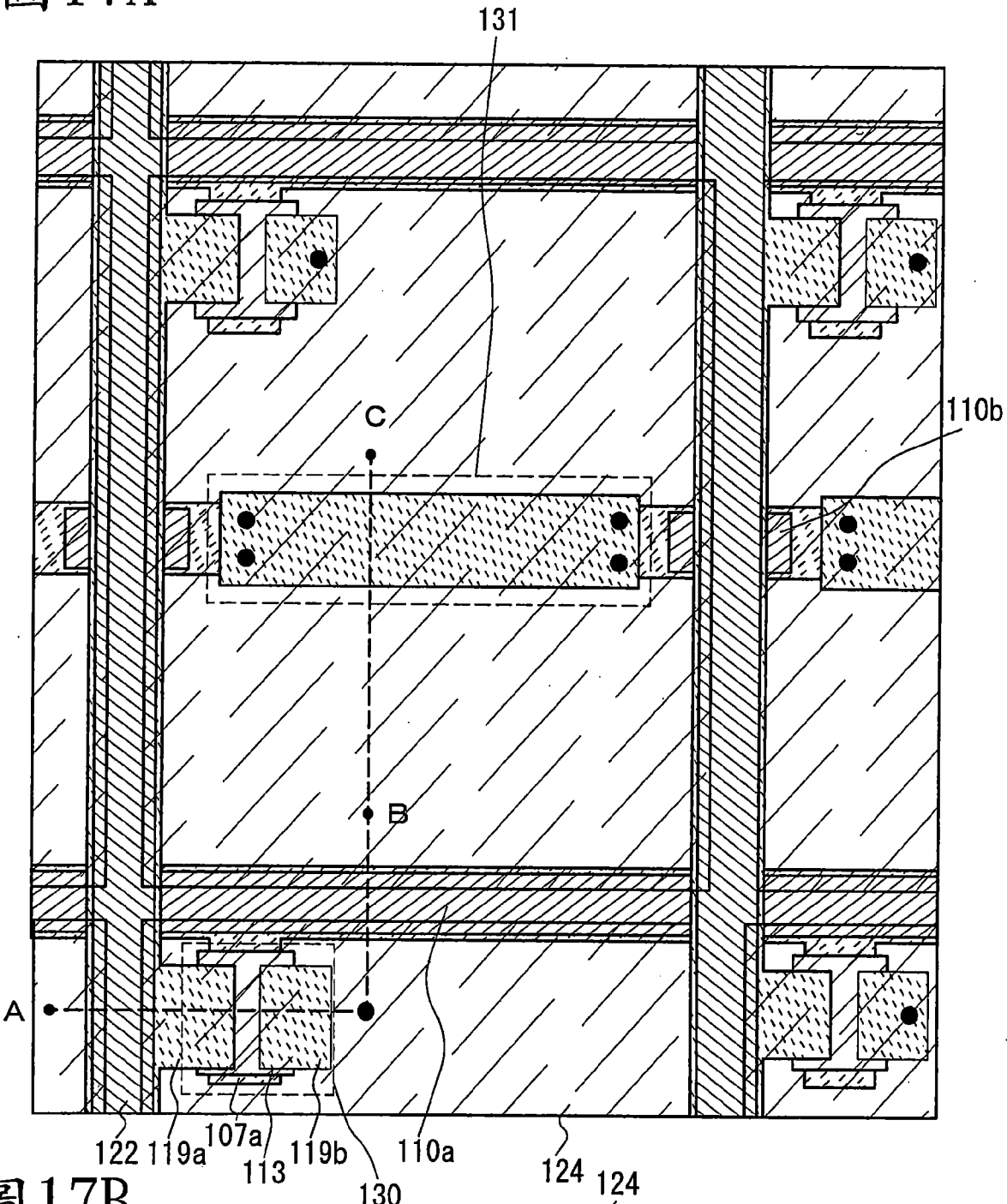


圖 17B

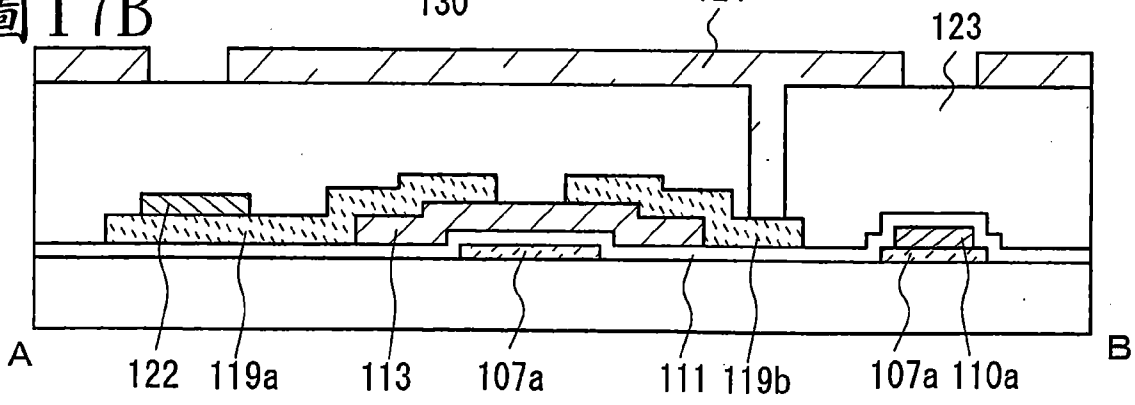


圖18A

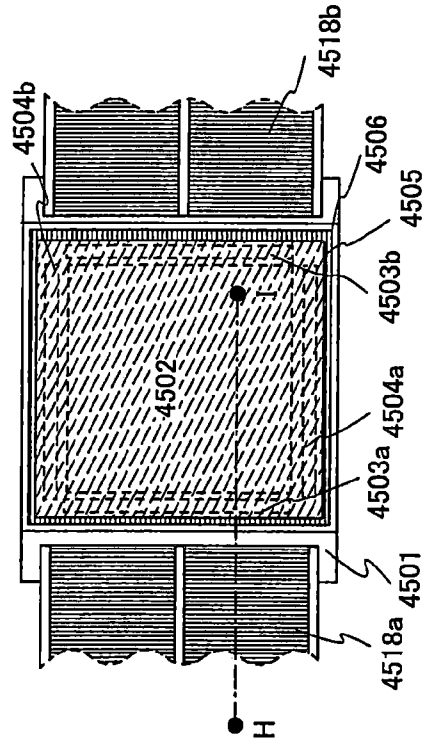


圖18B

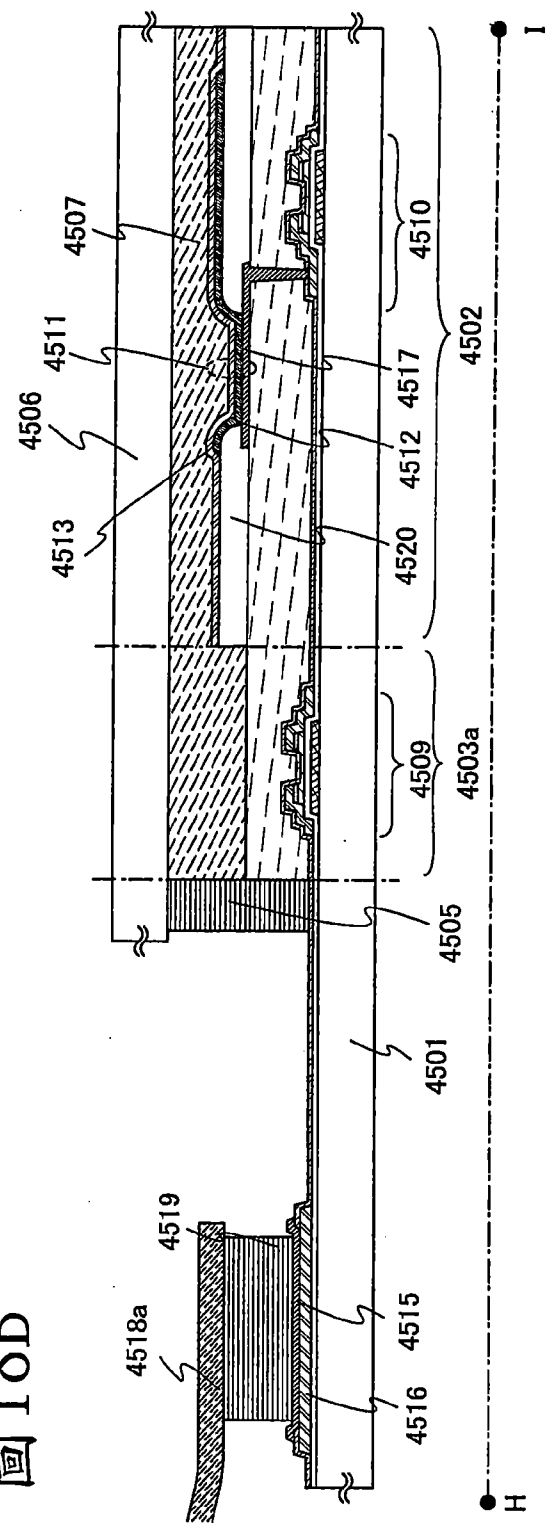


圖 19

