



(12) 发明专利

(10) 授权公告号 CN 101542696 B

(45) 授权公告日 2011. 01. 26

(21) 申请号 200780044289. 5

(22) 申请日 2007. 11. 27

(30) 优先权数据

324494/2006 2006. 11. 30 JP

168298/2007 2007. 06. 26 JP

(85) PCT申请进入国家阶段日

2009. 05. 31

(86) PCT申请的申请数据

PCT/JP2007/072832 2007. 11. 27

(87) PCT申请的公布数据

W02008/066030 JA 2008. 06. 05

(73) 专利权人 株式会社神户制钢所

地址 日本兵库县

(72) 发明人 后藤裕史 富久胜文 日野绫

奥野博行 中井淳一 川上信之

越智元隆

(74) 专利代理机构 中科专利商标代理有限责任

公司 11021

代理人 李贵亮

(51) Int. Cl.

H01L 21/3205(2006. 01)

C23C 14/14(2006. 01)

C23C 14/34(2006. 01)

H01L 21/285(2006. 01)

H01L 23/52(2006. 01)

H01L 29/786(2006. 01)

(56) 对比文件

JP 9186238 A, 1997. 07. 15, 全文.

JP 2006261636 A, 2006. 09. 28, 说明书第 7 页第(0034) — 第 18 页第(0119), 附图 1 — 20.

WO 9713885 A1, 1997. 04. 17, 全文.

审查员 王磊

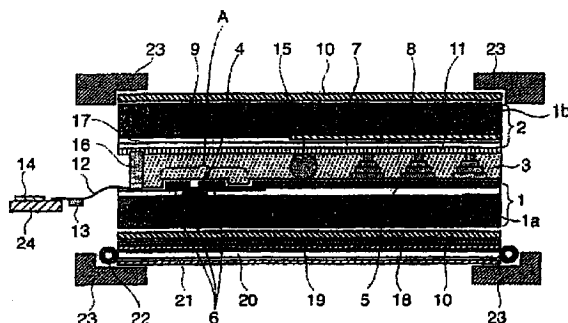
权利要求书 1 页 说明书 25 页 附图 12 页

(54) 发明名称

显示装置用 Al 合金膜、显示装置以及溅射靶材

(57) 摘要

本发明提供显示装置用 Al 合金膜、使用该 Al 合金膜的显示装置及显示装置用的溅射靶材, 所述显示装置用 Al 合金膜在基板上与导电性氧化膜直接连接, Al 合金膜含有 Ge0.05 ~ 0.5 原子%, 含有 Gd 及 / 或 La 合计为 0.05 ~ 0.45 原子%。本发明的 Al 合金膜未设置阻挡金属, 即使导电性氧化膜和 Al 合金膜直接连接, 导电性氧化膜和 Al 合金膜之间的粘接性也很高、接触电阻率低, 优选干法刻蚀性能优异。



1. 一种显示装置用 Al 合金膜, 其为在基板上与导电性氧化膜直接连接的显示装置用 Al 合金膜,

所述 Al 合金膜含有 0.05 ~ 0.5 原子% Ge, 且以合计 0.05 ~ 0.35 原子% 的量含有 Gd 及 / 或 La, 干法刻蚀特性得到了提高。

2. 一种显示装置用 Al 合金膜, 其为在基板上与非晶质 Si 层或多结晶 Si 层直接连接的显示装置用 Al 合金膜,

所述 Al 合金膜含有 0.05 ~ 0.5 原子% Ge, 且以合计 0.05 ~ 0.35 原子% 的量含有 Gd 及 / 或 La, 干法刻蚀特性得到了提高。

3. 根据权利要求 1 或 2 所述的显示装置用 Al 合金膜, 其中, 还含有 0.05 ~ 0.35 原子% Ni, 且 Ge 和 Ni 的含量合计为 0.1 ~ 0.45 原子%。

4. 一种显示装置, 其具有权利要求 1 ~ 3 中任一项所述的显示装置用 Al 合金膜和薄膜晶体管。

5. 一种显示装置, 其中, 权利要求 1 ~ 3 中任一项所述的显示装置用 Al 合金膜被用于薄膜晶体管的栅电极及扫描线中, 且与导电性氧化膜直接连接。

6. 一种显示装置, 其中, 权利要求 1 ~ 3 中任一项所述的显示装置用 Al 合金膜被用于薄膜晶体管的源电极及 / 或漏电极以及信号线中, 且与导电性氧化膜、以及 / 或者非晶质 Si 层或多结晶 Si 层直接连接。

7. 根据权利要求 4 ~ 6 中任一项所述的显示装置, 其中, 所述薄膜晶体管的源电极及 / 或漏电极以及信号线由与所述薄膜晶体管的栅电极及扫描线相同的材料构成。

8. 根据权利要求 4 ~ 6 中任一项所述的显示装置, 其中, 所述导电性氧化膜由含有选自氧化铟、氧化锌、氧化锡以及氧化钛中的至少一种的复合氧化物形成。

9. 根据权利要求 4 ~ 6 中任一项所述的显示装置, 其中, 显示装置用 Al 合金膜的电阻率为 $4.5 \mu \Omega \cdot \text{cm}$ 以下。

10. 一种溅射靶材, 其为用于形成显示装置用 Al 合金膜的溅射靶材, 其中, 含有 0.05 ~ 0.5 原子% Ge, 且以合计 0.05 ~ 0.35 原子% 的量含有 Gd 及 / 或 La。

11. 根据权利要求 10 所述的溅射靶材, 其中, 还含有 0.05 ~ 0.35 原子% Ni, 且 Ge 和 Ni 的含量合计为 0.1 ~ 0.45 原子%。

显示装置用 Al 合金膜、显示装置以及溅射靶材

技术领域

[0001] 本发明涉及液晶显示器、半导体、光学部件等使用的显示装置用 Al 合金膜、显示装置、以及显示装置用的溅射靶材，特别涉及含有 Al 合金膜作为构成要素的新型配线材料。

背景技术

[0002] 从小型的手机到超过 30 英寸的大型电视机的各种领域中所使用的液晶显示装置（液晶显示器），根据像素的驱动方式不同，可分为单纯的矩阵型液晶显示装置和主动式矩阵型液晶显示装置。其中，具有作为开关元件的薄膜晶体管（Thin Film Transistor、以下称为 TFT）的主动式矩阵型液晶显示装置，因其可实现高精度的画质，还可应对高速图像等，所以得到了广泛应用。

[0003] 参照图 1 对应用于主动式矩阵型液晶显示装置中的代表性的液晶显示器的构成及工作原理进行说明。在此，作为活性半导体层，将使用氢化非晶硅的 TFT 基板（以下有时称为非晶硅 TFT 基板。）作为代表例进行说明，但并不限于此，也可以为使用多晶硅的 TFT 基板。

[0004] 如图 1 所示，液晶显示器具备 TFT 基板 1、与 TFT 基板 1 对向配置的对向基板 2 以及在 TFT 基板 1 和对向基板 2 之间配置的作为光调制层发挥作用的液晶层 3。TFT 基板 1 具有在绝缘性的玻璃基板 1a 上配置的 TFT4，透明像素电极 5，包含扫描线、信号线的配线部 6。透明像素电极 5 由氧化铟（ In_2O_3 ）中含有 10 质量％左右的氧化锡（SnO）的氧化铟·锡（ITO）膜等导电性氧化膜形成。TFT 基板 1 由通过 TAB 带 12 连接的驱动电路 13 及控制电路 14 驱动。

[0005] 对向基板 2 中，在 TFT 基板 1 的一侧具有在绝缘性的玻璃基板 1b 的整面上形成的公共电极 7、在与透明像素电极 5 对向的位置上配置的彩色过滤器 8、以及在与 TFT 基板 1 上的 TFT4 及配线部 6 对向的位置上配置的遮光膜 9。对向基板 2 上还具有用于使液晶层 3 中含有的液晶分子（未图示）向规定的方向取向的取向膜 11。

[0006] 在 TFT 基板 1 及对向基板 2 的外侧（液晶层 3 一侧的相反侧）上分别配置有偏振板 10。

[0007] 液晶显示器中，在对向电极（未图示）和透明像素电极 5 之间形成的电场的作用下，液晶层 3 中的液晶分子的取向方向受到控制，透过液晶层 3 的光被调制。因此，透过对向基板 2 的光受到控制而显示图像。

[0008] 接着，参照图 2，对在液晶显示器中优选使用的以往非晶硅 TFT 基板的构成及工作原理进行详细说明。图 2 为图 1 中 A 的主要部分的扩大图。

[0009] 如图 2 所示，在玻璃基板（未图示）上形成扫描线（栅极配线）25，扫描线 25 的一部分作为控制 TFT 的开·关的栅电极 26 发挥作用。形成的栅极绝缘膜（氮化硅膜）27 覆盖住栅电极 26。以隔着栅极绝缘膜 27 与扫描线 25 交叉的方式形成信号线（源极-漏极配线）34，信号线 34 的一部分作为 TFT 的源电极 28 发挥作用。在栅极绝缘膜 27 上依次形成

非晶硅通道膜（活性半导体膜、未图示）、信号线（源极－漏极配线）34、层间绝缘氮化硅膜（保护膜）30。通常将该类型称为底栅型。

[0010] 非晶硅通道膜由未掺杂 P（磷）的固有层（又称为 i 层、无掺杂层）和掺杂了 P 的掺杂层（n 层）构成。在栅极绝缘膜 27 上的像素区域例如配置有用 In_2O_3 中含有 SnO 的 ITO 膜所形成的透明像素电极 5。TFT 的漏电极 29 与透明像素电极 5 电连接。

[0011] 经过扫描线 25 供给栅电极 26 栅电压时，TFT4 处于开通状态，预先供给信号线 34 的驱动电压从源电极 28 开始，经过漏电极 29 供给透明像素电极 5。而且，向透明像素电极 5 供给规定水平的驱动电压时，如图 1 中说明的那样，在透明像素电极 5 和对向电极之间产生电位差，结果液晶层 3 中含有的液晶分子进行取向进行光调制。

[0012] 从电阻率低、微细加工容易等理由来考虑，在 TFT 基板 1 中，与透明像素电极 5 电连接的信号线（像素电极用信号线）、与源电极 28－漏电极 29 电连接的源极－漏极配线 34、与栅电极 26 电连接的扫描线 25，均由纯 Al、或 Al-Nd 等 Al 合金薄膜（以下在背景技术项中称为 Al 系薄膜）形成，在其上面及其下面，如图 2 所示，形成了由 Mo、Cr、Ti、W 等高熔点金属形成的阻挡金属层 51、52、53、54。

[0013] 在此，在透明像素电极 5 上隔着阻挡金属层 54 连接 Al 系薄膜的理由是，将 Al 系薄膜与透明像素电极 5 直接连接时连接电阻（接触电阻）上升，画面的显示品位降低。即这是因为构成与透明像素电极直接连接的配线的 Al 非常容易被氧化，在液晶显示器的成膜过程中产生的氧、成膜时添加的氧等作用下，在 Al 系薄膜和透明像素电极的界面上生成 Al 氧化物的绝缘层。此外，构成透明像素电极的 ITO 虽是导电性金属氧化物，但因上述生成的 Al 氧化物层的影响，不能进行电欧姆连接。

[0014] 但是，为了形成阻挡金属层，除形成栅电极、源电极、进而漏电极的必要的成膜用溅射装置外，还必须额外装备阻挡金属形成用的成膜室。伴随着液晶显示器的大量生产，低成本化不断进步，因此不能轻视伴随阻挡金属层的形成而产生的制造成本上升、生产效率降低的问题。

[0015] 因此，有人提出了可省略阻挡金属层的形成的可将 Al 系薄膜与透明像素电极直接连接的电极等的配线材料、制造方法。

[0016] 例如专利文献 1 中公开了：作为透明像素电极的材料，使用氧化铟中含有 10 质量％左右的氧化锌的氧化铟锌（IZO）膜的技术。但是，根据该技术必须将现在最普及的 ITO 膜改变为 IZO 膜，所以材料成本上升。

[0017] 在专利文献 2 中公开了：对漏电极进行等离子体处理、离子注入，对漏电极的表面进行改性的方法。但是，根据该方法，因为要附加用于表面处理的工序，所以生产效率降低。

[0018] 此外，专利文献 3 中公开了：作为栅电极、源电极及漏电极，使用纯 Al 或 Al 的第 1 层，和纯 Al 或 Al 中含有 N、O、Si、C 等杂质的第 2 层的方法。根据该方法，虽然有使用相同的成膜室可连续形成构成栅电极、源电极、及漏电极的薄膜的优点，但额外增加了形成含有上述杂质的第 2 层的工序。并且，在源极－漏极配线中导入杂质的过程中，因为混入杂质的膜和未混入杂质的膜的热膨胀系数之间的差别，源极－漏极配线的堆积物成鳞片状从室壁面脱落的现象频繁发生，为了防止该现象，需要频繁地停止成膜工序进行维修，生产效率显著降低。

[0019] 鉴于上述情况，公开了下述方法，即：在可省略阻挡金属层的同时，不增加工序数

量而是简化工序数量,可将 Al 合金膜直接并且确切地连接在透明像素电极上的方法(专利文献 4)。在专利文献 4 中,作为合金成分,使用含有选自 Au、Ag、Zn、Cu、Ni、Sr、Ge、Sm、及 Bi 中的至少一种为 0.1 ~ 6 原子%的 Al 合金,通过使这些合金成分的至少一部分在该 Al 合金膜和透明像素电极的界面上作为析出物或浓缩层而存在,从而解决了上述课题。

[0020] 在专利文献 4 中,例如为 Al-Ni 系合金时,在 250℃ 热处理 30 分钟后的电阻率低,Al-2 原子% Ni 为 $3.8 \mu\Omega \cdot \text{cm}$, Al-4 原子% Ni 为 $5.8 \mu\Omega \cdot \text{cm}$, Al-6 原子% Ni 为 $6.5 \mu\Omega \cdot \text{cm}$ 。如果使用这样将电阻率抑制变低的 Al 合金膜,因为可减少显示装置消费的电力,所以非常有用。此外,如果电极部分的电阻率降低,由电阻和电容的积决定的时间常数也减小,即使将显示屏大型化,也可保证高度的显示品位。但是,上述 Al-Ni 系合金的耐热温度均低,大约为 150 ~ 200℃。

[0021] 专利文献 5 中公开了下述薄膜晶体管基板,即具有薄膜晶体管和透明像素电极,Al 合金膜和导电性氧化膜不经过高熔点金属直接连接,在其直接连接界面上 Al 合金成分的一部分或全部析出或浓缩存在的薄膜晶体管基板。Al 合金膜,作为合金成分由 Al- α -X 合金组成,该 Al- α -X 合金含有 0.1 原子%以上 6 原子%以下的属于 α 组的元素、及在 0.1 原子%以上 2.0 原子%以下的范围的属于 X 组的元素, α 组为选自 Ni、Ag、Zn、Cu、及 Ge 中至少一种元素,X 组为选自 Mg、Cr、Mn、Ru、Rh、Pd、Ir、Pt、La、Ce、Pr、Gd、Tb、Sm、Eu、Ho、Er、Tm、Yb、Lu、及 Dy 中的至少一种元素。

[0022] 如果使用该薄膜晶体管基板,可省略阻挡金属层,同时在不增加工序数的情况下,可将 Al 合金膜直接且确切地连接在由导电性氧化膜组成的像素电极上。此外,对于 Al 合金膜,例如应用约 100℃ 以上 300℃ 以下的低热处理温度时,可达到像素电极间的电阻率的降低和良好的耐热性。具体记载了:例如采用 250℃ × 30 分钟的低温热处理时,不产生凸起(hillock)等缺陷的情况下,该 Al 系合金薄膜的电阻率可达到 $7 \mu\Omega \cdot \text{cm}$ 以下。

[0023] 专利文献 6 中记载了作为添加元素含有 Ge 0.2 ~ 1.5 原子%,进而含有 Ni 0.2 ~ 2.5 原子%,剩余部分为 Al 而组成的配线膜用 Al 合金膜,但根据专利文献 6 的表 1,难于满足低电阻率和良好的表面状态这两方面。

[0024] 另一方面,近年来液晶显示器在进行高画质化、高精细化的同时,Al 合金膜电极用配线的微细化(线幅微细化)也在不断进步,与此相伴,配线形成的方法,正在由以往广泛使用的湿法刻蚀法(通过药液刻蚀进行配线图案化的方法)逐渐转化为干法刻蚀法(通过反应性等离子体刻蚀进行配线图案化的方法)。湿法刻蚀法,因为发生药液旋转进入作为图案化的掩模的抗蚀膜的下侧而刻蚀配线侧壁的现象,所以难于控制配线尺寸·形状。而干法刻蚀法,因为可进行精密的刻蚀,所以在配线的微细加工方面良好。根据干法刻蚀,可形成线幅为 $2 \mu\text{m}$ 以下的微细配线。此外,如果在 TFT 制作的整个刻蚀工序中进行干法刻蚀,可期待生产效率的提高。

[0025] 在此,作为干法刻蚀处理中优选的电极用膜/配线用膜,专利文献 7 中公开了 Al 中含有大于 0.1 原子%且小于等于 1.0 原子% Nd 的 Al-Nd 系合金薄膜。但是,该 Al 合金薄膜并不能与透明像素电极直接连接。

[0026] 专利文献 1:日本专利特开平 11-337976 号公报

[0027] 专利文献 2:日本专利特开平 11-283934 号公报

[0028] 专利文献 3:日本专利特开平 11-284195 号公报

- [0029] 专利文献 4 : 日本专利特开 2004-214606 号公报
[0030] 专利文献 5 : 日本专利特开 2006-261636 号公报
[0031] 专利文献 6 : 日本专利特开 2005-171378 号公报
[0032] 专利文献 7 : 日本专利特开 2004-55842 号公报

发明内容

[0033] 近年来,从改善成品率及提高生产效率的观点来看,制造显示装置时的过程温度有逐渐低温化的趋势。例如非晶硅 TFT 的源极-漏极电极材料,要求低电阻率和高耐热性,该要求规格目前为止,电阻率为 $7\mu\Omega\cdot\text{cm}$ 左右以下,耐热温度为 250°C 左右。该耐热温度由对于源极-漏极电极在制造工序中施加的最高温度决定,将该最高温度作为在电极上作为保护膜而形成的绝缘膜的形成温度。最近,通过提高成膜技术在低温下也可获得所期望的绝缘膜,特别是源极-漏极电极上的保护膜,在 220°C 左右也可成膜。

[0034] 因此,在可将漏电极和透明像素电极直接连接的配线材料的基础上,还要求耐热温度为 220°C 水平、且电阻率为 $4.5\mu\Omega\cdot\text{cm}$ 左右以下和电阻率十分低、优选干法刻蚀性能良好的配线材料。

[0035] 但是,尚不知道这种兼具低电阻率和高耐热性、优选干法刻蚀性能良好、可与透明像素电极直接连接的 Al 系配线材料。

[0036] 例如上述日本专利特开 2004-214606 号公报中公开的 Al 合金膜,虽然具有低的电阻率,但耐热温度低。

[0037] 此外,上述日本专利特开 2006-261636 号公报中公开的 Al 合金膜,在 250°C 加热下为 $7\mu\Omega\cdot\text{cm}$ 左右并不能说很充分。

[0038] 因此认为以往的 Al-Nd 合金等 Al 合金膜,如果过程温度降低,则如下所示,因为金属间化合物的析出及结晶成长不能充分进行,所以不会得到低的电阻率,如果减少 Nd 的添加量,过程温度即使降低,虽然可得到低的电阻率,但析出物减少,结晶进行成长,容易发生凸起,耐热温度降低。

[0039] 下面对该点进行详细说明。

[0040] Al 合金膜通常采用溅射法形成,根据该方法,在 Al 中超过固溶限度而添加的合金成分以强制固溶状态存在。含有固溶状态的合金元素的 Al 合金的电阻率,通常较纯 Al 高。相对于此,超过固溶限度含有合金元素的 Al 合金膜,加热时合金成分作为金属间化合物在粒界析出,进一步加热时进行 Al 的重结晶,产生 Al 的结晶成长。此时金属间化合物的析出温度及结晶成长的温度,因合金元素的不同而不同,但通过合金成分(金属间化合物)的析出和结晶成长,该 Al 合金膜的电阻率均降低。

[0041] 通过加热进行结晶成长时,膜内部的压缩应力变大,进一步加热使结晶继续成长时,最终因无法承受,应力缓和,所以 Al 扩散到膜表面上产生凸起(hillock)(疙瘩状突起物)。合金化,通过在粒界析出的金属间化合物来抑制 Al 的扩散、防止凸起(hillock)的发生,具有提高耐热性的作用。以往利用这种现象使合金成分析出和结晶成长,逐步实现了 Al 合金膜的电阻率降低和高耐热性这两种性质的并存。

[0042] 但是,如上所述过程温度降低时,以往的合金成分中金属间化合物的析出不能充分进行,其结果结晶成长不能继续,电阻率难于降低。

[0043] 以上以液晶显示装置为代表进行举例说明,但上述课题并不限于液晶显示装置,是非晶硅 TFT 基板中通常遇到的课题。此外,上述课题,作为 TFT 的半导体层,除非晶硅之外,在使用多晶硅时也会遇到。

[0044] 另一方面,如上所述,Al 合金膜除上述特性之外,还要求有良好的干法刻蚀性能,但全部具有这些特性的 Al 合金薄膜,尚未有提供。

[0045] 本发明是注意到上述情况而实施的发明,其目的是提供以下技术:可省略阻挡金属层,同时不增加而是简化工序数量,不仅将 Al 合金膜直接且确切地连接在由导电性氧化膜组成的透明像素电极上,而且对于 Al 合金膜,即使在更短时间应用更低的热处理温度时,也可实现透明像素电极间的电阻率的降低和良好的耐热性、优选干法刻蚀性能也良好的技术。具体提供以下的 TFT 基板及显示装置:作为电阻率和耐热性的目标,例如采用 $220^{\circ}\text{C} \times 20$ 分钟的更短时间且更低温的热处理时,在不产生凸起(hillock)等缺陷的情况下,可进一步降低该 Al 系合金薄膜的电阻率,可适合处理温度的低温化的 TFT 基板及显示装置,以及对显示装置的制造有用的 Al 系合金薄膜形成用的溅射靶材。

[0046] 可解决上述课题的本发明的显示装置用 Al 合金膜,是在基板上与导电性氧化膜直接连接的显示装置用 Al 合金膜,该 Al 合金膜含有 Ge 0.05 ~ 0.5 原子%,含有 Gd 及 / 或 La 合计为 0.05 ~ 0.45 原子%。Gd、La 可分别单独含有 0.05 ~ 0.45 原子%,也可合计含有 0.05 ~ 0.45 原子%。

[0047] 可解决上述课题的本发明的其他的显示装置用 Al 合金膜,是在基板上与非晶质 Si 层或多结晶 Si 层直接连接的显示装置用 Al 合金膜,该 Al 合金膜含有 Ge 0.05 ~ 0.5 原子%,含有 Gd 及 / 或 La 合计为 0.05 ~ 0.45 原子%。也可分别单独含有 Gd、La 0.05 ~ 0.45 原子%,也可合计含有 0.05 ~ 0.45 原子%。

[0048] 在此,如果形成含有 Gd 及 / 或 La 合计为 0.05 ~ 0.35 原子%的显示装置用 Al 合金膜,干法刻蚀特性可进一步提高。

[0049] 上述显示装置用 Al 合金膜,进一步优选调整为含有 Ni 0.05 ~ 0.35 原子%,且 Ge 和 Ni 的含量合计为 0.45 原子%以下。

[0050] 可解决上述课题的本发明的显示装置,具有上述 Al 合金膜和薄膜晶体管。

[0051] 可解决上述课题的本发明的其他显示装置中的上述 Al 合金膜被用于薄膜晶体管的栅电极及扫描线中,且与导电性氧化膜直接连接。

[0052] 可解决上述课题的本发明的其他显示装置中的上述 Al 合金膜被用于薄膜晶体管的源电极及 / 或漏电极及信号线中,与导电性氧化膜及 / 或非晶质 Si 层或多结晶 Si 层直接连接。

[0053] 上述薄膜晶体管的源电极及 / 或漏电极及信号线优选为与上述薄膜晶体管的栅电极及扫描线相同的材料形成的构成。

[0054] 上述导电性氧化膜优选含有选自氧化铟、氧化锌、氧化锡以及氧化钛中的至少一种的复合氧化物形成。

[0055] 显示装置用 Al 合金膜的电阻率优选为 $4.5 \mu \Omega \cdot \text{cm}$ 以下。

[0056] 可解决上述课题的本发明的溅射靶材含有 Ge 0.05 ~ 0.5 原子%,含有 Gd 及 / 或 La 合计为 0.05 ~ 0.45 原子%。可分别单独含有 0.05 ~ 0.45 原子% Gd、La,也可合计含有 0.05 ~ 0.45 原子%。

[0057] 上述溅射靶材进一步优选调整为含有 Ni0.05 ~ 0.35 原子%，且 Ge 和 Ni 的含量合计为 0.45 原子%以下。

[0058] 根据本发明，可提供：不介在阻挡金属层，可将 Al 合金膜与由导电性氧化膜组成的透明像素电极直接连接，并且应用约 220℃ 的比较低的热处理温度时，确保十分低的电阻率和良好耐热性的显示装置用 Al 合金膜，使用该 Al 合金膜的显示装置。上述热处理温度是指，例如 TFT（薄膜晶体管）阵列的制造工序中为最高温的热处理温度，在通常的显示装置的制造工序中，是指用于形成各种薄膜的 CVD 成膜时的基板的加热温度、使保护膜热硬化时的热处理炉的温度等。

[0059] 例如如果将本发明使用的 Al 合金膜应用于源极-漏极电极的配线材料上，可省略图 2 所示的阻挡金属层 54。此外，如果将本发明使用的 Al 合金膜应用于栅电极及其配线材料上，可省略图 2 所示的阻挡金属层 51、52。

[0060] 进一步通过控制 Gd 及 / 或 La 的含量，在上述特性的基础上，也可使干法刻蚀性能进一步提高。

[0061] 如果使用本发明的显示装置用 Al 合金膜，可获得生产效率良好、廉价、且高性能的显示装置。

附图说明

[0062] 图 1 为表示应用非晶硅 TFT 基板的代表性的液晶显示器的构成的概略截面扩大说明图。

[0063] 图 2 为表示以往代表性的非晶硅 TFT 基板的构成的概略截面说明图。

[0064] 图 3 为表示本发明的第 1 实施方式涉及的 TFT 基板的构成的概略截面说明图。

[0065] 图 4 为将图 3 所示的 TFT 基板的制造工序的一例按照顺序表示的说明图。

[0066] 图 5 为将图 3 所示的 TFT 基板的制造工序的一例按照顺序表示的说明图。

[0067] 图 6 为将图 3 所示的 TFT 基板的制造工序的一例按照顺序表示的说明图。

[0068] 图 7 为将图 3 所示的 TFT 基板的制造工序的一例按照顺序表示的说明图。

[0069] 图 8 为将图 3 所示的 TFT 基板的制造工序的一例按照顺序表示的说明图。

[0070] 图 9 为将图 3 所示的 TFT 基板的制造工序的一例按照顺序表示的说明图。

[0071] 图 10 为将图 3 所示的 TFT 基板的制造工序的一例按照顺序表示的说明图。

[0072] 图 11 为将图 3 所示的 TFT 基板的制造工序的一例按照顺序表示的说明图。

[0073] 图 12 为表示本发明的第 2 实施方式涉及的 TFT 基板的构成的概略截面说明图。

[0074] 图 13 为将图 12 所示的 TFT 基板的制造工序的一例按照顺序表示的说明图。

[0075] 图 14 为将图 12 所示的 TFT 基板的制造工序的一例按照顺序表示的说明图。

[0076] 图 15 为将图 12 所示的 TFT 基板的制造工序的一例按照顺序表示的说明图。

[0077] 图 16 为将图 12 所示的 TFT 基板的制造工序的一例按照顺序表示的说明图。

[0078] 图 17 为将图 12 所示的 TFT 基板的制造工序的一例按照顺序表示的说明图。

[0079] 图 18 为将图 12 所示的 TFT 基板的制造工序的一例按照顺序表示的说明图。

[0080] 图 19 为将图 12 所示的 TFT 基板的制造工序的一例按照顺序表示的说明图。

[0081] 图 20 为表示测定 Al 合金膜和透明导电膜间的接触电阻率（连接电阻率）时使用的开尔文（Kelvin）模式（TEG 模式）的图。

- [0082] 图 21 为表示 Al 合金膜和透明导电膜间的接触电阻率的图。
- [0083] 图 22 为表示 Al 合金膜的加热处理时间和电阻率的相关性的图。
- [0084] 图 23 为表示用于评价 Si 直接接触特性的 TEG 的图。
- [0085] 图 24 为表示 TFT 的漏极电流 - 栅极电压开关特性的图。
- [0086] 图 25 为实施例 6 中使用的干法刻蚀用装置的概略图。
- [0087] 图 26 为实施例 6 中将刻蚀时间和刻蚀后的纯 Al 膜或 Al 合金膜的厚度之间的关系制作的图形。
- [0088] 图 27 为实施例 7 中将 Al 合金膜中的 Ge 量和刻蚀率比的关系制作的图形。
- [0089] 图 28 为实施例 7 中将 Al 合金膜中的 Gd 量 /La 量和刻蚀率比的关系制作的图形。
- [0090] 图 29 为实施例 7 中将 Al 合金膜中的 Ni 量和刻蚀率比的关系制作的图形。
- [0091] 符号说明
- [0092] 1 TFT 基板
- [0093] 2 对向基板
- [0094] 3 液晶层
- [0095] 4 薄膜晶体管 (TFT)
- [0096] 5 透明像素电极
- [0097] 6 配线部
- [0098] 7 公共电极
- [0099] 8 彩色过滤器
- [0100] 9 遮光膜
- [0101] 10a、10b 偏振板
- [0102] 11 取向膜
- [0103] 12 TAB 带
- [0104] 13 驱动电路
- [0105] 14 控制电路
- [0106] 15 间隔件
- [0107] 16 密封材料
- [0108] 17 保护膜
- [0109] 18 扩散板
- [0110] 19 棱镜片
- [0111] 20 导光板
- [0112] 21 反射板
- [0113] 22 背光
- [0114] 23 保持框
- [0115] 24 印刷基板
- [0116] 25 扫描线
- [0117] 26 栅电极
- [0118] 27 栅极绝缘膜
- [0119] 28 源电极

- [0120] 29 漏电极
- [0121] 30 保护膜（氮化硅膜）
- [0122] 31 光致抗蚀剂
- [0123] 32 接触孔
- [0124] 33 非晶硅通道膜（活性半导体膜）
- [0125] 34 信号线（源极－漏极配线）
- [0126] 51、52、53、54 阻挡金属层
- [0127] 55 无掺杂氢化非晶硅膜（a-Si-H）
- [0128] 56n⁺ 型氢化非晶硅膜（n⁺a-Si-H）
- [0129] 61 腔室
- [0130] 62 电介质窗
- [0131] 63 天线
- [0132] 64 高频电力（天线侧）
- [0133] 65 匹配器（天线侧）
- [0134] 66 过程气体导入口
- [0135] 67 基板（被刻蚀材料）
- [0136] 68 感受器
- [0137] 69 电介质卡盘
- [0138] 70 彩色
- [0139] 71 匹配器（基板侧）
- [0140] 72 高频电力（基板侧）

具体实施方式

[0141] 本发明者为了提供可与由导电性氧化膜组成的透明像素电极、薄膜晶体管的源电极、漏电极、栅电极等各种电极直接连接并且施加约 220℃ 比较低的热处理温度时，可兼具十分低的电阻率和良好的耐热性，优选干法刻蚀性能也良好的新型配线材料，进行了精心研究。特别是本发明者基于即使在比上述日本特开 2006-261636 号公报中记载的热处理条件更低的低温、短时间的条件下，可进一步降低 Al 系合金薄膜的电阻率，同时可进一步改善耐热性的观点，反复进行了讨论。其结果发现如果在日本特开 2006-261636 号公报记载的属于 α 组的合金成分中特别是在特定的范围内含有 Ge，且使用规定量的作为第 3 成分的 Gd 及 / 或 La，可达到所期望的目的，于是完成了本发明。

[0142] 根据本发明，因为在 Al 合金膜中作为合金成分含有规定量的 Ge，所以形成 Al 合金膜后的过程中的热处理即使为比较低的温度且为短时间，也可抑制使 Al 合金膜和透明像素电极、薄膜晶体管的源电极・漏电极・栅电极等各种电极之间的接触电阻降低。此外，如下所述，添加 Ge 的 Al 合金膜，与添加日本特开 2006-261636 号公报记载的 α 组中含有的 Ni、Ag、Zn、Cu 的 Al 合金膜相比，接触电阻的偏差小。

[0143] 进而，根据本发明，因为在 Al 合金膜中作为提高耐热性的元素含有规定量的 Gd 及 / 或 La，所以可确保即使经过 220℃～300℃ 的加热处理也不产生凸起 (hillock) 等的良好的耐热性。此外，如果适当控制 Gd 及 / 或 La 的含量、Ni 的含量，干法刻蚀性也可得到提

高。

[0144] 因此根据本发明,可提供兼具充分低的电阻率和十分高的耐热性、优选干法刻蚀性能也良好的可与透明像素电极直接连接的配线材料。

[0145] 本说明书中的“干法刻蚀”,是指除去刻蚀对象物(层间绝缘膜),除此之外还意味着接触孔到达 Al 合金膜上之后,为了使 Al 合金膜的表面清洁,将 Al 合金膜的表面暴露于刻蚀气体中。

[0146] 在本说明书中,“干法刻蚀性能良好”是指,(a)刻蚀后的残渣产生量少,且(b)刻蚀率比高。具体为:根据下述实施例中记载的方法评价上述(a)及(b)的特性时,将满足(a)不产生刻蚀后的残渣、(b)刻蚀率比为 0.3 以上的性质称为“干法刻蚀性能良好”。满足这些特性的,因为干法刻蚀性能良好,所以可精确地进行配线尺寸・形状的控制。

[0147] 在此,“刻蚀率比”是等离子体照射下 Al 合金薄膜的刻蚀容易度的指标。在本说明书中,刻蚀率比,采用以刻蚀率良好的纯 Al 的刻蚀率为标准时的 Al 合金膜的刻蚀率的比(即:以 Al 合金膜的刻蚀率为 N1、以纯 Al 的刻蚀率为 N2 时的 N1/N2 的比)来表示。刻蚀率比越高,干法刻蚀处理时间越短,生产效率得到提高。

[0148] 首先对本发明的 Al 合金膜中使用的 Ge 的作用进行说明。

[0149] Ge,尤其对降低 Al 合金膜和透明像素电极间的接触电阻有用。具体为在 0.05 ~ 0.5 原子%的范围添加 Ge。使 Ge 的含量为 0.05 原子%以上,是为了发挥接触电阻降低效果。优选为 0.07 原子%以上,更优选为 0.1 原子%以上。另一方面,使 Ge 的含量为 0.5 原子%以下,是为了 Al 合金膜的电阻率不至于过高。优选为 0.4 原子%以下,更优选为 0.3 原子%以下。

[0150] 在此,对于 Ge 对 Al 合金膜的电阻产生的影响稍加详细地说明。

[0151] 在 Al 合金膜中添加 Ge 时,在比较低的热处理温度下,在 Al 合金膜和透明像素电极之间的连接界面上,因为形成含有 Ge 的析出物(含 Ge 析出物)或浓缩层(含 Ge 浓缩层),所以如下述实施例所示,在 220℃ 进行热处理 10 分钟时可使电阻率降低为大约 4.5 $\Omega \cdot \text{cm}$ 以下。

[0152] 此外,如下述实施例所示,如果 Ge 在上述范围内,也有良好的干法刻蚀性能。

[0153] 在此,“含 Ge 析出物”,是指析出了 Ge 的析出物,例如可例举 Al-Ge-Gd 合金或 Al-Ge-La 合金或 Al-Ge-Gd-La 合金中含有的 Ge 单体、或者 Al 和 Ge 和 Gd 的金属间化合物或 Al 和 Ge 和 La 的金属间化合物、或 Al 和 Ge 和 Gd 和 La 的金属间化合物。

[0154] 此外,“含 Ge 浓缩层”,是指该 Ge 浓缩层中的 Ge 的平均浓度为 Al-Ge-Gd 合金中或 Al-Ge-La 合金中或 Al-Ge-Gd-La 合金中的 Ge 的平均浓度的 2 倍以上(更优选为 2.5 倍以上)。

[0155] 此外,含有 Ge 的 Al 合金膜,通过热处理等超过 Al 合金膜中的 Ge 的固溶限度(0.1 原子%)的 Ge 在 Al 合金膜的粒界析出,其中一部分在 Al 合金膜的表面上扩散・浓缩,形成 Ge 浓缩层。这种 Ge 浓缩层也包含在上述“含 Ge 浓缩层”内。此外,例如进行接触孔的刻蚀时,因为 Ge 的卤素化合物比 Al 的蒸汽压低,因此难于挥发,所以处于在 Al 合金膜的表面上残留的状态,该合金膜表层部的 Ge 的浓度变为比 Al 系合金本体材料的 Ge 的浓度高的状态。这种形式也包含在上述“含 Ge 浓缩层”内。此外,通过适当地控制刻蚀条件,Al 系合金薄膜表层部的 Ge 的浓度、含 Ge 浓缩层的厚度发生改变。此时,根据作为第三成分利用的

Gd、或 La,有时其一部分被浓缩于表层侧,这种形式也包括在上述“含 Ge 浓缩层”内。

[0156] 上述含 Ge 浓缩层的厚度优选为 0.5nm 以上、10nm 以下,更优选为 1.0nm 以上、5nm 以下。

[0157] 此外,如下所示,在 220℃进行 10 分钟热处理后的 Al-Ge 合金的二元系合金的电阻率非常低,进而在该 Al-Ge 合金中添加第 3 成分时,电阻率有上升的趋势。因此,仅以电阻率的降低为目的时,利用 Al-Ge 合金的二元系合金即可,但如上所述,耐热性降低为约 150℃左右。因此,如本发明那样以提供同时兼具低电阻率和高耐热性的配线材料为目的时,Al-Ge 合金的二元系合金是不充分的,如以下说明的那样,要使用 Al-Ge-Gd 合金或 Al-Ge-La 合金的三元系合金、或 Al-Ge-Gd-La 合金的四元系合金。

[0158] 通过使用 Al-Ge-Gd 合金或 Al-Ge-La 合金的三元系合金或 Al-Ge-Gd-La 合金的四元系合金,Al 合金膜的耐热性显著得到提高,可有效防止 Al 合金膜表面上形成凸起(hillock)。为了获得实际的耐热性效果,需要 Gd、La 的含量为 0.05 原子%以上。优选为 0.1 原子%以上。另一方面,使 Gd、La 的含量过多时,使 Al 合金膜的电阻率上升太多,所以含量的上限为 0.45 原子%,更优选为 0.4 原子%、进一步优选为 0.3 原子%。这些元素,可单独添加,也可 2 种以上并用。添加 2 种以上的元素时,只要各元素的合计含量满足上述范围即可。

[0159] 此外,如果考虑干法刻蚀性能的提高,优选使 Gd 及 / 或 La 的含量上限为 0.35 原子%。如下述实施例所示,超过 0.35 原子%时,除刻蚀率比降低之外,在干法刻蚀后有产生残渣的可能性。仅考虑干法刻蚀性能时,优选 Gd 及 / 或 La 的含量上限较小。希望全部实现 Al 合金膜的电阻率降低、耐热性提高、干法刻蚀性能提高时,优选使 Gd 及 / 或 La 的含量大约为 0.1 原子%以上 0.30 原子%以下。

[0160] 进而在 Al-Ge-Gd 合金或 Al-Ge-La 合金的三元系合金或 Al-Ge-Gd-La 合金的四元系合金中添加 Ni 时,可降低 Al 合金膜与透明像素电极、或 Al 合金膜与源电极・漏电极・栅电极的各种电极间的接触电阻。为了发挥这样的效果,优选含有 Ni 为 0.05 原子%以上。更优选为 0.07 原子%以上、进一步优选为 0.1 原子%以上。另一方面, Ni 的含量过多时, Al 合金膜的电阻率增加太多,所以 Ni 含量的上限优选 0.35 原子%、更优选 0.3 原子%、进一步优选 0.25 原子%、再进一步优选 0.20 原子%。

[0161] 此外,如果 Ni 量在上述范围内,因为刻蚀后不产生残渣,可得到高的刻蚀率比,所以发挥良好的干法刻蚀性能(参照下述实施例)。

[0162] 此外,Al-Ge-Gd 合金或 Al-Ge-La 合金的三元系合金、或 Al-Ge-Gd-La 合金的四元系合金各自含有 Ni 时,优选 Ge 和 Ni 的合计含量在 0.1 ~ 0.45 原子%的范围内。Ge 和 Ni 的合计量低于 0.1 原子%时,不能抑制使 Al 合金膜和透明像素电极间的接触电阻降低,上述 Ge 及 Ni 的作用不能有效发挥。另一方面,即使 Ge、Ni 的单一含量满足上述范围,Ge 和 Ni 的合计量超过 0.6 原子%时,刻蚀率比也会降低(参照下述实施例)。Ge 和 Ni 的合计量上限更优选为 0.35 原子%,进一步优选为 0.30 原子%以下。

[0163] 以下参照图面对本发明涉及的 TFT 基板的优选实施方式进行说明。以下以具备非晶硅 TFT 基板或多晶硅 TFT 基板的液晶显示装置为代表进行举例说明,但本发明并不限于此,可在适合上・下所述宗旨的范围内进行变更实施,这些均包含于本发明的技术范围内。通过实验确认,本发明中使用的 Al 系合金膜也可同样应用于例如反射型液晶显示装置

等的反射电极、用于向外部输出输入信号使用的 TAB (Tab) 连接电极。

[0164] (实施方式 1)

[0165] 参照图 3, 对非晶硅 TFT 基板的实施方式进行详细说明。

[0166] 图 3 为说明本发明涉及的底栅型 TFT 基板的优选实施方式的概略截面说明图。图 3 中附加有与表示以往 TFT 基板的上述图 2 相同的参考序号。

[0167] 对比图 2 和图 3 可知, 以往的 TFT 基板中, 如图 2 所示, 在扫描线 25 上面、栅电极 26 上面、源极-漏极电极配线 34 的上面或下面, 分别形成阻挡金属层 51、52、54、53。而本实施方式的 TFT 基板, 可省略阻挡金属层 51、52、54。即: 根据本实施方式, 可以不用象以往那样介存阻挡金属层, 就将 TFT 的源极-漏极电极 29 中使用的配线材料与透明像素电极 5 直接连接, 通过这样可实现与以往 TFT 基板同等程度以上的良好的 TFT 特性 (参照下述实施例)。

[0168] 此外, 如本实施方式那样, 将本发明中使用的配线材料应用于源极-漏极电极及栅电极的配线材料。例如如果将本发明的配线材料应用于栅电极的配线材料, 可省略阻挡金属层 51、52。确认在这些实施方式中也可实现与以往 TFT 基板同等程度以上的良好的 TFT 特性。

[0169] 此外, 参照图 4~图 11, 对图 3 所示的本发明涉及的非晶硅 TFT 基板的制造方法的一例进行说明。在此, 作为在源极-漏极电极及其配线中使用的材料, 使用 Al-0.2 原子% Ge-0.2 原子% Gd 合金。此外, 作为栅电极及其配线中使用的材料, 使用 Al-0.2 原子% Ge-0.35 原子% Gd 合金。薄膜晶体管为使用氢化非晶硅作半导体层的非晶硅 TFT。图 4~图 11 中附加有与图 3 相同的参考符号。

[0170] 首先, 在玻璃基板 (透明基板) 1a 上, 采用溅射法, 将厚度 200nm 左右的 Al-0.2 原子% Ge-0.35 原子% Gd 合金成膜。溅射的成膜温度为 150℃。通过将该膜图案化, 形成栅电极 26 及扫描线 25 (参照图 4)。此时, 在下述图 5 中, 为了使栅极绝缘膜 27 的覆盖范围良好, 可将上述层叠薄膜的四周预先刻蚀成约 30°~40° 的圆锥状。

[0171] 接着, 如图 5 所示, 例如使用等离子体 CVD 等方法, 用厚度约 300nm 左右的氧化硅膜 (SiO_x) 形成栅极绝缘膜 27。等离子体 CVD 法的成膜温度约为 350℃。接着, 例如使用等离子体 CVD 等方法, 在栅极绝缘膜 27 上面, 将厚度 50nm 左右的氢化非晶硅膜 (a-Si-H) 55 及厚度 300nm 左右的氮化硅 (SiN_x) 成膜。

[0172] 接着, 通过将栅电极 26 进行掩模的背面曝光, 如图 6 所示将氮化硅膜 (SiN_x) 图案化, 形成通道保护膜。进一步在其上面将掺杂了磷的厚度为 50nm 左右的 n⁺ 型氢化非晶硅膜 (n⁺a-Si-H) 56 成膜后, 如图 7 所示, 将氢化非晶硅膜 (a-Si-H) 55 及 n⁺ 型氢化非晶硅膜 (n⁺a-Si-H) 56 图案化。

[0173] 接着, 在其上采用溅射法, 依次层叠厚度 50nm 左右的 Mo 膜 53 和厚度 300nm 左右的 Al-0.2 原子% Ge-0.2 原子% Gd 合金膜 28、29 和厚度 50nm 左右的 Mo 膜 (未图示)。溅射成膜温度为 150℃。接着如图 8 所示通过图案化, 形成与信号线一体的源电极 28、与像素电极 5 直接连接的漏电极 29。进而将源电极 28 及漏电极 29 作为掩模, 将通道保护膜 (SiN_x) 上的 n⁺ 型氢化非晶硅膜 (n⁺a-Si-H) 56 通过干法刻蚀除去。

[0174] 接着, 如图 9 所示, 例如使用等离子体 CVD 装置等, 将厚度 300nm 左右的氮化硅膜成膜, 形成保护膜。此时的成膜温度, 例如在 220℃ 左右进行。接着在氮化硅膜 30 上形成光

致抗蚀剂层 31 后,将氮化硅膜 30 图案化,例如采用干法刻蚀等在氮化硅膜 30 上形成接触孔 32。同时,形成在面板端部与栅电极上的 TAB 连接对应部分形成接触孔(未图示)。

[0175] 接着,例如经过利用氧等离子体的灰化工序后,如图 10 所示,例如使用胺系等剥离液将光致抗蚀剂层 31 剥离。最后例如在保存时间(8 小时左右)的范围内,如图 11 所示,例如将厚度 40nm 左右的 ITO 膜成膜,通过进行利用湿法刻蚀的图案化而形成透明像素电极 5。同时在面板端部与栅电极的 TAB 连接的部分,将与 TAB 结合的 ITO 膜图案化,完成 TFT 阵列基板 1。

[0176] 这样制作的 TFT 基板,漏电极 29 和透明像素电极 5 直接接触,并且栅电极 26 和 TAB 连接用的 ITO 膜也直接接触。

[0177] 上述中作为透明像素电极 5,使用了 ITO(氧化铟锡)膜,但也可用含有氧化铟、氧化锌、氧化锡、氧化钛中的至少一种的复合氧化物。例如也可使用 IZO 膜(InOx-ZnOx 系导电性氧化膜)。此外,作为活性半导体层,也可用多晶硅代替非晶硅(参照下述实施方式 2)。

[0178] 使用这样获得的 TFT 基板,例如根据以下记载的方法,可完成上述图 1 所示的液晶显示装置。

[0179] 首先在上述制作的 TFT 基板 1 的表面上,例如涂布聚酰亚胺,干燥后进行摩擦处理形成取向膜。

[0180] 另一方面,对向基板 2,在玻璃基板上通过例如将铬(Cr)图案化成矩阵形状,形成遮光膜 9。接着在遮光膜 9 的间隙,形成树脂制的红、绿、蓝的彩色过滤器 8。在遮光膜 9 和彩色过滤器 8 上面,通过配置 ITO 膜之类的透明导电性膜作为公共电极 7 从而形成对向电极。接着在对向电极的最上层例如涂布聚酰亚胺,干燥后进行摩擦处理形成取向膜 11。

[0181] 接着,将 TFT 基板 1 和对向基板 2 的形成有取向膜 11 的面分别对向配置,利用树脂制等的密封材料 16,除液晶的封入口之外,把 TFT 基板 1 和对向基板 2 片粘贴在一起。此时,通过使间隔件 15 介于 TFT 基板 1 和对向基板 2 之间等,使 2 枚基板间保持大致一定的缝隙。

[0182] 将这样获得的空单元(cell)放置于真空中,在封入口浸渍于液晶内的状态下,缓慢恢复到大气压,通过这样将含有液晶分子的液晶材料注入到空单元内,形成液晶层,封住封入口。最后,在空单元外侧的两面粘贴上偏振板 10,完成液晶显示器。

[0183] 接着,如图 1 所示,使驱动液晶显示装置的驱动电路 13 与液晶显示器电连接,配置于液晶显示器的侧部或背面部。然后将包含作为液晶显示器的显示面的开口的保持框 23、和成为面光源的背光 22 以及导光板 20,通过保持框 23 保持液晶显示器,完成液晶显示装置。

[0184] (实施方式 2)

[0185] 参照图 12,对多晶硅 TFT 基板的实施方式进行详细说明。

[0186] 图 12 为说明本发明涉及的顶栅型 TFT 基板的优选实施方式的概略截面说明图。图 12 中附加有与表示以往 TFT 基板的上述图 2 相同的参考序号。

[0187] 本实施方式与上述实施方式 1 的主要不同之处为:作为活性半导体层,使用多晶硅代替非晶硅这一点,不用底栅型而用顶栅型的 TFT 基板这一点,以及不是作为源极-漏极电极及栅电极的配线材料,而是作为源极-漏极电极的配线材料使用了满足本发明的要素的 Al-0.2 原子% Ge-0.2 原子% Gd 合金这一点。详细地说,图 12 所示的本实施形态的多

晶硅 TFT 基板,活性半导体膜由未掺杂磷的多晶硅膜 (poly-Si) 和离子注入磷或砷 (As) 的多晶硅膜 (n^+ poly-Si) 形成,在这一点与上述图 3 所示的非晶硅 TFT 基板不同。此外,信号线经过层间绝缘膜 (SiO_x) 与扫描线交叉而形成。

[0188] 根据本实施方式,可省略阻挡金属层 54。即在不象以往那样介在阻挡金属层的情况下,就可将 TFT 的源极-漏极电极 29 中使用的配线材料和透明像素电极 5 直接连接,通过实验确认,这样也可实现与以往 TFT 基板同等程度以上的良好的 TFT 特性。

[0189] 在本实施方式中,如果将上述合金应用于栅电极的配线材料中,可省略阻挡金属层 51、52。此外,如果将上述合金应用于源极-漏极电极及栅电极的配线材料中,可省略阻挡金属层 51、52、54。确认其中可实现与以往 TFT 基板同等程度以上的良好的 TFT 特性。

[0190] 接着,参照图 13~图 19,对图 12 所示的本发明涉及的多晶硅 TFT 基板的制造方法的一例进行说明。在此,作为源极-漏极电极及其配线材料,使用了 Al-0.2 原子% Ge-0.2 原子% Gd 合金。薄膜晶体管为使用多晶硅膜 (poly-Si) 作为半导体层的多晶硅 TFT。图 13~图 19 中附加有与图 12 相同的参考符号。

[0191] 首先,在玻璃基板 1a 上,例如采用等离子体 CVD 法等,在基板温度约 300°C 左右,将厚度 50nm 左右的氮化硅膜 (SiN_x)、厚度 100nm 左右的氧化硅膜 (SiO_x)、及厚度约 50nm 左右的氢化非晶硅膜 (a-Si-H) 成膜。接着,为了使氢化非晶硅膜 (a-Si-H) 多晶硅化,进行热处理 (约 470°C 1 小时左右) 及激光退火。进行脱氢处理后,例如用准分子激光退火装置,通过在氢化非晶硅膜 (a-Si-H) 上照射能量约 $230\text{mJ}/\text{cm}^2$ 左右的激光,获得厚度约 $0.3\mu\text{m}$ 左右的多晶硅膜 (poly-Si) (图 13)。

[0192] 接着,如图 14 所示,通过等离子体刻蚀等使多晶硅膜 (poly-Si) 形成图案。如图 15 所示,将厚度约 100nm 左右的氧化硅膜 (SiO_x) 成膜,形成栅极绝缘膜 27。在栅极绝缘膜 27 的上面通过溅射等,层叠厚度约 200nm 左右的 Al-2 原子% Nd 合金薄膜及厚度约 50nm 左右的 Mo 薄膜 52 后,采用等离子体刻蚀等方法形成图案。由此可形成与扫描线成为一体的栅电极 26。

[0193] 接着,如图 16 所示,用光致抗蚀剂 31 形成掩模,例如利用离子注入装置等,例如在 50keV 左右掺杂磷为 1×10^{15} 个 $/\text{cm}^2$ 左右,在多晶硅膜 (poly-Si) 的一部分中形成 n^+ 型多晶硅膜 (n^+ poly-Si)。接着,剥离光致抗蚀剂 31,例如通过在 500°C 左右进行热处理使磷扩散。

[0194] 接着,如图 17 所示,例如利用等离子体 CVD 装置等,在基板温度约 250°C 左右将厚度 500nm 左右的氧化硅膜 (SiO_x) 成膜,在形成层间绝缘膜后,同样使用由光致抗蚀剂形成图案的掩模,将层间绝缘膜 (SiO_x) 和栅极绝缘膜 27 的氧化硅膜进行干法刻蚀,形成接触孔。利用溅射将厚度 50nm 左右的 Mo 膜 53 和厚度 450nm 左右的 Al-0.2 原子% Ge-0.2 原子% Gd 合金薄膜成膜后,进行图案化,从而形成与信号线成为一体的源电极 28 及漏电极 29。其结果,源电极 28 和漏电极 29,各自通过接触孔与 n^+ 型多晶硅膜 (n^+ poly-Si) 接触。

[0195] 接着,如图 18 所示,利用等离子体 CVD 装置等,在基板温度 220°C 左右将厚度 500nm 左右的氮化硅膜 (SiN_x) 成膜,形成层间绝缘膜。在层间绝缘膜上形成光致抗蚀剂层 31 后,使氮化硅膜 (SiN_x) 形成图案,例如通过干法刻蚀在氮化硅膜 (SiN_x) 上形成接触孔 32。

[0196] 接着,如图 19 所示,例如经过利用氧等离子体的灰化工序后,与上述实施方式 1

同样进行,使用胺系剥离液等剥离光致抗蚀剂后,将 ITO 膜成膜,利用湿法刻蚀进行形成图案,形成像素电极 5。

[0197] 这样制作的多晶硅 TFT 基板中,漏电极 29 与透明像素电极 5 直接接触。因为在构成漏电极 29 的 Al-0.2 原子% Ge-0.2 原子% Gd 合金薄膜和像素电极 5 间的界面上形成了 Ge 浓缩层,接触电阻降低的同时 Ge 发生扩散,以单体析出,所以促进了 Al 的重结晶,Al 合金膜本身的电阻率也大幅降低。

[0198] 接着,为了使晶体管的特性稳定,例如在 220℃ 左右进行热处理 1 小时左右,完成多晶硅 TFT 阵列基板。

[0199] 根据第 2 实施方式涉及的 TFT 基板、及具有该 TFT 基板的液晶显示装置,可得到与前述第 1 实施方式涉及的 TFT 基板同样的效果。此外,第 2 实施方式中的 Al 合金,也可作为反射型液晶的反射电极使用。

[0200] 使用上述获得的 TFT 阵列基板,与上述实施方式 1 的 TFT 基板同样完成液晶显示装置。

[0201] 如上所述,本发明的 Al 合金膜的干法刻蚀性能良好。下面对干法刻蚀工序进行说明。

[0202] 干法刻蚀工序中,通常情况下,在真空容器内载置的基板上将含有 Cl_2 等卤素气体的原料气体利用高频电力进行等离子体化,另一方面,通过在载置有基板(被刻蚀材料)的感受器上施加另外的高频电力,在基板上引入等离子体中的离子,利用与反应性等离子体的离子辅助反应进行各向异性的图案化。

[0203] 例如作为刻蚀气体使用代表性的 Cl 气体时, Cl_2 气体等被等离子体解离生成 Cl 自由基。该 Cl 自由基的反应活性高,吸附于作为被刻蚀物的 Al 合金薄膜上,在该 Al 合金薄膜表面上生成氯化物。因为在形成了 Al 合金薄膜的基板上施加高频偏压,所以等离子体中的离子被加速射入到 Al 合金薄膜表面,在这种离子轰击效果的作用下氯化物进行蒸发,向载置有基板的真空容器外排气。

[0204] 为了高效进行干法刻蚀,优选生成的氯化物的蒸气压比较高。如果蒸气压高,通过 Al 合金薄膜的表面温度、离子轰击的物理性辅助作用,可使氯化物蒸发。与此相对,氯化物的蒸气压低时,氯化物不蒸发而是以生成时的状态直接残留在表面上,所以产生刻蚀残渣(干法刻蚀中产生的刻蚀残留)。

[0205] 本发明并不限定干法刻蚀处理的方法、干法刻蚀处理使用的装置等。例如使用图 25 所示的广泛使用的干法刻蚀用装置,可进行通常的干法刻蚀工序。下述实施例中,使用了图 25 所示的 ICP(诱导结合等离子体)式干法刻蚀装置。

[0206] 下面,对使用了图 25 的干法刻蚀用装置的代表性干法刻蚀处理进行说明,但并不限定于此。

[0207] 在图 25 的装置中,腔室 61 上部有电介质窗 62,电介质窗 62 的上面载置有 1 转向(1ターン)天线 63。图 25 的等离子体发生装置被称为电介质窗 62 为平板型的 TCP(Transfer Coupled Plasma)的装置。13.56MHz 的高频电力 64 经过匹配器 65 被导入到天线 63 内。

[0208] 腔室 61 有过程气体的导入口 66,由此导入含有 Cl_2 等卤素气体的刻蚀气体。基板(被刻蚀材料)67 载置于感受器 68 上。感受器 68 成为静电卡盘 69,可利用从等离子体流

入基板内的电荷,通过静电力夹住。在感受器 68 的周边载置有称为石英玻璃的彩色 70 的材料。

[0209] 被导入到室 61 内的卤素气体,在向位于电介质窗 62 上的天线 63 施加高频电力而产生的电介质磁场的作用下,处于激发状态,形成等离子体。

[0210] 进而,经过匹配器 71 向感受器 68 内导入 400kHz 的高频电力 72,向被感受器 68 载置的基板(被刻蚀材料)67 上施加高频偏压。在该高频偏压的作用下,等离子体中的离子各向异性地进入基板内,可进行垂直刻蚀等各向异性刻蚀。

[0211] 干法刻蚀工序中使用的刻蚀气体(过程气体,可代表性地例举卤素气体、卤素气体的硼化物、以及稀有气体的混合气体。混合气体的组成并不限于这些,例如可进一步添加溴化氢、四氟化碳等。

[0212] 混合气体的流量比无特别限定,例如使用 Ar 和 Cl_2 和 BCl_3 的混合气体时,优选调整为大约 $\text{Ar} : \text{Cl}_2 : \text{BCl}_3 = 300\text{sccm} : 120\text{sccm} : 60\text{sccm}$ 的附近。

[0213] 在本发明中,干法刻蚀可在 Al 合金薄膜、Si 半导体层的刻蚀、以及形成接触孔的全部工序中使用,因此可提高生产效率。但是本发明的宗旨并不限于此,例如可在接触孔的底部临到达 Al 合金膜之前,进行湿法刻蚀,在接触孔形成工序的最终阶段转化为干法刻蚀。接触孔形成工序的大部分利用湿法刻蚀进行,可将多数 TFT 基板进行统一处理。但是,如果在接触孔形成的全部工序中进行干法刻蚀,可提高生产效率。

[0214] 实施例

[0215] 下面例举实施例对本发明进行更加具体地说明,当然本发明并不限于下述实施例,在适合上述、下述的宗旨范围内可实施适当的变更,这些均包含于本发明的技术范围内。

[0216] 对于表 1、表 2、及表 3 中所示的各种合金组成的 Al 合金膜,如以下所示,测定 Al 合金膜本身的电阻率、以及将 Al 合金膜与透明像素电极、或非晶质 Si 层、或多结晶 Si 层直接连接时的接触电阻率,同时检查加热 Al 合金膜时的耐热性。

[0217] Al 合金膜的上述各种特性,在下述条件下进行测定。

[0218] (1) 透明像素电极的构成:在氧化铟中加入 10 质量%氧化锡的氧化铟锡(ITO)、或在氧化铟中加入 10 质量%氧化锌的氧化铟锌(IZO)

[0219] (2) Al 合金膜的形成条件:

[0220] 环境气体=氩、压力=3mTorr、厚度=200nm

[0221] (3) Al 合金膜中的各合金元素的含量:

[0222] 供给实验的各种 Al 合金中各合金元素的含量,根据 ICP 发光分析(诱导结合等离子体发光分析)法求出。

[0223] (实验例 1)

[0224] 作为 Al 合金膜,准备 Al-0.3 原子% α -0.35Gd 原子% ($\alpha = \text{Ni, Ge, Ag, Zn, Cu}$) 5 种试样,分别测定与 ITO 膜的接触电阻率。接触电阻的测定方法,制作图 20 所示的开尔文模式(接触孔大小:10 μm 方形),进行四端子测定(在 ITO-Al 合金或 IZO-Al 合金中通入电流,用另外的端子测定 ITO-Al 合金间或 IZO-Al 合金的电压降的方法)。具体为:在图 20 的 I_1 - I_2 间通入电流 I ,监测 V_1 - V_2 间的电压 V ,连接部 C 的接触电阻 R 用 $[R = (V_1 - V_2) / I_2]$ 求出。

[0225] 图 21 表示用 ITO 作透明像素电极时的结果。用 IZO 代替 ITO 时,也呈现与图 21 同样的趋势。由图 21 可知, $\alpha = \text{Ge}$ 时接触电阻率最低。而且,添加 Ge 的 Al 合金膜的接触电阻率的偏差最小,稳定性良好。(在图 21 中,接触电阻率用 $\blacklozenge$ 符号表示, $\blacklozenge$ 符号的上侧和下侧分别表示的棒状的符号表示误差棒)。

[0226] (实施例 2)

[0227] 作为 Al 合金膜,准备 Al-0.1 原子% Ge- β 原子% X(X = Nd、Gd、La、Dy、Y、 β , 参照表 1) 的 10 种试样,测定 Al 合金膜的耐热性。对测定方法进行说明。在上述 (2) 所示的条件下在玻璃基板上仅形成 Al 合金膜。接着形成 $10\mu\text{m}$ 宽的线与空间图案 (line and space pattern),在惰性气体环境中以 $50^\circ\text{C}/\text{分}$ 的速度缓慢加热,同时用光学显微镜进行观察,记录确认产生凸起时的温度(下面记为“凸起产生温度”)。将 5 次测定的凸起产生温度的平均值示于表 1 中。

[0228] 表 1

[0229]

试样 序号	Al 合金膜的组成			凸起产生温度 [$^\circ\text{C}$]
	Al-Ge-(X)	Ge (原子 %)	X (原子 %)	
1	Al-Ge-Y	0.1	0.10	170
2		0.1	0.50	430
3	Al-Ge-Nd	0.1	0.12	270
4		0.1	0.50	430
5	Al-Ge-La	0.1	0.10	320
6		0.1	0.50	430
7	Al-Ge-Dy	0.1	0.09	310
8		0.1	0.50	460
9	Al-Ge-Gd	0.1	0.08	340
10		0.1	0.50	430

[0230] 由表 1 可知,不论是何种添加元素 (X),在 0.5 原子%左右的组成范围,显示约 $430^\circ\text{C} \sim 460^\circ\text{C}$ 几乎相同的凸起产生温度,而在 0.1 原子%左右的低添加组成范围,凸起产生温度显示出差别,显然以 Gd、La 的顺序耐热性提高的效果提高。

[0231] (实验例 3)

[0232] 将表 2 所示的各种组成的 Al 合金膜在 220°C 进行加热处理,测定 Al 合金膜的电阻率。图 22 表示加热处理时间和 Al 合金膜的电阻率之间的相关性。由图 22 可知,如果延长加热处理时间,则 Al 合金膜的电阻率顺利降低,但 Gd、La 的添加量多时,电阻率不大降低。在加热时间 8 分左右的条件下,为了得到 $4.5\mu\Omega \cdot \text{cm}$ 左右的低电阻率,认为 Gd、La 的添加量,各自独立或合计为 0.45 原子%以下、优选为 0.4 原子%以下、更优选为 0.3 原子%以

下。
[0233]

表 2

试样序号	Al 合金膜的组成 (数值单位表示 原子%)	电阻率 [$\mu\Omega\cdot\text{cm}$] (Al 成膜后)	电阻率 [$\mu\Omega\cdot\text{cm}$] 220°C 加热时			
		0 分钟	3 分钟	5 分钟	8 分钟	30 分钟
1	Al-0.2Ge-0.20La	5.1	4.2	4.1	4.0	3.7
2	Al-0.2Ge-0.10Gd	5.0	4.0	3.8	3.6	3.4
3	Al-0.2Ge-0.20Gd	5.5	4.6	4.4	4.3	3.6
4	Al-0.1Ge-0.10Gd	4.8	4.0	3.9	3.8	3.6
5	Al-0.4Ge-0.20Gd	5.2	4.3	4.2	4.1	3.6
6	Al-0.2Ge-0.35Gd	6.2	5.2	4.7	4.4	4
7	Al-0.1Ge-0.50Gd	7.1	6	5.5	4.9	4

[0234] (实验例 4)

[0235] 在表 3 所示的各种组成的 Al-Ge-Gd 系膜、Al-Ge-La 系膜中,在 220°C 进行加热处理,测定 Al 合金膜的凸起密度和电阻率。凸起密度的测定,并不是象实验例 2 那样检查凸

起产生温度,而是在 220℃将试样加热处理 30 分钟后,计算 Al 合金膜表面上形成的凸起数量来进行。即:在上述 (2) 所示的条件下在玻璃基板上仅形成 Al 合金膜。接着,形成 10 μm 宽的线与空间图案,进行 220℃ $\times$ 30 分钟的真空加热处理后,用 SEM 观察配线表面,计算直径为 0.1 μm 以上的凸起的个数。该结果示于表 3 中。

[0236] 另一方面,将试样在 220℃加热 10 分钟后,采用开尔文模式,用四端子法测定电阻率。该结果也示于表 3 中。

[0237] 表 3

[0238]

试样 序号	Al 合金膜的组成 (数值的单位表示 原子%)	220°C × 30 分钟后的 凸起密度 (10^9 个/ m^2)	220°C × 10 分钟后的 电阻率 ($\mu \Omega \cdot cm$)
1	Al-0.2Ge-0.03Gd	1.9	3.4
2	Al-0.2Ge-0.12Gd	0.2	3.4
3	Al-0.2Ge-0.26Gd	0	3.9
4	Al-0.2Ge-0.03La	2.3	3.5
5	Al-0.2Ge-0.10La	0.9	4
6	Al-0.2Ge-0.20La	0.7	3.9
7	Al-0.2Ge-0.10Gd-0.2Ni	0	4.4
8	Al-0.2Ge-0.10Gd-0.3Ni	0	4.5
9	Al-0.1Ge	7.2	3.4
10	Al-0.2Ge	5.8	3.4
11	Al-0.2Ge-0.10Gd-0.2Zn	2.8	4
12	Al-0.2Ge-0.10Gd-0.4Zn	1.8	4.1

[0239] 由表 3 可知, Al-Ge-Gd 系材料、以及 Al-Ge-La 系材料中, Gd、La 的含量为 0.1 原子%以上时,抑制使凸起密度变小。在 Al 合金膜中进一步添加 Ni 时,具有提高耐热性的效果,但因为伴随有电阻率的增加,所以 Ni 的添加量受到限制。为了比较,表示 Al-Ge 系材料

(二元系)的凸起密度以及电阻率,不含 Gd、La 时耐热性显著降低。此外,Al-Ge-Gd-Zn 系材料,添加 Zn 时未确认有更好的耐热性改善效果。

[0240] (实验例 5)

[0241] 分别测定表 4 所示的各种 Al-Ge-X 膜和 ITO 膜的接触电阻率、以及 Si 直接接触特性。测定与 ITO 膜的接触电阻率时,采用实验例 1 所示的方法。对于表 4 所示的任何试样,均得到了 $2.00 \times 10^{-4} \Omega \cdot \text{cm}^2$ 以下的低接触电阻率。将试样序号 10、11、14 以及 15 的 Ni 和 Cu 与 Ge 复合添加时,接触电阻率降低的效果特别大。

[0242] 表 4

[0243]

试样序号	Al 合金膜的组成 (数值的单位表示 原子%)	ITO 接触电阻率 ($\times 10^{-4} \Omega \cdot \text{cm}^2$)	IZO 接触电阻率 ($\times 10^{-4} \Omega \cdot \text{cm}^2$)	Si 直接接触特性	
				ON 电流 ($\times 10^{-6} \text{ A}$)	OFF 电流 ($\times 10^{-11} \text{ A}$)
1	Al-0.04Ge	1.55	1.23	2.8	180.0
2	Al-0.08Ge	1.40	1.14	3.0	22.0
3	Al-0.2Ge	1.32	1.06	3.5	1.8
4	Al-0.2Ge-0.10Gd	1.14	0.90	2.7	0.6
5	Al-0.2Ge-0.20Gd	1.66	1.34	3.5	0.3
6	Al-0.2Ge-0.35Gd	1.92	1.53	3.7	0.4
7	Al-0.4Ge-0.20Gd	1.20	0.97	3.9	0.6
8	Al-0.2Ge-0.10La	1.99	1.60	2.2	0.3
9	Al-0.2Ge-0.20La	1.92	1.54	2.8	0.5
10	Al-0.1Ge-0.10Gd-0.20Ni	0.90	0.72	4.1	0.8
11	Al-0.1Ge-0.10Gd-0.3Ni	0.86	0.69	5.0	0.4
12	Al-0.1Ge-0.10Gd-0.2Zn	1.98	1.58	4.9	0.7
13	Al-0.1Ge-0.10Gd-0.4Zn	1.45	1.16	3.0	0.9
14	Al-0.1Ge-0.10Gd-0.2Cu	0.80	0.61	3.5	4900.0
15	Al-0.1Ge-0.10Gd-0.3Cu	0.70	0.55	4.5	6400.0

[0244] 另一方面, Si 直接接触特性(下述评价用 TEG 的正向电流、反向电流)分别按以下方法测定。首先, 使用溅射法以及等离子体 CVD 法, 在 Si 基板上制作具有图 23 所示的 TFT 的评价用 TEG。TFT 的栅极长度 L 为 $10 \mu\text{m}$ 、栅极宽度 W 为 $10 \mu\text{m}$ 。

[0245] 将制作的评价用 TEG 在 300℃实施加热处理 30 分钟。在实际的 TFT 的制造过程中,在 Al 合金膜形成时间之后加入加热过程,这是因为 Si 层-Al 合金膜间的相互扩散、界面反应进行时,会产生正向电流的降低及 / 或反向电流的增加。

[0246] 加热处理后测定 TFT 的漏极电流-栅极电压开关特性,特定其正向电流以及反向电流。该结果如图 24 所示。测定时的漏极电压为 10V。将反向电流定义为栅极电压为 -3V 时的电流值,正向电流定义为栅极电压为 20V 时的电压。

[0247] 关于正向电流,表 4 中所示的任何 Al 合金膜均为 2.0×10^{-6} [A] 以上,良好。

[0248] 另一方面,关于反向电流,试验序号 1~3 的 Al-Ge 二元系的 Al 合金膜、以及试样序号 14、试样序号 15 的含有 Cu 的 Al 合金膜中,超过 1.0×10^{-11} [A],反向电流显著增加。

[0249] 此外,作为 TFT 的半导体层,除非晶硅之外,使用多晶硅时也相同。

[0250] (实验例 6)

[0251] 在本实验例及下述实验例 7 中,检查本发明的 Al 合金膜具有良好的干法刻蚀性能。

[0252] 首先,在实验例 6 中检查本发明的 Al 合金膜具有与纯 Al 同等程度的高刻蚀率比。在此,作为本发明例,使用 Al-0.2 原子% Ge-0.10 原子% Gd。为了比较,纯 Al 外,还使用作为以往代表性的 Al 合金膜的 Al-2.0 原子% Ni。

[0253] 具体为:在直径 6 英寸、厚度 0.5mm 的无碱玻璃基板(康宁公司(Corning Incorporated) #1737 玻璃)上,在基板温度 250℃左右将厚度 200nm 的氧化硅(SiO_x)膜成膜后,将上述纯 Al 膜或 Al 合金膜在上述(2)所示的条件下成膜。接着,通过 g 线的光刻将正型光致抗蚀剂(线形酚醛系树脂;东京应化工业(株式会社)制 TSMR8900、厚度 1.0 μm)形成线幅 2.0 μm 的条纹形状。

[0254] 接着,使用上述图 25 所示的干法刻蚀装置,在下述刻蚀条件下进行干法刻蚀。

[0255] (刻蚀条件)

[0256] Ar/Cl₂/BCl₃:300sccm/120sccm/60sccm

[0257] 施加在天线上的电力(有源 RF):500W

[0258] 基板偏压:60W、

[0259] 过程压力(气体压):14mTorr

[0260] 基板温度:感受器的温度(20℃)

[0261] 刻蚀是在刻蚀深度为 100~300nm 的范围,改变刻蚀时间而进行,制作刻蚀深度不同的试样。接着,采用与氮化硅(SiN_x)膜的刻蚀同样的方法将抗蚀膜剥离后,使用触针式膜厚计(Vecco 公司制的“Dektak II”),测定纯 Al 或 Al 合金膜的刻蚀厚度。

[0262] 上述结果如图 26 所示。

[0263] 如图 26 所示,本发明的 Al-Ge-Gd 膜的刻蚀率比,比以往 Al-Ni 膜的高,确认与纯 Al 几乎同等程度。

[0264] (实验例 7)

[0265] 本实验例中,检查表 5 所示的各种 Al 合金膜的元素(Ge、Gd 及 / 或 La, Ni)对干法刻蚀性能产生的影响。干法刻蚀条件与上述实施例 6 相同。干法刻蚀性能按如下方法评价。

[0266] (刻蚀率比)

[0267] 与实施例 6 同样进行刻蚀,测定刻蚀后的纯 Al 膜及各 Al 合金膜的厚度(刻蚀厚度)。用最小二乘法统计处理这些结果,分别计算纯 Al 膜的刻蚀率(N2)及 Al 合金膜的刻蚀率(N1),将 N1/N2 之比作为“刻蚀率比”。

[0268] 在本实施例中,规定刻蚀率比为 0.3 以上合格(○)。

[0269] (干法刻蚀后有无残渣)

[0270] 对于各种 Al 合金膜,对于进行了认为需要到膜厚部分的刻蚀深度的刻蚀时间的 1.2 倍时间的刻蚀的试样,对剥离抗蚀剂后的玻璃基板的表面进行 SEM 观察(倍率 3000 倍),检查有无直径(相当于圆的直径)为 $0.5\mu\text{m}$ 以上的残渣。将测定视野设定为 5 视野,对上述基板表面进行多处测定时,将任何测定部位均未观察到上述残渣(零残渣)的视为合格(○)。

[0271] 在本实施例中,将刻蚀率比合格、且干法刻蚀后无残渣的判定为“干法刻蚀性能良好”。

[0272] 将所述结果总结记载于表 5 中。表 5 中设置有综合评价栏,满足上述两个特性的记上○,任何一个特性不合格的(×)记上×。

[0273] 此外,图 27 表示 Al 合金膜中的 Ge 量和刻蚀率比的关系,图 28 表示 Al 合金膜中的 Gd 量、La 量和刻蚀率比的关系,图 29 表示 Al 合金膜中的 Ni 量和刻蚀率比的关系。

[0274] 表 5

[0275]

试样序号	Al合金膜的组成 (数值的单位表示 原子%)	干法刻蚀特性		
		刻蚀残渣	刻蚀率比	综合评价
1	Al-0.5Ge-0.10Gd	○	○	○
2	Al-0.2Ge-0.10Gd	○	○	○
3	Al-0.2Ge-0.30Gd	○	○	○
4	Al-0.2Ge-0.40Gd	×	○	×
5	Al-0.2Ge-0.80Gd	×	×	×
6	Al-0.5Ge-0.10La	○	○	○
7	Al-0.2Ge-0.10La	○	○	○
8	Al-0.2Ge-0.30La	○	○	○
9	Al-0.2Ge-0.40La	×	○	×
10	Al-0.2Ge-1.00La	×	×	×
11	Al-0.2Ge-0.3Ni-0.30Gd	○	○	○
12	Al-0.2Ge-0.5Ni-0.30Gd	○	×	×
13	Al-0.2Ge-0.3Ni-0.30La	○	○	○
14	Al-0.2Ge-0.5Ni-0.30La	○	×	×

[0276] 如表5所示,满足本发明的要素的NO. 1~4的Al-Ge-Gd膜、NO. 6~9的Al-Ge-La膜、NO. 11的Al-Ge-Gd-Ni膜、及NO. 13的Al-Ge-La-Ni膜,均具有良好的干法刻蚀性能。

[0277] 与此相对,Gd量多的NO. 5的Al-Ge-Gd膜、La量多的NO. 10的Al-Ge-La膜均观察到了刻蚀后的残渣、并且刻蚀率比也降低。此外,NO. 12的Al-Ge-Gd-Ni膜、及NO. 14的Al-Ge-La-Ni膜均为Ni量多、且Ge和Ni的合计量多的例子,虽未观察到刻蚀后的残渣,但刻蚀率比降低。

[0278] 根据上述实验结果,考虑各元素对刻蚀率比产生的影响时,如下所述。

[0279] 首先,考察 Ge 对 Al-Ge-Gd 膜及 Al-Ge-La 膜产生的影响。

[0280] 如图 27 所示,Ge 量在本发明规定的范围内(0.05 ~ 0.5 原子%)时,刻蚀率比几乎不变,约为 0.6。此外,如表 5 所示,如果在上述范围内,未观察到刻蚀后的残渣。因此确认本发明的 Al 合金膜,与 Ge 的含量无关,均显示良好的干法刻蚀性能。

[0281] 接着,考察 Gd/La 对 Al-Ge-Gd 膜及 Al-Ge-La 膜产生的影响。

[0282] 由图 28 可知,随着 Gd 或 La 的含量的减少,刻蚀率比上升。为了满足本发明规定的刻蚀率比为 0.3 以上,需要使 Gd 及 / 或 La 的合计量的上限为 0.35 原子%以上,上限为 0.4 原子%时,未得到所期望的特性。

[0283] 接着考察 Ni 对 Al-Ge-Gd 膜及 Al-Ge-La 膜产生的影响。

[0284] Ni 也表现出与上述 Gd/La 同样的趋势,如图 29 所示,随着 Ni 含量的减少,刻蚀率比上升。为了满足本发明规定的刻蚀率比 0.3 以上,需要使 Ni 量的上限为 0.35 原子%,当上限为 0.4 原子%时,未得到所期望的特性。

[0285] 参照特定的方式对本发明进行了详细说明,但在不偏离本发明的精神和范围的情况下,可做各种变更和修改,这一点本领域技术人员应该明白。

[0286] 此外,本申请基于 2006 年 11 月 30 日申请的日本专利申请(特愿 2006-324494)、以及 2007 年 6 月 26 日申请的日本专利申请(特愿 2007-168298),通过引用而援用其全部内容。

[0287] 此外,在此引用的全部参照整体均被采纳。

[0288] 产业上利用的可能性

[0289] 根据本发明可提供显示装置用 Al 合金膜、使用其的显示装置,该显示装置用 Al 合金膜,在不介在阻挡金属层的情况下,可将 Al 合金膜与由导电性氧化膜组成的透明像素电极直接连接,且应用约 220°C 的比较低的热处理温度时,也可确保十分低的电阻率和良好的耐热性。

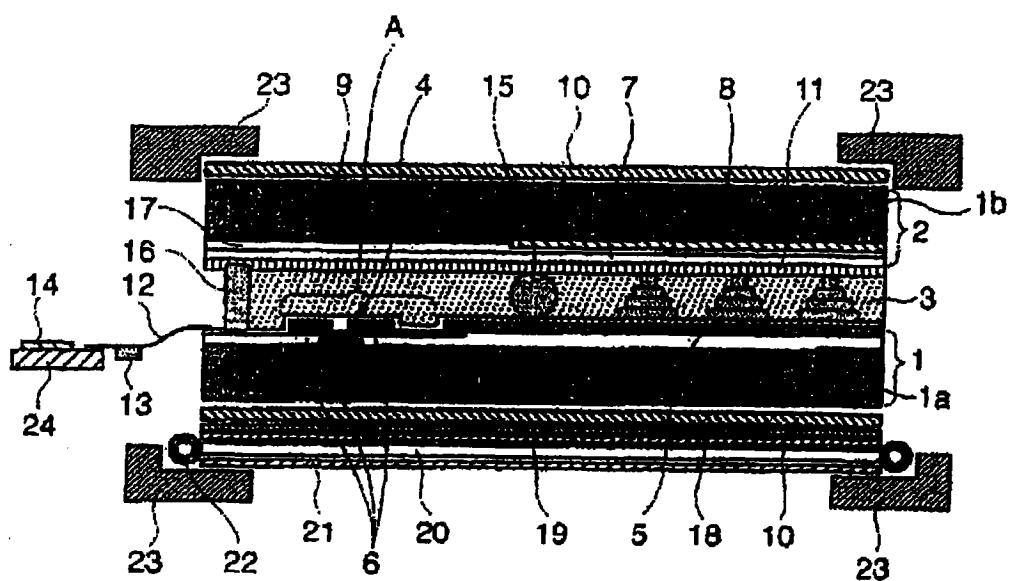


图 1

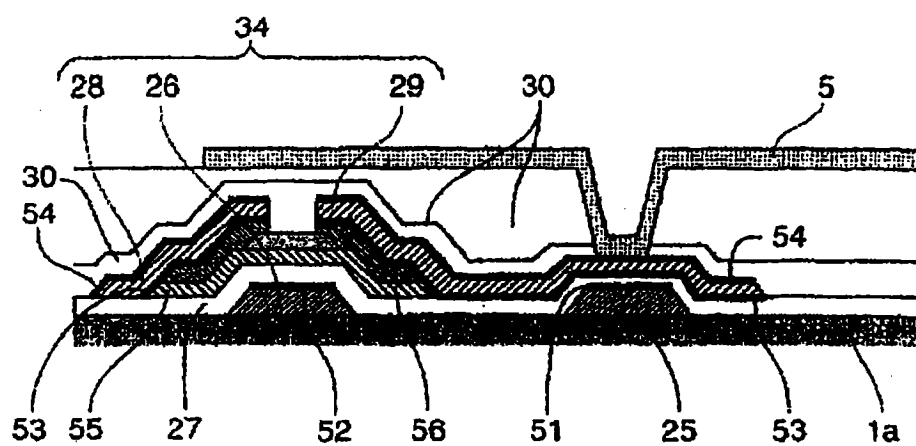
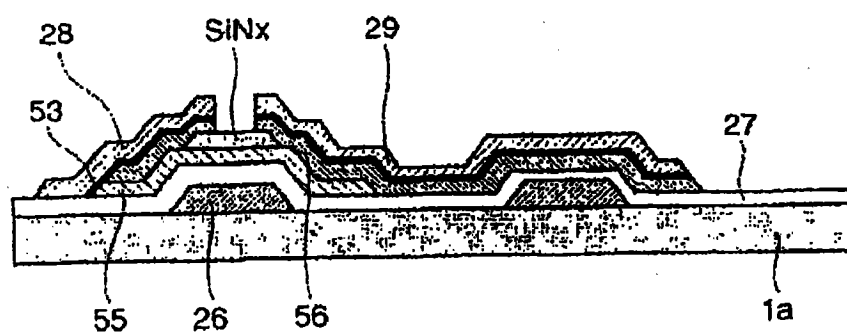
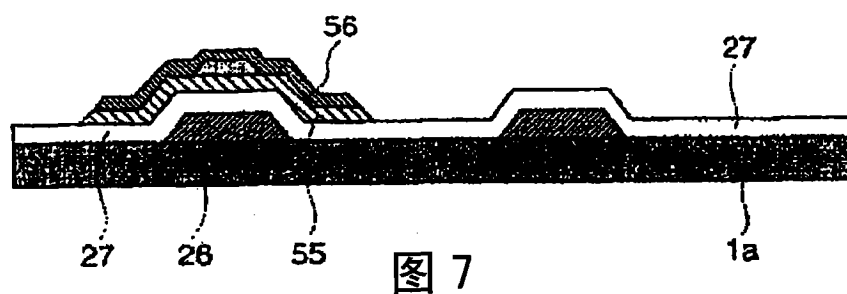
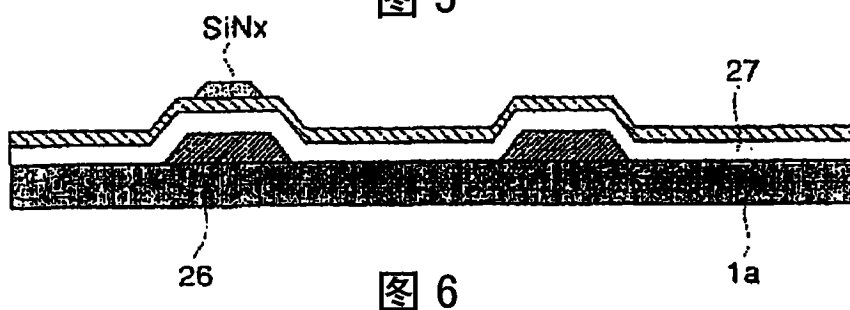
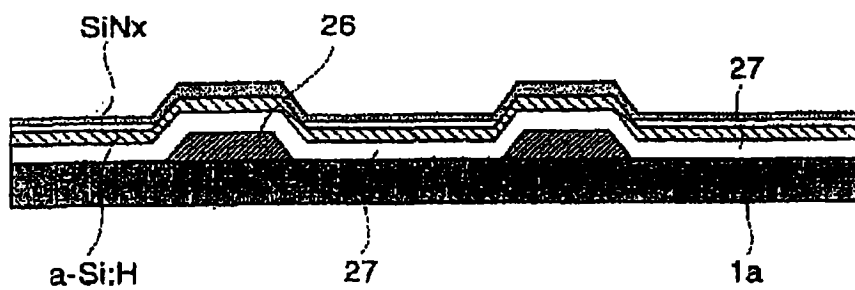
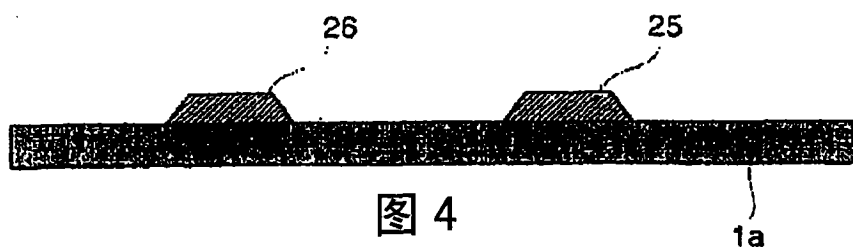


图 2



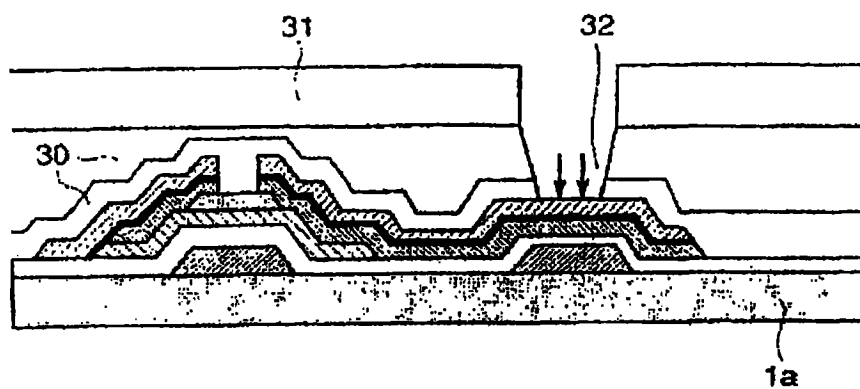


图 9

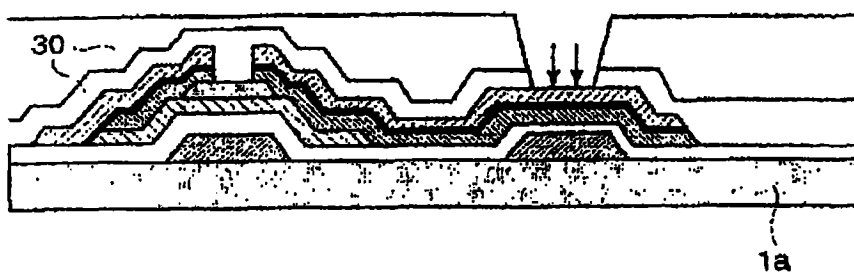


图 10

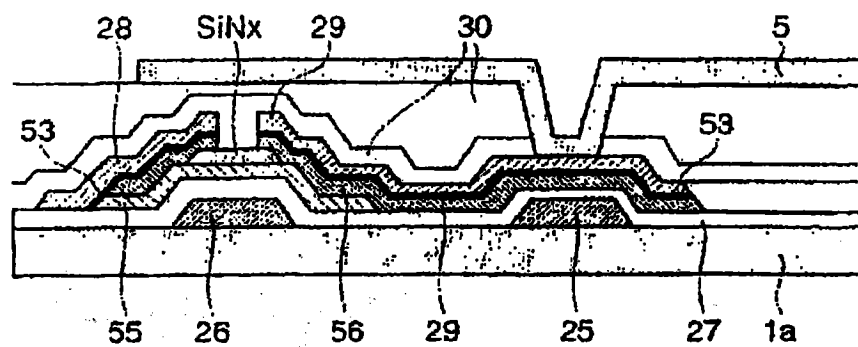


图 11

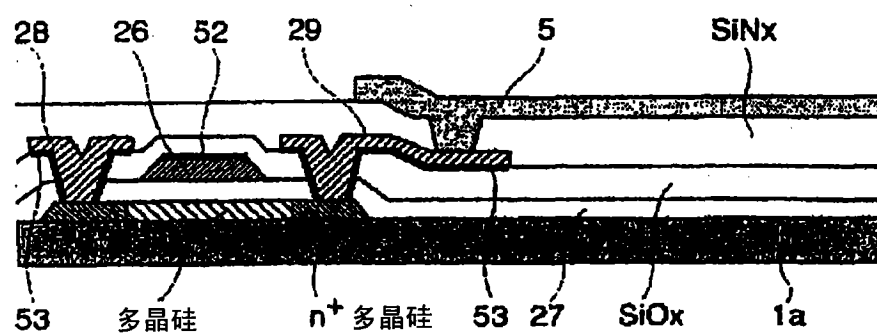


图 12

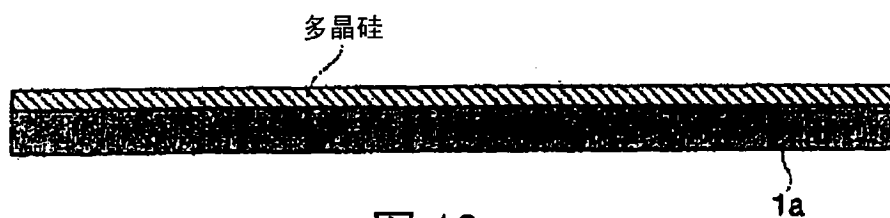


图 13

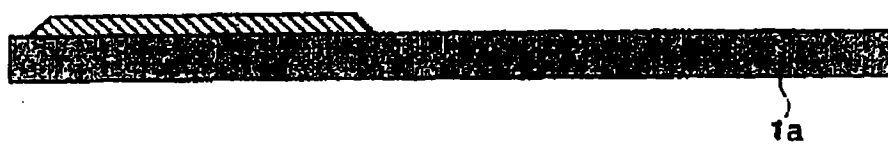


图 14

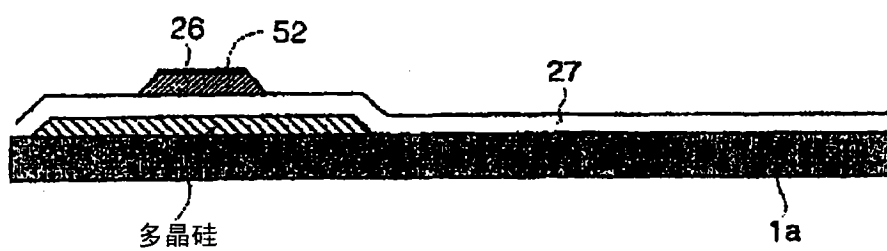


图 15

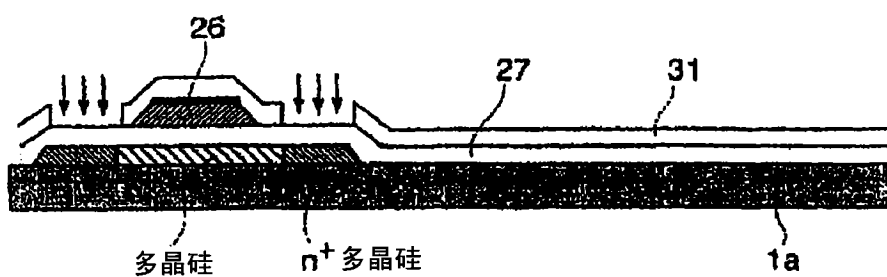


图 16

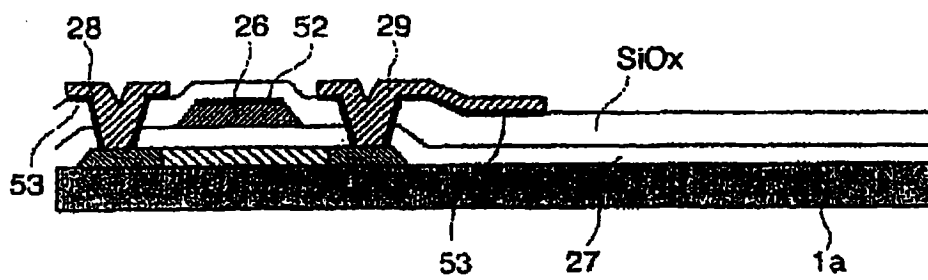


图 17

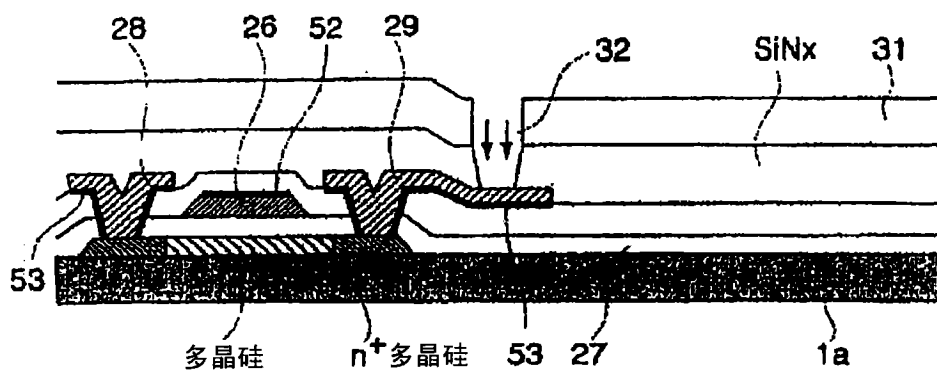


图 18

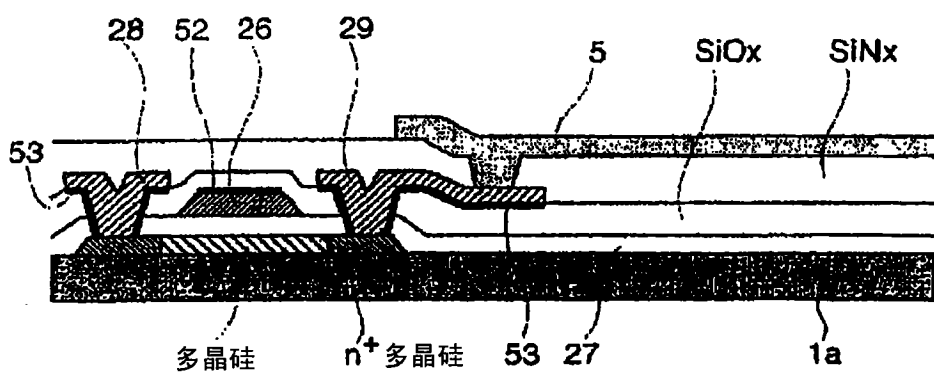


图 19

TEG 图案

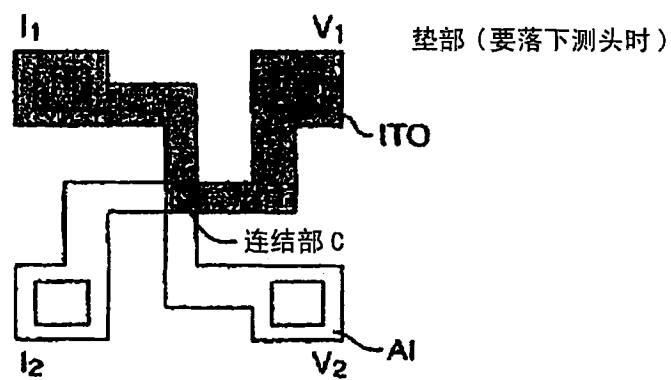


图 20

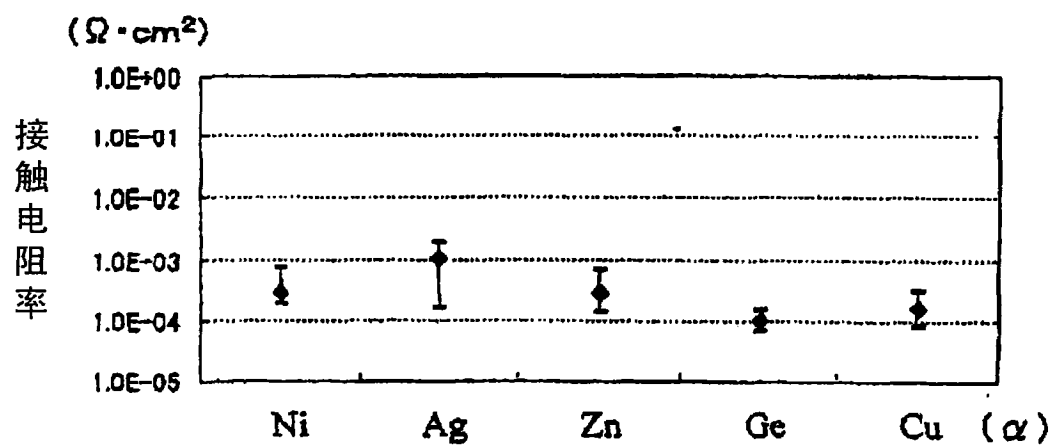


图 21

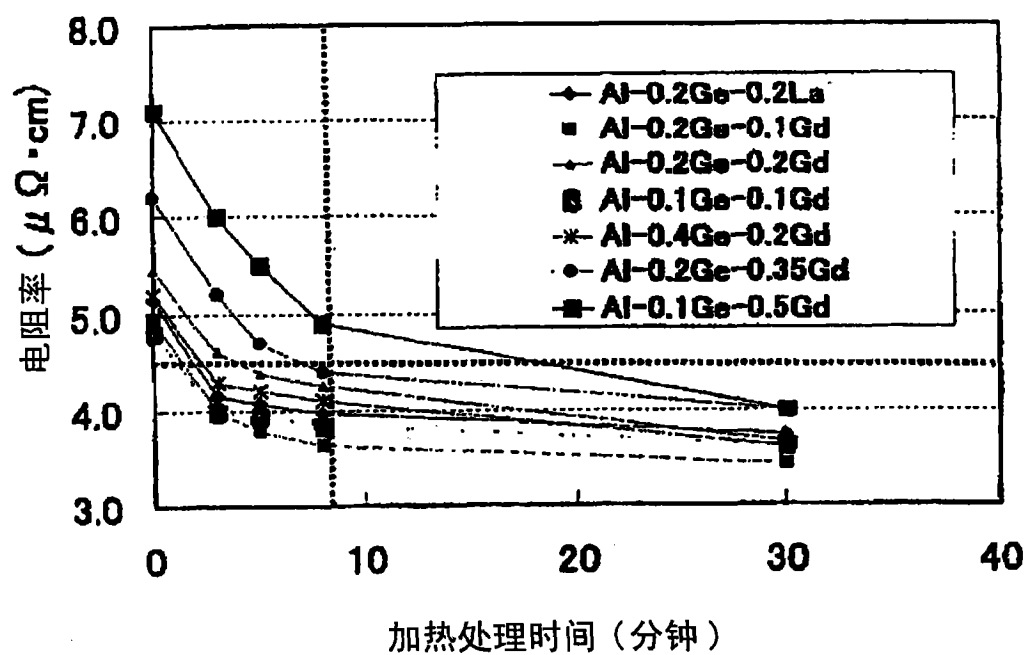


图 22

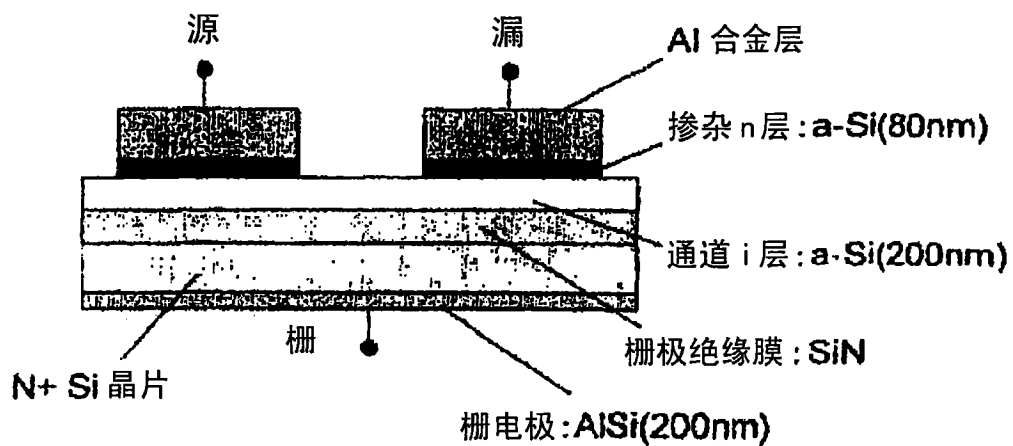


图 23

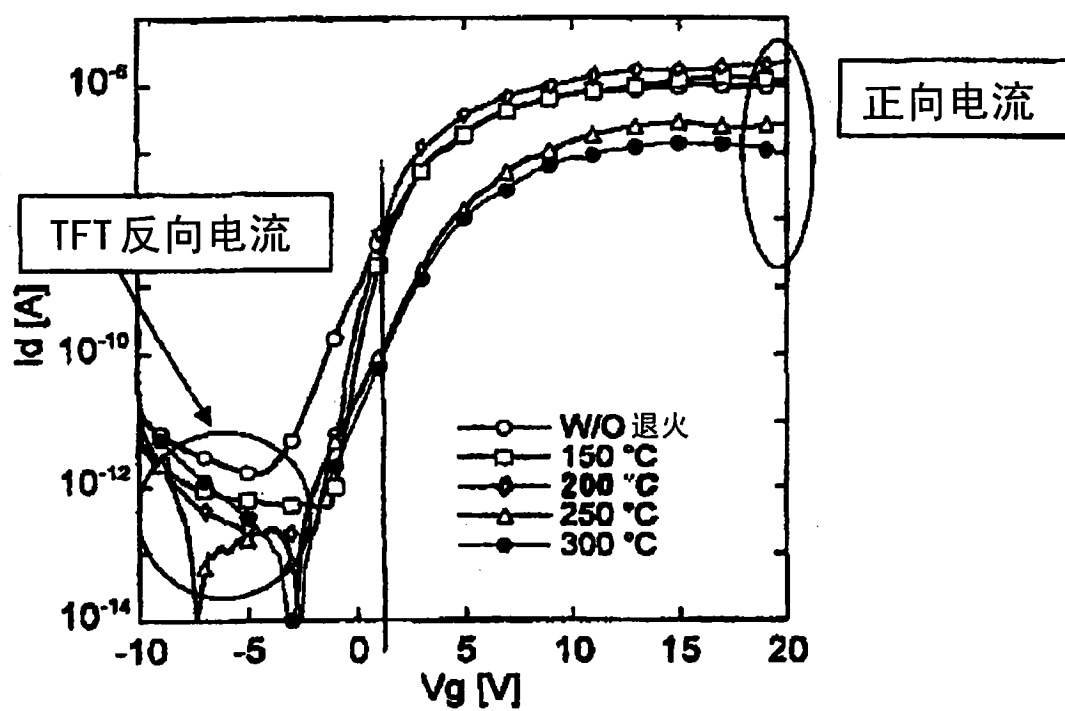


图 24

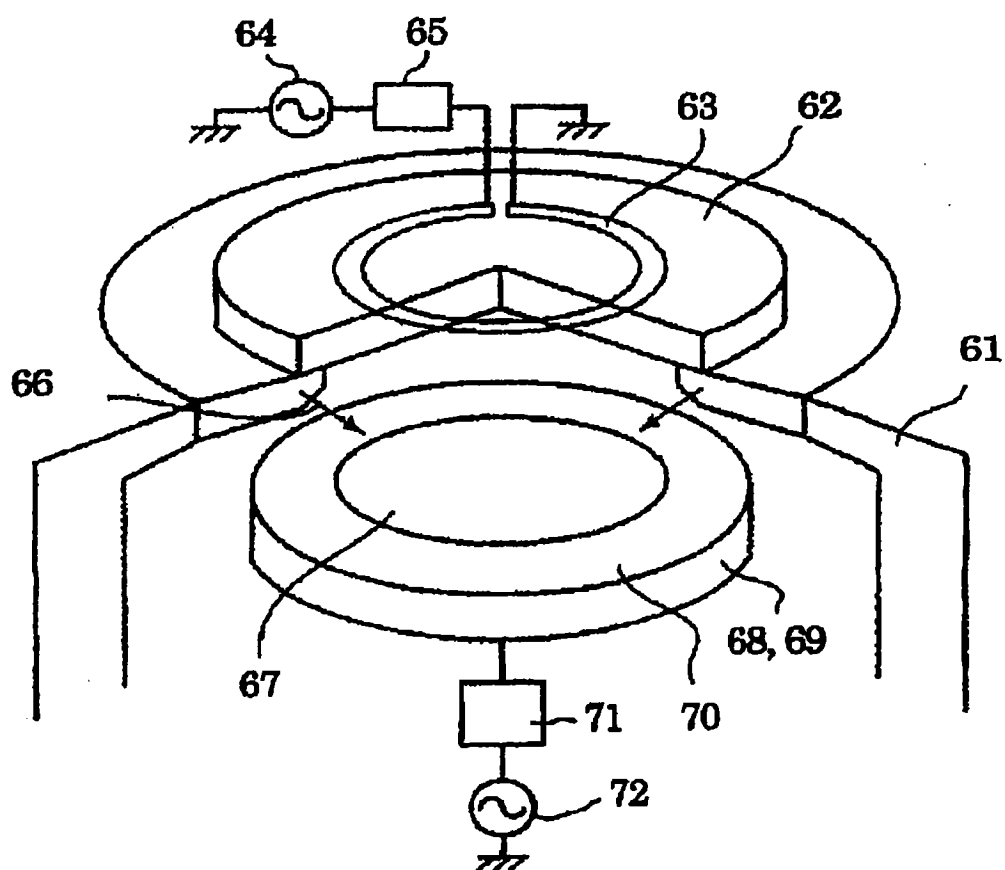


图 25

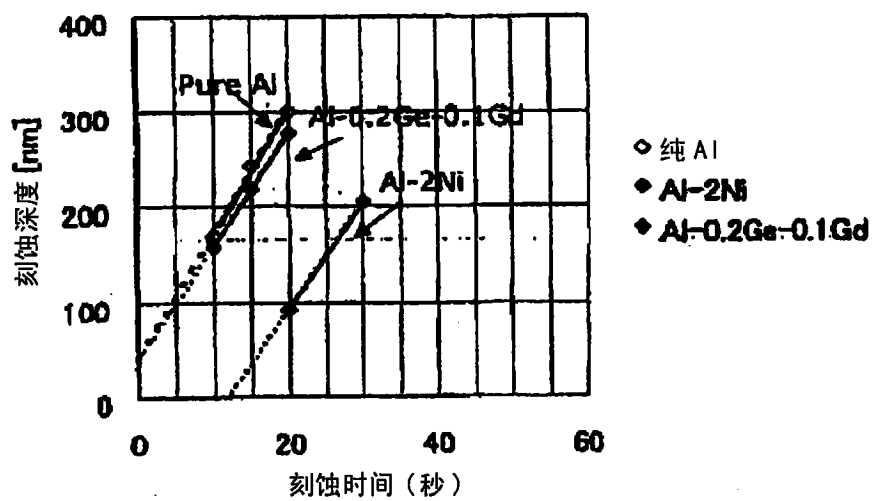


图 26

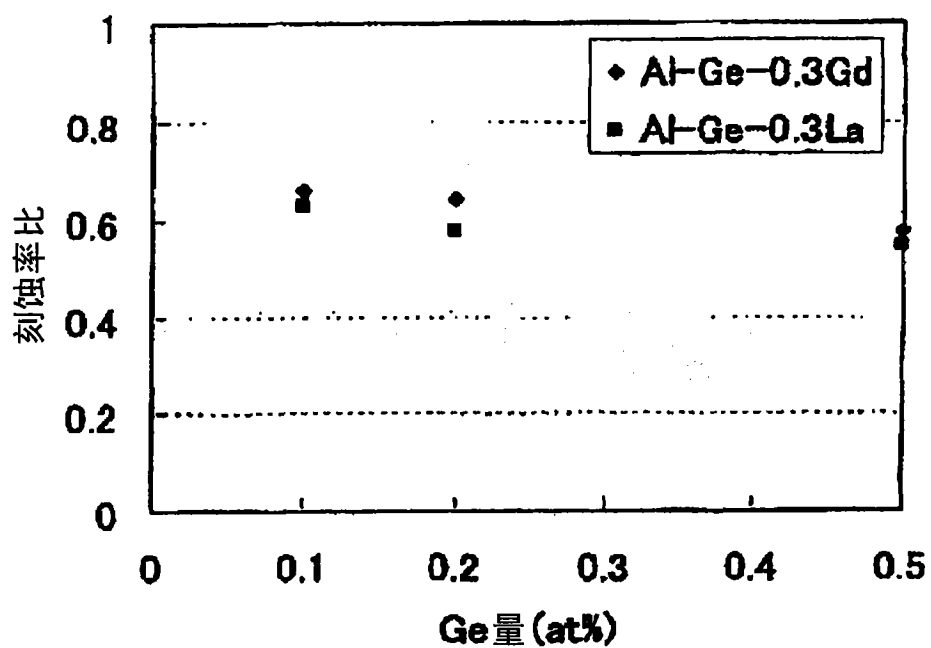


图 27

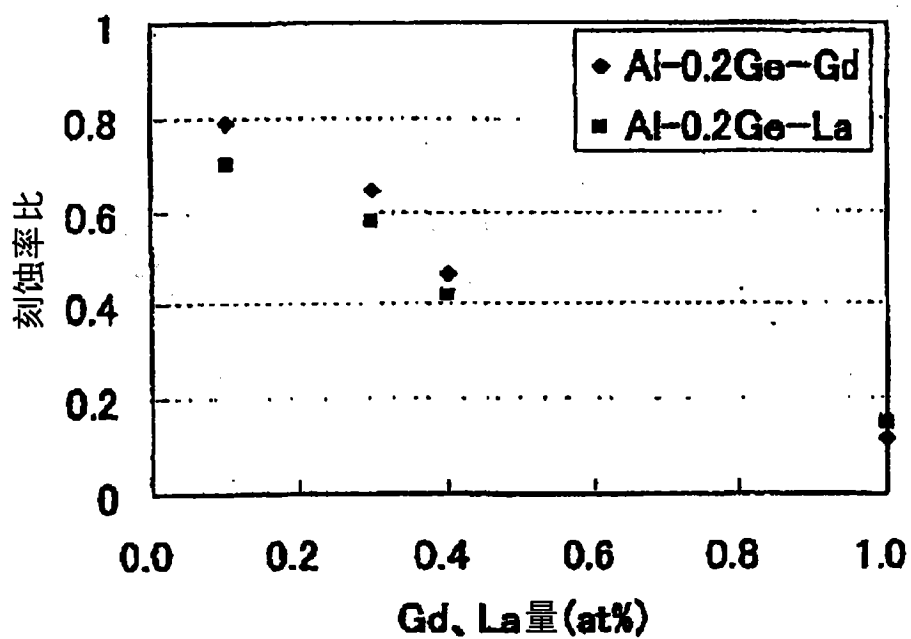


图 28

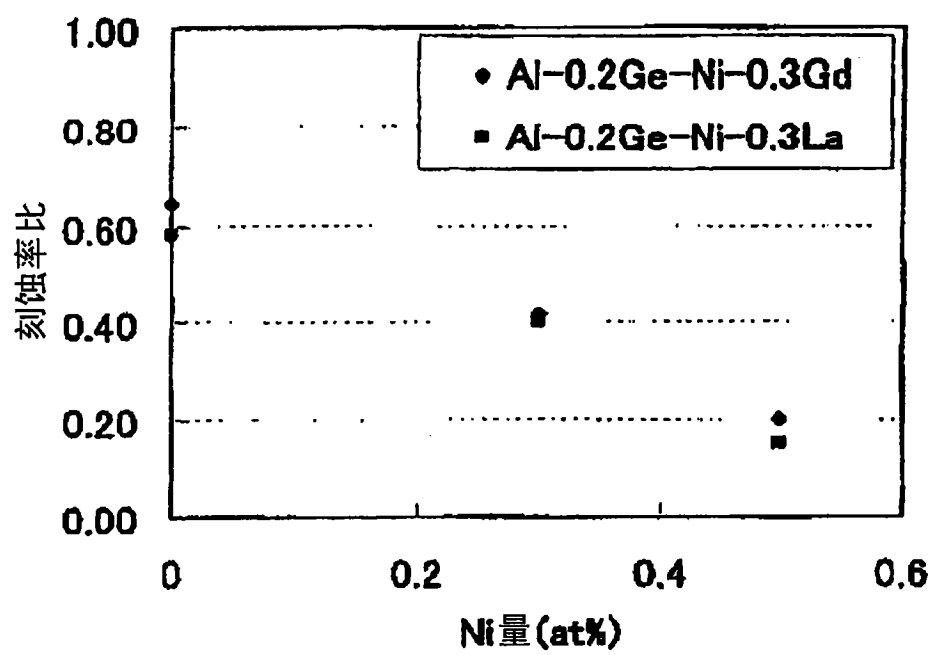


图 29