

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4424443号  
(P4424443)

(45) 発行日 平成22年3月3日(2010.3.3)

(24) 登録日 平成21年12月18日(2009.12.18)

(51) Int.Cl.

F I

G O 6 F 15/80 (2006.01)

G O 6 F 15/80

G O 6 F 12/08 (2006.01)

G O 6 F 12/08 5 5 1 Z

G O 6 F 12/08 5 0 7 Z

G O 6 F 12/08 5 1 1 B

G O 6 F 12/08 5 1 3

請求項の数 15 (全 20 頁)

(21) 出願番号 特願2008-530852 (P2008-530852)  
 (86) (22) 出願日 平成19年8月9日(2007.8.9)  
 (86) 国際出願番号 PCT/JP2007/065620  
 (87) 国際公開番号 W02008/023576  
 (87) 国際公開日 平成20年2月28日(2008.2.28)  
 審査請求日 平成20年7月7日(2008.7.7)  
 (31) 優先権主張番号 特願2006-225963 (P2006-225963)  
 (32) 優先日 平成18年8月23日(2006.8.23)  
 (33) 優先権主張国 日本国(JP)

(73) 特許権者 000004237  
 日本電気株式会社  
 東京都港区芝五丁目7番1号  
 (74) 代理人 100080816  
 弁理士 加藤 朝道  
 (72) 発明者 京 昭倫  
 東京都港区芝五丁目7番1号 日本電気株  
 式会社内

審査官 久保 正典

(56) 参考文献 特開平6-68053 (JP, A)  
 特開2004-171530 (JP, A)  
 )  
 特開平4-291659 (JP, A)  
 最終頁に続く

(54) 【発明の名称】 混合モード並列プロセッサシステム、混合モード並列プロセッサ方法、および、混合モード並列プロセッサプログラム

(57) 【特許請求の範囲】

【請求項1】

N個のプロセシングエレメントを備え、

S I M D動作時には、N個の前記プロセシングエレメントが並列動作し、

M I M D動作時には、N個の前記プロセシングエレメントは、それぞれがS個のプロセシングエレメントを含むM(=N÷S)組(S、Mは2以上の自然数)のプロセシングユニットにグループ化され、M組の前記プロセシングユニット同士、および、S個の前記プロセシングエレメント同士がそれぞれ並列動作し、

M I M D動作時には、前記プロセシングユニットのメモリ資源の一部が、命令キャッシュメモリとして動作し、前記プロセシングユニットの汎用レジスタ資源が、命令キャッシュのタグ格納用領域として動作することを特徴とする混合モード並列プロセッサシステム。

【請求項2】

前記プロセシングユニットが、命令キャッシュ制御、命令シーケンス制御を行う一つの制御回路を含むことを特徴とする請求項1記載の混合モード並列プロセッサシステム。

【請求項3】

M I M D動作時には、M組の前記プロセシングユニットの各々において、

S個の前記プロセシングエレメントに属するS個の前記メモリ資源のうちP個(P<S)が命令キャッシュメモリ、残りのS-P個のメモリ資源がデータメモリあるいはデータキャッシュとして動作し、

10

20

S個の前記プロセシングエレメントにそれぞれ属するSセットの前記汎用レジスタ資源のうち、1セットがそのまま対応する1つの前記プロセシングユニットの前記汎用レジスタ資源として動作し、残るS-1セットのうちTセット( $T < S - 1$ )、または、予め定められた一定数が、命令キャッシュのタグ格納用資源として動作し、残りはデータキャッシュを利用する場合はデータキャッシュのタグ格納用資源として動作することを特徴とする請求項1または2記載の混合モード並列プロセッサシステム。

【請求項4】

全体を制御する制御プロセシングエレメントを備え、  
M組の前記プロセシングユニットの各々において、  
S個の前記プロセシングエレメントのうち、MIMD動作時に前記命令キャッシュメモリとして動作するメモリ資源を有する1つの前記プロセシングエレメントに対応させて、  
前記制御回路と、  
前記制御プロセシングエレメントからの命令と、前記命令キャッシュメモリからの命令のどちらかを選択する命令流選択セクタと、  
を含み、  
MIMD動作時には、S個の前記プロセシングエレメントのうち、前記命令キャッシュメモリを含まない残りの前記プロセシングエレメントは、前記命令流選択セクタからの命令を入力し実行することを特徴とする請求項2または3記載の混合モード並列プロセッサシステム。

10

【請求項5】

全体を制御する制御プロセシングエレメントを備え、  
M組の前記プロセシングユニットの各々において、  
S個の前記プロセシングエレメントの各々が、  
前記制御回路と、  
命令流選択セクタと、  
を有し、  
MIMD動作時には、S個の前記プロセシングエレメントのうち、前記命令キャッシュメモリを含む1つの前記プロセシングエレメントの前記命令流選択セクタが、前記制御プロセシングエレメントからの命令と、前記命令キャッシュメモリからの命令のどちらかを選択し、前記命令キャッシュメモリを含まない残りの前記プロセシングエレメントは、  
前記命令キャッシュメモリを含む1つの前記プロセシングエレメントの前記命令流選択セクタからの命令を入力し実行することを特徴とする請求項2記載の混合モード並列プロセッサシステム。

20

30

【請求項6】

N個のプロセシングエレメントを備え、MIMD動作時にはそれぞれS個のプロセシングエレメントを含む $M (= N \div S)$ 組(S、Mは2以上の自然数)のプロセシングユニットにグループ化される混合モード並列プロセッサシステムにおける混合モード並列プロセッサ方法であって、

SIMD動作時には、N個のプロセシングエレメントが並列動作する手順と、  
MIMD動作時には、M組の前記プロセシングユニット同士、および、S個の前記プロセシングエレメント同士がそれぞれ並列動作する手順と、  
を含み、  
MIMD動作時には、前記プロセシングユニットのメモリ資源の一部が、命令キャッシュメモリとして動作する手順と、  
前記プロセシングユニットの汎用レジスタ資源が、命令キャッシュのタグ格納用領域として動作する手順と、  
を含むことを特徴とする混合モード並列プロセッサ方法。

40

【請求項7】

前記プロセシングユニットの1つの制御回路が、命令キャッシュ制御、命令シーケンス制御を行う手順を含むことを特徴とする請求項6記載の混合モード並列プロセッサ方法。

50

## 【請求項 8】

M I M D動作時には、M組の前記プロセシングユニットの各々において、  
S個の前記プロセシングエレメントにそれぞれ属するS個の前記メモリ資源のうちP個  
( $P < S$ )が、命令キャッシュメモリ、残りのS - P個のメモリ資源がデータメモリある  
いはデータキャッシュとして動作する手順と、

S個の前記プロセシングエレメントにそれぞれ属するSセットの前記汎用レジスタ資源  
のうち、1セットがそのまま前記プロセシングユニットの前記汎用レジスタ資源として動  
作する手順と、

残るS - 1セットのうちTセット( $T < S - 1$ )、または、予め定められた一定数が、  
命令キャッシュのタグ格納用資源として動作し、残りはデータキャッシュを利用する場合  
はデータキャッシュのタグ格納用資源として動作する手順と、

を含むことを特徴とする請求項6または7記載の混合モード並列プロセッサ方法。

10

## 【請求項 9】

前記プロセシングユニットにおいて、前記命令キャッシュメモリを含む1つの前記プロ  
セシングエレメントの命令流選択セレクタが、全体を制御する制御プロセシングエレメン  
トからの命令と、前記命令キャッシュメモリからの命令のどちらかを選択する手順と、

M I M D動作時には、前記命令キャッシュメモリを含まない残りの前記プロセシングエ  
レメントは、前記命令流選択セレクタからの命令を入力し実行する手順と、

を含むことを特徴とする請求項6、7、8のいずれか1項に記載の混合モード並列プロ  
セッサ方法。

20

## 【請求項 10】

M I M D動作時には、前記プロセシングユニットにおいて、前記命令キャッシュメモリ  
を含む1つの前記プロセシングエレメントの前記命令流選択セレクタが、全体を制御する  
制御プロセシングエレメントからの命令と前記命令キャッシュメモリからの命令のどちら  
かを選択する手順と、

前記命令キャッシュメモリを含まない残りの前記プロセシングエレメントが、前記命令  
キャッシュメモリを含む1つの前記プロセシングエレメントの前記命令流選択セレクタか  
らの命令を入力し実行する手順と、

を含むことを特徴とする請求項6記載の混合モード並列プロセッサ方法。

30

## 【請求項 11】

N個のプロセシングエレメントを備え、M I M D動作時にはそれぞれS個のプロセシン  
グエレメントを含むM( $= N \div S$ )組(S、Mは2以上の自然数)のプロセシングユニッ  
トにグループ化される混合モード並列プロセッサシステムにおける混合モード並列プロセ  
ッサプログラムであって、

前記混合モード並列プロセッサシステムに、S I M D動作時にはN個の前記プロセシン  
グエレメントが並列動作する手順と、

M I M D動作時にはM組の前記プロセシングユニット同士、および、S個の前記プロセ  
シングエレメント同士がそれぞれ並列動作する手順と、を実行させ、

M I M D動作時には、前記プロセシングユニットのメモリ資源の一部に、命令キャッシ  
ュメモリとして動作する手順と、

40

前記プロセシングユニットの汎用レジスタ資源に、命令キャッシュのタグ格納用領域と  
して動作する手順を実行させることを特徴とする混合モード並列プロセッサプログラム。

## 【請求項 12】

前記プロセシングユニットの1つの制御回路に、命令キャッシュ制御、命令シーケンス  
制御を行う手順を実行させる、ことを特徴とする請求項11記載の混合モード並列プロセ  
ッサプログラム。

## 【請求項 13】

M I M D動作時には、M組の前記プロセシングユニットにおいて、S個の前記プロセシ  
ングエレメントにそれぞれ属するS個の前記メモリ資源のうちP個( $P < S$ )が命令キャ  
ッシュメモリ、残りのS - P個のメモリ資源がデータメモリあるいはデータキャッシュと

50

して動作する手順と、

S個の前記プロセッシングエレメントにそれぞれ属するSセットの前記汎用レジスタ資源のうち、1セットがそのまま前記プロセッシングユニットの前記汎用レジスタ資源として動作する手順と、

残るS-1セットのうちTセット( $T < S - 1$ )、または、予め定められた一定数が命令キャッシュのタグ格納用資源として動作し、残りはデータキャッシュを利用する場合はデータキャッシュのタグ格納用資源として動作する手順と、

を前記混合モード並列プロセッサシステムに実行させることを特徴とする請求項16、または、12記載の混合モード並列プロセッサプログラム。

【請求項14】

それぞれが、複数のプロセッシングエレメントを含む複数のプロセッシングユニットを有し、

前記プロセッシングユニットは、前記プロセッシングユニットに属する前記複数のプロセッシングエレメントに対応させて少なくとも1つの命令流選択セクタと、

命令キャッシュ制御、命令シーケンス制御を行う少なくとも一つの制御回路と、  
を備え、

MIMDモードでの動作時、

前記プロセッシングユニットにおいて、

前記制御回路は、少なくとも1つのプロセッシングエレメントのメモリとレジスタ資源とをそれぞれ前記プロセッシングユニットの命令キャッシュと命令キャッシュのタグ格納用領域として用い、前記1つのプロセッシングエレメントはMIMD命令発行に必要なハードウェア要素として機能し、

前記命令流選択セクタは、前記制御回路からの制御に基づき、前記1つのプロセッシングエレメントの前記メモリを命令キャッシュとし、該命令キャッシュから読み出された命令を選択し、

前記命令流選択セクタで選択された命令は、前記プロセッシングユニット内の残りのプロセッシングエレメントの少なくとも1つに供給され、前記残りのプロセッシングエレメントの少なくとも1つは命令指定による演算処理を行うデータパスとして機能し、

SIMDモードでの動作時には、

前記プロセッシングユニットにおいて、

前記命令流選択セクタは、前記制御回路からの制御に基づき、制御プロセッシングエレメントからの命令を選択し、複数のプロセッシングエレメントには、同一の命令が与えられ、並列処理が行われる、ことを特徴とする混合モード並列プロセッサシステム。

【請求項15】

前記プロセッシングユニットが、

少なくとも第1、第2のプロセッシングエレメントを備え、

前記第1、第2のプロセッシングエレメントは、

命令デコーダと、

演算ユニットと、

書き込み読み出し可能なメモリと、

それぞれが前記演算ユニットの出力と前記メモリの出力の一方を選択するセクタ群と

、前記セクタ群の出力を受けるレジスタ群と、

前記レジスタ群の出力の中から前記演算ユニットへ供給する出力を選択するセクタと

、をそれぞれ備え、

前記第1のプロセッシングエレメントに対応させて、

前記命令流選択セクタと、

前記制御回路と、

を備え、

10

20

30

40

50

前記制御回路は、前記制御プロセッシングエレメントによって設定され、SIMDとMIMDのいずれのモードで動作するかを決めるモードレジスタと、プログラムカウンタとを含み、

MIMDモードでの動作時、

前記第1のプロセッシングエレメントの前記メモリと前記レジスタ群の一部は、命令キャッシュと命令キャッシュのタグ格納領域として機能し、

前記命令流選択セレクタは、前記制御回路の制御に基づき、前記第1のプロセッシングエレメントの前記メモリから読み出された命令を選択し、

前記第1、第2のプロセッシングエレメントの前記命令デコーダは、それぞれ、前記命令流選択セレクタで選択された命令を入力して該命令をデコードし、命令実行のための制御信号を生成し、

前記第2のプロセッシングエレメントは、前記第2のプロセッシングエレメントの前記命令デコーダで生成された制御信号にしたがってレジスタ群、演算ユニット、メモリを制御して命令を実行し、

前記制御回路は、アドレス情報を生成し、該アドレス情報のタグフィールドと前記第1のプロセッシングエレメントの前記レジスタ群の一部のタグ情報とを比較して命令キャッシュのヒットミス判定を行い、命令キャッシュのヒット時には、前記第1のプロセッシングエレメントの前記メモリから命令の読み出しを行い、命令キャッシュミス時には、前記制御プロセッシングエレメントに要求して得た命令を前記第1のプロセッシングエレメントの前記メモリに書き込み、該メモリから命令の読み出しを行い、

SIMDモードでの動作時、前記命令流選択セレクタは、前記制御回路の制御に基づき、前記制御プロセッシングエレメントから放送される命令を選択し、

前記第1、第2のプロセッシングエレメントは、同一の命令をデコードし演算処理を行う、ことを特徴とする請求項14記載の混合モード並列プロセッサシステム。

【発明の詳細な説明】

【技術分野】

【0001】

[関連出願の記載]

本発明は、日本国特許出願：特願2006-225963号（平成18年8月23日出願）の優先権主張に基づくものであり、同出願の全記載内容は引用をもって本書に組み込み記載されているものとする。

本発明は、プロセッシングエレメント、混合モード並列プロセッサシステム、プロセッシングエレメント方法、混合モード並列プロセッサ方法、プロセッシングエレメントプログラム、および、混合モード並列プロセッサプログラムに関し、特に、効率的なプロセッシングエレメント、混合モード並列プロセッサシステム、プロセッシングエレメント方法、混合モード並列プロセッサ方法、プロセッシングエレメントプログラム、および、混合モード並列プロセッサプログラムに関する。

【背景技術】

【0002】

多数のプロセッサ（PE：プロセッシングエレメント）あるいは演算回路を共通の命令流で並列に動作させる、いわゆるSIMD（Single Instruction Multiple Data）方式の並列プロセッサが提案されている。また、複数の命令流でそれぞれに対応した複数のプロセッサ（PU：プロセッシングユニット）あるいは演算回路を動作させる、いわゆる、MIMD（Multiple Instruction Multiple Data）方式の並列プロセッサがこれまで提案されている。

【0003】

SIMD方式の並列プロセッサは、多数のPEに対し同一の単一の命令流だけを生成すればいいことから、命令流の生成に要する命令キャッシュや条件分岐の実現に要するシーケンス制御回路を一つ持てばよい。したがって、SIMD方式の並列プロセッサは、高い性能を実現できる割には、少ない制御回路だけで済み回路規模を小さく抑えることができ

10

20

30

40

50

るという利点、および全PEの間で常に同期が取れているため、演算回路間でデータの交換を非常に効率よく行うことができるという利点を持つ。しかし、SIMD方式の並列プロセッサは、命令流が一つしか存在しないため有効な問題の範囲が限定されるという欠点を持つ。

【0004】

一方、MIMD方式の並列プロセッサは、多数の命令流を同時に維持できるため有効な問題の範囲が広いという利点を持つ。しかし、MIMD方式の並列プロセッサは、PE数と同数だけの制御回路が必要とし回路規模が大きくなるという欠点を持つ。

【0005】

そうした中で、SIMD方式とMIMD方式の双方の利点を組み合わせ、同一プロセッサにおいてSIMD方式とMIMD方式の両方を動的に切り替えられる、いわゆる「混合モード」並列プロセッサの構成が提案されている。

10

【0006】

たとえば、最初からMIMDモードで動作が可能ないように制御回路とPEの対を併せ持つように各処理要素(PE)を構成し、SIMDモードでは全PEが外部命令バスを介して放送されてくる命令流を選択して実行し、MIMDモードでは各PEがローカルの命令流を選択して実行することにより、MIMDモードとSIMDモードを動的に切り替える方式が開示されている(たとえば、「特許文献1」～「特許文献4」)。

【0007】

【特許文献1】特開昭59-16071号公報

20

【特許文献2】特開平5-20283号公報

【特許文献3】特許第2647315号

【特許文献4】特許第3199205号

【発明の開示】

【発明が解決しようとする課題】

【0008】

特許文献1～4の開示事項は、本書に引用をもって繰り込み記載されているものとする。以下の分析は、本発明によって与えられたものである。

上述した従来のMIMD方式をベースとする混合モード並列プロセッサの主な目的は、SIMDモードに切り替えることで、PE間でのデータ交換が非常に効率よく実現できるようになるという利点を得ることである。

30

【0009】

しかし、同じPE数を有する従来の混合モード並列プロセッサと単純なSIMD方式のみに基づく並列プロセッサとを比べると、前者は、PE毎への効率的な命令流供給に不可欠な命令キャッシュメモリやその関連制御回路、特に、回路規模の大きい命令キャッシュメモリや命令キャッシュのタグ格納用レジスタ資源がPE個数分だけ必要となる。その結果、多くの場合、回路規模が同じならば、集積可能なPE数は、前者が後者の約半分以下に留まり、すなわち、前者の処理性能が後者の半分以下にまで低下する。

【0010】

こうしたことから、SIMD処理とMIMD処理とが混在するようなアプリケーションに対し、通常のSIMDプロセッサと比べ従来の混合モード並列プロセッサが、本当に有効かどうかは、SIMD処理とMIMD処理の割合に大きく依存することになり、SIMD処理の割合が高くなればなるほど、混合モード並列プロセッサの有効性が低下するという問題点が存在していた。

40

【0011】

本発明の目的は、同一PE数を有する単純なSIMDプロセッサと比べ、回路規模の大幅な増加をせずに、SIMD処理時での性能低下を発生しないプロセッシングエレメント、混合モード並列プロセッサシステム、プロセッシングエレメント方法、混合モード並列プロセッサ方法、プロセッシングエレメントプログラム、および、混合モード並列プロセッサプログラムを提供することである。

50

## 【課題を解決するための手段】

## 【0012】

本発明のプロセッシングエレメントは、SIMD動作時には他の $N - 1$ 個のプロセッシングエレメントと並列動作し、MIMD動作時には他の $S (= N \div M) - 1$ 個 ( $S$ 、 $M$ は2以上の自然数)のプロセッシングエレメントと並列動作する。

## 【0013】

本発明の第1の混合モード並列プロセッサシステムは、 $N$ 個のプロセッシングエレメントを備え、SIMD動作時には $N$ 個の前記プロセッシングエレメントが並列動作し、MIMD動作時にはそれぞれ $S$ 個のプロセッシングエレメントを含む $M (= N \div S)$ 組 ( $S$ 、 $M$ は2以上の自然数)のプロセッシングユニットにグループ化し、 $M$ 組の前記プロセッシングユニット同士、および、 $S$ 個の前記プロセッシングエレメント同士がそれぞれ並列動作する。

10

## 【0014】

本発明の第2の混合モード並列プロセッサシステムは、前記第1の混合モード並列プロセッサシステムであって、MIMD動作時には前記プロセッシングユニットのメモリ資源の一部が、命令キャッシュメモリとして動作し、汎用レジスタ資源が、命令キャッシュのタグ格納用領域として動作する。

## 【0015】

本発明の第3の混合モード並列プロセッサシステムは、前記第2の混合モード並列プロセッサシステムであって、前記プロセッシングユニットに、命令キャッシュ制御、命令シーケンス制御を行う1つの制御回路を含む。

20

## 【0016】

本発明の第4の混合モード並列プロセッサシステムは、前記第2、または、第3の混合モード並列プロセッサシステムであって、MIMD動作時には各前記プロセッシングユニット内の各前記プロセッシングエレメントに属する $S$ 個の前記メモリ資源のうち $P$ 個 ( $P < S$ )が命令キャッシュ、残りの $S - P$ 個のメモリ資源がデータメモリあるいはデータキャッシュとして動作し、 $S$ セットの前記汎用レジスタ資源のうち、1セットがそのまま前記プロセッシングユニットの前記汎用レジスタ資源として動作し、残る $S - 1$ セットのうち $T$ セット ( $T < S - 1$ )、または、一定数だけが命令キャッシュのタグ格納用資源として動作し、残りはデータキャッシュを利用する場合はデータキャッシュのタグ格納用資源として動作する。

30

## 【0017】

本発明の第5の混合モード並列プロセッサシステムは、前記第2、第3、または、第4の混合モード並列プロセッサシステムであって、全体を制御する制御プロセッシングエレメントを備え、各前記プロセッシングユニット内の前記命令キャッシュメモリを含む1つの前記プロセッシングエレメントが、前記制御回路と、前記制御プロセッシングエレメントからの命令、前記命令キャッシュメモリからの命令のどちらかを選択する命令流選択セレクタとを含み、MIMD動作時には、前記命令キャッシュメモリを含まない残りの前記プロセッシングエレメントは、前記命令流選択セレクタからの命令を入力し実行する。

## 【0018】

本発明の第6の混合モード並列プロセッサシステムは、前記第2の混合モード並列プロセッサシステムであって、全体を制御する制御プロセッシングエレメントを備え、各前記プロセッシングユニット内のすべての前記プロセッシングエレメントが、前記制御回路と、命令流選択セレクタとを有し、MIMD動作時には、前記命令キャッシュメモリを含む1つの前記プロセッシングエレメントの前記命令流選択セレクタが前記制御プロセッシングエレメントからの命令、前記命令キャッシュメモリからの命令のどちらかを選択し、前記命令キャッシュメモリを含まない残りの前記プロセッシングエレメントは、前記命令キャッシュメモリを含む1つの前記プロセッシングエレメントの前記命令流選択セレクタからの命令を入力し実行する。

40

## 【0019】

本発明のプロセッシングエレメント方法は、プロセッシングエレメントが、SIMD動作時

50

には他の  $N - 1$  個のプロセシングエレメントと並列動作する手順と、MIMD動作時には他の  $S (= N \div M) - 1$  個 ( $S$ 、 $M$ は2以上の自然数)のプロセシングエレメントと並列動作する手順とを含む。

【0020】

本発明の第1の混合モード並列プロセッサ方法は、 $N$ 個のプロセシングエレメントを備え、MIMD動作時にはそれぞれ $S$ 個のプロセシングエレメントを含む $M (= N \div S)$ 組 ( $S$ 、 $M$ は2以上の自然数)のプロセシングユニットにグループ化される混合モード並列プロセッサシステムにおける混合モード並列プロセッサ方法であって、SIMD動作時には $N$ 個の前記プロセシングエレメントが並列動作する手順と、MIMD動作時には $M$ 組の前記プロセシングユニット同士、および、 $S$ 個の前記プロセシングエレメント同士がそれぞれ並列動作する手順とを含む。

10

【0021】

本発明の第2の混合モード並列プロセッサ方法は、前記第1の混合モード並列プロセッサ方法であって、MIMD動作時には前記プロセシングユニットのメモリ資源の一部が、命令キャッシュメモリとして動作する手順と、汎用レジスタ資源が、命令キャッシュのタグ格納用領域として動作する手順とを含む。

【0022】

本発明の第3の混合モード並列プロセッサ方法は、前記第2の混合モード並列プロセッサ方法であって、前記プロセシングユニットの1つの制御回路が、命令キャッシュ制御、命令シーケンス制御を行う手順を含む。

20

【0023】

本発明の第4の混合モード並列プロセッサ方法は、前記第2、または、第3の混合モード並列プロセッサ方法であって、MIMD動作時には各前記プロセシングユニット内の各前記プロセシングエレメントに属する $S$ 個の前記メモリ資源のうち $P$ 個 ( $P < S$ ) が命令キャッシュ、残りの $S - P$ 個のメモリ資源がデータメモリあるいはデータキャッシュとして動作する手順と、 $S$ セットの前記汎用レジスタ資源のうち、1セットがそのまま前記プロセシングユニットの前記汎用レジスタ資源として動作する手順と、残る $S - 1$ セットのうち $T$ セット ( $T < S - 1$ )、または、一定数だけが命令キャッシュのタグ格納用資源として動作し、残りはデータキャッシュを利用する場合はデータキャッシュのタグ格納用資源として動作する手順とを含む。

30

【0024】

本発明の第5の混合モード並列プロセッサ方法は、前記第2、第3、または、第4の混合モード並列プロセッサ方法であって、全体を制御する制御プロセシングエレメントを備える前記混合モード並列プロセッサシステムにおける混合モード並列プロセッサ方法であって、各前記プロセシングユニット内の前記命令キャッシュメモリを含む1つの前記プロセシングエレメントの命令流選択セレクタが、前記制御プロセシングエレメントからの命令、前記命令キャッシュメモリからの命令のどちらかを選択する手順と、MIMD動作時には、前記命令キャッシュメモリを含まない残りの前記プロセシングエレメントは、前記命令流選択セレクタからの命令を入力し実行する手順と、を含む。

【0025】

40

本発明の第6の混合モード並列プロセッサ方法は、前記第2の混合モード並列プロセッサ方法であって、全体を制御する制御プロセシングエレメントを備える前記混合モード並列プロセッサシステムにおける混合モード並列プロセッサ方法であって、MIMD動作時には、前記命令キャッシュメモリを含む1つの前記プロセシングエレメントの前記命令流選択セレクタが前記制御プロセシングエレメントからの命令、前記命令キャッシュメモリからの命令のどちらかを選択する手順と、前記命令キャッシュメモリを含まない残りの前記プロセシングエレメントは、前記命令キャッシュメモリを含む1つの前記プロセシングエレメントの前記命令流選択セレクタからの命令を入力し実行する手順と、を含む。

【0026】

本発明のプロセシングエレメントプログラムは、プロセシングエレメントに、SIMD

50



動作時には他の  $N - 1$  個のプロセッシングエレメントと並列動作する手順と、MIMD動作時には他の  $S (= N \div M) - 1$  個 ( $S$ 、 $M$ は2以上の自然数)のプロセッシングエレメントと並列動作する手順を実行させる。

【0027】

本発明の第1の混合モード並列プロセッサプログラムは、 $N$ 個のプロセッシングエレメントを備え、MIMD動作時にはそれぞれ  $S$  個のプロセッシングエレメントを含む  $M (= N \div S)$  組 ( $S$ 、 $M$ は2以上の自然数)のプロセッシングユニットにグループ化される混合モード並列プロセッサシステムにおける混合モード並列プロセッサプログラムであって、前記混合モード並列プロセッサシステムに、SIMD動作時には  $N$  個の前記プロセッシングエレメントが並列動作する手順と、MIMD動作時には  $M$  組の前記プロセッシングユニット同士、および、 $S$  個の前記プロセッシングエレメント同士がそれぞれ並列動作する手順と、を実行させる。

10

【0028】

本発明の第2の混合モード並列プロセッサプログラムは、前記第1の混合モード並列プロセッサプログラムであって、MIMD動作時には前記プロセッシングユニットのメモリ資源の一部に、命令キャッシュメモリとして動作する手順を実行させ、汎用レジスタ資源に、命令キャッシュのタグ格納用領域として動作する手順を実行させる。

【0029】

本発明の第3の混合モード並列プロセッサプログラムは、前記第2の混合モード並列プロセッサプログラムであって、前記プロセッシングユニットの1つの制御回路に、命令キャッシュ制御、命令シーケンス制御を行う手順を実行させる。

20

【0030】

本発明の第4の混合モード並列プロセッサプログラムは、前記第2、または、第3の混合モード並列プロセッサプログラムであって、MIMD動作時には各前記プロセッシングユニット内の各前記プロセッシングエレメントに属する  $S$  個の前記メモリ資源のうち  $P$  個 ( $P < S$ ) が命令キャッシュ、残りの  $S - P$  個のメモリ資源がデータメモリあるいはデータキャッシュとして動作する手順と、 $S$  セットの前記汎用レジスタ資源のうち、1セットがそのまま前記プロセッシングユニットの前記汎用レジスタ資源として動作する手順と、残る  $S - 1$  セットのうち  $T$  セット ( $T < S - 1$ )、または、一定数だけが命令キャッシュのタグ格納用資源として動作し、残りはデータキャッシュを利用する場合はデータキャッシュのタグ格納用資源として動作する手順とを前記混合モード並列プロセッサシステムに実行させる。

30

【発明の効果】

【0031】

本発明は、同一  $PE$  数を有する単純なSIMDプロセッサと比べ、回路規模の大幅な増加をせずに、SIMD処理時での性能低下を発生しない混合モード並列プロセッサが実現できるという効果を持つ。

【0032】

その理由は、プロセッシングエレメントが、SIMD動作時は他の  $N - 1$  個のプロセッシングエレメントと並列動作し、MIMD動作時は他の  $(N \div S) - 1$  個 ( $S$ は2以上の自然数)のプロセッシングエレメントと並列動作するからである。

40

【図面の簡単な説明】

【0033】

【図1】本発明の第1の実施の形態の構成を示すブロック図。

【図2】本発明の第1の実施の形態のプロセッシングユニットの詳細な構成を示すブロック図。

【図3】本発明の第1の実施の形態の動作を示すフローチャート。

【図4】本発明の第1の実施の形態における命令キャッシュに対するアクセス情報の内容を示す説明図。

【図5】本発明の第1の実施の形態の実施例の構成を示すブロック図。

50

【図6】本発明の第2の実施の形態の構成を示すブロック図。

【符号の説明】

【0034】

PS 混合モード並列プロセッサシステム

CP 制御プロセシングエレメント

PE1 ~ PE<sub>n</sub> プロセシングエレメント

MEM 主記憶装置

BUS 共通バス

PU1 プロセシングユニット

PU1 ~ PU<sub>m</sub> プロセシングユニット

RAM1 ~ RAM<sub>n</sub> メモリ

GPR1 ~ GPR<sub>n</sub> レジスタ資源

ALU1 ~ ALU<sub>n</sub> 演算回路

ISEL1 ~ ISEL<sub>m</sub> 命令流選択セレクタ

PC プログラムカウンタ

MODE モード指定レジスタ

CTR1 ~ CTR<sub>m</sub> 制御回路

CTR1 制御回路

RAM0 メモリ

GRP0 レジスタ資源

CTR0 制御回路

ALU0 演算回路

ARBT 調停回路

FF1 ~ FF<sub>r</sub> 汎用レジスタ

ID1、ID2 命令デコーダ回路

SELG1 ~ SELG<sub>r</sub> データセレクタ

RSEL1 ~ RSEL2 オペランド読み出し用セレクタ

CSEL1 制御セレクタ

SELAD1 アドレスセレクタ

CMP1 比較回路

【発明を実施するための最良の形態】

【0035】

本発明の混合モード並列プロセッサシステムは、それぞれがメモリ（資源）や演算の途中結果を格納する汎用レジスタ（資源）を備える計N個のSIMD動作可能なプロセシングエレメントPEを含む。さらに、混合モード並列プロセッサシステムは、M個（ $N \div S = M$ 、 $M, N, S$ は共に自然数）の命令キャッシュタグ格納領域を含まない命令キャッシュ制御回路、および、M個の命令シーケンス制御用回路を含む。

【0036】

互いに隣接するS個のプロセシングエレメントPE、1個の命令キャッシュ制御回路、および、1個の命令シーケンス制御回路からなるグループが、1つのMIMD動作するプロセシングユニットPUを構成する。命令キャッシュ制御回路、および、命令シーケンス制御回路は、1つのプロセシングエレメントPEに含まれる構成も可能である。

【0037】

MIMD動作時は、各プロセシングユニットPU内のS個のメモリ（資源）のうちP個（ $P < S$ ）が、命令キャッシュとして動作し、残りのメモリ（資源）が、データメモリあるいはデータキャッシュとして動作する。また、Sセットの汎用レジスタ（資源）のうち、1セットはそのままPUの汎用レジスタ（資源）として動作する。

【0038】

残るS-1セットのうちTセット（ $T < S - 1$ ）は、命令キャッシュタグの格納用レジスタ（ディレクトリとしての資源）として動作する。また、残りのS-1-Tセットは、

10

20

30

40

50

データキャッシュのタグ格納用レジスタ（資源）として動作するデータキャッシュの構成も可能である。

【0039】

また、混合モード並列プロセッサシステムは、各メモリ（資源）や汎用レジスタ（資源）へのライトデータや各種制御信号を、SIMDモード時とMIMDモード時とで切り替えられるようにするためのセレクトラ類を含む。

【0040】

上記構成をとることにより、混合モード並列プロセッサの実現に要する追加回路は、S個のPEにつき、1個の命令シーケンス制御回路、幾つかのセレクトラおよびそれらに対する制御信号生成も合わせて行う（命令キャッシュのタグ格納用領域本体を含まない）1個の命令キャッシュ制御回路のみで済む。

10

【0041】

すなわち、MIMD的動作を実現する上でもっとも大きな回路規模の増大をもたらす「命令キャッシュメモリ、および、その命令キャッシュタグの格納用レジスタ（資源）」の新規追加が不要となる。したがって、本発明の混合モード並列プロセッサシステムは、SIMDモード時ではN個のPEによる並列動作、MIMDモード時では $M (= N \div S)$ 個のPUによる並列動作を行うことが可能である。また、本発明の混合モード並列プロセッサシステムPSは、N個のPEで構成される単純なSIMDプロセッサと比べても非常に少ない回路規模の増加のみで構成できる。

【0042】

20

次に、本発明の第1の実施の形態について図面を参照して詳細に説明する。図1は、本発明の第1の実施の形態の混合モード並列プロセッサシステムPSの構成を示すブロック図である。図1を参照すると、本発明の第1の実施の形態の混合モード並列プロセッサシステムPSは、全体の制御を行う制御プロセシングエレメントCPと、n個のプロセシングエレメントPE1、PE2、PE3、PE4、...、PEN-1、PENと、主記憶装置MEMとを含む。また、プロセシングエレメントPE1~PENは、共通バスBUSで、制御プロセシングエレメントCPに接続される。

【0043】

混合モード並列プロセッサシステムPSは、Sが2、したがって、Mが $N/2$ 、すなわち、2つのSIMD動作するプロセシングエレメントPEiおよびプロセシングエレメントPEi+1で一つのMIMD動作するプロセシングユニットPU1、PU2、...、PUmを構成する場合である。

30

【0044】

プロセシングエレメントPE1~PENは、それぞれ、メモリRAM1~RAMn（資源）、レジスタ資源GPR1~GPRn、および、演算回路ALU1~ALUnを含む。プロセシングユニットPU1~PUmは、それぞれ、命令流選択セレクトラISEL1~ISELm、プログラムカウンタPC、および、モード指定レジスタMODEを内蔵した制御回路CTR1~CTRm（命令シーケンス制御、かつ、命令キャッシュ制御）を含む。命令流選択セレクトラISEL1~ISELm、制御回路CTR1~CTRmは、奇数番のプロセシングエレメントPE1、PE3、...、PEN-1に含ませることが可能である。

40

【0045】

また、SIMDモード時にPEアレイ全体への命令流を供給する制御プロセシングエレメントCPは、データメモリRAM0（資源）、レジスタ資源GRP0、制御回路CTR0、演算回路ALU0、および、調停回路ARBTを含む。

【0046】

図2は、プロセシングユニットPU1の詳細な構成を示すブロック図である。図2を参照すると、プロセシングユニットPU1は、プロセシングエレメントPE1、PE2を含む。プロセシングエレメントPE1の命令流選択セレクトラISEL1は、制御プロセシングエレメントCPからの命令とメモリRAM1からの命令ワードを選択し、プロセシング

50

エレメントPE1内部、および、プロセッシングエレメントPE2に出力する。

【0047】

命令デコーダ回路ID1、ID2は、命令ワードをデコードし、制御信号を生成する。r個の汎用レジスタFF1~FFrは、プロセッシングエレメントPE1、PE2のレジスタ資源である。

【0048】

データセクタSELG1~SELGrは、プロセッシングエレメントPE1の個々の汎用レジスタFF1~FFrへの入力に、「演算回路ALU1からのライトバックデータ」、「メモリRAM1からのライトバックデータ」、および、「制御回路CTR1が生成するタグ更新データ」のいずれかを選択する。

10

【0049】

アドレスセクタSELAD1は、制御回路CTR1とレジスタ資源GPR1とのいずれからのアドレス値をメモリRAM1のアクセスに使用するかを選択する。オペランド読み出し用セクタRSEL1~RSEL2は、レジスタ資源GPR1(レジスタ資源GPR2)の出力データの中から演算回路ALU1(演算回路ALU2)へ供給するソースオペランドを選択する。

【0050】

こうした構成のもと、混合モード並列プロセッサは、SIMDモード時ではN並列で、MIMDモードではM(=N/2)並列で、概略、つぎのように動作する。以下、構成要素の名称を省略し、符号のみで説明する。

20

【0051】

図1を参照すると、SIMDモード時では、CPから放送される命令の方を選択するように、CTR1~CTRmが命令流セクタISEL1~ISELmを制御する。それにより、PE1~PENへは同一の命令が放送され、その結果、N個のPE1~PENによるSIMD処理が行われる。

【0052】

一方、図2を参照すると、MIMDモード時では、PU1内において、CTR1が、CTR1からのライトデータ(命令キャッシュのタグ)をPE1のFF1~FFrへ供給するようにSELG1~SELGrを制御する。したがって、PE1のFF1~FFrは、命令キャッシュのタグの格納に利用可能となる。また、CTR1は、GPR1からではなくCTR1からのアクセスアドレス値(メモリRAM1への)を選択するようにSELAD1を制御する。したがって、RAM1は、命令キャッシュメモリとして利用可能となる。

30

【0053】

一方、PE2では、MIMDモード時において、GRP2からALU2まではSIMDモード時と同様に、命令指定による演算処理を行うデータパスとして機能する。しかし、演算動作はRAM1から読み出された命令のID2によるデコード結果で指定される。このように、MIMDモードでは、各PU1~PUmにおいて、一つのPE1(PE3、PE5、...)内の大半のハードウェア資源が、MIMDモード時の命令発行の動作の実現に必要なハードウェア要素として利用され、命令の効率的発行が実現される。発行された命令は、もう一つのPE2(PE4、PE6、...)で実行される。

40

【0054】

次に、本発明の第1の実施の形態の動作について図面を参照して説明する。図3は、本発明の本発明の第1の実施の形態のPU1の動作を示すフローチャートである。なお、本実施の形態では説明を簡潔にするため、PE1、PE2は、それぞれ1つの演算回路(ALU1、ALU2)を有し、サイクル毎に最大1命令を実行する。個々のPE1、PE2が演算回路を複数有し、サイクル毎に複数命令を同時に実行できるものであってもかまわない。

【0055】

同様に、説明を簡潔にするため、本実施の形態は、PU1が、2つのSIMD動作する

50

PE 1、PE 2 が一つのMIMD動作する構成である。また、本実施の形態は、PE 1、PE 2のRAM 1、RAM 2（メモリ資源）からサイクル毎に読み出せるデータのビット数Dが命令語長Lと一致する構成である。D = Lであってもよく、その場合は、DのうちのLビットだけを利用すればよい。

【0056】

あるいは、 $D < L$ であれば、DをD = LとなるようにPE 1、PE 2のRAM 1、RAM 2（メモリ資源）の仕様を修正する構成が可能である。あるいは、一つのPU内のPE数を増やし、たとえば、3～4台のPEが一つのMIMD動作を行い、その中の2～3PE分のメモリ資源を合わせて命令キャッシュメモリとして利用する構成も可能である。

【0057】

図3を参照すると、PU 1は以下のように動作することで、もともとSIMD動作を行う2つのPE 1、および、PE 2のハード資源を利用してMIMD動作を実現する。CTR 1内のMODEは、CPによってリード・ライト可能であり、その値によってSIMD動作（MODEの値が“0”の場合）とMIMD動作（MODEの値が“1”の場合）とのいずれであるかを示す。

【0058】

CPは、PU 1のCTR 1内のMODEに“0”をライトすることで、PU 1の動作をSIMDモードに設定するか、あるいは、MODEに“1”をライトすることで、PU 1の動作をMIMDモードに設定する。

【0059】

以下、図3のフローチャートに沿って、PU 1のサイクル毎動作について説明する。まず、ISEL 1は、MODE = “0”であれば（図3ステップS 1 / Yes）、CPから放送される命令を選択し（ステップS 2）、MODE = “1”であれば（ステップS 1 / No）、RAM 1から読み出された命令を選択する（ステップS 3）。

【0060】

次に、CRT 1は、選択された命令が動作停止を指定する命令（HALT）であるかどうか判定し、HALT命令であると（ステップS 4 / Yes）、PE 1、PE 2の動作を停止する（ステップS 5）。

【0061】

次に、ID 1、ID 2は、選択された命令をISEL 1から入力し（ステップS 6）、命令をデコードし命令実行のための各種制御信号を生成する（ステップS 7）。そして、PE 2は、IDで生成された制御信号でGPR 2、ALU 2、および、RAM 2を制御することにより命令を実行する（ステップS 8）。

【0062】

一方、PE 1においては、MODE = “0”であれば（ステップS 9 / Yes）、ID 1からの制御信号（CPからの命令に基づく）に従い、GPR 1のSELG 1～SELG rは、RAM 1からのデータ、または、ALU 1からのデータを選択し、それぞれ、FF 1～FF rに出力する（ステップS 10）。次に、ID 1からの制御信号（CPからの命令に基づく）に従い、RAM 1が制御され命令が実行される（ステップS 11）。

【0063】

一方、MODE = 1の場合は（ステップS 9 / No）、以下に示すように、次サイクルに実行される命令ワードの読み出しが行われる。すなわち、CTR 1は、PCの値に1を加算した値でPCを更新し、更新されたPCの値を命令キャッシュに対するアクセス情報Aとし、命令キャッシュ（RAM 1）をアクセスする（ステップS 12）。

【0064】

ここで、命令キャッシュに対するアクセス情報Aについて説明する。図4は、命令キャッシュに対するアクセス情報Aの内容を示す説明図である。図4を参照すると、アクセス情報Aの上位側ビット列がX、中間のビット列がY、そして、下位側ビット列がZである。

【0065】

10

20

30

40

50

PE1のCTR1は、Yで指定されるFF1~FFrのうちの一つであるFFyに格納されているキャッシュのタグとXとが一致するかどうかを比較することで、命令キャッシュのヒットミス判定を行う(ステップS13)。FFyの内容とXとが一致すれば、すなわち、命令キャッシュヒットであると(ステップS14/Yes)、CTR1は、YとZとを連結したビット列からなるアドレスでRAM1に対し命令リードのアクセスを行う(ステップS15)。

【0066】

一方、FFyの内容とXとが一致しなければ、すなわち、命令キャッシュミスであると(ステップS14/No)、CTR1は、XとYとを連結したビット列を上位アドレス、Zのビット数分の下位アドレスがゼロである値をアクセスアドレスとして、CPに命令取り出し要求を出力する(ステップS16)。

10

【0067】

次に、CTR1は、MEMからのキャッシュエントリのサイズ分だけの命令ワードをCPのARBT、および、BUSを介してPE1に読み込む制御を行う(ステップS17)。次に、CTR1は、命令キャッシュであるRAM1の対応するエントリにBUSからの命令ワードを書き込む(ステップS18)。さらに、CTR1は、SELGrを介してFFrに値Xを格納する(ステップS19)。

【0068】

次に、CTR1は、再度、命令キャッシュに対するアクセス情報Aとし、命令キャッシュをアクセスし(ステップS20)、命令キャッシュのヒットミスを判定する(ステップS13)。今度は、FFyに値Xが格納されているので、命令キャッシュヒットとなり(ステップS14/Yes)、CTR1は、YとZとを連結したビット列からなるアドレスでRAM1に対し命令リードのアクセスを行う(ステップS15)。

20

【0069】

これらの動作により、次サイクルで利用する命令ワードを命令キャッシュであるRAM1から読み出すことができる。また、MODEの値に応じてPE1とPE2とを同一命令を実行するSIMDモードで動作させたり、あるいは、PE1とPE2で一つのPUを構成してMIMDモードで動作させたりすることが可能となる。その他、本実施の形態をとることで、一部のPEをSIMDモードで動作させながら、同時に一部のPEはPUを形成させMIMDモードで動作させることも可能である。

30

【0070】

なお、上記は、1ウェイ構成のキャッシュメモリとしてRAM1を利用した場合の動作例であるが、GPR1内の汎用レジスタ数に余裕があれば、多ウェイ構成のキャッシュメモリとして動作させることも可能である。

【0071】

次に、本発明の第1の実施の形態のPE1の実施例について図面を参照して説明する。図5は、本発明の第1の実施の形態のPE1の実施例の構成を示すブロック図である。図5を参照すると、PE1は、図2に示されていない制御セレクタCSEL1(以降、CSEL1と略称する)、および、比較回路CMP1(以降CMP1と略称する)を含む。図2のPE1にCSEL1、CMP1が存在しないというわけではなく、図2のPEの詳細な1例が図5に示すPE1である。

40

【0072】

CSEL1は、SIMDモードでは、ID1からの制御信号(選択信号)を選択し、MIMDモードでは、CTR1からの制御信号(Y値に対応する選択信号)を選択する。CSEL1からの選択信号は、RSEL1の選択信号として使用される。

【0073】

SIMDモードでは、RSEL1の出力は、ALU1、または、RAM1へのデータである。MIMDモードでは、RSEL1の出力は、命令キャッシュのタグであり、CMP1へ出力される。CMP1は、RSEL1からのタグと、CTR1からのX値と比較し、比較結果をCTR1に出力する。一致である比較結果は、命令キャッシュヒットを意味し

50

、不一致である比較結果は、命令キャッシュミスの意味する。

【0074】

次に、さらに具体的な実施例を用いて、実際の動作およびその効果を説明する。各PE1～PENは、16ビットの汎用レジスタFF1～FF16と、それぞれ、32ビットワードで計4KワードのRAM1～RAMnを持つSIMD型並列プロセッサである。

【0075】

PE1は、PE2と比べ、FF1～FF16に対応するSELG1～SELG16と、RAM1に対応するSELAD1と、CPからの命令とRAM1からの読み出し命令ワードを選択するISEL1と、PCおよびモードレジスタMODEを含むCTR1と、RSEL1の選択を制御するCSEL1と、命令キャッシュのヒットミスを判定するCMP1が追加されている。

10

【0076】

PE1とPE2とを合わせて、一つのMIMD動作可能なPUに動的に切り替えられるようにするための構成例は以下の通りである。

【0077】

PE1の4KワードのRAM1は、命令キャッシュとして使用される。そして、16個のFF1～FF16が、そのまま命令キャッシュのタグ格納用レジスタとして使用される。CTR1内のPCを28ビットとした場合に、FF1～FF16のビット数16に合わせるように、28ビットの命令キャッシュアクセス情報Aの上位16ビット(=X)をキャッシュエントリのタグとし、命令キャッシュを16エントリ、256ワード/エントリ構成とする。そして、残る12(=28-16)ビットのうち上位4ビット(=Y)GSエントリ番号を指定し、下位8ビット(=Z)が、エントリ内ワード位置を指定する(図4参照)。

20

【0078】

これにより、同時に16個の汎用レジスタをそれぞれ、命令キャッシュの各エントリに対応するタグの格納レジスタとして利用できる。こうした割り当ての下で、図3のフローチャートでのステップS12～S20を実施した場合の動作は以下のようになる。

【0079】

MODEの値が“1”の場合は、ISEL1は、RAM1からの読み出し結果を命令として選択する。命令ワードをサイクル毎に滞りなく、MEM上にあるプログラム領域から効率よく読み出せるようにするためには、命令キャッシュ制御を実現する必要がある。本実施例では、それを既存のPE1のハードウェア資源を流用することにより以下のようにして行う。

30

【0080】

まず、Yの4ビット値によって指定される16本の汎用レジスタのうちの1本であるFFyの内容の16ビット値と、Xの16ビット値とを比較することにより、命令キャッシュのヒットミス判定が行われる。ここで、FFyを読み出すためのセレクトは通常、PE1のデータパス上に存在するRSEL1をそのまま利用すればよい。

【0081】

FFyの内容とXとを比較した結果、一致した場合は、命令キャッシュのヒットを意味するので、YとZとを連結した12ビット列がRAM1へのアクセスアドレスとなる。アクセスアドレスは、SELAD1を介してRAM1へ出力され、命令キャッシュメモリとして機能するRAM1から、次サイクルの命令が読み出される。

40

【0082】

一方、比較の結果、不一致となった場合は、Xの16ビットとYの4ビットとを連結した20ビットを上位とし、下位をゼロとする28ビットのアクセスアドレスが用いられる。CP1は、アクセスアドレスをCPに出力する。CPに接続されるMEMから、キャッシュエントリのワード数の256(Zが8ビットである)の命令ワードが、ABRT、BUSを介し、RAM1に出力される。

【0083】

50

そして、MEMからの命令ワードは、対応するキャッシュエントリのアドレス位置（12ビットのうち上位4ビットがY、下位8ビット（=Zと同じビット数）がゼロであるアドレス位置を先頭とするRAM1の領域）へ書き込まれる。また、RSELGyを介し、FFyの内容がXの値に変更される。

【0084】

次に、YとZを連結した12ビットのアクセスアドレスがSELAD1を介してRAM1に出力され、次サイクルの命令が、命令キャッシュメモリとして機能するRAM1から読み出される。

【0085】

これにより、SIMD型並列プロセッサにおける2つのPE（ここではPE1とPE2）からなる一つのPUが、28ビットのメモリ空間からMIMD動作を実現するのに不可欠な命令をサイクル毎に読み出せるようになる。

【0086】

また、SIMD動作時では、PE1がデータメモリとして利用していたRAM1、および、汎用レジスタとして利用していたFF1～FF16が、命令キャッシュおよび命令キャッシュのタグ格納レジスタに流用される。このために追加されたISEL1、CTR1、SELAD1、CSEL1、および、CMP1は、ハードウェア的に少量である。

【0087】

なお、上記実施例では、汎用レジスタ上で実現している各命令キャッシュのタグに有効ビットを付随させていない。この場合は、タグのゼロ値であれば当該タグが無効であると見なせばよい。この場合、SIMDモードからMIMDモードへ切り替える際に、まず、命令キャッシュエントリのタグ値をゼロクリアし、かつ、PCの値がゼロになるのをソフトウェア的に防ぐ必要がある。

【0088】

これに対し、別の方法としては、タグ格納レジスタを1ビット拡張し、それを、当該タグが有効であるかどうかを示す情報、すなわち有効ビットとして利用する構成もある。その場合、有効ビットが“1”ならば、当該タグが有効であるとし、SIMDモードからMIMDモードへ切り替える際に、全タグの当該有効ビットを一斉にゼロにリセットすればよい。この場合、PCの値がゼロになるのをソフトウェア的に防ぐ必要はなくなる。

【0089】

本実施例による作用効果を、従来技術のMIMD動作可能なPEをベースに混合モード並列プロセッサを構成する手法と比較して、以下に説明する。

【0090】

すなわち、従来技術のまま、本発明の実施例の場合と同様に、28ビットのメモリ空間から命令ワードを読み出せるようにし、かつ4Kワードの命令キャッシュを利用できるようにするためには、最初から各PEに、もともと存在する4Kワードのメモリに加え、もう一つの4Kワードの命令ワード格納用メモリを追加する必要がある。かつ、本発明の実施例の場合と同様に命令キャッシュ制御を行えるようにするために、汎用レジスタセットとは別に、命令キャッシュのタグ格納用のレジスタとして16ビット×16本=256ビットのフリップフロップを追加する必要がある。

【0091】

一般に、一つのSIMD動作を行うPEの大半の面積を占有しているのが、汎用レジスタ（資源）とメモリ（資源）であることを考慮すると、従来技術に基づく混合モード並列プロセッサの各PEは、本発明と比べPE毎の回路規模が2倍ほどに膨らむ計算となる。

【0092】

したがって、SIMDモード時のPE数が同一である混合モード並列プロセッサで考えると、従来技術に基づくものは本発明に基づくものと比べると、2倍の回路規模が必要でありながらピーク性能はSIMD動作時では本発明と同等程度である。なお、MIMD動作時では従来技術に基づくものは本発明に基づくものと比べると2倍のピーク性能が得られるが、回路規模が約2倍であることを考えると、コスト性能比の観点では本発明と比べ

10

20

30

40

50



従来技術の優位性は認められない。

【0093】

本発明の本実施例の第1の効果は、少ない回路規模の増加のみで、SIMDモードのみをサポートする既存の単純なSIMD型並列プロセッサを、適用可能な問題の範囲がより広い、MIMD型並列プロセッサに動的に再構成できるようになることである。

【0094】

その理由は、SIMD動作する既存のPE複数個を一つのグループとして、個々のグループ内での既存のメモリ資源やレジスタ資源を命令キャッシュメモリや命令キャッシュエントリ毎タグ格納用スペースとして再利用できるように構成することにより、MIMD動作時に必要となるそれらの回路規模が大きい部品の新規追加が不要となるためである。

【0095】

本発明の実施例の第2の効果は、SIMD処理タスクとMIMD処理タスクの両方を共に含むアプリケーションを、従来の混合モード並列プロセッサと比べより効果的に処理性能を向上させることができるようになることである。

【0096】

その理由は、SIMD処理タスクとMIMD処理タスクの両方を共に含むアプリケーションでは通常、後者よりも前者の方が高い並列性を持つが、同程度の回路規模の下では本発明の混合モード並列プロセッサの方が既存のMIMD型並列プロセッサをベースとした混合モード並列プロセッサと比べ、より高いSIMD型並列動作を実現できるためである。

【0097】

以上により、本発明の実施例の同じ仕様のプロセッサ構成とした場合では、本発明の構成は、従来技術と比べ、MIMD動作時のコスト性能比を維持しつつ、SIMD動作時のコスト性能比を2倍程度高められるという効果が得られる。

【0098】

また、S個のSIMD動作するPEで一つのMIMD動作するPUを構成する場合、PU内では元々それぞれのPEに属する演算器の一部が、そのまま利用されずに存在する。それらの演算器を連結させて、たとえば、除算器や超越関数演算器といったより複雑な演算器を構成し、PUから利用できるようにすることで、PUの演算性能を一つのPEのそれよりも、さらに向上させるように工夫することが可能である。

【0099】

次に、本発明の第2の実施の形態について図面を参照して詳細に説明する。図6は、本発明の第2の実施の形態の混合モード並列プロセッサシステムPSの構成を示すブロック図である。図6を参照すると、本発明の第2の実施の形態の混合モード並列プロセッサシステムPSは、同一ハードウェア構成のPE1とPE2を備える。また、PE1は、本発明の第1の実施の形態のPE1と同様に動作する。PE1のISEL1の出力は、PE2のISEL1の入力となる。PE2のISEL1は、常に、PE1のISEL1からの出力を選択する。

【0100】

また、PE2では、CTR1が、PE1のISEL1からの出力である命令ワードを使用して動作するように制御を行う。たとえば、PE1、PE2のCTR1にクランプ端子を設け、1クランプである場合には、PE1として動作し、0クランプである場合には、PE2として動作する構成が可能である。

【0101】

上記構成により、本発明の第2の実施の形態は、同一の構成のPE1、PE2を製作すればよいので、本発明の第2の実施の形態は、原価低減が可能となるという効果を持つ。

【0102】

また、上記では、本発明の第1の実施の形態、本発明の第2の実施の形態をマイクロプログラムによるファームウェア制御とすることが可能である。

【産業上の利用可能性】

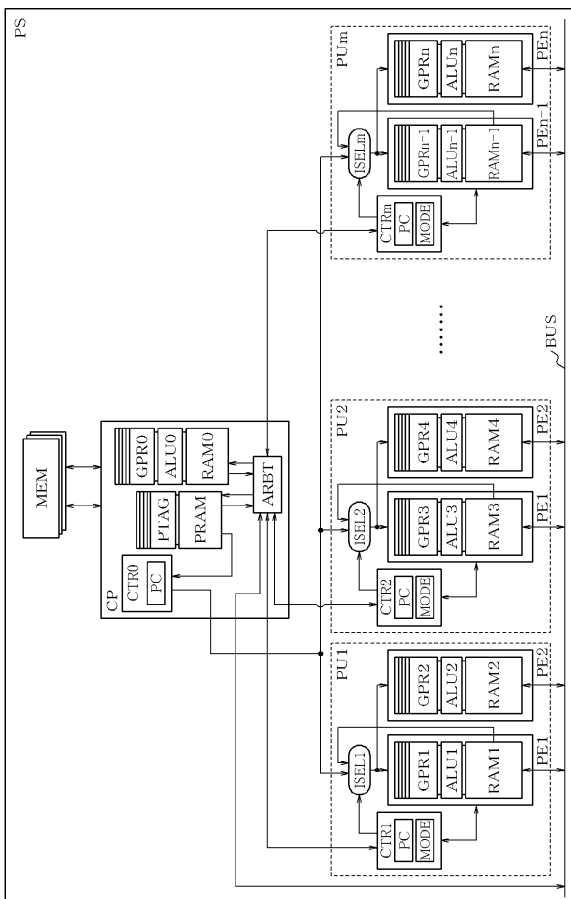
【0103】

本発明は、SIMD動作とMIMD動作とを動的に切り替え可能な混合モード並列プロセッサを低コストで実現する用途に適用できる。

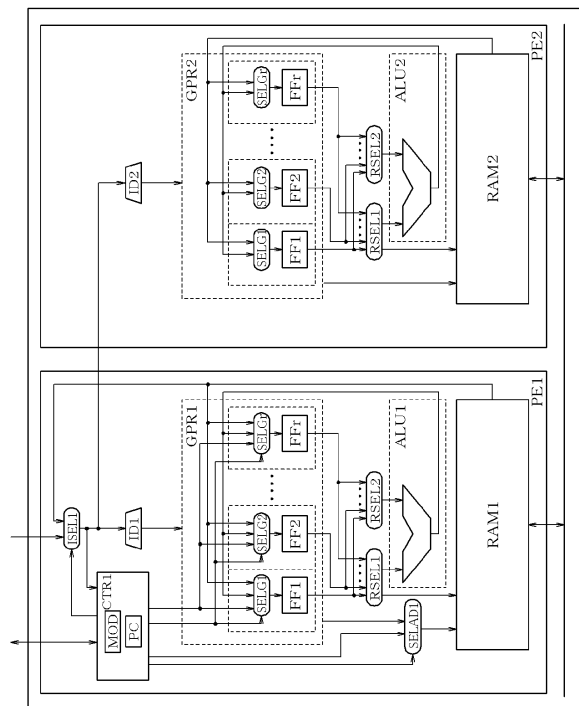
【0104】

以上、本発明を上記実施例に即して説明したが、本発明は上記実施例の構成にのみ制限されるものでなく、本発明の範囲内で当業者であればなし得るであろう各種変形、修正を含むことは勿論である。

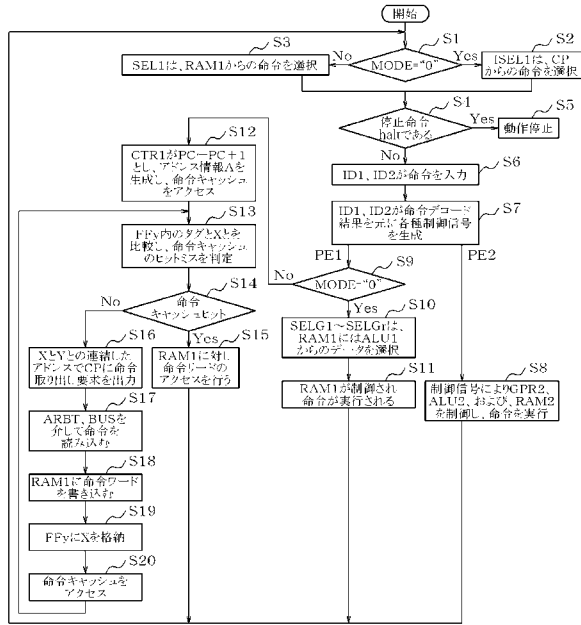
【図1】



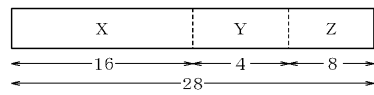
【図2】



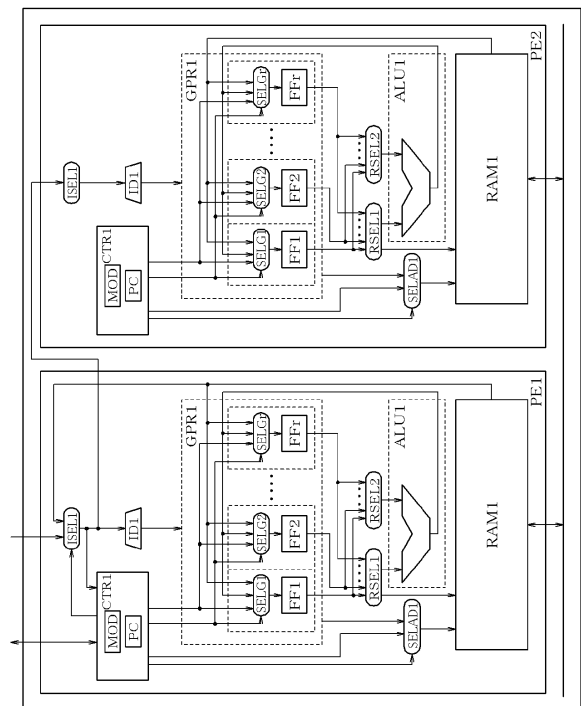
【図3】



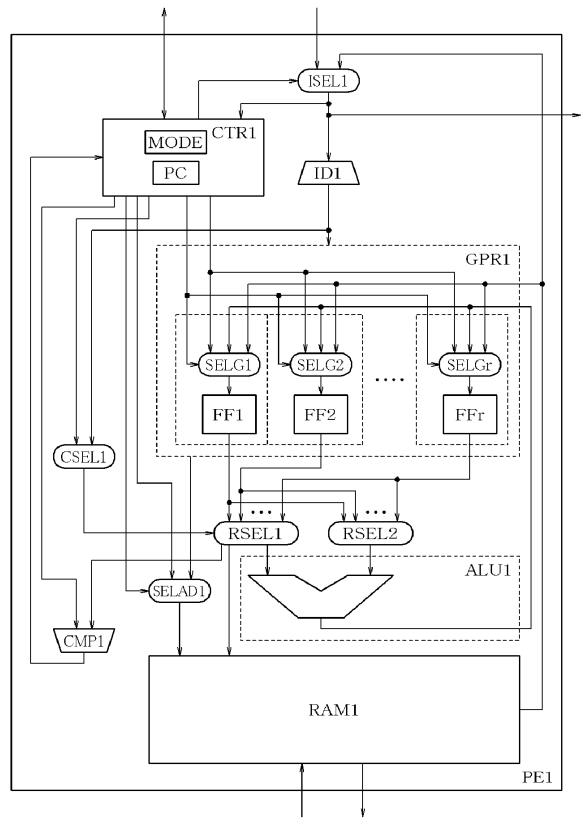
【図4】



【図6】



【図5】



フロントページの続き

(58)調査した分野(Int.Cl. , D B名)

G06F15/80

G06F12/08