

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7206589号
(P7206589)

(45)発行日 令和5年1月18日(2023.1.18)

(24)登録日 令和5年1月10日(2023.1.10)

(51)国際特許分類	F I
H 0 5 K 3/46 (2006.01)	H 0 5 K 3/46 Q
H 0 5 K 1/16 (2006.01)	H 0 5 K 3/46 B
H 0 1 L 23/12 (2006.01)	H 0 5 K 1/16 D
	H 0 1 L 23/12 B

請求項の数 7 (全18頁)

(21)出願番号	特願2017-246227(P2017-246227)	(73)特許権者	000003193
(22)出願日	平成29年12月22日(2017.12.22)		凸版印刷株式会社
(65)公開番号	特開2019-114635(P2019-114635 A)		東京都台東区台東1丁目5番1号
(43)公開日	令和1年7月11日(2019.7.11)	(74)代理人	100108855
審査請求日	令和2年12月8日(2020.12.8)		弁理士 蔵田 昌俊
前置審査		(74)代理人	100179062
			弁理士 井上 正
		(74)代理人	100199565
			弁理士 飯野 茂
		(74)代理人	100209048
			弁理士 森川 元嗣
		(74)代理人	100212705
			弁理士 矢頭 尚之
		(74)代理人	100219542
			弁理士 大宅 郁治

最終頁に続く

(54)【発明の名称】 キャパシタ内蔵ガラス回路基板の製造方法

(57)【特許請求の範囲】

【請求項1】

ガラス基板の上に、下部電極を有する導体回路層を形成する工程と、
前記導体回路層の上に、前記導体回路層の上面が部分的に露出するように保護層を形成する工程と、
前記保護層をマスクとして用いたエッチングにより、前記導体回路層の上面に、第1上面領域と、前記第1上面領域から突き出た凸部の上面としての第2上面領域とを形成する工程であって、前記第2上面領域は前記下部電極の上面である工程と、
前記保護層を剥離する工程と、
前記下部電極上に誘電体層を形成する工程と、
前記誘電体層上に上部電極を形成する工程と、
を含むキャパシタ内蔵ガラス回路基板の製造方法。

【請求項2】

前記導体回路層を形成する前に、前記ガラス基板上に下部金属層を形成する工程をさらに含む、請求項1に記載のキャパシタ内蔵ガラス回路基板の製造方法。

【請求項3】

前記導体回路層は、銅、ニッケル、クロム、パラジウム、金、ロジウム、及びイリジウムからなる群より選択される何れかの材料からなる請求項1または請求項2に記載のキャパシタ内蔵ガラス回路基板の製造方法。

【請求項4】

前記保護層は、前記ガラス基板と前記導体回路層との積層方向の平面視において前記誘電体層及び前記上部電極の形成領域の外側まで形成される、請求項1乃至請求項3のいずれか1項に記載のキャパシタ内蔵ガラス回路基板の製造方法。

【請求項5】

前記上部電極を、前記ガラス基板と前記導体回路層との積層方向の平面視において前記第2上面領域の内側に形成する請求項1乃至請求項4のいずれか1項に記載のキャパシタ内蔵ガラス回路基板の製造方法。

【請求項6】

前記上部電極を形成する前に、前記誘電体層の上に、前記第2上面領域と前記第1上面領域との高さの差と比較してより大きい厚さを有する上部金属層を形成する工程を更に含む請求項1乃至5のいずれか1項に記載のキャパシタ内蔵ガラス回路基板の製造方法。

10

【請求項7】

前記導体回路層を形成する前に、前記ガラス基板に表裏面を貫通する貫通孔を形成する工程を更に含む請求項1乃至請求項6のいずれか1項に記載のキャパシタ内蔵ガラス回路基板の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、キャパシタ内蔵ガラス回路基板及びキャパシタ内蔵ガラス回路基板の製造方法に係り、特にキャパシタの高信頼性及び容量の安定化を実現できるものに関する。

20

【背景技術】

【0002】

電子機器の高機能化及び小型化に伴って、半導体装置を構成する配線基板の高密度化の要求が高まっている。その中で、回路配線の微細化に合わせて、抵抗、キャパシタ、インダクタ等の受動部品についても小型化が求められている。しかしながら、これら受動部品の小型化と基板表面への高密度実装のみではさらなる小型化には限界がある。そこで、実装基板に受動素子を内蔵化する技術が提案されている（例えば、特許文献1参照。）。この技術では、受動素子を印刷や真空成膜法等で形成することで多層基板内に内蔵することで小型化が可能となる。さらに多層基板内に形成することで、配線長を短くすることが可能となり、高周波ノイズを軽減することも可能である。

30

【0003】

一方、配線基板の材料としては、一般的にガラスエポキシ樹脂に代表される有機材料が用いられている。近年、ガラス材料への穴あけ技術の進歩により、例えば、300 μm 厚のガラス基板に対して100 μm 以下の小径スルーホールを150 μm ピッチ以下で形成することが可能である。このことからガラス材料を用いた電子回路基板が注目されている。ガラス材料をコアに用いた回路基板（以下、「ガラス回路基板」と称する）は、ガラスの線熱膨張係数（CTE）が2ppm～8ppmと小さく、シリコンチップと整合するため実装信頼性が高く、さらに平坦性に優れるため高精度な実装が可能になる。また、平坦性に優れるために微細配線形成性、高速伝送性にも優れている。

【0004】

40

さらにガラスの透明性、化学的安定性、高弾性、かつ、安価である特徴を生かした電子回路基板への応用が研究されており、半導体装置用インターポーザ、撮像素子用回路基板、通信機器用のLC分波器（デュプレクサ）等の製品化が期待されている（例えば、特許文献2参照。）。これらガラス基板をコアとする電子回路にはデカップリングコンデンサやLC回路等を形成する必要があることから、キャパシタを内蔵する要求が高まっている。キャパシタを内蔵させるためには、誘電体を下部電極層と上部電極層で挟持するMIM構造（Metal insulator Metal）を有する薄膜キャパシタを形成することが考えられる。

【先行技術文献】

【特許文献】

50

【0005】

【文献】特開2000-151114号公報

特許第5982585号公報

【発明の概要】

【発明が解決しようとする課題】

【0006】

上述したガラス回路基板にキャパシタを内蔵しようとする、次のような問題があった。すなわち、キャパシタ部の下部電極層表面の粗さに応じてキャパシタの容量が変化するという問題があった。特に下部電極層の表面が粗い場合は、その凹凸の影響を受けてキャパシタのショート誘発や、キャパシタ容量の大きな変化を引き起こす。また、基板面内の下部電極層表面の粗さのバラつきは、キャパシタ容量のバラつきに直結するため、基板面内で均一な下部電極層表面が必要であり、製造工程において高い精度で加工制御する必要がある。

10

【0007】

そこで本発明は、上述した問題を解決するためになされたものであり、電子回路、電子機器の小型化薄型化の際に必要な、高信頼性及び容量の安定化を実現できるキャパシタ内蔵ガラス回路基板及びこのキャパシタ内蔵ガラス基板を歩留まり良く製造できるキャパシタ内蔵ガラス基板製造方法と提供することを課題とする。

【課題を解決するための手段】

【0012】

本発明の請求項1に記載の発明は、ガラス基板の上に、下部電極を有する導体回路層を形成する工程と、前記導体回路層の上に、前記導体回路層の上面が部分的に露出するように保護層を形成する工程と、前記保護層をマスクとして用いたエッチングにより、前記導体回路層の上面に、第1上面領域と、前記第1上面領域から突き出た凸部の上面としての第2上面領域とを形成する工程であって、前記第2上面領域は前記下部電極の上面である工程と、前記保護層を剝離する工程と、前記下部電極上に誘電体層を形成する工程と、前記誘電体層上に上部電極を形成する工程と、を含む。

20

本発明の請求項2に記載の発明は、前記導体回路層を形成する前に、前記ガラス基板上に下部金属層を形成する工程をさらに含む。

本発明の請求項3に記載の発明は、前記導体回路層は、銅、ニッケル、クロム、パラジウム、金、ロジウム、及びイリジウムからなる群より選択される何れかの材料からなる。

30

【0013】

本発明の請求項4に記載の発明は、前記保護層は、前記ガラス基板と前記導体回路層との積層方向の平面視において前記誘電体層及び前記上部電極の形成領域の外側まで形成される。

【0014】

本発明の請求項5に記載の発明は、前記上部電極を、前記ガラス基板と前記導体回路層との積層方向の平面視において前記第2上面領域の内側に形成する。

【0015】

本発明の請求項6に記載の発明は、前記上部電極を形成する前に、前記誘電体層の上に、前記第2上面領域と前記第1上面領域との高さの差と比較してより大きい厚さを有する上部金属層を形成する工程を更に含む。

40

【0016】

本発明の請求項7に記載の発明は、前記導体回路層を形成する前に、前記ガラス基板に表裏面を貫通する貫通孔を形成する工程を更に含む。

【発明の効果】

【0017】

本発明によれば、下部電極の表面粗さの均一化を行うことで、ショート誘発や、キャパシタ容量の大きな変化を防止し、高信頼性及び容量の安定化を実現することができると共に、上述した表面粗さの均一化を容易な加工制御によって行うことが可能となる。

50

【図面の簡単な説明】

【0018】

【図1】本発明の実施形態に係るキャパシタ内蔵ガラス回路基板の要部を示す縦断面図。

【図2】同キャパシタ内蔵ガラス回路基板の要部を積層方向に見た平面図。

【図3A】同キャパシタ内蔵ガラス回路基板及びキャパシタ内蔵ガラス回路基板の製造方法の製造工程を示す縦断面図。

【図3B】同キャパシタ内蔵ガラス回路基板の製造工程を示す縦断面図。

【図3C】同キャパシタ内蔵ガラス回路基板の製造工程を示す縦断面図。

【図3D】同キャパシタ内蔵ガラス回路基板の製造工程を示す縦断面図。

【図3E】同キャパシタ内蔵ガラス回路基板の製造工程を示す縦断面図。 10

【図3F】同キャパシタ内蔵ガラス回路基板の製造工程を示す縦断面図。

【図4A】同キャパシタ内蔵ガラス回路基板のキャパシタ形成部の製造工程を図2中A - A線で切断して矢印方向に示す縦断面図。

【図4B】同キャパシタ形成部の製造工程を示す縦断面図。

【図4C】同キャパシタ形成部の製造工程を示す縦断面図。

【図4D】同キャパシタ形成部の製造工程を示す縦断面図。

【図4E】同キャパシタ形成部の製造工程を示す縦断面図。

【図4F】同キャパシタ形成部の製造工程を示す縦断面図。

【図4G】同キャパシタ形成部の製造工程を示す縦断面図。

【図4H】同キャパシタ形成部の製造工程を示す縦断面図。 20

【図4I】同キャパシタ形成部の製造工程を示す縦断面図。

【図5A】キャパシタ内蔵ガラス回路基板の製造工程の比較例を示す縦断面図。

【図5B】同製造工程を示す縦断面図。

【図5C】同製造工程を示す縦断面図。

【図6】本発明の実施形態の変形例に係る電子部品の要部を示す縦断面図。

【発明を実施するための形態】

【0019】

以下、図に基づいて、本発明の実施形態について説明する。

【0020】

図1は本発明の第1の実施の形態に係るキャパシタ内蔵ガラス回路基板10の要部を示す縦断面図である。なお、図3F中Pはキャパシタ形成部を示している。 30

【0021】

図1に示すようにキャパシタ内蔵ガラス回路基板10は、ガラス基板100を有している。

【0022】

ガラス基板100には表裏面を貫通する貫通孔101が形成されており、この貫通孔101内壁面及びガラス基板100の両面にわたってシード金属層102が形成されている。シード金属層102には、導体回路層104が形成されている。導体回路層104の一部はキャパシタ109を構成する下部電極105となる。

【0023】 40

キャパシタ109の導体回路層104の上面(表面)106は、導体回路層の上面106a領域と、下部電極105の上面(凸部の表面)106b領域とが形成されている(図4D参照)。

【0024】

キャパシタ109は、図1に示すように基本的に下部電極と誘電体層と上部電極とから構成されるが、さらに密着層、またはシード層を設けてもよい。従って、一つの形態としては、図4Iに示すように、下部電極105上に下部密着層110、誘電体層111、上部密着層112、シード金属層113を順次設けられている。シード金属層113の上部には上部電極114が形成されている。

【0025】 50

また、ガラス基板の両面に絶縁樹脂層 1 3 1 を設ける。絶縁樹脂層 1 3 1 には、ビアホール 1 3 2、積層導体回路層 1 3 3 が形成される。さらに必要に応じて第 2 の絶縁樹脂層と第 2 の導体回路層が形成され積層される。最外部に外部接続端子 1 3 4 が形成されている。外部接続端子 1 3 4 の所定部位にははんだボール 1 3 5 が形成されている。

【 0 0 2 6 】

次に、各要素の材質、形状等について詳細に説明する。ガラス基板 1 0 0 は、光透過性を有する透明のガラス材料である。ガラスの成分またはガラスに含有される各成分の配合比率、更にガラスの製造方法は特に限定されない。例えば、ガラスとしては、無アルカリガラス、アルカリガラス、ホウ珪酸ガラス、石英ガラス、サファイアガラス、感光性ガラス等が挙げられるが、ケイ酸塩を主成分とするいずれのガラス材料を用いてもよい。さらに、その他のいわゆるガラス材料を用いても良い。ただし、本実施形態にかかる半導体用途では、無アルカリガラスを用いるのが望ましい。また、ガラス基板 1 0 0 の厚さは 1 mm 以下が好ましいが、ガラスの貫通孔形成プロセスの容易性や製造時のハンドリング性を考慮して、より好ましくは 0 . 1 mm 以上 0 . 8 mm 以下である。

【 0 0 2 7 】

ガラス基板 1 0 0 の製造方法としては、フロート法、ダウンドロー法、フュージョン法、アップドロー法、ロールアウト法等が挙げられるが、いずれの方法によって作製されたガラス材料を用いてもよく、本実施形態のものに限定されない。ガラスの線膨張係数は - 1 ppm / K 以上 1 5 . 0 ppm / K 以下であることが望ましい。その理由として、 - 1 ppm / K 以下である場合、ガラス材料自体を選定することが困難となり安価に作成できない。一方、 1 5 . 0 ppm / K 以上である場合、他層との熱膨張係数の差異が大きく信頼性が低下する。また、本実施形態の基板にシリコンチップを実装する場合は、シリコンチップとの接続信頼性が低下する。なお、ガラスの線膨張係数は、より好ましくは 0 . 5 ppm / K 以上 8 . 0 ppm / K 以下、更に好ましくは 1 . 0 ppm / K 以上 4 . 0 ppm / K 以下であることが望ましい。

【 0 0 2 8 】

また、ガラス基板 1 0 0 には予め反射防止膜または IR カットフィルタ等の機能膜が形成されていてもよい。また、強度付与、帯電防止付与、着色、テクスチャー制御等の機能が付与されてもよい。これら機能膜の例として、強度付与にはハードコート膜、帯電防止付与については、帯電防止膜、着色については、光学フィルタ膜、テクスチャー制御においては、アンチグレア、光散乱膜等が挙げられるが、この限りではない。これら機能膜の形成方法としては、蒸着、スパッタリング法、ウエット方式等の成膜技術が用いられる。

【 0 0 2 9 】

シード金属層 1 0 2 はセミアディティブ工法における配線形成用において、電解めっきの給電層として作用する。ガラス基板 1 0 0 直上及び貫通孔 1 0 1 内壁に設けられるシード金属層 1 0 2 は、例えば、スパッタ法、または CVD 法によって形成され、例えば、Cu、Ni、Al、Ti、Cr、Mo、W、Ta、Au、Ir、Ru、Pd、Pt、AlSi、AlSiCu、AlCu、NiFe、ITO、IZO、AZO、ZnO、PZT、TiN、Cu₃N₄、Cu 合金単体もしくは複数組み合わせたものが用いられている。さらにその上に無電解めっき層（無電解銅めっき、無電解ニッケルめっき等）が形成されている。

【 0 0 3 0 】

本実施形態では、電気特性、製造の容易性の観点及びコスト面を考慮して、ガラスと密着が良好なチタン層、続いて銅層を順次スパッタリング法で形成する。ガラス基板上の回路形成用のチタンと銅層の合計の膜厚は、セミアディティブ法による微細な配線形成に有利なことから 1 μm 以下とするのが望ましい。1 μm より厚い場合ピッチ 30 μm 以下の微細配線形成が困難である。

【 0 0 3 1 】

導体回路層 1 0 4 は、電解銅めっきであることが簡便で安価で、電気伝導性が良好であることから望ましいが、電解銅めっきの他、電解ニッケルめっき、電解クロムめっき、電

10

20

30

40

50

解Pdめっき、電解金めっき、電解ロジウムめっき、電解イリジウムめっき等であっても良い。

【0032】

キャパシタ109において、下部密着層110は、下部電極105と誘電体層111との密着性を向上させる機能を有し、上部密着層112は、誘電体層111とシード金属層113との密着性を向上させる機能を有している。下部密着層110及び上部密着層112の材質は、例えばTiである。その他、例えばCu、Ni、Al、Cr、Mo、W、Ta、Au、Ir、Ru、Pd、Pt、AlSi、AlSiCu、AlCu、NiFe、Cu合金単体もしくは複数組み合わせたものを用いてもよい。Tiは、密着性、電気伝導性、製造の容易性の観点及びコスト面から優れている。

10

【0033】

下部密着層110及び上部密着層112の厚さは例えば、10nm以上1 μ m以下であることが望ましい。10nm未満である場合、密着強度が不十分となる虞がある。1 μ mを超える場合、後述する製造工程において、成膜時間がかかりすぎて量産性に欠けるばかりでなく、不要部分を除去する工程でさらに時間がかかる虞がある。下部密着層110及び上部密着層112の厚さは、より好ましくは10nm以上、500nm以下であることが望ましい。下部密着層110及び上部密着層112はそれぞれ厚さが異なってもよいが、構造上単純になるため同厚であることが望ましい。また、下部電極105と誘電体層111との密着が十分である場合は、下部密着層110はなくてもかまわない。誘電体層111とシード金属層113との密着が十分である場合は、上部密着層112はなくてもかまわない。

20

【0034】

誘電体層111は、絶縁性、比誘電率の観点からアルミナ、シリカ、シリコンナイトライド、タンタルオキサイド、酸化チタン、チタン酸カルシウム、チタン酸バリウム、チタン酸ストロンチウムから選択することができる。誘電体層111の厚さは、10nm以上5 μ m以下であることが望ましい。誘電体層111の厚さが、10nm以下である場合、絶縁性を保つことができずにキャパシタとしての機能が発現しない。誘電体層111の厚さが、5 μ m以上の場合、成膜時間がかかりすぎて量産性に欠けるばかりでなく、不要部分を除去する工程でさらに時間がかかってしまう。より好ましくは50nm以上、1 μ m以下であることが望ましい。

30

【0035】

シード金属層113はキャパシタ109の上部電極114をセミアディティブ法で形成するための給電層である。シード金属層113は例えばCu、Ni、Al、Ti、Cr、Mo、W、Ta、Au、Ir、Ru、Pd、Pt、AlSi、AlSiCu、AlCu、NiFe、Cu合金単体もしくは複数組み合わせたものを適用することができる。より好ましくは銅であることが後のエッチング除去が簡便となるため銅であることが望ましい。シード金属層113の厚さは、10nm以上5 μ m以下であることが望ましい。シード金属層113の厚さが、100nm未満である場合、続く電解めっき工程において通電不良が発生する可能性がある。シード金属層113の厚さが、5 μ mを超えると、エッチング除去に時間がかかってしまう。シード金属層113の厚さが、より好ましくは100nm以上500nm以下が望ましい。

40

【0036】

上部電極114は、電解めっき層である。電解銅めっきであることが簡便で安価で、電気伝導性が良好であることから望ましいが、電解銅めっきの他、電解ニッケルめっき、電解クロムめっき、電解Pdめっき、電解金めっき、電解ロジウムめっき、電解イリジウムめっき等であっても良い。

【0037】

上部電極114の厚さ(電解銅めっきの厚さ)は3 μ m以上30 μ m以下であることが望ましい。3 μ m未満の場合、上部電極114を形成した後のエッチング処理によっては回路が消失してしまう虞がある。さらに回路の接続信頼性、電気伝導性が低下する危険性

50

がある。電解銅めっき厚が $30\mu\text{m}$ を超えると、 $30\mu\text{m}$ 厚以上のレジスト層を形成する必要があり、製造コストがかかる。さらにはレジスト解像性が低下することから、ピッチ $30\mu\text{m}$ 以下の微細な配線形成が困難となってしまう。より好ましくは $5\mu\text{m}$ 以上、 $25\mu\text{m}$ 以下であることが望ましい。さらに望ましくは $10\mu\text{m}$ 以上、 $20\mu\text{m}$ 以下であることが望ましい。

【0038】

その後、図1に示すように、ガラス直上の導体回路層104の一部を下部電極としてキャパシタ109を形成した後に絶縁樹脂層131、ビアホール132を形成する。その後、積層導体回路層133と絶縁樹脂層131を繰り返して形成することによって多層配線が形成される。なお、導体回路層104と積層導体回路層133は公知のセミアディティブ法あるいはサブトラクティブ法を用いて形成することができる。さらに積層導体回路層133を形成した後に外部接続端子134を形成する。さらに、外部接続端子134にはんだボール135を形成する。

10

【0039】

本実施形態による回路基板は図1に示すように、片面に積層導体回路層133、外部接続端子134、はんだボール135があってもよく、両面にあっても良い。

【0040】

なお、絶縁樹脂層131は最外層であれば、ソルダーレジストを用いても良く、本実施形態により限定されない。また、外部接続端子134に表面処理を行ってもよい。表面処理を行うことではんだボール135との接合性が向上する。

20

【0041】

表面処理は、スズやスズの合金めっき皮膜、無電解Ni-P/無電解Pd-P/Auめっき皮膜、もしくは無電解Ni-P/Auめっき皮膜等を成膜することができる。または、プレソルダー処理、または、OSP(Organic Solderability Preservative)等の有機皮膜処理が施されてもよい。はんだボール135はスクリーン印刷法、はんだボール振込み搭載法、電解めっき法等によって形成することができる。はんだボールの組成はスズ、銀、銅、ビスマス、鉛、亜鉛、インジウム、アンチモン等一種、もしくは複数種を混合したものをを用いることができ、これら金属材料の混合比は問わない。はんだの代わりにワイヤーボンディング用のパッドを設けてもよい。

【0042】

図2はキャパシタ内蔵ガラス回路基板のキャパシタ周辺部を積層方向に見た平面図である。この図は、導体回路層104のうち、キャパシタ109を構成する領域近傍の下部電極105を示している。後述するが、図2のA-A線で切断した断面図でキャパシタ形成工程を説明する(図4参照)。

30

【0043】

次に、キャパシタ内蔵ガラス回路基板10の製造方法について説明する。図3A~図3Fは、キャパシタ内蔵ガラス回路基板10を構成するキャパシタ内蔵ガラス回路基板の製造工程を示す縦断面図である。

【0044】

図3Aに示すように、ガラス基板100を準備する。続いて図3Bに記載するようにガラス基板100に貫通孔101を形成する。貫通孔101の断面形状や径は本実施形態により限定されない。例えば貫通孔のトップ径とボトム径よりも中央部の径が狭くなるような形状でもよく、また、トップ径に対しボトム径が小さい形状等でもよい。更に、貫通孔のトップ径とボトム径よりも中央部の径が広くなるような形状でもよい。貫通孔の公知形成方法としては、レーザ加工、放電加工、感光性レジスト材料を用いる場合にはサンドブラスト加工、ドライエッチング、フッ化水素酸等によるケミカルエッチング加工が挙げられる。さらに感光性ガラスを用いてもガラスコアを作成することが可能である。好ましくはレーザ加工、放電加工が簡便でスループットが良いことから望ましい。用いることができるレーザは、CO₂レーザ、UVレーザ、ピコ秒レーザ、フェムト秒レーザ等から選択することができる。

40

50

【 0 0 4 5 】

続いて図 3 C に記載するように貫通孔 1 0 1 が形成されたガラス基板 1 0 0 の表面及び貫通孔内にシード金属層 1 0 2 を形成する。シード金属層 1 0 2 はセミアディティブ工法における配線形成用において、電解めっきの給電層として作用する。

【 0 0 4 6 】

シード金属層 1 0 2 の形成工程は、ガラス基板 1 0 0 上にチタン、銅層を形成した後に、無電解めっき層を形成する。チタン、銅層のみである場合、貫通孔 1 0 1 内部すべてに金属皮膜を形成することができず、貫通孔 1 0 1 の接続信頼性低下が生じる。本実施形態によれば、無電解めっき法によって貫通孔 1 0 1 内に金属層を増強することで貫通孔 1 0 1 の接続信頼性を向上させることができる。無電解めっき層は無電解銅めっき、無電解ニッケルめっきが挙げられるが、ガラスあるいはチタン、銅層との密着性がよいことから無電解ニッケルめっきを行う。ニッケルめっき層が厚い場合微細は配線形成が困難となってしまうばかりでなく、膜応力増加による密着性低下する。そのため、無電解ニッケルめっき厚は 1 μ m 以下が望ましい。また、より好ましくは、0.5 μ m 以下であり、さらに好ましくは 0.3 μ m 以下である。また、無電解ニッケルめっき皮膜には還元剤に由来する共析物であるリンや、無電解ニッケルめっき液中に含まれる硫黄や鉛やビスマス等が含まれていてもよい。以上の工程を経て、貫通孔 1 0 1 が形成されたガラス基板上にシード金属層 1 0 2 が形成された基板 (図 3 C) が得られる。

10

【 0 0 4 7 】

続いて、図 3 D に記載するように、フォトリソパターン PR を形成する。フォトリソパターン PR の形成方法について記載する。まず、シード金属層 1 0 2 上全面にフォトリソ層を形成する。形成するフォトリソ層はネガ型ドライフィルムレジスト、ネガ型液状レジスト、ポジ型液状レジストが挙げられるが、レジスト層の形成が簡便かつ安価であるためネガ型フォトリソであることが望ましい。レジスト層形成方法は、例えばネガ型ドライフィルムレジストであればロールラミネート法、真空ラミネート法が挙げられる。液状ネガ型、あるいはポジ型レジストである場合はスリットコート、カーテンコート、ダイコート、スプレーコート、静電塗装、インクジェットコート、グラビアコート、スクリーン印刷、グラビアオフセット印刷、スピコート、ドクターコートより選定できる。これらレジスト層の形成方法は本実施形態により限定されない。

20

【 0 0 4 8 】

続いて、フォトリソ層に所望の導体回路層 1 0 4 を形成するためのパターンを公知のフォトリソグラフィ法によって形成する。すなわち、レジストパターンは後の導体回路層 1 0 4 が形成される部分が露出するように位置あわせの上、露光、現像処理することによってパターンニングする。レジスト層の厚みは、導体回路層の厚みにも依存するが、好ましくは 5 μ m 以上、25 μ m 以下であることが望ましい。5 μ m より薄い場合、導体回路層となる電解めっき層を 5 μ m 以上に増膜できなくなり、回路の接続信頼性が低下する可能性がある。25 μ m より厚くなる場合、ピッチ 30 μ m 以下の微細配線を形成することが困難となる。こうして図 3 D に示すように、フォトリソパターン PR が形成されたガラス基板を得る。

30

【 0 0 4 9 】

続いて、図 3 E に示すように、導体回路層 1 0 4 の元となる電解めっき層 1 0 3 を電解めっき法により形成する。電解めっき法は電解ニッケルめっき、電解銅めっき電解、電解クロムめっき、電解 Pd めっき、電解金めっき、電解ロジウムめっき、電解イリジウムめっき等が挙げられるが、電解銅めっきであることが簡便で安価で、電気伝導性が良好であることから望ましい。電解銅めっきの厚さは 3 μ m 以上 30 μ m 以下であることが望ましい。この理由として、3 μ m 以下の場合、後のエッチング処理によっては回路が消失してしまう危険性があり、さらに回路の接続信頼性、電気伝導性が低下する危険性があるためである。一方、電解銅めっき厚が 30 μ m 以上である場合、30 μ m 厚以上のレジスト層を形成する必要があり、製造コストがかかることになる。さらにはレジスト解像性が低下することから、ピッチ 30 μ m 以下の微細な配線形成が困難となってしまう。より好まし

40

50

くは5 μm以上、25 μm以下であり、さらに好ましくは10 μm以上、20 μm以下であることが望ましい。

【0050】

続いて、図3Fに示すように、電解めっきにより配線形成した後不要となったフォトレジストパターンPRを除去し、導体回路層104のみをガラス基板100に配置すると共に、シード金属層102を露出させる。本実施形態にレジスト除去方法は限定されず、例えば、アルカリ水溶液によって剥離除去することができる。

【0051】

図4A～図4Iは、図3F中二点鎖線Pの部分を拡大して示す縦断面図である。なお、これらの図において、ガラス基板100上に形成された導体回路層104上へのキャパシタ形成の一例を記載してあるが、導体回路層104の直上にキャパシタ109を作成することに限定されない。

10

【0052】

図4Aは、導体回路層104の一部であるキャパシタ109を構成する下部電極105を示している。続いて、図4Bに記載するように下部電極105の上部に導体回路層の上面(表面)106を保護するため、保護層Hを形成する。保護層Hとしては前述のフォトレジストパターンPRを適用することができ、前記と同じ方法で形成することができる。保護層の形成領域はその後のキャパシタ形成領域よりやや大きいことが好ましい。

【0053】

続いて、先ほど図3Fに示したシード金属層102の露出した部分を除去し、回路を電気的に分断することによって、導体回路層104が形成される。露出したシード層を除去する工程では、導体回路層104も同時にエッチングされる。この際、図4Cに記載するように、保護層Hで保護された導体回路層の部分は、エッチングされず、凸状段差部が形成される。なお、シード層除去方法は本実施形態によって限定されることはないが、無電解Ni層、銅層、チタン層を順次化学エッチングにより除去する方法を用いることができる。エッチング液の種類は除去する金属種により適宜選択され、本実施形態によって限定されない。

20

【0054】

続いて、図4Dに示すように、不要になった保護層Hを除去する。保護層Hの除去は前述のフォトレジストパターンPRと同様に公知方法のアルカリ水溶液で除去剥離処理を行うことができる。この場合、保護層Hが形成されていた領域は導体回路層104がエッチング液から保護されていたため、エッチングされず、一方、非保護部の導体回路層のみがエッチングされ、導体回路層104上に凸状段差部が形成される。この凸状部は下部電極105としてキャパシタ109が形成される領域となる。

30

【0055】

続いて、図4Eに示すように、下部電極105上の全面に渡り、下部密着層110、誘電体層111、上部密着層112、及び、シード金属層113を順次堆積形成する。上記層の成膜方法としては、真空蒸着法、スパッタリング法、イオンプレーティング法、MBE法、レーザブレーション法、CVD法が挙げられるが、本実施形態により限定されない。

【0056】

誘電体層111の下層にある下部密着層110は、誘電体層111と導体回路層104との密着性を向上させる機能を有する。また、誘電体層111と導体回路層104との密着が十分である場合は、下部密着層110は無くても構わない。シード金属層113はキャパシタ109の上部電極114をセミアディティブ法で形成するための給電層として機能する。

40

【0057】

続いて、図4Fに記載するようにフォトレジストパターンPSを形成する。フォトレジストパターンPSの形成は、前述したフォトレジストパターンPRと同じ方法で行うことができる。この場合、フォトレジストパターンPSの開口領域は導体回路層の凸部上面106bの内側となるように形成し、積層方向における平面視においても内側になるように

50

形成する（図 2 参照）。

【 0 0 5 8 】

続いて、図 4 G に示すように、シード金属層 1 1 3 を用いて電解めっき法によって上部電極 1 1 4 を形成する。

【 0 0 5 9 】

上述したように、フォトリジストパターン P S は導体回路層の凸部上面 1 0 6 b の内側に開口部が形成されているため、上部電極 1 1 4 は導体回路層の凸部上面 1 0 6 b の内側にのみ形成される。

【 0 0 6 0 】

続いて、図 4 H に示すように、フォトリジストパターン P S を除去する。フォトリジストパターン P S の除去は公知方法のアルカリ水溶液で除去剥離処理を行うことができる。

10

【 0 0 6 1 】

続いて、図 4 I に示すように、上部電極 1 1 4 をマスクとして、シード金属層 1 1 3、上部密着層 1 1 2、誘電体層 1 1 1、及び、下部密着層 1 1 0 の不要部分を除去する。シード金属層 1 1 3、上部密着層 1 1 2、誘電体層 1 1 1、及び、下部密着層 1 1 0 の除去方法は化学エッチング法、ドライエッチング法、いずれも公知方法を用いることができ、各層毎で異なった方法でも、また、全ての層で同じ方法でもよく、本実施形態により限定されない。上述したように、上部電極 1 1 4 は導体回路層の凸部上面 1 0 6 b の内側に形成にされているため、上部電極 1 1 4 をマスクとして不要部分を除去すると誘電体層 1 1 1 は導体回路層の凸部上面 1 0 6 b の内側にのみ形成される。以上の工程によりキャパシタ 1 0 9 が形成される。

20

【 0 0 6 2 】

その後、図 1 に示すように、ガラス直上の配線回路上にキャパシタ 1 0 9 を形成した後に絶縁樹脂層 1 3 1、ビアホール 1 3 2 を形成する。その後、積層導体回路層 1 3 3 と絶縁樹脂層 1 3 1 を繰り返して形成することによって多層配線が形成される。なお、導体回路層 1 0 4 と積層導体回路層 1 3 3 は公知のセミアディティブ法あるいはサブトラクティブ法を用いて形成することができる。さらに積層導体回路層 1 3 3 を形成した後に外部接続端子 1 3 4 を形成する。さらに、外部接続端子 1 3 4 にはんだボール 1 3 5 を形成する。

【 0 0 6 3 】

本実施形態による回路基板は図 1 に記載のように片面に積層導体回路層 1 3 3、外部接続端子 1 3 4、はんだボール 1 3 5 があってもよく、変形例として図 6 に示したように両面にあっても良い。さらに半導体チップ 1 3 6、チップ部品 1 3 7 を搭載してもよい。

30

【 0 0 6 4 】

以下に多層配線の形成方法について説明する。多層配線の形成方法は公知方法を用いることができる。すなわち、多層配線層の絶縁樹脂層 1 3 1 として使用できる例としてはエポキシ樹脂、ポリイミド、マレイミド樹脂、ポリエチレンテレフタレート、ポリフェニレンオキシド、液晶ポリマー及びこれらの複合材料、あるいは感光性ポリイミド樹脂、感光性ポリベンゾオキサゾール、感光性アクリル - エポキシ樹脂を用いても良い。絶縁樹脂の形成方法は本実施形態により限定されないが、シート状のものであれば真空ラミネート、真空プレス、ロールラミネート法を用いることができる。液状のものであれば、スリットコート、カーテンコート、ダイコート、スプレーコート、静電塗装、インクジェットコート、グラビアコート、スクリーン印刷、グラビアオフセット印刷、スピコート、ドクターコートより選定できる。

40

【 0 0 6 5 】

絶縁樹脂層 1 3 1 の厚さであるが、好ましくは $5 \mu\text{m}$ 以上 $50 \mu\text{m}$ 以下であることが望ましい。 $50 \mu\text{m}$ 以上である場合、絶縁樹脂層 1 3 1 に形成できるビアホール 1 3 2 の小径化が難しくなるため、配線の高密度化が不利となってしまう、 $5 \mu\text{m}$ 以下である場合、層間絶縁性を確保することが困難となる。

【 0 0 6 6 】

多層配線中のビアホール 1 3 2 の形成は、非感光性絶縁樹脂であればレーザ加工を用い

50

ることができる。レーザは、CO₂レーザ、UVレーザ、ピコ秒レーザ、フェムト秒レーザ等が挙げられるが、好ましくはUVレーザ、CO₂レーザであることが簡便で望ましい。感光性絶縁樹脂であればフォトリソグラフィ法によって形成することができる。ビアホール形成後に適宜過マンガン酸溶液によるデスマアを行うことで樹脂表面の粗化とビアホール内をクリーニングして導体回路層104との密着性向上を行うことが望ましい。あるいはプラズマ処理によって樹脂表面及びビア内部をクリーニングする方法を行っても良い。

【0067】

このように構成されたキャパシタ内蔵ガラス回路基板と、このキャパシタ内蔵ガラス回路基板の製造方法によれば、次のような効果が得られる。すなわち、図4Bに示すように、導体回路層の上面106を保護層Hで保護することによって、図4Dに示すように、キャパシタの下部電極層側となる導体回路層の上面106に、シード金属層102のエッチング液に侵されない導体回路層の凸部上面(表面)106bの領域を形成可能である。導体回路層の凸部上面106bは、非保護部導体回路の上面106aと比較して、シード金属層102のエッチング液に侵されていないため滑らかな表面を得ることが可能である。この場合、より滑らかな面上にキャパシタを形成できるため、表面荒れに起因するキャパシタのショート低減や、電極表面積のバラつきに起因する容量のバラつきを低減できるため、歩留まりを向上することが可能である。

10

【0068】

また、図4Bに示すように、保護層Hをキャパシタ形成領域Qより積層方向における平面視において外側になるように形成することによって、導体回路層の凸部上面106b領域Qをキャパシタ形成領域より大きい。すなわち、キャパシタは凸状段差部の内側に形成される。この場合、キャパシタ109の下部電極層の全面がより滑らかな面である導体回路層の凸部上面106bであるため、より歩留まりを向上することができる。

20

【0069】

また、図4Eに示すように、シード金属層113の厚さを、凸状段差部の段差よりも大きくすることによって、キャパシタの上部電極114をセミアディティブ法で形成するための給電を安定して行うことが可能である。この場合、絶縁体である誘電体層111表面の段差を導電性の高いシード金属層113で乗り越えるため、凸状段差部の段差による誘電体層111表面の段差で断線する可能性がなくなり歩留まり良く上部電極114を形成可能となる。

30

【0070】

また、図4F～図4Hに示すように、上部電極114は、導体回路層の凸部上面106bに対して、平面視において内側に形成することによって、キャパシタを導体回路層の凸部上面106bの内側に形成できる。この場合、キャパシタの下部電極層の全面がより滑らかな面である導体回路層の凸部上面106bであるため、より歩留まりを向上することができる。

【0071】

図5A～図5Cは、比較例に係るキャパシタを形成する製造工程を説明する説明図である。図5A～図5Cに示す製造工程においては、導体回路層の上面106を保護層Hで保護しない製造方法である。なお、これらの図において、同一要素又は同一機能を有する各部分には、同一符号を用いて、重複する説明は省略する。

40

【0072】

図5Aは、導体回路層104の一部であるキャパシタ109を構成する下部電極105を示しており、図4Aと同じ状態である。続いて、図5Bに示すように、シード金属層102を除去する。この場合、導体回路層の上面106の全面がシード金属層102のエッチング液に侵されるため、導体回路層の上面106の全てが、上述の実施形態における非保護部導体回路の上面106aと同じ状態となる。

【0073】

次いで、前述した図4E～図4Hと同じ製造方法を経て、図5Cのようにキャパシタが

50

形成される。この場合、キャパシタの下部電極層側はエッチング液で侵された非保護部導体回路の上面106aとなるため、荒れた面の上にキャパシタを形成することとなる。表面荒れに起因するキャパシタのショートや、電極表面積のバラつきに起因する容量のバラつきが生じるため歩留まり低下を引き起こす。

【0074】

このように、本実施形態におけるキャパシタ内蔵ガラス回路基板においては、導体回路層の上面106を保護層Hで保護しない製造方法に比べて、信頼性を向上させることができると共に、電極表面積のバラつきに起因する容量のバラつきが生じるため歩留まり低下を防止できる。また、本実施形態に係るキャパシタ内蔵ガラス回路基板10においても、電気的信頼性を高めることができると共に、電子回路、電子機器の小型化・薄型化を実現

10

【0075】

なお、本発明は、上記実施形態に限定されるものではなく、実施段階ではその要旨を逸脱しない範囲で種々に変形することが可能である。また、各実施形態は適宜組み合わせ実施してもよく、その場合組み合わせた効果が得られる。更に、上記実施形態には種々の発明が含まれており、開示される複数の構成要件から選択された組み合わせにより種々の発明が抽出され得る。例えば、実施形態に示される全構成要件からいくつかの構成要件が削除されても、課題が解決でき、効果が得られる場合には、この構成要件が削除された構成が発明として抽出され得る。

【産業上の利用可能性】

20

【0076】

本発明によれば、ガラス基板を有するキャパシタ内蔵回路基板を高い信頼性で製造することが可能となる。なお、キャパシタ内蔵ガラス回路基板は、半導体パッケージ基板、インターポーザ、光学素子用基板の製造、あるいは電子部品の製造に利用することができる。以下に、本願出願の当初の特許請求の範囲に記載された発明と同等の記載を付記する。

[1]

ガラス基板と、

このガラス基板に積層され、内部に導体回路層が形成された絶縁樹脂層と、前記導体回路層の一部を下部電極とし、この下部電極上に積層形成される誘電体層と、前記誘電体層上に積層形成される上部電極層とを有するキャパシタとを備え、前記下部電極は、前記ガラス基板と前記絶縁樹脂層の積層方向を含む平面における断面視において前記誘電体層側に凸状段差部を有し、前記凸状段差部の表面は凸状段差部以外の表面より、表面粗さが小さく形成されたキャパシタ内蔵ガラス回路基板。

30

[2]

前記キャパシタは、前記積層方向の平面視において前記導体回路層の前記凸状段差部の内側に備えられている[1]に記載のキャパシタ内蔵ガラス回路基板。

[3]

前記キャパシタの前記上部電極層の下地にはシード金属層が形成され、前記シード金属層の厚さが、前記下部電極の前記凸状段差部の段差より厚く形成されている[1]に記載のキャパシタ内蔵ガラス回路基板。

40

[4]

前記ガラス基板には、表裏面を貫通する貫通孔が形成されている[1]に記載のキャパシタ内蔵ガラス回路基板。

[5]

ガラス基板表面に導体回路層を形成する工程と、前記ガラス基板に絶縁樹脂層を積層形成する工程と、前記絶縁樹脂層にビアを形成する工程を複数回繰り返す第1工程と、前記第1工程は、前記導体回路層の一部に、誘電体層と、上部電極層とを有するキャパシタを形成する工程を含み、前記キャパシタを形成する工程は、前記導体回路層の上に保護層を形成する工程と、前記保護層をマスクとして前記導体回路層のシード金属層を除去する工程と、前記保護層を剥

50

離する工程と、前記導体回路層の上に下部電極、若しくは、前記誘電体層を形成する工程を含むキャパシタ内蔵ガラス回路基板の製造方法。

[6]

前記保護層を形成する工程は、前記ガラス基板と前記絶縁樹脂層との積層方向の平面視において前記キャパシタの形成領域位の外側まで形成する [5] に記載のキャパシタ内蔵ガラス回路基板の製造方法。

[7]

前記キャパシタを形成する工程は、前記上部電極層を、前記ガラス基板と前記絶縁樹脂層との積層方向の平面視において前記保護層によって保護された導体回路層部の内側に形成する [5] に記載のキャパシタ内蔵ガラス回路基板の製造方法。

10

[8]

前記キャパシタを形成する工程は、前記誘電体層の上部にシード金属層を形成する工程を備え、

前記シード金属層を形成する工程は、シード層の厚さが、前記保護層によって保護された導体回路層部と、保護されていない導体回路層部の段差より厚くなるように実施する [5] に記載のキャパシタ内蔵ガラス回路基板の製造方法。

[9]

前記第 1 工程の前に、前記ガラス基板に表裏面を貫通する貫通孔を形成する工程を有する [5] に記載のキャパシタ内蔵ガラス回路基板の製造方法。

【符号の説明】

20

【 0 0 7 7 】

1 0 , 1 0 A ... キャパシタ内蔵ガラス回路基板、 1 0 0 ... ガラス基板、 1 0 1 ... 貫通孔、 1 0 2 ... シード金属層、 1 0 3 ... 電解めっき層、 1 0 4 ... 導体回路層、 1 0 5 ... 下部電極、 1 0 6 ... 導体回路の上面 (表面) 、 1 0 6 a ... 非保護部導体回路の上面 (表面) 、 1 0 6 b ... 凸部上面 (表面) 、 1 0 9 ... キャパシタ、 1 1 0 ... 下部密着層、 1 1 1 ... 誘電体層、 1 1 2 ... 上部密着層、 1 1 3 ... シード金属層、 1 1 4 ... 上部電極、 1 3 1 ... 絶縁樹脂層、 1 3 2 ... ピアホール、 1 3 3 ... 積層導体回路層、 1 3 4 ... 外部接続端子、 1 3 5 ... はんだボール、 1 3 6 ... 半導体チップ、 1 3 7 ... チップ部品。

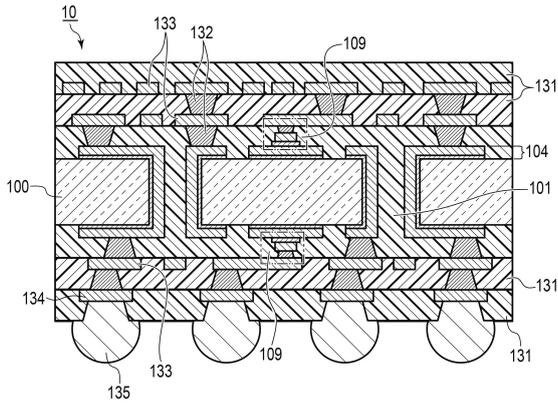
30

40

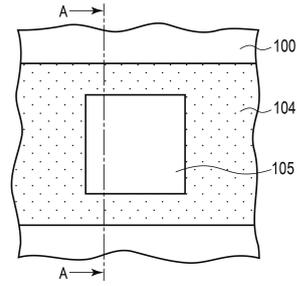
50

【図面】

【図 1】

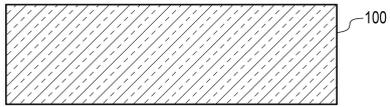


【図 2】

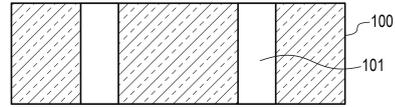


10

【図 3 A】

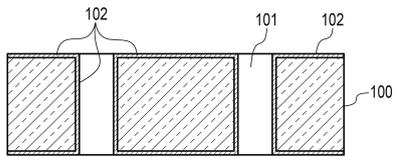


【図 3 B】

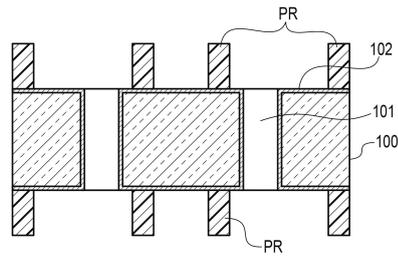


20

【図 3 C】



【図 3 D】

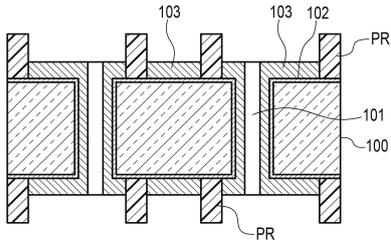


30

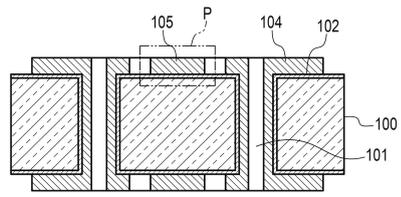
40

50

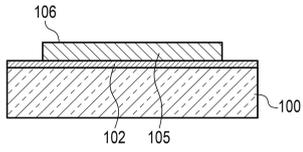
【 3 E 】



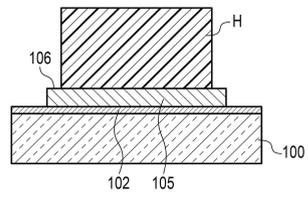
【 3 F 】



【 4 A 】

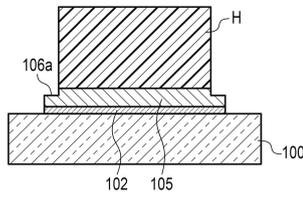


【 4 B 】

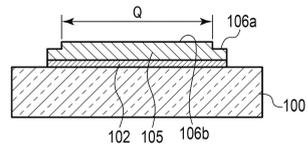


10

【 4 C 】



【 4 D 】



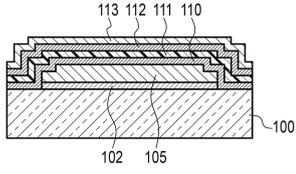
20

30

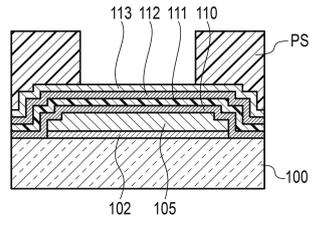
40

50

【 図 4 E 】

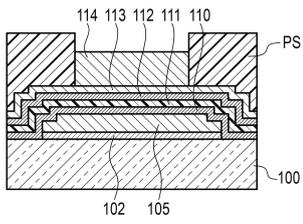


【 図 4 F 】

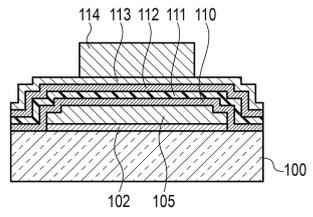


10

【 図 4 G 】

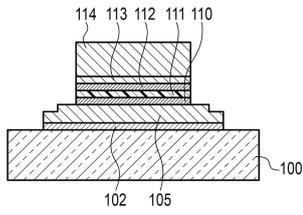


【 図 4 H 】

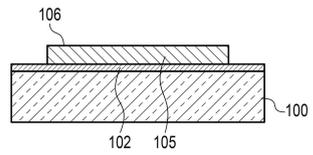


20

【 図 4 I 】



【 図 5 A 】

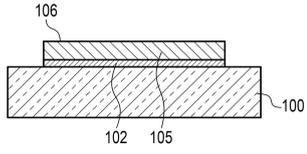


30

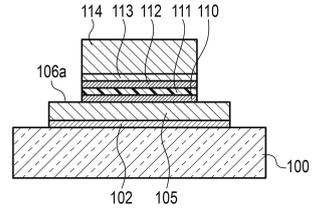
40

50

【 図 5 B 】

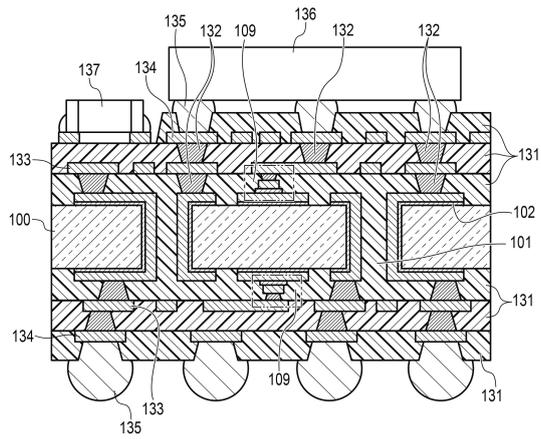


【 図 5 C 】



10

【 図 6 】



20

30

40

50

フロントページの続き

(72)発明者 木津 貴志
東京都台東区台東 1 丁目 5 番 1 号 凸版印刷株式会社内

審査官 鹿野 博司

(56)参考文献 特開 2 0 1 7 - 1 3 9 3 2 6 (J P , A)
特開 2 0 0 7 - 1 2 3 6 9 0 (J P , A)
特開 2 0 0 7 - 1 8 0 0 9 3 (J P , A)
特開 2 0 1 1 - 1 2 9 6 6 5 (J P , A)
特開 2 0 0 9 - 1 8 8 4 0 1 (J P , A)
特開 2 0 0 8 - 0 8 4 9 3 3 (J P , A)
特開 2 0 1 1 - 0 5 4 9 7 9 (J P , A)
特開 2 0 1 4 - 2 4 1 3 5 6 (J P , A)
特開 2 0 1 6 - 1 9 5 1 6 1 (J P , A)

(58)調査した分野 (Int.Cl. , D B 名)
H 0 5 K 3 / 4 6
H 0 5 K 1 / 1 6
H 0 1 L 2 3 / 1 2
H 0 1 G 4 / 3 0
H 0 1 G 4 / 2 2 8