

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5191231号
(P5191231)

(45) 発行日 平成25年5月8日(2013.5.8)

(24) 登録日 平成25年2月8日(2013.2.8)

(51) Int.Cl.	F I
H03K 5/15 (2006.01)	H03K 5/15 G
H03K 3/0231 (2006.01)	H03K 3/023 A
H03K 21/02 (2006.01)	H03K 21/02 D

請求項の数 21 (全 52 頁)

(21) 出願番号	特願2007-527358 (P2007-527358)	(73) 特許権者	501055961 ラムバス・インコーポレーテッド アメリカ合衆国, カリフォルニア州 9 4089, サニーヴェール, スイート 7 00, エンタープライズ ウェイ 105 0
(86) (22) 出願日	平成17年5月16日(2005.5.16)	(74) 代理人	100079108 弁理士 稲葉 良幸
(65) 公表番号	特表2007-538473 (P2007-538473A)	(74) 代理人	100093861 弁理士 大賀 真司
(43) 公表日	平成19年12月27日(2007.12.27)	(74) 代理人	100109346 弁理士 大貫 敏史
(86) 国際出願番号	PCT/US2005/017188		
(87) 国際公開番号	W02005/117266		
(87) 国際公開日	平成17年12月8日(2005.12.8)		
審査請求日	平成20年5月2日(2008.5.2)		
(31) 優先権主張番号	60/572,508		
(32) 優先日	平成16年5月18日(2004.5.18)		
(33) 優先権主張国	米国 (US)		
(31) 優先権主張番号	11/001,865		
(32) 優先日	平成16年12月1日(2004.12.1)		
(33) 優先権主張国	米国 (US)		

最終頁に続く

(54) 【発明の名称】 ワイドレンジクロック発生器

(57) 【特許請求の範囲】

【請求項 1】

同一の第 1 の周波数をそれぞれが有する、複数の第 1 のクロック信号を生成する、クロック発生回路と、

前記複数の第 1 のクロック信号を受信するように結合され、同一の第 2 の周波数をそれぞれが有する複数の第 2 のクロック信号を生成するように構成された、周波数分割回路と、

前記複数の第 2 のクロック信号を受信するように結合され、レート選択信号の状態に従って前記第 1 のクロック信号または前記第 2 のクロック信号を複数の出力クロック信号として出力するマルチプレクサ回路であって、前記複数の出力クロック信号の 1 つが、データ転送動作のタイミングをとるためにタイミング信号として選択される、マルチプレクサ回路と

を具備する、集積回路装置。

【請求項 2】

前記クロック発生回路は、リング状に結合された複数のインバータステージを具備する、請求項 1 に記載の集積回路装置。

【請求項 3】

前記周波数分割回路は、複数の 1 / 2 分周回路を、それぞれ、前記複数の第 2 のクロック信号のうちの少なくとも 1 つを生成するために具備する、請求項 1 に記載の集積回路装置。

【請求項 4】

前記第 1 のクロック信号のそれぞれは、それぞれの位相角に対応するそれぞれの時間間隔によって、基準位相から位相オフセットされ、前記第 1 のクロック信号の前記それぞれの位相角の各位相角は、前記対応する時間間隔と、前記第 1 の周波数によって定義されるサイクル時間との比率によって定義される、請求項 1 に記載の集積回路装置。

【請求項 5】

前記第 2 のクロック信号のそれぞれは、それぞれの時間間隔によって、前記基準位相から位相オフセットされ、前記第 2 のクロック信号の前記それぞれの位相角の各位相角は、前記対応する時間間隔と、前記第 2 の周波数によって定義されるサイクル時間との比率によって定義される、請求項 4 に記載の集積回路装置。

10

【請求項 6】

前記複数のマルチプレクサのうちの 1 つの、第 1 の入力において受信される、前記第 1 のクロック信号のうちの前記 1 つは、第 1 の時間間隔によって、前記基準位相から位相オフセットされ、前記複数のマルチプレクサのうちの前記 1 つの、前記第 2 の入力において受信される、前記第 2 のクロック信号のうちの前記 1 つは、第 2 の時間間隔によって、前記基準位相から位相オフセットされる、請求項 5 に記載の集積回路装置。

【請求項 7】

前記第 1 の周波数は、前記第 2 の周波数の 2 倍に実質的に等しく、前記第 1 の時間間隔は、前記第 2 の時間間隔の半分に実質的に等しい、請求項 6 に記載の集積回路装置。

【請求項 8】

前記第 1 の周波数は、前記第 2 の周波数の 4 倍に実質的に等しく、前記第 1 の時間間隔は、前記第 2 の時間間隔の 4 分の 1 に実質的に等しい、請求項 6 に記載の集積回路装置。

20

【請求項 9】

前記マルチプレクサ回路は複数のマルチプレクサを含み、前記複数のマルチプレクサのそれぞれは、制御信号状態に従って、前記第 1 のクロック信号または前記第 2 のクロック信号のいずれかを出力するように構成される、請求項 1 に記載の集積回路装置。

【請求項 10】

前記周波数分割回路は、第 3 の周波数をそれぞれが有する複数の第 3 のクロック信号を生成するようにさらに構成され、前記マルチプレクサ回路は、前記第 3 のクロック信号のうちそれぞれ 1 つを受信するように結合された第 3 の入力をさらに有する、請求項 1 に記載の集積回路装置。

30

【請求項 11】

複数の基準クロック信号を生成するための第 1 のクロック発生器であって、それぞれの基準クロック信号が同一の第 1 の周波数および複数の所定の異なる位相角のうちそれぞれ 1 つを有する、第 1 のクロック発生器と、

前記基準クロック信号の所定のペアを受信するように結合され、それぞれの補間されたクロック信号を生成するように構成される第 1 の複数の補間器と、

前記複数の補間されたクロック信号を受信するように結合され、前記複数の第 2 のクロック信号を生成するように構成され、それぞれの第 2 のクロック信号が同一の第 2 の周波数および対応する異なる位相角を有する、周波数分割回路と、

40

前記補間されたクロック信号および前記複数の第 2 のクロック信号を受信するように結合され、レート選択信号の状態に従って前記補間された信号または前記第 2 のクロック信号を複数の出力クロック信号として出力するマルチプレクサ回路であって、前記複数の出力クロック信号の 1 つが、データ転送動作のタイミングをとるためにタイミング信号として選択される、マルチプレクサ回路と

を具備する、集積回路装置。

【請求項 12】

前記基準クロック信号のうちそれぞれ 1 つを受信するように共通に接続された第 1 および第 2 のクロック信号入力をそれぞれが有し、前記基準クロック信号のうち前記それぞれ 1 つの遅延させられたバージョンを生成するようにそれぞれが構成される、第 2 の複

50

数の補間器をさらに具備する、請求項 1 1 に記載の集積回路装置。

【請求項 1 3】

前記複数のマルチプレクサ回路のそれぞれによって受信される、前記基準クロック信号のうちの前記それぞれ 1 つは、前記基準クロック信号のうちの前記それぞれ 1 つの前記遅延させられたバージョンである、請求項 1 2 に記載の集積回路装置。

【請求項 1 4】

前記複数の補間器の第 1 の補間器は、基準ベクトルの前記受信されるペアを、補間制御値に従って混合して、基準クロック信号の前記受信されるペアの位相角によって制限される範囲内に入る位相角を有する、補間されたクロック信号を生成するように構成される、請求項 1 1 に記載の集積回路装置。

10

【請求項 1 5】

前記第 1 の複数の補間器に結合され、前記補間制御値を、レート選択信号の状態に少なくとも部分的に基づいて、複数の値のうち 1 つに設定するように構成される、レート制御回路をさらに具備する、請求項 1 4 に記載の集積回路装置。

【請求項 1 6】

前記レート制御回路は、前記補間制御値を、位相オフセット信号の状態に部分的に基づいて設定するようにさらに構成され、前記位相オフセット信号は、前記減少した周波数のクロック信号のうち少なくとも 1 つの、所望される位相オフセットを示す、請求項 1 5 に記載の集積回路装置。

【請求項 1 7】

前記第 1 の複数の補間器に結合され、前記レート選択信号の状態に従って、複数の値のうち 1 つを、前記補間制御値となるように選択するように構成される、レート制御回路をさらに具備する、請求項 1 4 に記載の集積回路装置。

20

【請求項 1 8】

集積回路装置内での動作の方法であって、

複数の第 1 のクロック信号を生成するステップであって、それぞれの第 1 のクロック信号が、同一の周波数および複数の所定の異なる位相角のうちそれぞれ 1 つを有する、ステップと、

複数の第 2 のクロック信号を生成するステップであって、それぞれの第 2 のクロック信号が、同一の第 2 の周波数および前記複数の第 1 のクロック信号を周波数分割による、対応する異なる位相角を有する、ステップと、

30

レート選択信号の状態に従って、前記第 1 のクロック信号または前記第 2 のクロック信号のいずれかを、選択された出力クロック信号の組として出力されるように選択するステップであって、前記複数の出力クロック信号の 1 つが、データ転送動作のタイミングをとるためにタイミング信号として選択される、ステップと

を含む方法。

【請求項 1 9】

前記複数の第 2 のクロック信号を生成するステップは、前記第 1 のクロック信号のサブセットを周波数分割するステップを含む、請求項 1 8 に記載の方法。

【請求項 2 0】

前記第 1 のクロック信号の前記サブセットを周波数分割するステップは、周波数 F および位相角 A を有する、前記第 1 のクロック信号のうち第 1 の 1 つを、除数値 N によって分周して、周波数 F/N および位相角 A/N を有する、前記第 2 のクロック信号のうち 1 つを生成するステップを含む、請求項 1 9 に記載の方法。

40

【請求項 2 1】

前記第 1 のクロック信号または前記第 2 のクロック信号のいずれかを、選択されたクロック信号の組として出力されるように選択するステップは、周波数 F および位相角 A/N を有する、前記第 1 のクロック信号のうち第 2 の 1 つと、周波数 F/N および位相角 A/N を有する、前記第 2 のクロック信号のうち前記 1 つとの間で選択するステップを含む、請求項 2 0 に記載の方法。

50

【発明の詳細な説明】

【技術分野】

【0001】

発明の分野

本発明は、高速シグナリングの分野に関する。

【背景技術】

【0002】

背景

複数位相クロック発生器は、入力信号の注目点に位相が整列したクロック信号を生成するために、高速シグナリングシステム内で一般に使用される。例えば、クロックデータ復元システムにおいては、1つまたは複数のクロック信号が、通常は、データアイの midpoint と整列されて、データサンプリングの瞬間を制御するために使用され、他方、1つまたは複数のその他のクロック信号は、データアイのエッジと整列されて、タイミング情報を復元するために使用される。クロック発生器は、通常、一組の位相分布された基準クロック信号（本明細書では、位相ベクトルと呼ぶ）を生成するための基準ループと、選択された位相ベクトルの間で補間して、任意の位相を有する出力クロック信号を生成するための、1つまたは複数のクロック補間器とを含む。

10

【発明の開示】

【発明が解決しようとする課題】

【0003】

詳細な説明

多くのシグナリング適用例では、位相ベクトルおよび出力クロック信号の周波数は、公称動作周波数において固定されており、そのため、基準ループおよびクロック補間器は、公称動作周波数に特に適した、適切な回路素子とバイアス点とを使用して構築されることが可能である。しかし、シグナリングレートがますます向上してギガヘルツ範囲に入るとつれて、シグナリング適用例では、従来より低いシグナリングレートのサポートを提供する、高速な装置が、ますます必要とされるようになっており、そのような装置のシグナリングレートの上限と下限は、場合によっては10倍以上異なることがある。従来、そのようなワイドレンジ動作は、基準ループ内の電圧制御発振器に提供される制御電圧を調節し、それによって、クロック補間器に供給される位相ベクトルの周波数を、したがって、出力クロック信号の周波数を調節することにより実現されてきた。残念ながら、広い周波数範囲に対応するように設計された電圧制御発振器は、比較的高いノイズ感受性を示す高利得増幅器を含む傾向があり、したがって、出力クロック信号内のジッタを増加させる傾向がある。さらに、1つの動作周波数から別の動作周波数に変更する場合、時間のかかる周波数再ロックが、電圧制御発振器内でしばしば必要とされる。

30

【0004】

本発明は、添付の図面を参照して、制限条件としてではなく、例として説明される。図中の同様の参照番号は、同様の要素を意味している。

【発明を実施するための最良の形態】

【0005】

関連出願の相互参照

本件出願は、2004年5月18日に出願された「Multi-Phase and Multi-Rate Clock Generation」と題された米国仮特許出願第60/572,508号明細書の優先権の利益を主張するものであり、この特許文献は、この参照により開示に含まれる。

40

【0006】

以下の説明および添付の図面には、本発明の完全な理解を提供するために、特定の用語および図面記号が記載される。場合によっては、用語および記号は、本発明を実施するために必要とされない具体的詳細を意味することがある。例えば、回路素子または回路ブロック間の相互接続は、複数導体または単一導体の信号線として図示または記述される場合

50

がある。複数導体信号線のそれぞれは、代替方法として単一導体信号線であってもよく、また、単一導体信号線のそれぞれは、代替方法として複数導体信号線であってもよい。シングルエンドであるとして図示または記述される信号および信号経路も、差動であってもよく、またその逆も同様である。同様に、アクティブハイまたはアクティブローの論理レベルを有するとして記述または図示された信号は、代替実施形態では、逆の論理レベルを有してもよい。別の例として、金属酸化物半導体（MOS）トランジスタを含むものとして記述または図示される回路は、代替方法として、バイポーラ技術、または信号制御された電流フローを実現し得るその他の任意の技術を使用して実装されてもよい。また、本明細書においてクロック信号と呼ばれる信号は、代替方法として、ストロブ信号、またはイベントのタイミングを提供するその他の信号であってもよい。用語に関しては、特定の条件を示すために、信号がローまたはハイ論理状態まで駆動される（あるいは、ハイ論理状態まで充電される、またはロー論理状態まで放電される）場合、信号は「アサートされる」と述べられる。反対に、アサートされた状態以外の状態（ハイまたはロー論理状態、またはフローティング状態（信号駆動回路がオープンドレインまたはオープンコレクタ条件などの高インピーダンス条件に遷移された場合に発生する可能性がある）を含む）に信号が駆動される（あるいは、充電または放電される）ことを示すためには、信号は「ディアサートされる」と述べられる。信号駆動回路と信号受信回路との間に接続された信号線上の信号を、信号駆動回路がアサートする（あるいは、明示的に述べられるか、または文脈により示される場合は、ディアサートする）場合、信号駆動回路が信号受信回路に信号を「出力する」と述べられる。信号線上で信号がアサートされる場合、信号線は「アクティブにされる」と述べられ、信号がディアサートされる場合、「非アクティブにされる」と述べられる。さらに、信号名に添付される前置記号「/」は、その信号がアクティブロー信号である（すなわち、アサートされた状態がロジックロー状態である）ことを示す。信号名の上の線（例えば、「<信号名>」も、アクティブロー信号を示すために使用される。「例示的」という用語は、本明細書では、例にすぎないことを、そして、優先または要求されるものではないことを表すために使用される。

【0007】

広範な動作周波数にわたるクロック信号を生成するためのクロック発生器が、さまざまな実施形態で開示される。一実施形態では、周波数分割回路（frequency divider circuit）が、基準ループによって生成される位相ベクトルの周波数を、1組の除数値によって分周することによって、複数組の出力クロック信号を生成する。それぞれの組の出力クロック信号を生成するために使用される除数値Nは、事実上いかなる値であってもよく、それにより、基準ループの出力周波数FからF/Nまでの範囲にわたる出力クロック信号の生成が可能となる。一実施形態では、例えば、除数値1、2、4、および8が、FからF/8までの範囲にわたる動作周波数を有する各組の位相ベクトルを、基準ループによって生成される位相ベクトルの周波数を変更する必要なしに提供するために使用される。したがって、広範な動作周波数を示す低ジッタの出力クロック信号を提供するために、比較的レンジが狭く低ノイズの基準ループと組み合わせて、周波数分割回路が使用されてもよい。さらに、1つの周波数範囲から別の周波数範囲への遷移は、基準ループによって生成される位相ベクトルの周波数を変更することなく、異なる組の出力クロック信号を選択することによって実現されてもよいので、それ以外の場合には基準ループ内での周波数の再ロックのために必要とされる遅延が回避される。

【0008】

ワイドレンジ複数位相クロック発生器の実施形態

図1は、一実施形態によるワイドレンジ複数位相クロック発生器100を示す。クロック発生器100は、基準ループ101と、周波数分割回路103と、セレクタ回路105とを含む。図示されている実施形態では、基準ループ101は、1組の基準位相ベクトル111を生成するための電圧制御発振器107（VCO）を含む、位相ロックループである。VCO 107に含まれる複数の差動インバータステージ108₁~108₄は、ディジーチェーン方式で結合され（すなわち、所与のインバータステージ108の出力が、

10

20

30

40

50

次のインバータステージの入力に結合され)、最後のインバータステージ108₄の出力は、最初のインバータステージ108₁の入力に交差結合される。すなわち、最後のインバータステージ108₄のコンプリメント出力(図1の否定記号「 $\bar{}$ 」で示される)は、最初のステージのインバータステージ108₁の非コンプリメント入力に結合され、最後のステージ108₄の非コンプリメント出力は、最初のステージ108₁のコンプリメント入力に結合される。VCO 107内のインバータステージ108のそれぞれは、入力クロック信号ペアから、インバータステージ108の総数に従った位相角だけ位相オフセットされた、差動クロック信号ペア(すなわち、クロック信号ペア110₁~110₄のうちの一つ)を生成する。すなわち、最後と最初のインバータステージ108₄と108₁との間の交差結合接続によって、VCO 107は、全基準クロックサイクル(すなわち、基準ループによって生成される基準位相ベクトル111のうちの任意の一つのサイクル時間)を2Mによって細分する(Mはインバータステージの数)。したがって、図1の特定の実施形態では、4つのインバータステージ108₁~108₄が、45°の位相角(すなわち、全基準クロックサイクル360°を8で除算)によって相互にオフセットされた、合計8つの位相ベクトルをもたらす。位相ベクトル111のうちの任意の一つが、0度位相ベクトルであるように選択すると、基準ループ101によって出力される位相ベクトル111は、0、45、95、135、180、225、270、および315度の位相オフセットを有し、共通周波数F(本明細書では、基準ループ周波数と呼ぶ)において発振する。基準位相ベクトル111は、クロック発生器100からの名目上同位相のクロック信号123の出力と区別するために、プライムインジケータ(すなわち、「 \prime 」)によって印付けられる。以下で説明するように、出力クロック信号123は、周波数分割回路および/またはセレクタ回路内で導入される遅延によって、基準位相ベクトルから任意の位相角だけ位相オフセットされてもよい。図1には示していないが、基準ループ101は、VCO 107内のインバータステージ108₁~108₄のスルーレート(slew rate)を確立し、それによって、基準ループ周波数が増加または減少させられることを可能にするために使用される、1つまたは複数の制御電圧を調節するための、追加の回路を含んでもよい。例えば、一実施形態では、0.8 * F ~ Fの比較的狭い帯域間で調節可能な基準ループ周波数とともに、除数8、4、2、および1が、それぞれ0.1 * F ~ 0.125 * F、0.2 * F ~ 0.25 * F、0.4 * F ~ 0.5 * F、0.8 * F ~ Fの範囲の周波数を有する出力クロック信号を生成するために使用され、それにより、狭い帯域の基準ループを使用して、出力クロック信号のディケード周波数範囲(すなわち、F_{MAX} = 10 F_{MIN})が実現される。基準ループの周波数範囲は、代替実施形態では、より大きいか、またはより小さくてもよく、それにより、周波数分割された出力クロック信号の周波数範囲の、対応する増加または減少が実現される。さらに、代替実施形態では、より細かい、またはより粗い位相オフセットを基準ループ出力内で提供するために、より多くの、またはより少ないインバータステージ108がVCO内で提供されてもよい。さらに、遅延ロッキングループ、またはクロック逡巡遅延ロッキングループを含む(ただし、これらに限定されない)、その他のタイプのクロック発生回路が、基準位相ベクトル111を生成するために使用されてもよい。また、LC発振器またはその他のタイプの発振器が、インバータステージ108によって形成されるリング発振器の代わりに、VCO 107内で使用されてもよい。より一般的には、基準ループ周波数内での任意の所望の周波数と位相分布とを有する基準位相ベクトルの組111を生成するための、任意の回路が、クロック発生器100の代替実施形態で使用されてもよい。

【0009】

図1の実施形態で、周波数分割回路103は、基準位相ベクトルを受信し、応答として、位相ベクトル119₁~119₈を含む1/2分周(divide-by-two)ベクトルセット(すなわち、「/2」ベクトルセット)、および位相ベクトル117₁~117₈を含むユニティ(unity)ベクトルセット(1による分周を示すために、本明細書では、/1ベクトルセットとも呼ぶ)という、2組の位相ベクトルを出力する。周波数分割回路103に含まれる1組の緩衝増幅器113は、基準ベクトルを、減少した振幅

10

20

30

40

50

からコンプリメンタリMOS (CMOS) 信号レベルに変換し、結果としてもたらされるレベル変換された基準位相ベクトル $117_1 \sim 117_8$ を、セクタ回路105内のそれぞれのマルチプレクサ121の第1入力に提供して、それにより、ユニティベクトルセットを提供する。代替実施形態では、緩衝増幅器113は省略されて、基準位相ベクトル111が基準ループからマルチプレクサ121に直接供給されてもよい。周波数分割回路103にさらに含まれる、 $1/2$ 分周回路 $115_1 \sim 115_8$ は、それぞれが基準位相ベクトル111のうちのそれぞれ1つを受信するように結合される。一実施形態では、それぞれの $1/2$ 分周回路115は、入力基準位相ベクトルの各立ち上がりエッジにおいてロジックハイ状態とロジックロー状態との間を切り換える、記憶素子などの、コンプリメンタリ出力エッジトリガ型トグル素子である。この動作によって、トグル素子のコンプリメンタリ出力は、基準位相ベクトルの2回の遷移ごとに1回遷移し、それにより、基準位相ベクトルの半分の周波数を有する、2つの周波数分割された位相ベクトルを生成する。さらに、周波数分割された位相ベクトルは、基準位相ベクトルの2倍の周期を有するため、周波数分割された位相ベクトルの位相角は事実上半減される。図2を参照すると、例えば、周波数 F と、 0° 、 90° 、 180° 、および 270° の位相角とを有する基準位相ベクトルは、それぞれ、周波数 $F/2$ と、 0° 、 45° 、 90° 、および 135° の位相角とを有する周波数分割された位相ベクトルを、 $180^\circ (0 + 180^\circ)$ 、 $225^\circ (45^\circ + 180^\circ)$ 、 $270^\circ (90^\circ + 180^\circ)$ 、および $315^\circ (135^\circ + 180^\circ)$ の位相角を有するコンプリメンタリの周波数分割された位相ベクトルとともにもたらす。図1および図2を参照すると、 $1/2$ 分周回路 115_1 は、 0° の位相角を有する基準位相ベクトルを受信して、 0° および 180° の位相角を有する周波数分割された位相ベクトルを生成し、 $1/2$ 分周回路 115_3 は、 90° の位相角を有する基準位相ベクトルを受信して、 45° および 225° の位相角を有する周波数分割された位相ベクトルを生成し、 $1/2$ 分周回路 115_5 は、 180° の位相角を有する基準位相ベクトルを受信して、 90° および 270° の位相角を有する周波数分割された位相ベクトルを生成し、 $1/2$ 分周回路 115_7 は、 270° の位相角を有する基準位相ベクトルを受信して、 135° および 315° の位相角を有する周波数分割された位相ベクトルを生成する。 $1/2$ 分周回路 115_1 、 115_3 、 115_5 、および 115_7 により生成されるコンプリメンタリ位相ベクトルは、それらの位相角に従って、セクタ回路105内のマルチプレクサ121の第2入力に供給され、それにより、各マルチプレクサ121は、ユニティ位相ベクトルと、名目上同一の位相角をそれぞれが有する周波数分割された位相ベクトルを受信ようになる。セクタ回路105は、さらに、ユニティ位相ベクトルまたは周波数分割された位相ベクトルのいずれが出力クロック信号123として出力されるかを選択するために、マルチプレクサ121の制御入力に供給される、レート選択信号120 (RS) も受信する。出力クロック信号は、ユニティ位相ベクトルセットと $1/2$ 分周位相ベクトルセットとの両方で、同じ(または少なくとも名目上は同じ)位相分布を有するため、周波数分割回路103およびセクタ回路105は、出力クロック信号123の周波数範囲を、基準ループ101の周波数範囲に比べて事実上拡張する。例えば、基準ループ101が、 $F/2 \sim F$ にわたる基準ループ周波数を実現可能である場合、クロック発生器100によって生成される出力クロック信号123の全体的周波数範囲は $F/4 \sim F$ に拡張される。さらに、動作周波数 F と $F/2$ との間でシグナリングレートが遷移されるべきである場合、レート選択信号120の状態を変更することによって遷移が引き起こされてもよく、それにより、基準ループ内での周波数調節と、それに関連するあらゆる再ロック遅延とが回避される。

【0010】

一実施形態では、基準ループ101によって出力される基準位相ベクトル111のそれぞれは、差動ペアのそれぞれの信号線上を伝導される、基準位相ベクトルとそのコンプリメントとの組み合わせによって形成される差動信号である。したがって、所与の基準位相ベクトルまたは出力クロック信号の、コンプリメントの生成は、受信側回路の入力において、差動ペアの成分信号線の結合を反転することによって行われてもよい。したがって、

10

20

30

40

50

図1、および以下に記載するその他の図では、シングルエンドの信号線が示されているが、すべてのそのような場合において、信号線は、差動クロック信号を伝導するための差動ペアであってもよく、それにより、コンプリメンタリクロック信号の生成を減少させ、所与の出力から所与の入力までの延長線に沿ったいずれかの点において差動ペアを反転してもよい(ねじってもよい)。

【0011】

図3は、代替実施形態によるワイドレンジ複数位相クロック発生器180を示す。クロック発生器180は、基準ループ181と、周波数分割回路183₁~183₄と、セレクト回路185とを含む。図示されている特定の実施形態では、基準ループ181は、基準クロックサイクル内で均一に(すなわち、位相角0°、90°、180°、および270°において)位相が分布された、4つの基準位相ベクトル182を生成する。代替実施形態では、より多くの、またはより少ない基準位相ベクトルが、基準ループ181によって生成されてもよい。周波数分割回路183₁は、0°の基準位相ベクトルを受信するように結合され、0度の位相角を有する1つのユニティ(すなわち、/1)位相ベクトルと、0°および180°の位相角を有する2つの1/2分周(すなわち、/2)位相ベクトルと、0°、90°、180°、および270°の位相角を有する4つの1/4分周(すなわち、/4)位相ベクトルと、0°、90°、180°、および270°の位相角を有する4つの1/8分周(すなわち、/8)位相ベクトルとを生成する。周波数分割回路183₂および183₄は、90°および270°の基準位相ベクトルを受信するように結合され、対応する90°および270°のユニティ位相ベクトルを生成する。周波数分割回路183₃は、180°の基準位相ベクトルを受信し、対応する180°のユニティ位相ベクトルと、90°および270°の位相角を有する/2位相ベクトルとを生成する。セレクト回路は、ユニティ位相ベクトルと、/2位相ベクトルと、/4位相ベクトルと、/8位相ベクトルとの組を、それぞれの入力ポートにおいて受信し、複数ビットのレート選択信号184(RS)の状態に従って、位相ベクトルの組のうちの1つを出力クロック信号186として出力する。この配置によって、クロック発生器180により生成される出力クロック信号186は、基準ループの最大周波数F_{MAX}から基準ループの最小周波数F_{MIN}までの範囲が1、2、4、または8によって分周されたものとなり、それにより、比較的狭い帯域の基準ループ181を使用して、ワイドレンジの出力クロック周波数が提供されるようになる。

【0012】

図4は、周波数分割回路183₁を実装するために使用されてもよい周波数分割回路の実施形態210を示す。周波数分割回路210は、緩衝増幅器113と、エッジトリガ型記憶素子211₁~211₃(本例では記憶素子)と、排他的ORゲート215₁~215₄および217₁~217₄とを含む。緩衝増幅器113は、0°の基準位相ベクトル212を受信するように接続され、レベル変換されたユニティ位相ベクトルF₀を応答として生成する。代替実施形態では、緩衝増幅器113は省略されてもよい。記憶素子211₁~211₃のそれぞれは、データ入力(D)と、クロック入力(クロック入力記号「>」によって示される)と、反転および非反転出力/QおよびQとを含む。図示されているように、各記憶素子211の反転出力は、トグル構成をもたらすために、記憶素子のデータ入力にフィードバックされる。

【0013】

基準位相ベクトル212は、記憶素子211₁のクロック入力に供給され、それにより、コンプリメンタリクロック信号F/2₀およびF/2₁₈₀(すなわち、基準位相ベクトルの半分の周波数と、0°および180°の位相角とを有するクロック信号)を生成する。F/2₀クロック信号は、記憶素子211₂のクロック入力に供給され、記憶素子211₂は、応答として、コンプリメンタリクロック信号F/4₀およびF/4₁₈₀(すなわち、基準位相ベクトルの4分の1の周波数と、0°および180°の位相角とを有するクロック信号)を生成する。F/4₀クロック信号は、記憶素子211₃のクロック入力に供給され、記憶素子211₃は、応答として、コンプリメンタリクロック信号F/8

10

20

30

40

50

0 および $F/8_{180}$ (すなわち、基準位相ベクトルの8分の1の周波数と、 0° および 180° の位相角とを有するクロック信号)を生成する。

【0014】

図4をさらに参照すると、 $F/2_{180}$ および $F/4_{180}$ 信号は、排他的ORゲート 215_2 のそれぞれの入力に供給され、 $F/2_{180}$ および $F/4_0$ 信号は、排他的ORゲート 215_4 のそれぞれの入力に供給される。図4の周波数分割回路によって生成される位相ベクトルを説明する、図5を参照すると、 $F/2_{180}$ 信号 ($F/2:180$) は、 $F/4_90$ 位相オフセットにおいて (すなわち、時間 220 において) 開始される $F/4$ サイクル時間の最初の半周期の間は、 $F/4_{180}$ 信号の状態と反対の状態を有し、 $F/4$ サイクル時間の残りの半周期の間は、 $F/4_{180}$ 信号と同じ状態を有する。したがって、図4および図5を参照すると、 $F/2_{180}$ および $F/4_{180}$ 信号は、排他的ORゲート 215_2 において組み合わせられて、信号 $F/4_{90}$ (基準ループ周波数の4分の1の周波数と、 90° の位相角とを有する位相ベクトル)を生成してもよい。同様に、 $F/2_{180}$ 信号は、 $F/4_{270}$ 位相オフセットにおいて (すなわち、時間 222 において) 開始される $F/4$ サイクル時間の最初の半周期の間は、 $F/4_0$ 信号の状態と反対の状態を有し、 $F/4$ サイクル時間の残りの半周期の間は、 $F/4_0$ 信号と同じ状態を有するため、 $F/2_{180}$ および $F/4_0$ 信号は、排他的ORゲート 215_4 において組み合わせられて、信号 $F/4_{270}$ (基準ループ周波数の4分の1の周波数と、 270° の位相角とを有する位相ベクトル)を生成してもよい。図4および図5をさらに参照すると、 $F/4_{180}$ 信号は、排他的ORゲート 217_2 において $F/8_{180}$ とともに、そして、排他的ORゲート 217_4 において $F/8_0$ とともに排他的OR演算されて、それぞれ、位相ベクトル $F/8_{90}$ および $F/8_{270}$ を生成してもよいことがわかる。排他的ORゲート 215_1 、 215_3 、 217_1 、および 217_3 は、位相ベクトル $F/4_0$ 、 $F/4_{180}$ 、 $F/8_0$ 、および $F/8_{180}$ をそれぞれ受信するように結合された第1入力と、接地された第2入力とを有する。この配置によって、位相ベクトル $F/4_0$ 、 $F/4_{180}$ 、 $F/8_0$ 、および $F/8_{180}$ は、排他的ORゲート 215_1 、 215_3 、 217_1 、および 217_3 を通過するようになるが、ただし、排他的ORゲート 215_2 、 215_4 、 217_2 、および 217_4 を通した信号伝搬の結果としてもたらされるクロック信号 $F/4_{90}$ 、 $F/4_{270}$ 、 $F/8_{90}$ 、および $F/8_{270}$ の位相遅延に一致するように、排他的ORの信号伝搬時間によって位相が遅らされる。

【0015】

代替実施形態では、周波数分割回路 210 にさまざまな変更が行われてもよいことに留意されたい。例えば、排他的ORゲート 215 、 217 のそれぞれの出力において、および/または記憶素子 211_1 の出力において、緩衝増幅器が、周波数分割回路 210 からの対応するクロック信号出力を緩衝するために提供されてもよい。また、記憶素子 211_2 を通した伝搬遅延に一致するように、 $F/2_{180}$ 信号を必要に応じて遅延させるために、記憶素子 211_1 の反転出力から排他的ORゲート 215_2 および 215_4 の入力までの経路内に、1つまたは複数の遅延素子または遅延回路が提供されてもよい。同様に、記憶素子 211_3 を通した伝搬遅延に一致するように、 $F/4_{180}$ 信号を必要に応じて遅延させるために、記憶素子 211_2 の反転出力から排他的ORゲート 217_2 および 217_4 の入力までの経路内に、1つまたは複数の遅延回路が提供されてもよい。さらに、記憶素子 211 は、それぞれがロード可能フリップフロップ (すなわち、事前ロードデータ値またはフィードバックされた出力値のいずれかを選択するための多重化データ入力を有するもの) であってもよく、または、記憶素子 211 が所定の状態に初期化されることを保証するための、システムリセット線に結合されてもよい。さらに、図3を参照すると、4つの周波数分割回路 183 はすべて、図4に示すように (すなわち、使用されない出力は未接続のままにされて) 実装されてもよく、または、不必要な回路素子を削除することによって実装されてもよいことに留意されたい。例えば、周波数分割回路 183_2 および 183_4 のそれぞれは、緩衝増幅器と、負荷整合の目的のために望ましい場合は、図4の周波数分割回路 210 内の信号負荷配置に一致するような、記憶素子またはその他の回

10

20

30

40

50

路素子とによって実装されてもよい。同様に、分割回路 1 8 3₃ は、図 4 の増幅器 1 1 3 と記憶素子 2 1 1₁ とに対応する緩衝増幅器と周波数分割記憶素子とを使用して実装されてもよく、さらに、負荷整合の目的のために望ましい場合は、周波数分割回路 2 1 0 内の信号負荷配置に一致するような、負荷記憶素子と、排他的 OR ゲート（または、その他の負荷素子）のペアとが、周波数分割記憶素子の出力に結合されてもよい。

【 0 0 1 6 】

図 6 は、 $F \sim F/8$ の範囲の選択可能な周波数と、 0° 、 60° 、 90° 、 120° 、 180° 、 240° 、 270° 、および 300° の位相角とを有する出力クロック信号 2 5 9 を生成する、ワイドレンジ複数位相クロック発生器の実施形態 2 5 0 を示す。用語に関して説明すると、 0° 、 90° 、 180° 、および 270° の位相は、本明細書では、一次位相、一次位相クロック信号、または一次位相ベクトルと呼び、 60° 、 120° 、 240° 、および 300° の位相は、本明細書では、二次位相、二次位相クロック信号、または二次位相ベクトルと呼ぶ。代替実施形態では、一次および二次位相は、構成要素となるクロック信号を、より多く、またはより少なく含んでもよく、かつ/または、異なる位相角を有してもよい。 90° および 270° の一次位相ベクトルは、例えば、クロックサイクルごとに 2 つのデータ有効期間（すなわち、2 つのデータアイ）を有するデータ波形をサンプリングするために使用されてもよく、 0° および 180° の一次位相ベクトルは、データ波形のエッジをサンプリングするために使用されてもよい。 60° および 120° の二次位相ベクトルは、例えば、 90° のデータサンプリング点に近い時間にデータ波形内で遷移が発生したかどうかを判定する、オーバーサンプリングのために使用されてもよく、また、 240° および 300° の位相ベクトルは、同様に、 270° のデータサンプリング点に近い時間に遷移が発生したかどうかを判定する、データ波形のオーバーサンプリングのために使用されてもよい。他の実施形態では、出力クロック信号 2 5 9 は、異なる周波数、位相角を有してもよく、かつ/または、他の目的のために使用されてもよい。

【 0 0 1 7 】

クロック発生器 2 5 0 は、基準ループ 2 5 1 と、補間器 2 5 3₁ ~ 2 5 3₈ と、分割回路 2 5 5₁ ~ 2 5 5₈ と、セレクト回路 2 5 7 とを含む。図示されている特定の実施形態では、基準ループ 2 5 1 は、基準クロックサイクル内で均一に（すなわち、一次位相角 0° 、 90° 、 180° 、および 270° において）位相が分布された、4 つの基準位相ベクトル 2 5 2 を生成する。代替実施形態では、より多くの、またはより少ない基準位相ベクトル 2 5 2 が、基準ループ 2 5 1 によって生成されてもよい。

【 0 0 1 8 】

補間器 2 5 3₁ ~ 2 5 3₈ は、補間された位相ベクトル 2 5 4 を生成するために使用され、一次位相ベクトルを生成するための固定位相補間器 2 5 3₁ ~ 2 5 3₄ と、二次位相ベクトルを生成するための混合位相補間器 2 5 3₅ ~ 2 5 3₈ とを含む。図示されている実施形態では、補間器 2 5 3 のそれぞれは、リーディングおよびトレーリングの位相ベクトル入力を含み、重み値に従って 2 つの入力位相ベクトルの間で補間を行って、入力位相ベクトルの位相角の間に位置する位相角を有する、補間された位相ベクトル 2 5 4 を生成する。固定位相補間器 2 5 3₁ ~ 2 5 3₄ の場合、両方の位相ベクトル入力に同じ基準位相ベクトルが供給され、そのため、結果としてもたらされる補間された位相ベクトルは、基準位相ベクトルと名目上同じ位相角（すなわち、4 つの一次位相角のうちの 1 つ）を有するが、ただし、補間器 2 5 3 を通した伝搬遅延だけオフセットされる。したがって、固定位相補間器によって生成される、補間された位相ベクトル 2 5 4 は、図 6 で、基準位相ベクトル 2 5 2 と同じ位相角を有するとして示されているが、基準位相ベクトル 2 5 2（記号「”」によって示されている）と区別するために、記号「'」によって示されている。

【 0 0 1 9 】

混合位相補間器 2 5 3₅ ~ 2 5 3₈ のそれぞれは、リーディングおよびトレーリングの位相ベクトル入力において基準位相ベクトルのペアを受信し、また、入力基準位相ベクトル

10

20

30

40

50

ルの間の所定の位相オフセットに位置する、補間された位相ベクトルを生成するために重み付けされる。混合位相補間器 253₅ は、例えば、0° および 90° の基準位相ベクトルを受信するように結合され、60° の補間されたベクトルを生成するように重み付けされる。すなわち、補間器 253₅ 内で適用される補間制御値は、トレーリング位相ベクトル (TPV) に適用される重み W_T が、リーディング位相ベクトル (LPV) に適用される重み W_L の 2 倍であるように、そして、 $W_T + W_L$ の合計は所定の定数 K となるように指定する (すなわち、 $W_T = 2/3K$ 、 $W_L = 1/3K$)。この配置によって、補間器 253₅ は、 $TPV * 2/3 + LPV * 1/3 = 90^\circ * 2/3 + 0^\circ * 1/3 = 60^\circ$ によって与えられる位相角を有する、補間された位相ベクトルを生成する。補間器 253₆、253₇、および 253₈ は、同様に重み付けされて、それぞれ、ベクトルペア 90° / 180°、180° / 270°、および 270° / 0° を混合し、補間されたベクトル 120°、240°、および 300° を生成する。0°、90°、180°、および 270° の位相角を有する補間された位相ベクトルと同様に、60°、120°、240°、および 300° の補間された位相ベクトルは、そのようなベクトルが、基準位相ベクトル 252 に比べて、補間器 253 の伝搬遅延だけ遅延させられることを示すために、「'」記号によって示される。したがって、固定位相補間器 253₁ ~ 253₄ は、混合位相補間器 253₅ ~ 253₈ によって 60°、120°、240°、および 300° の補間された位相ベクトルに導入される位相遅延に一致させるための、遅延整合機能を果たす。代替実施形態では、固定位相補間器 253₁ ~ 253₄ は、混合位相補間器 253₅ ~ 253₈ の伝搬遅延に一致する他の遅延素子によって置き換えられてもよく、または、すべて省略されてもよい。図 6 の実施形態では、補間制御値は、所定の 60°、120°、240°、および 300° の位相角を有する、補間された位相ベクトルを生成するために、それぞれの混合位相補間器 253₅ ~ 253₈ 内で固定されている。以下で説明する代替実施形態では、補間制御値は、可変の位相角を有する補間された位相ベクトルの生成を可能にするように、調節可能であってもよい。さらに、リーディングとトレーリングとの一次位相ベクトルの間で補間して二次位相ベクトルを生成する代わりに、二次位相ベクトルは、以下で詳細に説明するように、スケーリングされた遅延素子の使用を通して生成されてもよい。

【0020】

補間された位相ベクトル 254 は周波数分割回路 255₁ ~ 255₈ に供給され、周波数分割回路 255₁ ~ 255₈ は、次に、1 組のユニティ位相ベクトルと、複数組の周波数分割された位相ベクトルとをもたらす。周波数分割回路 255₁ は、例えば、0° の補間された位相ベクトルを受信して、対応する 0° のユニティ位相ベクトル (すなわち、記号「/1」によって示される周波数 F と、名目上 0° の位相オフセットとを有する) と、0° および 180° の位相角を有する $F/2$ 位相ベクトルのペアと、0°、90°、180°、および 270° の位相角を有する $F/4$ 位相ベクトルと、0°、90°、180°、および 270° の位相角を有する $F/8$ 位相ベクトルとを生成する。周波数分割回路 255₂、255₄、255₅、および 255₈ は、それぞれ、90°、270°、60°、および 300° の補間された位相ベクトルを受信して、90°、270°、60°、および 300° の位相角を有する、対応するユニティ位相ベクトルを生成する。周波数分割回路 255₃ は、180° の補間された位相ベクトルを受信して、対応する 180° のユニティ位相ベクトルと、90° および 270° の位相角を有する $F/2$ 位相ベクトルとを生成する。周波数分割回路 255₆ は、120° の補間された位相ベクトルを受信して、対応する 120° のユニティ位相ベクトルと、60° および 240° の位相角を有する $F/2$ 位相ベクトルと、120° および 300° の位相角を有する $F/4$ 位相ベクトルと、60° および 240° の位相角を有する $F/8$ 位相ベクトルとを生成する。周波数分割回路 255₇ は、240° の補間された位相ベクトルを受信して、対応する 240° のユニティ位相ベクトルと、120° および 300° の位相角を有する $F/2$ 位相ベクトルと、60° および 240° の位相角を有する $F/4$ 位相ベクトルと、120° および 300° の位相角を有する $F/8$ 位相ベクトルとを生成する。

【 0 0 2 1 】

周波数分割回路 2 5 5 によって生成される、ユニティ位相ベクトルと、 $F/2$ 位相ベクトルと、 $F/4$ 位相ベクトルと、 $F/8$ 位相ベクトルとは、セレクタ回路 2 5 7 の対応する入力ポートに提供される、位相ベクトルのそれぞれの組を構成する。セレクタ回路は、さらに、出力クロック信号 2 5 9 の所望される周波数または周波数範囲を示す、複数ビットのレート選択信号 2 5 8 (RS) を受信し、それに応答して、ユニティ位相ベクトルまたは周波数分割された位相ベクトルの対応する組を、出力クロック信号 2 5 9 として出力する。例えば、一実施形態では、セレクタ回路 2 5 7 は、2 ビットのレート選択信号 2 5 8 が「00」、「01」、「10」、または「11」の論理状態のいずれにあるかに従って、それぞれ、ユニティ位相ベクトル、 $F/2$ 位相ベクトル、 $F/4$ 位相ベクトル、または $F/8$ 位相ベクトルを、出力クロック信号 2 5 9 として出力する。

10

【 0 0 2 2 】

図 7 は、図 6 のクロック発生器内の周波数分割回路 2 5 5 のそれぞれを実装するために使用されてもよい、周波数分割回路 2 8 0 を示す。周波数分割回路 2 8 0 は、図 4 に関連して説明した、緩衝増幅器 1 1 3 と、エッジトリガ型記憶素子 2 1 1₁ ~ 2 1 1₃ と、排他的 OR ゲート 2 1 5₁ ~ 2 1 5₄、2 1 7₁ ~ 2 1 7₄ とを含み、さらに、記憶素子 2 1 1₁ ~ 2 1 1₃ の出力 - 入力経路内にそれぞれ結合された、マルチプレクサ 2 8 9₁ ~ 2 8 9₃ も含む。より具体的には、マルチプレクサ 2 8 9₁ ~ 2 8 9₃ のそれぞれの第 1 入力、記憶素子 2 1 1₁ ~ 2 1 1₃ のうちのそれぞれ 1 つの、反転出力に結合され、マルチプレクサ 2 8 9₁ ~ 2 8 9₃ のそれぞれの第 2 入力、初期化値 DI 2、DI 4、および DI 8 のうちのそれぞれ 1 つを受信するように結合され、マルチプレクサ 2 8 9₁ ~ 2 8 9₃ のそれぞれの出力は、記憶素子 2 1 1₁ ~ 2 1 1₃ のうちのそれぞれ 1 つの、データ入力に結合される。制御信号 S 2、S 4、および S 8 は、それぞれ、マルチプレクサ 2 8 9₁、2 8 9₂、および 2 8 9₃ の制御入力に供給され、記憶素子 2 1 1 を所定の状態に初期化するために、初期化状態と動作状態との間で選択的に遷移させられる。一初期化シーケンスでは、例えば、制御信号 S 2 および S 4 は、記憶素子 2 1 1₁ および 2 1 1₂ の出力のトグルを可能にするために、最初に動作状態に設定され、他方、制御信号 S 8 は初期化状態に設定される。この操作によって、記憶素子 2 1 1₂ の立ち上がりエッジ出力に応答して、記憶素子 2 1 1₃ に初期化値 DI 8 がロードされる。その後、制御信号 S 4 が初期化状態に遷移させられて、記憶素子 2 1 1₁ の次の立ち上がりエッジにおいて、記憶素子 2 1 1₂ 内に DI 4 がロードされる。記憶素子 2 1 1₃ および 2 1 1₂ が初期化された後で、制御信号 S 2 が初期化状態に遷移させられて、入力基準位相ベクトル 2 9 0 (F') の次の立ち上がりエッジにおいて、記憶素子 2 1 1₁ 内に DI 2 がロードされる。記憶素子 2 1 1₁ ~ 2 1 1₃ が初期化された後は、記憶素子がトグルを開始できるようにするために、制御信号 S 2、S 4、および S 8 が同時に動作状態に遷移させられてもよい。

20

30

【 0 0 2 3 】

図 7 をさらに参照すると、記憶素子 2 1 1 のそれぞれの中にロードされる初期化値は、記憶素子出力の初期状態を決定し、したがって、記憶素子出力の、選択可能な 1 8 0 度の位相シフトを提供する。したがって、記憶素子 2 1 1 を、ロジック「0」またはロジック「1」値を使用して初期化することの効果は、記憶素子出力の立ち上がりエッジを駆動するために、入力クロック信号（すなわち、記憶素子のクロック入力に供給される信号）内の 2 つの連続した立ち上がりエッジのうちの 1 つ目または 2 つ目のいずれかを選択することである。例えば、記憶素子 2 1 1₁ に、最初にロジック「0」値がロードされている場合、記憶素子の非反転出力は最初はローになり、したがって、入力基準位相ベクトル 2 9 0 の最初の立ち上がりエッジに応答して立ち上がる。対照的に、記憶素子 2 1 1₁ に、最初にロジック「1」値がロードされている場合、記憶素子の非反転出力は最初はハイになり、したがって、基準位相ベクトル 2 9 0 の最初の立ち上がりエッジに応答して立ち下がり、次に、基準位相ベクトル 2 9 0 のそれに続く立ち上がりエッジに応答して立ち上がる。以下で説明するように、この操作は、3 6 0 ° よりも大きな位相角を有する基準

40

50

位相ベクトル 290 のエッジの選択を可能にするために有用である。

【0024】

一実施形態では、図6の周波数分割回路 255₁、255₆、および255₇を実装するために、周波数分割器 280 の異なるインスタンス内で、記憶素子 211₁ ~ 211₃ は、さまざまに初期化される。例えば、周波数分割回路 255₁ は、周波数分割器 280 の第1のインスタンス内で、ロジック「0」値を使用して記憶素子 211₁ ~ 211₃ を初期化することにより実装されてもよい。そのような配置では、記憶素子 211₁ ~ 211₃ と排他的ORゲート 215₁ ~ 215₄ および 217₁ ~ 217₄ との出力波形は、図5に示す波形に一致し、したがって、図6に示されている、0°のユニティ位相ベクトルと、0°および180°のF/2位相ベクトルと、0°、90°、180°、および270°のF/4位相ベクトルと、0°、90°、180°、および270°のF/8位相ベクトルとを構成する。図6の周波数分割器 255₃ を実装するために、周波数分割回路 280 の別のインスタンス内の記憶素子 211₁ が、同様に、ロジック「0」値を使用して初期化されてもよく、また、図6の周波数分割回路 252₂、252₄、252₅、および252₈ を実装するために、周波数分割回路 280 の追加のインスタンスが、任意の値を使用して初期化されてもよい。図4に関連して説明したように、使用されないクロック信号を生成する記憶素子 211 および排他的ORゲート 215、217 は、図7の周波数分割器 280 の選択されたインスタンス内で省略されてもよく、または、同様の負荷を示す回路素子に置き換えられてもよい。さらに、1つまたは複数の遅延素子が、記憶素子 211₁ の非反転出力と、排他的ORゲート 215₂ および 215₄ との間の経路内に、遅延整合の目的のために提供されてもよく、また、記憶素子 211₂ の非反転出力と、排他的ORゲート 217₂ および 217₄ との間の経路内にも提供されてもよい。

【0025】

図1および図2に関連して上述したように、位相角Aを有する補間された位相ベクトルが、値Nによって周波数分割された場合、結果としてもたらされる周波数分割された位相ベクトルは位相角A/Nを有する。したがって、図7の実施形態において、位相A*N（「*」記号は乗算を示す）を有する補間された位相ベクトルを周波数分割器 280 に供給することによって、周波数分割器 280 は、周波数F/Nと任意の位相角Aとを有する位相ベクトルを生成することが可能にされる。したがって、図8Aに示すように、図6の周波数分割器 255₆ は、入力される120°の補間された位相ベクトルを、2によって周波数分割することによって、60° F/2位相ベクトルを生成することが可能にされ、また、480°の補間された位相ベクトルを、4によって周波数分割することによって、120° F/4位相ベクトルを生成することが可能にされる。図示されているように、480度位相ベクトル（すなわち、120°基準位相ベクトル290の、120°エッジの直後に続く立ち上がりエッジ）の選択は、例えば、図7の周波数分割器 280 のインスタンス内の記憶素子 211₁ を「1」（すなわち、DI2=1）に初期化し、それにより、F/2 240°位相ベクトルを記憶素子 211₂ のクロック入力に提供することによって実現されてもよい。240° F/2位相ベクトルは、F/4 120°位相ベクトルを生成するために記憶素子 211₂ 内で2によって分割されてもよいため、初期化値DI4は0に設定される。同様に、記憶素子 211₂ の非反転出力において生成される120° F/4位相ベクトルは、F/8 60°波形を生成するために、記憶素子 211₃ 内で2によって分割されてもよいため、記憶素子 211₃ の初期化値は0に設定される。F/2 60°位相ベクトルは、記憶素子 211₁ の反転出力において生成され、F/4 300°およびF/8 240°位相ベクトルは、同様に、記憶素子 211₂ および 211₃ の反転出力において生成される。図7の周波数分割回路 280 が、図6の周波数分割器 255₆ を実装するために使用される場合、排他的ORゲート 215₂、215₄、217₂、および217₄ は、使用されない位相ベクトルをもたらす。排他的ORゲート 215₂、215₄、217₂、および217₄ は、それにもかかわらず、負荷整合の目的のために周波数分割器 280 内に提供されてもよく、あるいは、同様の負荷素子によって置き換えられるか、またはすべて省略されてもよい。

10

20

30

40

50

【 0 0 2 6 】

図 8 B を参照すると、図 6 の周波数分割器 2 5 5_γ は、入力される 2 4 0° の補間された位相ベクトルを、2 および 4 によって周波数分割することによって、それぞれ、1 2 0°、 $F/2$ および 6 0°、 $F/4$ 位相ベクトルを生成することが可能にされ、9 6 0° 位相ベクトルを、8 によって周波数分割することによって、1 2 0°、 $F/8$ 位相ベクトルを生成することが可能にされる。図示されているように、9 6 0° 位相ベクトル（すなわち、2 4 0° 基準位相ベクトル 2 9 0° の、2 4 0° エッジの後の 2 つ目の立ち上がりエッジ）の選択は、記憶素子 2 1 1₂ を「1」に初期化し、それにより、2 4 0°、 $F/4$ 位相ベクトル（1 2 0°、 $F/2$ 位相ベクトルの 4 8 0° エッジに整列され、したがって、入力される基準位相ベクトル 2 9 0° の 9 6 0° エッジに整列された、立ち上がりエッジを有する位相ベクトル）を記憶素子 2 1 1₃ のクロック入力に提供することによってもたらされる。2 4 0° 基準位相ベクトル 2 9 0° は、 $F/2$ 、1 2 0° 位相ベクトルを生成するために、2 によって分割されてもよいため、記憶素子 2 1 1₁ の初期化値は「0」に設定される。同様に、記憶素子 2 1 1₂ の非反転出力において生成される 2 4 0°、 $F/4$ 位相ベクトルは、1 2 0°、 $F/8$ 位相ベクトルを生成するために、2 によって分割されてもよいため、記憶素子 2 1 1₃ は「0」に初期化される。3 0 0°、 $F/2$ 位相ベクトルは、記憶素子 2 1 1₂ の反転出力において生成され、6 0°、 $F/4$ および 3 0 0°、 $F/8$ 位相ベクトルは、同様に、記憶素子 2 1 1₂ および 2 1 1₃ の反転出力において生成される。図 7 の周波数分割器 2 8 0 が、図 6 の周波数分割回路 2 5 5_γ を実装するために使用される場合、排他的 OR ゲート 2 1 5₂、2 1 5₄、2 1 7₂、および 2 1 7₄ は、使用されない位相ベクトルを生成する。そのようなゲートは、それにもかかわらず、負荷整合の目的のために周波数分割器 2 8 0 内に提供されてもよく、あるいは、同様の負荷素子によって置き換えられるか、またはすべて省略されてもよい。

【 0 0 2 7 】

図 7 をさらに参照すると、記憶素子 2 1 1₁ ~ 2 1 1₃ のうちの所与の 1 つがロジック「1」状態に初期化された場合、周波数分割器 2 8 0 の、記憶素子によって生成されるコンプリメンタリ位相ベクトルのペアが現れる出力ノードは、反転されることに留意されたい。例えば、記憶素子 2 1 1₁ は、ロジック「0」状態に初期化された場合、位相角 $A/2$ および $(A/2) + 180^\circ$ を有する $F/2$ 位相ベクトルを、それぞれ、その非反転および反転出力において生成し、ロジック「1」状態に初期化された場合、位相角 $(A/2) + 180^\circ$ および $A/2$ を有する $F/2$ 位相ベクトルを、それぞれ、その非反転および反転出力において生成する（ A は入力される基準位相ベクトル 2 9 0° の位相角）。一実施形態では、所与の記憶素子 2 1 1 の反転および非反転出力と、周波数分割器 2 8 0 の出力ノードとの間の結合を、記憶素子が「1」に初期化された場合に入れ替えるための、多重化回路（図示せず）が周波数分割回路 2 8 0 内に提供され、それにより、初期化値の状態に関係なく、周波数分割回路 2 8 0 内で、位相ベクトル - 出力ノードの同じ向きがもたらされる。代替実施形態では、図 6 のセレクタ回路 2 5 7 が、例えば、入力される位相ベクトルを、レート選択信号 2 5 8 によって示される周波数分割に従って、適切な出力クロック経路上に転送することによって、周波数分割回路 2 8 0 内での位相ベクトル - 出力ノードの入れ替えを補償してもよい。

【 0 0 2 8 】

図 9 は、選択可能な周波数範囲とプログラム可能な位相オフセットとを有する出力クロック信号 3 7 5 を生成するために使用されてもよい、ワイドレンジ複数位相クロック発生器の実施形態 3 5 0 を示す。クロック発生器 3 5 0 は、基準ループ 3 5 1 と、第 1 ステージ補間器バンク 3 5 3 と、第 2 ステージ補間器バンク 3 5 5 と、周波数分割器バンク 3 5 7 と、セレクタ回路 3 5 9 と、レート制御ロジック 3 6 7 (RCL) とを含む。図示されている実施形態では、基準ループ 3 5 1 は、基準クロックサイクル内で均一に（すなわち、一次位相角 0°、9 0°、1 8 0°、および 2 7 0° において）位相が分布された、4 つの基準位相ベクトル 3 5 2 を生成する。代替実施形態では、より多くの、またはより少ない基準位相ベクトルが、基準ループ 3 5 1 によって生成されてもよい。上述したように

、基準ループ351は、クロック逡倍遅延ロックループまたは位相ロックループの場合のように、クロック逡倍機能を実行してもよく、または、遅延ロックループの場合のように、基準クロック周波数における基準位相ベクトルを生成してもよい。第1ステージ補間器バンク353は、基準位相ベクトル352を基準ループから受信するように結合され、出力クロック信号375と、出力クロック信号の遷移にตอบสนองしてサンプリングされる信号との間の所望の位相整列を達成するために、基準位相ベクトル352の位相を必要に応じて調節するために使用される。一実施形態では、例えば、第1ステージ補間器バンク353は、入力信号内のデータアイのエッジにおいて捕捉されるサンプルが、そのようなサンプルの捕捉のタイミングをとるために使用される出力クロック信号375がデータアイのエッジと比較して早く遷移していること、または遅く遷移していることのいずれを示すかに従って、基準位相ベクトル352の位相を調節するための、クロックデータ復元ロジック(CDR)を含む。代替実施形態では、他のクロック位相調節技術が使用されてもよい。第1ステージ補間器バンク353によって生成される位相ベクトル354は、本明細書では基準位相ベクトルと呼ばれるが、基準ループ351によって生成される基準位相ベクトル(「”」によって示される)と区別するために、記号「'」によって示される。代替実施形態では、第1ステージ補間器バンク353は、省略されてもよく、または、クロック発生器の外部に配置されて、例えば、出力クロック信号375を受信し、そのような信号の位相を直接調節してもよい。したがって、基準位相ベクトルは、基準ループ351から直接に、または第1補間器バンク353によって、第2ステージ補間器バンク355に供給されてもよい。

【0029】

図9の実施形態で、第2ステージ補間器バンクは、 0° 、 90° 、 180° 、および 270° の基準位相ベクトル354(すなわち、一次位相ベクトル)に一致する固定位相ベクトルを生成するための、固定位相補間器 $361_1 \sim 361_4$ と、固定位相ベクトルのそれぞれのペアの位相角の間に位置する位相角を有する混合位相ベクトルを生成するための、混合位相補間器 $363_1 \sim 363_4$ とを含む。例えば、混合位相補間器 363_1 は、 0° および 90° の基準位相ベクトルを受信し、したがって、 0° と 90° との間の位相角を有する混合位相ベクトルを生成する。同様に、補間器 363_2 、 363_3 、および 363_4 は、基準位相ベクトルペア $90^\circ/180^\circ$ 、 $180/270$ 、および $270^\circ/0^\circ$ を受信し、したがってそれぞれ、 90° と 180° との間、 180° と 270° との間、および 270° と 0° との間の、さまざまな位相角を有する混合位相ベクトルを生成する。混合位相ベクトルの位相角は、以下で説明するように、レート制御ロジック367によって供給される1つまたは複数の補間制御値362(ICV)によって制御される。

【0030】

図9の実施形態で、 0° 、 90° 、 180° 、および 270° の固定位相ベクトルのそれぞれは、対応する基準位相ベクトルを、固定位相補間器 $361_1 \sim 361_4$ のうちのそれぞれ1つの、両方の入力に供給することによって生成される。この配置によって、固定位相ベクトルは、対応する基準位相ベクトルと名目上は同じ位相を有するが、ただし、補間回路 $361_1 \sim 361_4$ を通じた伝搬遅延に従ってそのような基準位相ベクトルから位相オフセットされ、したがって、混合位相補間器 $363_1 \sim 363_4$ によって混合位相ベクトル内に導入される伝搬遅延と整合する。代替実施形態では、基準位相補間器は、混合位相補間器363と実質的に同じ伝搬遅延を示す、1つまたは複数の緩衝増幅器、インバータチェーン、またはその他の遅延素子によって置き換えられてもよい。

【0031】

図9をさらに参照すると、周波数分割器バンク357は、1組のユニティ位相ベクトルと、複数組の周波数分割された位相ベクトルとを、補間器バンク355から受信した固定位相ベクトルおよび混合位相ベクトルに基づいて生成する。ユニティ位相ベクトルは、基準ループ周波数Fと、位相角 0° 、 90° 、 180° 、 270° 、 X_{0-90} 、 X_{90-180} 、 $X_{180-270}$ 、および X_{270-0} とを有する(記号「X」は、関連する添え字によって示される範囲内の、可変の位相角を示す)。図9の特定の実施形態では、周

10

20

30

40

50

波数 $F/2$ を有する $1/2$ 分周セットの位相ベクトルと、周波数 $F/4$ を有する $1/4$ 分周セットの位相ベクトルと、周波数 $F/8$ を有する $1/8$ 分周セットの位相ベクトルという、3組の周波数分割された位相ベクトルが、周波数分割器バンク 357 によって生成される。さらに、周波数分割された位相ベクトルの各組の構成要素となる位相ベクトルは、ユニティ位相ベクトルの位相角に一致する（または、実質的に一致する）位相角を有する。代替実施形態では、周波数分割された位相ベクトルの組が、より多く、またはより少なく生成されてもよく、また、周波数分割された位相ベクトルの各組は、適用例での必要性に応じて、構成要素となる位相ベクトルを、より多く、またはより少なく含んでもよい。

【0032】

図9の実施形態では、周波数分割器バンク 357 は、図4の周波数分割回路 210 の個々のインスタンスによってそれぞれが実装される、周波数分割回路 $371_1 \sim 371_8$ の組を含む。周波数分割回路 371_1 は、例えば、 0° の固定位相ベクトルを受信して、対応する 0° のユニティ位相ベクトル（すなわち、周波数 F 、および名目上 0° の位相オフセットを有する）と、 0° および 180° の位相角を有する $F/2$ 位相ベクトルと、 0° 、 90° 、 180° 、および 270° の位相角を有する $F/4$ 位相ベクトルと、 0° 、 90° 、 180° 、および 270° の位相角を有する $F/8$ 位相ベクトルとを生成する。周波数分割回路 371_3 および 371_7 は、それぞれ、 90° および 270° の固定位相ベクトルを受信して、 90° および 270° の位相角を有する、対応するユニティ位相ベクトルを生成する。周波数分割回路 371_5 は、 180° の固定位相ベクトルを受信して、対応する 180° ユニティ位相ベクトルと、 90° および 270° の位相角を有する $F/2$ 位相ベクトルとを生成する。周波数分割回路 371_2 、 371_4 、 371_6 、および 371_8 は、混合位相補間器 363_1 、 363_2 、 363_3 、および 363_4 から、位相角 X_{0-90} 、 X_{90-180} 、 $X_{180-270}$ 、および X_{270-0} を有する混合位相ベクトルをそれぞれ受信して、対応するユニティ位相ベクトルと、周波数 $F/2$ 、 $F/4$ 、 $F/8$ および位相角 $X/2$ 、 $X/4$ 、 $X/8$ を有する位相ベクトルのコンプリメンタリペアとを、それぞれが生成する。すなわち、周波数分割回路 371_2 、 371_4 、 371_6 、および 371_8 のそれぞれは、位相角 X （すなわち、 $0 \sim 90^\circ$ 、 $90 \sim 180^\circ$ 、 $180 \sim 270^\circ$ 、および $270 \sim 0^\circ$ ）を有するユニティ位相ベクトルと、周波数 $F/2$ および位相角 $X/2$ を有する周波数分割された位相ベクトルのペアと、周波数 $F/4$ および位相角 $X/4$ を有する周波数分割された位相ベクトルのペアと、周波数 $F/8$ および位相角 $X/8$ を有する周波数分割された位相ベクトルのペアとを生成する。図3および図4に関連して説明したように、選択された $F/2$ 、 $F/4$ 、または $F/8$ クロック信号を生成しない、選択された回路素子（例えば、記憶素子および排他的ORゲート）は、周波数分割回路 371 から省かれてもよい。そのような回路素子は、また、実質的に同等の負荷を提供する他の回路素子によって置き換えられてもよい。さらに、 180 および 270 ユニティ位相ベクトルは、代替実施形態では、分割回路 371_1 および 371_3 によって、 0 および 90 ユニティ位相ベクトルのコンプリメントとして生成されてもよい。そのような実施形態では、周波数分割回路 371_1 はすべて省略されてもよく、また、望ましい場合は、周波数分割回路 371_5 から緩衝増幅器が省かれてもよい。

【0033】

周波数分割器バンク 357 は、構成要素となる周波数分割回路 371 によって生成される、ユニティ位相ベクトルの組と、周波数分割された位相ベクトルの組とを、セレクタ回路 359 のそれぞれの入力ポートに出力する。セレクタ回路 359 は、次に、レート制御ロジック 367 からの象限選択信号 364 (QS) に従って、および、レート選択信号 258 (RS) に従って、出力クロック信号 375 として、位相ベクトルの選択された組を出力する。一実施形態では、レート選択信号 258 は、4つの入手可能な出力クロック周波数 F 、 $F/2$ 、 $F/4$ 、または $F/8$ のうちの1つを示す複数ビットの信号である。代替実施形態では、レート選択信号 258 は、さらに、基準ループ 351 の出力周波数（例えば、基準ループ 351 のチューニング帯域内の）も指示してもよく、したがって、4つの周波数範囲のうちの1つの中の出出力クロック周波数を指定してもよい。代替実施形態で

10

20

30

40

50

は、より多くの、またはより少ない出力クロック周波数が、あるいは、より多くの、またはより少ない周波数範囲の中の、出力クロック周波数が、レート選択信号258によって指定されてもよい。

【0034】

混合位相補間器363₁~363₄、および対応する周波数分割器371₂、371₄、371₆、および371₈について考慮すると、指定された周波数 F/N (F は基準クロック周波数、 N は1以上の整数)において任意の位相角 A を有する出力クロック信号を生成するには、位相角 $N \cdot A$ を有する位相ベクトルが、混合位相補間器363のうちの1つによって生成され、次に、対応する周波数分割回路371内で、 N によって分周されてもよいということがわかる。位相角 $N \cdot A$ を有する、分周されていない位相ベクトルは、本明細書では、除数乗算された (*divisor-multiplied*) 位相ベクトルと呼ばれ、その理由は、位相ベクトルは、所望の出力クロック位相角に対応しているが、周波数分割の後で所望の位相角をもたらすようにするために、周波数除数値 N によって乗算されているためである。除数乗算された位相ベクトルの位相角は、一般に、基準クロック信号の全サイクル内の任意の位置で発生してもよいため、除数乗算された位相ベクトルをもたらすために混合される基準位相ベクトルのペアは、除数値(例えば、2、4、6、8)と所望の出力クロック位相角とに応じてさまざまであってもよい。図10Aを参照すると、例えば、周波数 $F/2$ と 75° の位相角とを有する出力クロック信号が所望される場合、周波数 F と 150° の位相角とを有する除数乗算された位相ベクトルが、 90° および 180° の基準位相角の間で補間することによって生成され、次に、所望のクロック信号を生成するために2によって分周される。図9のクロック発生器350では、除数乗算された位相角は、したがって、混合位相補間器363₂によって、トレーリング基準位相ベクトル(180°)への $2/3$ の重みと、リーディング基準位相ベクトル(90°)への $1/3$ の重みとを指定する補間制御値を使用して生成される。結果として生じる 150° 混合位相ベクトルは、次に、所望のクロック信号を生成するために、周波数分割回路371₄内で2によって分周される。

【0035】

一実施形態では、クロック発生器350によって生成される可変位相出力クロック信号のそれぞれは、関連する位相角 $+A$ 、 $-A$ 、 $180^\circ + A$ (すなわち、 $+A$ のコンプリメント)、および $180^\circ - A$ ($-A$ のコンプリメント)を、例えば、図6に関連して説明したオーバーサンプリング機能を実現するために有する。したがって、 $A = 75^\circ$ である図10Aの例について説明を続けると、可変位相出力クロック信号の全コンプリメントは、周波数 $F/2$ と、 75° 、 105° 、 255° 、および 285° の位相角とを有する。図示されているように、 $F/2$ 105° 位相ベクトルは、 180° および 270° の基準位相ベクトルの間で補間して、 210° の位相角を有する補間された位相ベクトルを生成し、次に、 210° の補間された位相ベクトルを2によって分周することによって生成されてもよい。 255° および 285° の位相ベクトルは、それぞれ、 75° および 105° の位相ベクトルのコンプリメントであり、したがって、周波数分割回路371₄および371₆の反転出力において得られる。図10Bは、 15° 、 165° 、 195° 、および 345° の位相角と周波数 $F/2$ とを有する可変位相出力クロック信号が所望される、別の位相混合の例を示す。 15° (すなわち、 $+A$)の位相角を有する $F/2$ 出力クロック信号は、 0° および 90° の基準ベクトルの間で補間して、周波数 F と 30° の位相角とを有する補間されたベクトルを生成し、次に、補間された位相ベクトルを、周波数分割回路371₂内で2によって分周することによって生成される。 165° の位相角(すなわち、 $180^\circ - A$)を有する $F/2$ 出力クロック信号は、 270° および 0° の位相ベクトルの間で補間して、周波数 F と 330° の位相角とを有する補間されたベクトルを生成し、次に、補間された位相ベクトルを、周波数分割回路371₈内で2によって分周することによって生成される。図10Aの例と同様に、コンプリメント位相ベクトル $180^\circ + A$ (195°)および $-A$ (345°)は、周波数分割回路371₂および371₈の反転出力において得られる。

10

20

30

40

50

【 0 0 3 6 】

図9の実施形態で、レート制御ロジック367は、除数値N（すなわち、所望される周波数または周波数範囲）を指示する、レート選択信号258と、出力クロック信号の所望の位相角Aを指示する、位相オフセット信号360（PO）とを受信する。レート制御ロジック367は、レート選択および位相オフセット信号にตอบสนองして、補間制御値362（ICV）と、上述の象限選択信号364（QS）とを生成する。象限選択信号364は、除数乗算された位相角 $N * A$ が収まる、基準クロックサイクルの象限（すなわち、 $Q_0 : 0^\circ \sim 90^\circ$ 、 $Q_1 : 90^\circ \sim 180^\circ$ 、 $Q_2 : 180^\circ \sim 270^\circ$ 、 $Q_3 : 270^\circ \sim 0^\circ$ ）を指示し、したがって、対応する除数乗算された位相ベクトルのソースとなるように選択されてもよい混合位相補間器363を指示する。補間制御値362は、位相角 $N * A$ を有する除数乗算された位相ベクトルをもたらすように、リーディングおよびトレーリングの基準位相ベクトル間の補間を必要に応じて制御するために、混合位相補間器363に供給される。所与の混合位相補間器363内で、入力される補間制御値ICVはトレーリング位相ベクトルに適用され、そのコンプリメント/ICVはリーディング位相ベクトルに適用される（ICVと/ICVの合計は所定の定数である）。

10

【 0 0 3 7 】

位相角 $-A$ は、 360° 位相図内での、位相角Aの鏡映であるため、除数乗算された位相角 $N * (-A)$ は、位相角 $N * A$ の象限に対して所定の関係を有する象限内に収まる。すなわち、 $N * A$ が象限 Q_x 内に収まる場合（ $x = 0, 1, 2$ 、または3）、 $N * (-A)$ は象限 $Q_{(3-x)}$ 内に収まる。さらに、位相角 $-A$ は、（リーディング位相ベクトルからトレーリング位相ベクトルへの位相オフセットを表す角度Aとは対照的に）トレーリング位相ベクトルからリーディング位相ベクトルへのオフセットを表すため、位相角 $N * (-A)$ を有する除数乗算された位相ベクトルのソースとなるように選択される混合位相補間器内の補間制御値の値は、位相角 $N * A$ を有する位相ベクトルのソースとなるように選択される混合位相補間器内で適用される補間制御値のコンプリメントである。除数乗算された位相角 $N * A$ および $N * (-A)$ は、反対の象限ペア $Q_1 : Q_2$ および $Q_3 : Q_4$ 内に収まる（すなわち、 $N * A$ がペア $Q_1 : Q_2$ 内に収まる場合、 $N * (-A)$ はペア $Q_3 : Q_4$ 内に収まり、その逆も同様である）ということを知れば、象限ペア $Q_3 : Q_4$ に対応する混合位相補間器363₃および363₄に供給される補間制御値のコンプリメントをとることによって、角度 $N * A$ および $N * (-A)$ を有する除数乗算された位相ベクトルを生成するために使用される2つの混合位相補間器は、コンプリメンタリな補間制御値362を受信することが保証されてもよいということになる。したがって、図9の実施形態では、インバータ365が、混合位相補間器363₃および363₄に供給される補間制御値のコンプリメントをとるために提供され、また、以下で説明するように、レート制御ロジック367は、角度 $N * A$ が基準クロックサイクルの象限 Q_3 または Q_4 内に収まる場合を判定し、応答として、補間制御値362のコンプリメントをとるための回路を含む（それにより、混合位相補間器363₁および363₂（これらのうちの一方が位相角 $N * (-A)$ を有する除数乗算された位相ベクトルを生成するために使用される）がコンプリメント補間制御値を受信し、混合位相補間器363₃および363₄が非コンプリメント補間制御値を受信するようになる）。この配置によって、除数乗算された位相角 $N * A$ および $N * (-A)$ を有する補間された位相ベクトルを生成するために、コンプリメントおよび非コンプリメントの補間制御値が、選択された混合位相補間器に提供されてもよい。そのような除数乗算された位相ベクトルを受信するように結合された分割回路371は、次に、Nによって分周して、位相角Aおよび $-A$ を有する位相ベクトルと、位相角 $180^\circ + A$ および $180^\circ - A$ を有するコンプリメンタリ位相ベクトルとを生成し、それにより、可変位相出力クロック信号としてセレクタ回路359により出力される位相ベクトルの組を完成させてもよい。

20

30

40

【 0 0 3 8 】

図11は、図9のレート制御ロジック367を実装するために使用されてもよい論理回路の実施形態450を示す。論理回路450は、レート選択信号258（RS）と位相オ

50

フセット信号360(P0)とを入力として受信するように結合され、また、乗算回路451と排他的ORゲート453とを含む。図示されている特定の実施形態では、レート選択信号258は、除数値1(RS=00)、2(RS=01)、4(RS=10)、または8(RS=11)を指定する、符号化された2ビットの信号RS[1:0]であり、位相オフセット信号360は、位相角を、0°と90°との間で(すなわち、より正確には、0°と90°*(127/128)との間で)、90°/128刻みで指定する、7ビットの信号PO[6:0]である。したがって、値0000000b(「b」は2進表記を示す)は0°の位相オフセットを示し、値0000001bは90°/128の位相オフセットを示し、値0000010bは90°*(2/128)の位相オフセットを示し、以下、90°*(127/128)の位相オフセットを示す1111111bまで同様となる。図11の実施形態で、乗算器451は、位相オフセット信号360を、レート選択信号258の数値に等しいビット数だけ左にシフトする、シフト回路である。左へのビットごとの各シフトは、示された位相オフセットを2によって効果的に乗算するため、乗算器451は、レート選択信号によって示された除数に従って、1、2、4、または8によって乗算された入力位相オフセット信号360を表す、乗算された位相オフセット信号452(MPO)を出力する。したがって、乗算された位相オフセット信号452は、入力される位相オフセット信号360とレート選択信号258とによって示される、除数乗算された位相角N*Aとして見られてもよい。一実施形態では、乗算された位相オフセット信号は、モジュロ512除算を実現するために9ビット(MPO[8:0])に制限され、それにより、所望される除数乗算された位相ベクトル(すなわち、除数乗算された位相角によって示される除数乗算された位相ベクトル)は、単一の基準クロックサイクル内の4つの象限のうちの1つに効果的に制限される。

【0039】

乗算された位相オフセットの2つの最上位ビットMPO[8:7]は、論理回路364から、象限選択信号364として出力され、そのようなビットは、所望される除数乗算された位相ベクトルが収まる、基準クロックサイクルの象限を示す。すなわち、象限選択信号364が「11」の場合、除数乗算された位相オフセットは、270°と0°との間の位相角(Q₃)を表す。象限選択信号364が「10」の場合、除数乗算された位相オフセットは、180°と270°との間の位相角(Q₂)を表す。象限選択信号364が「01」の場合、除数乗算された位相オフセットは、90°と180°との間の位相角(Q₁)を表す。最後に、象限選択信号364が「00」の場合、除数乗算された位相オフセットは、0°と90°との間の位相角(Q₀)を表す。

【0040】

乗算された位相オフセットの最下位の7ビットMPO[6:0]は、象限選択により示された象限内での位相角のオフセットを示し、したがって、補間制御値362として論理回路450から出力されてもよい。乗算された位相オフセットが、180°以上の、除数乗算された位相角(すなわち、基準クロックサイクルの象限Q₂またはQ₃内に収まる位相角)に一致する場合、図9の補間器363₃および363₄のうちの1つが、対応する除数乗算された位相ベクトルを生成するために選択される。したがって、乗算された位相オフセットのビット8(MPO[8])(180°以上の除数乗算された位相角に対応する、乗算された位相オフセット信号の場合、ハイになる)は、論理回路450によって出力される補間制御値を反転させるために、排他的ORゲート453(これは、それぞれの第1入力がMPO[8]を受信するように結合され、第2入力がMPO[6]~MPO[0]の各ビットを受信するように接続された、7つの排他的ORゲートのバンクであってもよい)の第1入力に供給され、それにより、図9のインバータ365の効果を取り消され、非コンプリメント補間制御値362が混合位相補間器363₃および363₄に、コンプリメント補間制御値362が混合位相補間器363₁および363₂に送付される。

【0041】

代替実施形態では、論理回路450に多数の変更が加えられてもよいことに留意すべきである。例えば、レート選択信号258および/または位相オフセット信号360は、構

10

20

30

40

50

成要素となるビットを、より多く、またはより少なく有してもよい。さらに、位相オフセット信号は、所望の位相オフセットを数値的に示す代わりに、位相オフセットのテーブルから位相オフセットの所定の番号のうちの1つを選択する選択信号であってもよい。そのような実施形態では、補間制御値が表にまとめられ、位相オフセット選択およびレート選択信号にตอบสนองして、表から出力されてもよい。より一般的には、補間制御値と象限選択信号（または、所望の除数乗算された位相ベクトルのソースを示すその他の信号）とを生成することが可能な任意の回路が、代替実施形態で、論理回路450の代わりに使用されてもよい。

【0042】

図12は、図9の混合位相補間器363₁~363₃を実装するために使用されてもよい、補間器の実施形態470を示す。補間器470は、第1の位相ベクトル入力において差動基準位相ベクトルV_Aを受信し、第2の位相ベクトル入力において差動基準位相ベクトルV_Bを受信するように結合された、差動増幅器473₁および473₂を含む。増幅器473₁および473₂の差動出力は、共通に接続されて差動出力ポートを形成し、図12の実施形態では、抵抗素子Rのペアによってプルアップされる。抵抗素子Rは、抵抗器として示されているが、代替実施形態では、受動または能動の負荷素子であってもよい。

【0043】

差動増幅器473₁、473₂のそれぞれは、ソース端子が共通でバイアス回路475₁、475₂に接続された、トランジスタのペア477₁、477₂を含む。トランジスタ477のドレイン端子は、差動増幅器出力を構成し、トランジスタ477のゲート端子は、差動位相ベクトルのコンプリメントおよび非コンプリメント成分を受信するように結合される。バイアス回路475₁および475₂は、それぞれ、入力される補間制御値362およびコンプリメント補間制御値474に従って、差動増幅器473₁および473₂内のそれぞれのバイアス電流（すなわち、対応するトランジスタペア477のソース端子からグラウンドへの）を確立する。一実施形態では、バイアス回路475₁、475₂のそれぞれは、補間制御値の各ビットを受信するように結合されたゲート端子を有する、2進加重される1組のトランジスタ（または、効果的な2進加重を実現するために連動される複数組のトランジスタ）によって実装される。すなわち、第1のトランジスタは、トランジスタペア477とグラウンドとの間に結合され、ビットICV[0]を受信するように結合されたゲート端子を有し、ICV[0]がハイの場合は電流I_{REF}を導通し、第2のトランジスタ（またはトランジスタのペア）は、第1のトランジスタと並列に結合され、ICV[1]がハイの場合は電流2 * I_{REF}を導通し、以下、ビットICV[K-1]がハイの場合に電流2^{K-1} * I_{REF}を導通する最後のトランジスタ（またはトランジスタのグループ）まで同様となる（Kは、補間制御値内の構成要素となるビットの数）。インバータ471は、差動増幅器473₁に提供される補間制御値のコンプリメントをとるために提供され、それにより、バイアス電流ICV * I_{REF}がバイアス回路475₂内で生成される場合、バイアス電流I_{MAX} - (ICV * I_{REF})がバイアス回路475₁内で生成されるようになる（I_{MAX}は、いずれかのバイアス回路によって生成される最大バイアス電流（例えば、I_{REF} * 2^{K-1}））。バイアス回路475₁および475₂によって生成されるバイアス電流の合計はI_{MAX}になるため、補間制御値362の値を増加または減少させることの効果は、バイアス回路475₂によって導かれる電流が増加または減少し、それに対応して、バイアス回路475₁によって導かれる電流が減少または増加するということである。さらに、差動増幅器473₁および473₂の出力ノードは、抵抗プルアップ素子Rに共通に接続されるため、差動増幅器473₁および473₂に供給される差動クロック信号は、補間制御値362およびコンプリメント補間制御値474に従って効果的に位相混合される。すなわち、補間制御値362が最小値（例えば、0）の場合、I_{MAX}が差動増幅器473₁のトランジスタペア477₁を通して流れ、また、0または無視できるほど小さな電流が差動増幅器473₂を通して流れ、それにより、入力ベクトルV_Aと名目上位相が整列した（すなわち、V_Aと位相が整

10

20

30

40

50

列しているが、差動増幅器 473₁ の伝搬遅延によって位相オフセットされた) 補間された位相ベクトルがもたらされる。補間制御値 362 が最大値 (例えば、すべて「1」) の場合、 I_{MAX} が差動増幅器 473₂ を通して流れ、また、0 または無視できるほど小さな電流が差動増幅器 473₁ を通して流れ、それにより、入力ベクトル V_B と名目上位相が整列した、補間された位相ベクトルがもたらされる。補間制御値 362 が、最大値と最小値との間である場合、補間器 470 によって生成される補間された位相ベクトルは、リーディング基準位相ベクトル V_A の初期部分の間、減少したスルーレートを示し、それに続いて、トレーリングベクトル V_B の立ち上がり開始時には、増加したスルーレートを示し、減少したスルーレートは、中点遷移を、したがって、結果として生じる補間された位相ベクトルの位相角を遅らせる。それにより、補間制御値 362 が最小値から最大値に徐々に増加されるにつれて、結果として生じる補間された位相ベクトルは、徐々に遅らされたスルーレートを、したがって、徐々に増加された位相角を示すようになる。

10

【0044】

代替実施形態では、図 12 の補間器 470 に多数の変更が加えられてもよいことに留意すべきである。例えば、一実施形態では、追加の差動結合されたトランジスタペア 477 が、トランジスタペア 477₁ と並列に結合されて、一致するソース、ドレイン、およびゲート接続 (すなわち、入力ベクトル V_A を受信するように結合されたゲート端子と、補間器出力ノードに結合されたドレイン端子と、トランジスタ 477₁ のソース端子と共通に結合されたソース端子と) を有し、追加の差動結合されたトランジスタペアが、トランジスタペア 477₂ と並列に、同様に結合される。差動増幅器によって導かれる電流を入力ベクトル周波数の関数として増加するために、追加のトランジスタペアは、レート選択信号 258 に従って選択的に有効にされ、それにより、リーディングとトレーリングの入力位相ベクトル間の、所望の時間的オーバーラップが実現される。他の実施形態では、図 9 の固定位相補間器 361₁ ~ 361₄ を実装するために、補間制御値は固定されてもよい。より一般的には、固定された補間制御値、または補間制御値 362 に従って、入力ベクトル V_A および V_B を位相混合することによって、補間された出力ベクトルを生成することが可能な任意の回路が、代替実施形態で、補間された位相ベクトルを生成するために使用されてもよい。

20

【0045】

図 13 は、一実施形態による、図 9 のセクタ回路 359 の動作を示す表 500 である。図 9 に関連して説明したように、セクタ回路は、表 500 に CLK_0 、 CLK_{90} 、 CLK_{180} 、 CLK_{270} として示す、4 つの固定位相出力クロック信号と、表 500 に CLK_{0-90} 、 CLK_{90-180} 、 $CLK_{180-270}$ 、および CLK_{270-0} として示す、4 つの混合位相出力クロック信号とを出力する。代替実施形態では、より多くの、またはより少ないクロック信号が、セクタ回路 359 によって出力されてもよい。表 500 によって示される実施形態では、セクタ回路 359 は、レート選択信号 258 の状態に従って、図 9 の周波数分割器バンク 357 内の周波数分割回路 371₁、371₃、371₅、および 371₇ から、固定位相出力クロック信号を選択する。すなわち、レート選択信号 258 がユニティ周波数 F を示す場合、周波数 F と、 0° 、 90° 、 180° 、および 270° の位相角とを有する位相ベクトルが、それぞれ、分割回路 371₁、371₃、371₅、および 371₇ から (および、したがって、補間器 361₁ ~ 361₄ から) 選択され、セクタ回路の固定位相クロック信号出力 CLK_0 、 CLK_{90} 、 CLK_{180} 、 CLK_{270} において出力される。同様に、周波数 F と、可変位相角 A ($0^\circ \sim 90^\circ$)、 $-A$ ($270^\circ \sim 0^\circ$)、 $180^\circ + A$ ($180^\circ \sim 270^\circ$)、および $180^\circ - A$ ($90^\circ \sim 180^\circ$) とを有する位相ベクトルが、それぞれ、可変位相クロック信号出力 CLK_{0-90} 、 CLK_{270-0} 、 $CLK_{180-270}$ 、および CLK_{90-180} において出力される。用語に関して説明すると、表 500 の出力クロック列内の各エントリは、ユニティ位相ベクトルとして出力される位相ベクトルまたは周波数分割される位相ベクトルの、ソースとなる補間器を、補間された位相ベクトルの番号によって示し (すなわち、 V_1 、 V_2 、 V_3 、および V_4 は、固定位相補間器 361₁

30

40

50

～ 361_3 によって生成される補間された位相ベクトル、 $V12$ 、 $V23$ 、 $V34$ 、および $V41$ は、混合位相補間器 $363_1 \sim 363_4$ によって生成される補間された位相ベクトル)、また、出力クロック信号の周波数を、添え字 F 、 $F/2$ 、 $F/4$ 、または $F/8$ によって示す。したがって、表500の第1行では、補間された位相ベクトル $V1_F$ 、 $V2_F$ 、 $V3_F$ 、および $V4_F$ が、それぞれ、固定位相クロック信号出力 CLK_0 、 CLK_{90} 、 CLK_{180} 、 CLK_{270} において出力され、補間された位相ベクトル $V12_F$ 、 $V41_F$ 、 $/V12_F$ 、および $/V41_F$ が、それぞれ、可変位相クロック信号出力 CLK_{0-90} 、 CLK_{270-0} 、 $CLK_{180-270}$ 、および CLK_{90-180} において出力される。

【0046】

表500の固定位相出力クロック信号列の記入について説明すると、レート選択信号が $1/2$ 分周出力クロック周波数 $F/2$ を示す場合、周波数 $F/2$ と、 0° および 180° の位相角とを有する固定位相ベクトル $V1$ および $V3$ が、補間器 361_1 から選択され、周波数分割回路 371_1 および 371_5 内で2によって分周されて、 0° および 90° の $F/2$ 出力クロック信号と、それらの 180° および 270° コンプリメントが生成される。すなわち、位相ベクトル $V1_{F/2(0)}$ 、 $V3_{F/2(90)}$ (添え字 $F/2(0)$)および $F/2(90)$ は、それぞれ、周波数分割回路 371_1 および 371_5 によって生成される 0° および 90° の $F/2$ 位相ベクトルを示す)、 $/V1_{F/2(0)}$ 、および $/V3_{F/2(90)}$ が、それぞれ、固定位相出力クロック信号 CLK_0 、 CLK_{90} 、 CLK_{180} 、 CLK_{270} として出力される。レート選択信号が $1/4$ 分周出力クロック周波数 $F/4$ を示す場合、固定位相ベクトル $V1_{F/4(0)}$ および $V1_{F/4(90)}$ が、固定位相出力クロック信号 CLK_0 および CLK_{90} として出力され、それらのコンプリメント $/V1_{F/4(0)}$ および $/V1_{F/4(90)}$ が、固定位相出力クロック信号 CLK_{180} および CLK_{270} として出力される。同様に、レート選択信号が $1/8$ 分周出力クロック周波数 $F/8$ を示す場合、固定位相ベクトル $V1_{F/8(0)}$ および $V1_{F/8(90)}$ が、固定位相出力クロック信号 CLK_0 および CLK_{90} として出力され、それらのコンプリメント $/V1_{F/8(0)}$ および $/V1_{F/8(90)}$ が、固定位相出力クロック信号 CLK_{180} および CLK_{270} として出力される。

【0047】

混合位相出力クロック信号 CLK_{0-90} 、 CLK_{90-180} 、 $CLK_{180-270}$ 、および CLK_{270-0} は、レート選択信号と象限選択信号とによって示される、除数乗算された位相角に基づいて、それぞれの周波数分割回路から選択される。したがって、レート選択信号がユニティ周波数 F を示す場合、補間器 363_1 内で適用される補間制御値に従って 0° と 90° との間の位相角(すなわち、位相角 $+A$)を有する、周波数分割回路 371_2 によって生成されるユニティ位相ベクトルが、可変位相クロック信号 CLK_{0-90} として出力される。同様に、補間器 363_4 内で適用されるコンプリメント補間制御値に従って 270° と 0° との間の位相角(すなわち、位相角 $-A$)を有する、周波数分割回路 371_8 によって生成されるユニティ位相ベクトルが、可変位相クロック信号 CLK_{270-0} として出力される。位相角 $180^\circ + A$ および $180^\circ - A$ を有する出力クロック信号は、 CLK_{0-90} および CLK_{270-0} クロック信号のコンプリメントであるため、セレクト回路は、 CLK_{0-90} および CLK_{270-0} として出力されるクロック信号のコンプリメントを、それぞれ、 $CLK_{180-270}$ および CLK_{90-180} クロック信号であるとして選択する。この対応関係は、図13の表500全体を通して維持され、その理由は、 $CLK_{180-270}$ として出力されるように選択されるユニティ位相ベクトルまたは周波数分割された位相ベクトルは、 CLK_{0-90} として出力されるように選択される位相ベクトルのコンプリメントであり、 CLK_{90-180} として出力されるように選択されるユニティ位相ベクトルまたは周波数分割された位相ベクトルは、 CLK_{270-0} として出力されるように選択される位相ベクトルのコンプリメントであるためである。

【0048】

10

20

30

40

50

図13をさらに参照すると、レート選択信号が $F/2$ 周波数の選択を示す場合、出力クロック信号 CLK_{0-90} の生成に使用される除数乗算された位相ベクトルは、選択される位相オフセットが 45° よりも大きいか、または小さいかによって、基準クロックサイクルの第1象限または第2象限のいずれかに収まる。したがって、象限選択信号が、除数乗算された位相ベクトルが $0^\circ \sim 90^\circ$ に収まることを示す場合（すなわち、 $QS[1:0] = 00$ ）、周波数分割回路 371_2 によって（すなわち、補間された位相ベクトル V_{12} を周波数分割することによって）生成される $F/2$ 位相ベクトルが、クロック信号 CLK_{0-90} として出力されるように選択される。象限選択信号が、除数乗算された位相ベクトルが $90^\circ \sim 180^\circ$ に収まることを示す場合（すなわち、 $QS[1:0] = 01$ ）、周波数分割回路 371_4 によって（すなわち、補間された位相ベクトル V_{23} を周波数分割することによって）生成される $F/2$ 位相ベクトルが、クロック信号 CLK_{0-90} として出力されるように選択される。出力クロック信号 CLK_{270-0} は、同様に、選択される位相オフセットに従って基準クロック信号の第4または第3象限のいずれかに収まるため、周波数分割回路 371_8 によって、または周波数分割回路 371_6 によって生成される $F/2$ 位相ベクトルのいずれか（補間された位相ベクトル V_{41} および V_{34} にそれぞれ対応する）が、象限選択信号の状態に依存して、クロック信号 CLK_{270-0} として出力されるように選択される。

【0049】

レート選択信号が $F/4$ 周波数の選択を示す場合、クロック信号 CLK_{0-90} の生成に使用される除数乗算された位相ベクトルは、選択される位相オフセットに依存して、基準クロックサイクルの第1、第2、第3、または第4象限のいずれかに収まる。同様に、クロック信号 CLK_{270-0} の生成に使用される除数乗算された位相ベクトルは、選択される位相オフセットに依存して、基準クロックサイクルの第4、第3、第2、または第1象限のいずれかに収まる。したがって、象限選択信号が、クロック信号 CLK_{0-90} に対応する除数乗算された位相ベクトルが $0^\circ \sim 90^\circ$ に収まることを示す場合、周波数分割回路 371_2 および 371_8 によって（すなわち、補間器 363_1 および 363_4 によって生成される補間されたベクトル V_{12} および V_{41} を周波数分割することによって）生成される $F/4$ 位相ベクトルが、それぞれ、出力クロック信号 CLK_{0-90} および CLK_{270-0} となるように選択される。象限選択信号が、 CLK_{0-90} クロック信号に対応する除数乗算された位相ベクトルが $90^\circ \sim 180^\circ$ に収まることを示す場合、周波数分割回路 371_4 および 371_6 によって（すなわち、補間器 363_2 および 363_3 によって生成される補間されたベクトル V_{23} および V_{34} を周波数分割することによって）生成される $F/4$ 位相ベクトルが、それぞれ、出力クロック信号 CLK_{0-90} および CLK_{270-0} となるように選択される。象限選択信号が、 CLK_{0-90} クロック信号に対応する除数乗算された位相ベクトルが $180^\circ \sim 270^\circ$ に収まることを示す場合（すなわち、 $QS[1:0] = 10$ ）、周波数分割回路 371_6 および 371_4 によって（すなわち、補間されたベクトル V_{34} および V_{23} を周波数分割することによって）生成される $F/4$ 位相ベクトルが、それぞれ、出力クロック信号 CLK_{0-90} および CLK_{270-0} となるように選択される。最後に、象限選択信号が、 CLK_{0-90} クロック信号に対応する除数乗算された位相ベクトルが $270^\circ \sim 0^\circ$ に収まることを示す場合（すなわち、 $QS[1:0] = 11$ ）、周波数分割回路 371_8 および 371_2 によって（すなわち、補間されたベクトル V_{41} および V_{12} を周波数分割することによって）生成される $F/4$ 位相ベクトルが、それぞれ、出力クロック信号 CLK_{0-90} および CLK_{270-0} となるように選択される。

【0050】

レート選択信号が $F/8$ 周波数の選択を示す場合、クロック信号 CLK_{0-90} の生成に使用される除数乗算された位相ベクトルは、選択される位相オフセットに依存して、基準クロックサイクルの第1、第2、第3、または第4象限のいずれかに収まる。同様に、クロック信号 CLK_{270-0} の生成に使用される除数乗算された位相ベクトルは、選択される位相オフセットに依存して、基準クロックサイクルの第4、第3、第2、または第

10

20

30

40

50

1象限のいずれかに収まる。したがって、象限選択信号が、クロック信号 CLK_{0-90} に対応する除数乗算された位相ベクトルが $0^\circ \sim 90^\circ$ に収まることを示す場合、周波数分割回路 371_2 および 371_8 によって(すなわち、補間器 363_1 および 363_4 によって生成される補間されたベクトル V_{12} および V_{41} を周波数分割することによって)生成される $F/8$ 位相ベクトルが、それぞれ、出力クロック信号 CLK_{0-90} および CLK_{270-0} となるように選択される。象限選択信号が、 CLK_{0-90} クロック信号に対応する除数乗算された位相ベクトルが $90^\circ \sim 180^\circ$ に収まることを示す場合、周波数分割回路 371_4 および 371_6 によって(すなわち、補間器 363_2 および 363_3 によって生成される補間されたベクトル V_{23} および V_{34} を周波数分割することによって)生成される $F/8$ 位相ベクトルが、それぞれ、出力クロック信号 CLK_{0-90} および CLK_{270-0} となるように選択される。象限選択信号が、 CLK_{0-90} クロック信号に対応する除数乗算された位相ベクトルが $180^\circ \sim 270^\circ$ に収まることを示す場合(すなわち、 $QS[1:0] = 10$)、周波数分割回路 371_6 および 371_4 によって(すなわち、補間されたベクトル V_{34} および V_{23} を周波数分割することによって)生成される $F/8$ 位相ベクトルが、それぞれ、出力クロック信号 CLK_{0-90} および CLK_{270-0} となるように選択される。最後に、象限選択信号が、 CLK_{0-90} クロック信号に対応する除数乗算された位相ベクトルが $270^\circ \sim 0^\circ$ に収まることを示す場合(すなわち、 $QS[1:0] = 11$)、周波数分割回路 371_8 および 371_2 によって(すなわち、補間されたベクトル V_{41} および V_{12} を周波数分割することによって)生成される $F/8$ 位相ベクトルが、それぞれ、出力クロック信号 CLK_{0-90} および CLK_{270-0} となるように選択される。

【0051】

スケーリングされた複製遅延素子を使用した位相ベクトルの生成

図14は、位相ベクトル発生器の実施形態550を示し、この内部では、一次位相ベクトルが、スケーリングされた遅延素子を通して伝搬し、本例では反転して、二次位相ベクトルが生成される。この動作によって、二次位相ベクトルが補間器なしで生成されてもよく、それにより、図6の混合位相および固定位相補間器が不要になる。図示されている特定の例では、2つの直列に結合された遅延素子552(それぞれは、基準ループ周波数における 60° 位相遅延に対応する伝搬遅延を導入する(すなわち、 60° 遅延素子))が、 0° 一次位相ベクトルを受信するように結合され、したがって、 120° 二次位相ベクトル、すなわち、 0° 一次位相ベクトルを基準として 120° 遅らされた位相ベクトルを出力する。2つの直列に結合された遅延素子552は、同様に、 180° 一次位相ベクトルを受信するように結合され、したがって、 300° 二次位相ベクトルを出力する。2つの直列に結合された 75° 遅延素子554は、 90° 一次位相ベクトルを受信するように結合され、 240° 二次位相ベクトル($90^\circ + 75^\circ + 75^\circ$)を出力し、また、2つの直列に結合された 75° 遅延素子554は、さらに、 270° 一次位相ベクトルを受信するように結合され、したがって、 60° 二次位相ベクトル($270^\circ + 75^\circ + 75^\circ \text{ mod } 360^\circ$)を出力する。他の位相を有する二次位相ベクトルが、他の遅延素子を使用して、および/または、遅延素子552と554とその他の組み合わせを使用して生成されてもよい。

【0052】

図示されている特定の例では、基準ループのリング発振器内の遅延素子を通じた遅延を制御するために使用される遅延制御信号555(DCTL)とともに、 0° 、 90° 、 180° 、および 270° の一次位相ベクトルが基準ループから提供される。この配置によって、温度、電圧、またはその他の環境条件の変化を補償するために、(例えば、位相ロッキングループ、遅延ロッキングループ、または類似した回路内の)基準ループによって遅延制御信号が調節されるにつれて、結果として生じる、基準ループ内の遅延素子の伝搬遅延調節は、位相ベクトル発生器550のスケーリングされた遅延素子552および554内にも適用される。図15は、例えば、 0° 、 90° 、 180° 、および 270° の位相ベクトルを生成するためのPLL 558を示し、また、位相ベクトル発生器550とおおむね

同じ方法で動作する位相ベクトル発生器560と、PLL 558との相互接続も示す。図示されているように、PLL 558は、電圧制御発振器567(VCO)と、分周器569と、位相検出器561と、電荷ポンプ563と、電荷蓄積素子565と、緩衝器566を含む。VCO 567は、交差結合された遅延素子571aおよび571bのペアの形態の、リング発振器によって実装されるが、他の実施形態では、代替のタイプの電圧制御発振器が使用されてもよい。差動信号が、両方のインバータ571aおよび571bを通して伝搬して、インバータ571aの入力に戻るために要する時間が、基準クロック信号の180度の間隔(すなわち、インバータ571の入力における立ち上がりエッジと立ち下がりエッジとの間の時間)を定義するため、各インバータ571は1/4サイクルの遅延(すなわち、90度の遅延)を導入し、したがって、2つの差動インバータ571a、571bの4つの出力は、0°、90°、180°、および270°の一次位相ベクトルを構成することになり、または、それらの一次位相ベクトルを生成するために使用されてもよいということになる。さらに、VCO 567は、差動インバータ571a、571bを通じた伝搬遅延によって決定される周波数で発振するため、インバータの伝搬遅延を増加または減少させて、それにより、基準ループ周波数の対応する増加または減少をもたらすために、差動インバータ571a、571bの出力スルーレートが増加または減少させられてもよい。

10

【0053】

図示されている例示的实施形態では、分周期569は、VCO 567から0°位相ベクトル(またはその緩衝されたバージョン)を受信し、0°位相ベクトルを周波数分割して、基準クロック562(RefClk)の周波数に名目上一致した位相ベクトル570を生成する。基準クロック562と周波数分割された位相ベクトル570とは位相検出器561に供給され、位相検出器561は、位相ベクトル570のベクトルが基準クロック信号562よりも進んでいるか遅れているかを示す、位相前進信号564を電荷ポンプ563に出力する。位相前進信号が、位相ベクトル570が基準クロック信号562よりも遅れていることを示す場合、電荷ポンプ563は電荷蓄積素子565にパルスを送ってその電圧レベルを増加し、それにより、遅延制御信号555のレベルを増加する。遅延制御信号555は、次に、差動インバータ571のスルーレートを制御するために使用され、したがって、増加された場合、差動インバータ571を通じた遅延を短縮し、基準ループ558の発振周波数を増加する。

20

30

【0054】

一実施形態では、遅延制御信号555は、差動インバータ571にバイアスをかけて所望のスルーレートを実現するために使用される電流である(すなわち、緩衝器566は電圧-電流変換を実行する)。代替実施形態では、遅延制御信号555は、差動インバータ571の出力スルーレートを、電力の供給またはその他の方法で制御するために使用される電圧であってもよい(例えば、緩衝器566は、電圧フォロワまたはその他の緩衝器であってもよく、あるいはすべて省略されてもよい)。いずれの場合も、遅延制御信号555は、位相ベクトル発生器560に提供されて、差動インバータ572および574の出力スルーレートを、基準ループ内の差動インバータ571と同じ方法で制御するために使用される。この配置によって、また、差動インバータ572および574内の構成要素をスケールリングして、差動インバータ571を基準にした、スケールリングされた遅延を提供することによって、差動インバータ572および574は、遅延制御信号555に応答して、VCO 567内の差動インバータ571とともに調節される、スケールリングされた遅延素子として働く。したがって、0°および180°の位相ベクトルは、それぞれ、2つの差動60°遅延素子(すなわち、図15の実施形態内のスケールリングされた差動インバータ)によって遅延させられて、120°および300°の位相ベクトルをもたらす、90°および270°の位相ベクトルは、それぞれ、2つの差動75°遅延素子によって遅延させられて、240°および60°の位相ベクトルをもたらす。

40

【0055】

図16A~図16Cは、図15の素子571、572、および574を実装するために

50

使用されてもよい例示的遅延素子 585、587、および 589 を示す。最初に図 16A を参照すると、遅延素子 585 は、差動入力信号を受信するための入力 i_{nN} および i_{nP} と、逆並列接続されたインバータにより形成されるラッチ 592 のそれぞれのノードに結合される出力とを有する、ドライバインバータ 590 のペアを含む。ラッチ 592 が最初に第 1 の状態にあると仮定すると、差動入力信号の 1 つの安定状態から別の安定状態への遷移は、インバータ 590 の出力の状態変化を引き起こし、それとともに、ラッチ 592 は、逆並列接続されたインバータによって確立されるループ利得に従って、状態変化に抵抗する。すなわち、ラッチ 592 のループ利得がより大きければ、状態変化への抵抗はより大きくなり、したがって、状態変化のために要する時間はより長くなる。ラッチ 592 のループ利得は、逆並列接続されたインバータ内のトランジスタのサイズ「a」（例えば、幅長比 ($width-length\ ratio$)) をスケールリングすることによって増加または減少させられてもよい。遅延素子 585 の出力スルーレートの、対応した（ただし、必ずしも線形とは限らない）スケールリングが実現されてもよく、それにより、スケールリングされた遅延が確立されてもよい。図 16B を参照すると、例えば、遅延素子 585 のラッチ 592 内のトランジスタの幅長比「a」よりも小さな幅長比「b」を有するトランジスタを使用したラッチ 594 を実装することによって、75°遅延素子 587 が実現される。比率 b/a は、遅延素子 585 に比較した、遅延素子 574 を通した伝搬時間の $1/6$ の減少を提供するように選択され（すなわち、遅延素子 585 の出力において差動遷移がより迅速に反映されるように、出力スルーレートが増加され）、それにより 75°の差動遅延素子が提供される。図 16C では、幅長比「b」よりも小さな幅長比「c」を有するトランジスタを使用したラッチ 596 を実装して、90°遅延素子 585 を基準にした、伝搬時間の $1/3$ の減少を提供することによって、60°差動遅延素子が実現される。

【0056】

図 16A ~ 図 16C をさらに参照すると、構成要素となるインバータ（すなわち、590 と、ラッチ 592、594、および 596 内の逆並列接続されたインバータと）のそれぞれ、またはその任意のサブセットは、図 15 の遅延制御信号 555 によって、バイアスの印加、電力の供給、またはその他の方法で制御されてもよく、それにより、90°遅延素子 585 の閉ループ制御を維持するために遅延制御信号が調節されるにつれて、スケールリングされた 60°および 75°遅延素子の伝搬遅延の、対応する調節がもたらされてもよい。名目上のスケールリングされた伝搬遅延を実現するための構成要素スケールリングと、フィードバックにより生成される遅延制御信号を使用した動的遅延制御との組み合わせを通して、環境条件の変化（例えば、電圧および/または温度ドリフト）および工程の変動に関わらず、正確な伝搬遅延を示す、スケールリングされた遅延素子が実現されてもよい。さらに、スケールリングされた遅延素子は、位相ベクトル補間器よりも大幅に少ないトランジスタを使用して実装されてもよく、また、消費電力がより少なく、クロックジッタの導入もより少ない傾向があるため、スケールリングされた遅延素子は、より質の高いクロック信号を生成し、それと同時に、製造および動作コストを低下させるために使用されてもよい。図 14 および図 15 の位相ベクトル発生器は、例えば、図 6 の混合位相補間器の代わりに使用して、遅延整合の目的のために提供される固定位相補間器を不要にし、それにより、電力とダイエリアをさらに節約するために使用されてもよい。

【0057】

図 14 を再び参照すると、多くの代替遅延素子配置が、二次位相ベクトルを生成するために使用されてもよいことに留意すべきである。例えば、60°および 75°の遅延素子 552、554 のペアを使用するのではなく、1 つの 120°遅延素子（例えば、120°の伝搬遅延を示すシングルまたは差動インバータ）が、120°および 300°位相ベクトルを生成するために、60°遅延素子 552 の直列結合されたペアの代わりに使用されてもよく、かつ/または、1 つの 150°遅延素子が、60°および 240°位相ベクトルを生成するために、75°遅延素子 554 の直列結合されたペアの代わりに使用されてもよい。さらに、図 14 に示す混合遅延素子配置の代わりに、すべてが同じ（または実質

10

20

30

40

50

的に同じ)伝搬遅延を示す遅延素子の組み合わせが使用されてもよい。例えば、図17Aに示すように、 60° 遅延素子552の直列結合されたペアは、4つの 75° 遅延素子554のそれぞれの組によって置き換えられて、 300° および 120° の位相ベクトルが生成されてもよい。あるいは、図17Bに示すように、直列結合された 60° 遅延素子552の追加のペアが、 120° 位相ベクトルを受信するように結合され、また、直列結合された 60° 遅延素子552のもう1つの追加のペアが、 300° 位相ベクトルを受信するように結合されて、それにより、 240° および 60° 位相ベクトルが生成され、図14の 75° 遅延素子554は不要となるようにされてもよい。伝搬遅延の事実上あらゆる組み合わせを表す、遅延素子のその他の多くの組み合わせが、二次位相ベクトルを生成するために、代替実施形態で使用されてもよい。例えば、図17Bの実施形態で、 60° および 240° の位相ベクトルは、点線603および604で示されるように、1つの 60° 遅延素子552によって生成されてもよく、それにより、それ以外の場合にはそれらの位相ベクトルを生成するために使用されていた、 60° 遅延素子の追加のペアが不要となるようにされてもよい。さらに、上述したように、図17Aおよび図17Bの実施形態では、 60° 、 120° 、 240° 、および 300° の位相角を有する4つの二次位相ベクトルが生成されるが、代替実施形態では、同じまたは異なる位相角を有する、より多くの、またはより少ない二次位相ベクトルが生成されてもよい。

【0058】

図18Aおよび図18Bは、プログラマブルに選択される位相角を有する位相ベクトルを生成するために使用されてもよい、可変遅延素子の例示的实施形態を示す。そのような遅延素子は、例えば、図9の混合位相補間器363の代わりに、選択可能な位相範囲を有する位相ベクトルの生成を可能にするために使用されてもよく、また、位相較正操作において、二次位相ベクトルの位相角が較正されることを可能にするために使用されてもよい。図18Aの実施形態では、可変遅延素子610は、デジタル-アナログ変換器611(DAC)と、ドライバインバータ590と、逆並列接続されたインバータ614により形成されるラッチ612とを含む。ドライバインバータ590は、差動入力信号 i_{nN} および i_{nP} を受信するように結合された入力と、遅延素子の出力を形成するためにラッチ612の各ノードに結合された出力とを有する。したがって、遅延素子610を通じた合計の伝搬遅延は、図16A~図16Cの遅延素子におけるのと同様に、逆並列接続されたインバータ614のループ利得の関数である。DAC 611は、(例えば、プログラマブルレジスタまたはその他の制御ソースから)mビットのトリム制御値TCを受信し、応答として、バイアス電圧のペア V_{bn} および V_{bp} を生成し、それらの電圧は、ラッチ612のループ利得を制御するために、逆並列接続されたインバータ素子614に供給される。この配置によって、トリム制御値が最小から最大値に増加されるにつれて、バイアス電圧がそれに従って調節されて、ラッチ612のループ利得が最小から最大値に増加され、それにより、ある範囲の遅延が遅延素子内で提供される。代替方法として、DACは、遅延素子610を通じた所望の遅延を確立するために、インバータ614内の1つまたは複数のバイアス電流を確立する、電流DACであってもよい。

【0059】

図18Bの実施形態で、遅延素子620は、差動入力信号を受信するように結合され、遅延素子の出力ノードを形成する出力を有する、ドライバインバータ590を含む。遅延素子620の出力ノードの間に、1組のラッチ素子 $621_0 \sim 621_{m-1}$ が並列に結合され、それぞれのラッチ素子621は、トリム制御信号TC[m-1:0]のうちのそれぞれ1つの状態に応じて、ラッチ状態またはトライステート条件のいずれかになる。例として、一実施形態では、TC[0]がローの場合、インバータ623は、トライステートにされて、ラッチ素子 621_0 をトライステート条件(すなわち、ドライバインバータ590の出力間の開路として現れる)に設定し、したがって差動入力信号が1つの状態から別の状態に遷移する際の状態変化に対して、無視できるほど小さな抵抗しか提供しない。TC[0]がハイの場合、ラッチ素子 621_0 は有効にされてドライバインバータ590の出力状態をラッチし、したがって、状態変化にある程度の抵抗を提供する。この配置で

10

20

30

40

50

は、さまざまなラッチ素子 $621_0 \sim 621_{m-1}$ は、ドライバインバータ 590 の出力上の状態変化に対する合計抵抗を制御するために、また、したがって、遅延素子 620 を通した合計の遅延を制御するために、さまざまなパターンで選択的にトライステートまたは有効にされてもよい。個々のラッチ素子 621 は、重み付けされてもよく（例えば、ラッチ素子 621_1 は、有効にされた場合、ラッチ素子 621_0 の2倍のインクリメンタル遅延を提供し、ラッチ素子 621_2 は、ラッチ素子 621_1 の2倍のインクリメンタル遅延を提供する、などとなるように、異なるサイズの構成要素を提供することによって2進加重されてもよく）、かつ/または、所望の遅延範囲と分解能とを提供するために、必要に応じてサーモメータ符号化されてもよい。より一般的には、遅延素子内の制御された伝搬遅延を提供するために使用されてもよい、事実上いかなる回路配置でも、代替実施形態で使用されてもよい。

10

【0060】

自己整列クロック分割器

図19は、周波数分割された、直角位相クロック信号を生成するために、図4および図7の周波数分割回路の代わりに使用されてもよい、自己整列クロック分割器の実施形態640を示す。クロック分割器は、平衡した、マスタ-スレーブフリップフロップ構成内で相互に結合された、差動式の、トランスペアレントラッチ素子のペア $641a$ 、 $641b$ を含む。すなわち、ラッチ素子 $641a$ の差動出力 (qP 、 qN) は、ラッチ素子 $641b$ の差動入力 (dP 、 dN) に結合され、ラッチ素子 $641b$ の差動出力は、ラッチ素子 $641a$ の差動入力に交差結合される（すなわち、 qP は dN に結合され、 qN は dP に結合される）。この配置によって、そして、周波数 F を有する差動クロック信号の各成分クロック信号（例えば、図19に示すように、 F_0 および F_{180} ）を使用して、ラッチ素子 $641a$ および $641b$ のラッチイネーブル入力 (LE) をクロック制御することによって、ラッチ素子 $641a$ 、 $641b$ の差動出力は、周波数 $F/2$ で状態を変え、相互に直交関係を示すようになる。したがって、ラッチ素子 $641a$ の差動出力が 0° および 180° の位相角（すなわち、 $F/2_0$ および $F/2_{180}$ ）であるように指定された場合、ラッチ素子 $641b$ の差動出力は、 90° および 270° の位相角（すなわち、 $F/2_{90}$ および $F/2_{270}$ ）を有する。図20は、図19のクロック分割器の動作を示すタイミング図である。ラッチ素子 $641a$ の差動出力（すなわち、 $F/2_0$ および $F/2_{180}$ ）が最初にハイ-ロー状態にあると仮定すると（すなわち、 $qP = H$ 、 $qN = L$ ）、 F_{180} クロック信号の立ち上がりエッジ 671 は、ラッチ素子 $641b$ が、時間 673 および 675 において $F/2_0$ および $F/2_{180}$ 信号をサンプリングすることを可能にし、それにより、 674 および 676 において示される $F/2_{90}$ および $F/2_{270}$ の遷移が作られる。したがって、続いて起こる F_0 信号の立ち上がりエッジ 681 は、ラッチ素子 $641a$ を、時間 683 および 685 において $F/2_{270}$ および $F/2_{90}$ 信号をサンプリングするようにトリガし、それにより、 684 および 686 において示される $F/2_0$ および $F/2_{180}$ の遷移が生成される。ラッチ素子 $641b$ が、図20に示すロー-ハイ状態ではなく、ハイ-ロー状態で始動された場合、 673 および 675 におけるサンプリングは、ラッチ素子 $641b$ がハイ-ロー状態のままになることを引き起こし、それにより正しい直角位相 $F/2$ クロックが生成されることに留意されたい。同様に、ラッチ素子 $641a$ が、ハイ-ロー状態ではなく、ロー-ハイ状態で始動された場合、 673 および 675 におけるサンプリングは、 674 および 676 において示す状態遷移とは反対の状態遷移を生成するが（すなわち、ラッチ素子 $641b$ がハイ-ロー状態で始動されると仮定した場合）、それでもなお、正しい直角位相 $F/2$ クロックが生成される。したがって、ラッチ素子 $641a$ および $641b$ の初期状態に関係なく、ラッチ素子 $641a$ 、 $641b$ は、ラッチイネーブル入力に供給されるクロック信号の半分の周波数を有する、同相および直角位相の差動クロック信号（それぞれ、 $Div2i$ および $Div2q$ ）を正しく生成する。不正な始動状態は存在せず、したがって、正しい動作を保証するためにラッチ素子 641 内にロードされる必要がある初期値は存在しない。したがって、クロック分割器 640 は、自己初期化および自己整列（すなわち、自動整列）されるもの

20

30

40

50

であり、リセット回路も初期化回路も必要としない。

【0061】

図19をさらに参照すると、差動ラッチ素子641a、641bのそれぞれは、詳細図643に示すように、入力インバータ645のペアと、パスゲート647と、記憶素子649と、出力インバータ651とを使用して構築されてもよい(代替実施形態では、その他の回路配置が使用されてもよい)。入力インバータ645は、ラッチ素子のdNおよびdP入力を構成し、差動入力信号を受信するように結合される。入力インバータ645の出力は、それぞれのパスゲート647を経由して、記憶素子649の反対側のノードに、そして出力インバータ651に結合される。記憶素子649は、交差結合されたインバータのペアによって形成され(ただし、他のタイプの記憶素子が使用されてもよい)、パスゲート647が非導通状態に切り換えられた場合にラッチ素子の状態を維持するために使用され、出力インバータ651は、ノードqNおよびqPを経由して差動出力信号を駆動するために使用される。この配置によって、ラッチイネーブル入力LE、/LEに適用される差動制御信号(C、/C)がハイ(すなわち、C=1、/C=0)になった場合、パスゲート647はオンにされ、記憶素子649の状態が、差動入力信号の状態に基づいて更新される(すなわち、反転されるか、または同じ状態に維持される)ことが可能にされる。ラッチ素子649内の逆並列接続されたインバータに、ロジック供給電圧(例えば、CMOS処理におけるグラウンドおよびV_{DD})を使用して電力を供給することによって、小振幅差動入力信号は、差動出力信号内でロジックレベルに自動的に変換されてもよく、それにより、クロック分割器640の入力(または出力)における独立したレベル変換回路は不要にされてもよい。クロック分割器640の入力または出力におけるレベル変換回路は、追加の電力とダイエリアとを消費し、また、立ち上がりおよび立ち下がりクロックエッジの非対称な変換により、デューティサイクル歪みを導入する傾向があるため、そのようなレベル変換回路を回避することによって、大きな利点が提供される。代替実施形態では、独立したレベル変換回路が提供されてもよい。

10

20

【0062】

図21および図22は、1/2分周、1/4分周、および1/8分周の周波数における、一次クロック位相(0、90、180、270)を生成するために、図4および図7の周波数分割回路の代わりに使用されてもよい、周波数選択可能なクロック分割回路の実施形態700および720を示す。代替実施形態では、異なる周波数を有するクロック信号を生成するために、他の除数が使用されてもよい。

30

【0063】

図21のクロック分割器700を最初に参照すると、1/n分周の比率を有する一次位相ベクトルを提供するために、3つの分割フロップ(divide-flip)701a、701b、および701cの組と、出力マルチプレクサ703a、703bのペアとが相互に接続される(nは、制御信号Div8およびDiv4または8のペアによって、2、4、または8であるように指定される)。詳細図706に示すように、分割フロップ701のそれぞれは、マルチプレクサ709と、図19および図20に関連して説明した自己初期化クロック分割器640のインスタンスとによって形成される。マルチプレクサ709は、選択信号SelAの状態に従って、2つの差動入力クロック(ClkA、ClkB)のうちの1つを、クロック分割器640の差動クロック入力に伝える。すなわち、SelAがハイの場合は、ClkAがクロック分割器640に伝えられ、SelAがローの場合は、ClkBがクロック分割器640に伝えられる。クロック分割器640は、図19および図20に関連して説明したとおりに動作して、差動入力クロック信号の半分の周波数をそれぞれが有する2つの差動クロック信号(0°および180°の位相成分を有する同相差動クロック信号Div2iと、90°および270°の位相成分を有する差動直角位相クロック信号Div2qと)を生成する。分割フロップ701aは、そのClkA入力において、0°および180°ユニティ位相の一次位相ベクトル(すなわち、差動クロック信号F₀)を受信し、そのClkB入力において、分割フロップ701cの同相出力(Div2i)を受信し、そのセレクト入力において、制御信号Div8のコンプリメ

40

50

ントを受信するように結合される。分割フロップ701cは、そのClkA入力において、90°および270°ユニティ位相の一次位相ベクトル(すなわち、差動クロック信号F₉₀)を受信し、そのセレクト入力において、制御信号Div8を受信するように結合される。分割フロップ701bは、そのClkA入力において、分割フロップ701aの同相出力を受信し、そのセレクト入力において、制御信号Div4または8を受信するように結合される。分割フロップ701aの同相出力は、出力マルチプレクサ703aの第1入力に供給され、分割フロップ701aの直角位相出力(Div2q)は、出力マルチプレクサ703bの第1入力に供給される。分割フロップ701bの同相出力は、マルチプレクサ703aの第2入力に供給され、分割フロップ701bの直角位相出力は、出力マルチプレクサ703bの第2入力に供給される。制御信号Div4または8は、マルチプレクサ703aおよび703bのセレクト入力に供給され、それにより、1/4分周または1/8分周セットの一次位相ベクトルが所望される場合(すなわち、Div4または8がハイの場合)は、分割フロップ701bが、分割された位相ベクトルのソースとなるように選択され、1/2分周セットの一次位相ベクトルが所望される場合は、分割フロップ701aが、分割された位相ベクトルのソースとなるように選択される。

10

【0064】

1/2分周セットの一次位相ベクトルが所望される場合、Div8およびDiv4または8信号はローにされ、それにより、分割フロップ701bおよび701cは、それぞれが、接地されたクロック信号(ClkB)を選択し、したがって無効(トグルが行われない省電力状態)にされる。Div8はローであるため、分割フロップ701aは、ClkAにおける0/180°差動クロック信号に基づいて、それぞれが周波数F/2を有する、同相および直角位相の位相ベクトルの組を生成する。さらに、Div4または8がローであるため、F/2の同相および直角位相クロック信号(0/180°および90/270°)は、マルチプレクサ703aおよび703bを経由して、クロック分割器700の出力ノードに伝えられる。1/4分周セットの一次位相ベクトルが所望される場合、Div8はローにされて分割フロップ701cが無効にされ、Div4または8は引き上げられる。分割フロップ701aは、上述の1/2分周構成におけるのと同様に、周波数F/2を有する同相差動クロック信号と直角位相差動クロック信号とを生成し、それとともに、Div4または8のハイ状態が、分割フロップ701aからの同相F/2差動クロック信号を、分割フロップ701bの入力クロックとして選択する。この動作によって、分割フロップ701bは、周波数F/4を有する同相および直角位相差動クロック信号を生成し、それらの信号は、Div4または8のハイ状態により、マルチプレクサ703aおよび703bを経由して、クロック分割器700から出力される。1/8分周セットの一次位相ベクトルが所望される場合、Div8およびDiv4または8が両方とも引き上げられる。分割フロップ701cは、その入力クロックとして、分割されていない90/270°差動クロック信号を選択することによって、Div8のハイ状態にตอบสนองし、したがって、周波数F/2を有する同相および直角位相の差動クロック信号を生成する。Div8のハイ状態は、さらに、分割フロップ701aがそのクロック入力として、分割フロップ701cによって生成された同相F/2クロック信号(F/2₀およびF/2₁₈₀)を選択することを引き起こす。したがって、分割フロップ701aは、周波数F/4を有する同相差動クロック信号を、分割フロップ701bのClkA入力に供給し、分割フロップ701bは、Div4または8のハイ状態にตอบสนองして、周波数F/8を有する同相および直角位相クロック信号を、マルチプレクサ703a、703bを経由して、クロック分割器700から出力する。

20

30

40

【0065】

クロック分割器700の1つの有利な特徴は、さまざまな選択可能な出力クロック周波数における一次位相ベクトルを提供するために、比較的コンパクトな出力多重化配置が使用されるということである。事実上、周波数分割器の選択は、分割フロップ701aの入力において、分割されたまたは分割されていないクロックソースのいずれかを選択し、分割フロップ701bを選択的にバイパスすることによって(すなわち、1/2分周の場合

50

)、分割フロップ701の最前部で実行される。そのようなコンパクトな出力多重化は、望ましくない信号カップリングを減少させ、したがって、例えば、出力マルチプレクサの各入力ポートに、それぞれの選択可能な周波数における位相ベクトルの独立した組が提供される多重化配置と比較して、信号品質を向上させる傾向がある。さらに、使用されていない分割フロップを低減電力状態(例えば、1/2分周または1/4分周の場合の701c、および1/2分周の場合の701cと701b)に置く機能は、位相ベクトルセットがすべての分周比について生成され、次に、最終出力マルチプレクサ内で選択される実施形態に比較して、大幅な省電力(および、したがって、発熱の減少)を提供する可能性がある。周波数分割がまったく必要とされない場合に、分割フロップ701aを無効にすることによって、追加の省電力が実現されてもよいことに留意されたい。例えば、1/2分周または1/4分周セットの出力クロック信号が所望される場合のみ、ClkA入力を選択するために、Div2または4制御信号が、分割フロップ701aのセレクト入力に提供されてもよく、それにより、Div2または4とDiv8が両方ともローである場合に、分割フロップ701aは無効にされてもよい。

10

【0066】

図22は、出力多重化なしで、1/2分周、1/4分周、および1/8分周の位相ベクトルを選択的に出力することが可能な、クロック分割器の代替実施形態720を示す。分割フロップ701cは、そのClkA入力において、分割されていない90/270°差動入力クロックを受信し、そのセレクト入力において、Div4または8制御信号を受信し、また、接地されたClkB入力を有する。この配置によって、Div4または8がロー(すなわち、周波数F/2を有する一次位相ベクトルの組が所望されることを示す)にされた場合、分割フロップ701cは無効にされる。Div4または8が引き上げられると、分割フロップ701cは、周波数F/2を有する同相差動クロック信号を、マルチプレクサ721の第1入力に出力し、また、周波数F/2を有する直角位相差動クロック信号を、分割フロップ701bに出力する。

20

【0067】

分割フロップ701bは、そのClkA入力において、分割フロップ701cによって生成された直角位相差動クロック信号(Div2q)を受信し、そのセレクト入力において、Div8制御信号を受信し、また、接地されたClkB入力を有する。したがって、Div8がローの場合、分割フロップ701bは無効にされ、Div8がハイ(かつ、Div4または8がハイ)の場合、分割フロップ701bは、周波数F/4を有する同相差動クロック信号を、マルチプレクサ721の第2入力に出力する。Div8制御信号はマルチプレクサ721のセレクト入力に供給され、それによりマルチプレクサ721は、出力クロック信号が4または8のいずれによって周波数分割されるべきかに依存して、それぞれ、分割フロップ701cからのF/2差動クロック信号、または分割フロップ701bからのF/4差動クロック信号の、いずれかを分割フロップ701aに伝える。

30

【0068】

分割フロップ701aは、そのClkA入力において、分割されていない差動入力クロック信号(すなわち、0/180°)を受信し、そのClkB入力において、マルチプレクサ721からの周波数分割された差動クロック信号(F/2またはF/4)を受信し、そのセレクト入力において、制御信号Div4または8のコンプリメントを受信する。この配置によって、Div4または8信号がローの場合、ClkA入力における分割されていない差動クロックが、分割フロップ701a内で周波数分割されて、周波数F/2を有する同相および直角位相差動クロック信号が生成され、それにより、クロック分割器出力において、周波数F/2を有する4つの一次位相ベクトル0、90、180、および270が提供される。Div4または8信号がハイの場合、分割フロップ701aのClkB入りに供給される、周波数分割されたクロック信号が、さらに分割されて、制御信号Div8の状態に従って、周波数F/4または周波数F/8のいずれかを有する、同相および直角位相の差動クロック信号が生成される。

40

【0069】

50

一次位相のリタイミングを介した二次位相ベクトルの生成

図23は、周波数分割された一次位相ベクトルを、分割されていない二次位相ベクトルの遷移にตอบสนองしてサンプリングすることによって、周波数分割された二次位相ベクトルを生成する、クロックリタイミング回路の実施形態750を示す。図示されている実施形態では、クロックリタイミング回路750は、差動データ入力(dN、dP)と、差動データ出力(qN、qp)と、クロック入力(「>」)とをそれぞれが有する、差動フリップフロップのペア751a、751bを含む。周波数F/2を有する同相差動クロック信号(すなわち、F/2₀およびF/2₁₈₀)が、フリップフロップ751aの差動データ入力に提供され、周波数F/2を有する直角位相差動クロック信号(すなわち、F/2₉₀、F/2₂₇₀)が、フリップフロップ751bの差動データ入力に提供される。フリップフロップ751aのクロック入力、分割されていない二次位相ベクトルF₂₄₀を受信するように結合され、フリップフロップ751bのクロック入力、分割されていない二次位相ベクトルF₁₂₀を受信するように結合される(フリップフロップ751のクロック入力は差動型であってもよく、それにより、フリップフロップ751aはコンプリメンタリ位相ベクトルF₆₀を追加して受信し、フリップフロップ751はコンプリメンタリ位相ベクトルF₃₀₀を追加して受信してもよいことに留意されたい)。この配置によって、フリップフロップ751aは、分割されていない二次位相ベクトルF₂₄₀の各立ち上がりエッジにตอบสนองして、同相の、周波数分割された一次位相ベクトルF/2₀およびF/2₁₈₀の状態をサンプリングし、周波数F/2において120°および300°の位相角を有する差動二次位相ベクトルを生成する。フリップフロップ751bは、同様に、分割されていない二次位相ベクトルF₁₂₀の各立ち上がりエッジにตอบสนองして、分割された、直角位相一次位相ベクトルF/2₉₀およびF/2₂₇₀の状態をサンプリングし、周波数F/2において60°および240°の位相角を有する差動二次位相ベクトルを生成する。図24のタイミング図770を参照すると、例えば、771において示されるF₂₄₀の立ち上がりエッジは、点773におけるF/2₀位相ベクトルのサンプリングをトリガして、774において示される位相ベクトルF/2₁₂₀の立ち上がりエッジを生成し、また、それに続く、772において示されるF₂₄₀の立ち上がりエッジは、点775におけるF/2₀位相ベクトルのサンプリングをトリガして、776において示される位相ベクトルF/2₁₂₀の立ち下がりエッジを生成する。771および772におけるF₂₄₀の立ち上がりエッジは、さらに、点777および779におけるF/2₁₈₀位相ベクトルのサンプリングもそれぞれトリガして、778および780において示されるF/2₃₀₀の遷移を生成する。781において示されるF₁₂₀の立ち上がりエッジは、点783におけるF/2₉₀位相ベクトルのサンプリングをトリガして、784において示される位相ベクトルF/2₂₄₀の立ち下がりエッジを生成し、また、それに続く、782において示されるF₁₂₀の立ち上がりエッジは、点785におけるF/2₉₀位相ベクトルのサンプリングをトリガして、786において示される位相ベクトルF/2₂₄₀の立ち上がりエッジを生成する。781および782におけるF₁₂₀の立ち上がりエッジは、さらに、点787および789におけるF/2₂₇₀位相ベクトルのサンプリングもトリガして、788および790において示されるF/2₆₀の立ち上がりおよび立ち下がり遷移をそれぞれ生成する。

【0070】

分割フロップおよびリタイマを使用して実装される周波数選択可能なクロック分割器

図25は、分割フロップとクロックリタイミング回路との組み合わせを使用して、選択された細分された周波数における一次および二次位相ベクトルを生成する、クロック分割器の実施形態800を示す。より具体的には、クロック分割器800は、出力マルチプレクサ805と、細分された周波数F/2、F/4、およびF/8における差動型の同相(0/180°)および直角位相(90/270°)一次位相ベクトルを生成するための、分割フロップ701a、701b、701cの組と、細分された周波数F/2、F/4、およびF/8において位相角60/240°および120/300°を有する差動二次位相ベクトルを生成するための、クロックリタイマ801a-x、801a-y、801b

10

20

30

40

50

- x、801b - y、801c - x、および801c - yの組とを含む。

【0071】

最初に、一次位相の生成について説明すると、分割フロップ701aは、そのClock A入力において、分割されていない同相差動クロック信号(0/180°)を受信し、そのセレクト入力において、Div2または4または8制御信号を受信し、また、接地されたClock B入力を有する。Div2または4または8制御信号は、周波数分割された位相ベクトルの組が所望される場合は引き上げられ、それ以外の場合(すなわち、ユニティ位相ベクトルセットが所望される場合)はローにされる。この配置によって、分割フロップ701aは、周波数分割が必要とされない場合は無効にされ、それ以外の場合は、周波数F/2における同相および直角位相の差動クロック信号(すなわち、F/2₀およびF/2₉₀、ならびにそれらのコンプリメント)を、マルチプレクサ805の入力ポートに出力する。分割フロップ701bのClock A入力は、分割フロップ701aの同相出力に結合され、それにより、Div2または4または8がハイの場合、分割フロップ701bは、そのClock A入力において、F/2同相差動クロック信号(F/2₀およびF/2₁₈₀)を受信する。分割フロップ701bのセレクト入力は、Div4または8制御信号を受信するように結合され、分割フロップ701bのClock B入力は接地される。Div4または8信号は、F/4またはF/8出力クロック信号が所望される場合は引き上げられ、それ以外の場合はローにされる。したがって、分割フロップ701bは、1/2分周またはユニティの位相ベクトルセットが選択された場合は無効にされ、それ以外の場合は、周波数F/4における同相および直角位相の差動クロック信号を、マルチプレクサ805の
10
20

【0072】

一実施形態では、クロックリタイマ801(「リタイマ」と略称)のそれぞれは、詳細図804に示すように、差動フリップフロップ751と、マルチプレクサ709とによって実装される。リタイマのイネーブル入力が、マルチプレクサ709のセレクト入力に結合され、それにより、イネーブル信号ENがハイの場合、クロック入力Clockにおいて提示される差動クロック信号(リタイマ801a - x、801a - y、801b - x、801b - y、801c - x、および801c - y内の「>」記号として図示)が、差動フリップフロップのクロック入力に伝えられる。イネーブル信号がローの場合、フリップフロップ751のクロック入力は接地されて、フリップフロップ751のトグルが阻止され、したがってリタイマ801は、低減電力の無効状態に置かれる。リタイマ801の差動データ入力は、フリップフロップ751の差動入力(dP、dN)に結合され、フリップフロップ751の差動出力(qP、qN)は、リタイマ出力ROを構成する。したがって、所与のリタイマのイネーブル入力においてロジックハイ信号が提供された場合、リタイマ801は有効にされ、図23に関連して説明した方法で一般に動作して、データ入力において提示された差動クロック信号をリタイミングする。リタイマのイネーブル入力においてロジックロー信号が提供された場合、フリップフロップのクロック入力は接地されて、フリップフロップ751のトグルが阻止され、それによりリタイマは、無効な低減電力状態に置かれる。リタイマ801のデータ入力またはクロック入力における反転ドットは、リタイマの差動クロック入力または差動データ入力に、入力差動信号が交差結合されることを示すことに留意されたい。例えば、リタイマ801a - xのデータ入力における反転ドットは、リタイマのデータ入力に、差動クロック信号F/2₀が交差結合されることを
30
40
50

示す。すなわち、差動クロック信号の $F/2_{180}$ 成分がポジティブデータ入力 (dP) に供給され、 $F/2_0$ 成分がネガティブデータ入力 (dN) に供給されるのであり、その逆ではない。

【0073】

次に、周波数分割された二次位相ベクトルの生成について説明すると、リタイマ801 a-xおよび801 a-yは、それらのそれぞれのクロック入力において、分割されていない二次位相ベクトル $120/300^\circ$ および $60/240^\circ$ を受信し、それらのそれぞれのデータ入力において、分割フロップ701 aによって生成された同相および直角位相の $F/2$ 位相ベクトルを受信する。Div2または4または8制御信号は、リタイマ801 a-xおよび801 a-y (一括してリタイマ801 aと呼ぶ) のイネーブル入力に供給され、それにより、周波数分割された位相ベクトルの組が所望される場合 (すなわち、Div2または4または8がハイの場合)、リタイマ801 a-xおよび801 a-yは、それぞれ、差動クロック信号 $F/2_{60}$ (すなわち、周波数 $F/2$ とコンプリメンタリ位相角 60° および 240° とを有する二次位相ベクトル) および $F/2_{120}$ (すなわち、周波数 $F/2$ とコンプリメンタリ位相角 120° および 300° とを有する二次位相ベクトル) を、マルチプレクサ805の入力ポートに出力する。Div2または4または8がローの場合、リタイマ801 aは無効にされる。

10

【0074】

リタイマ801 b-xおよび801 b-yは、それらのそれぞれのクロック入力において、リタイマ801 aによって生成された差動信号 $F/2_{120}$ および $F/2_{60}$ を受信し、それらのデータ入力において、分割フロップ701 bからの同相および直角位相の $F/4$ 位相ベクトルを受信する。Div4または8制御信号は、リタイマ801 bのイネーブル入力に供給され、それにより、 $1/4$ 分周または $1/8$ 分周セットの位相ベクトルが所望される場合 (すなわち、Div4または8がハイの場合)、リタイマ801 bは、差動クロック信号 $F/4_{60}$ および $F/4_{120}$ を、マルチプレクサ805の入力ポートに出力する。Div4または8がローの場合、リタイマ801 bは無効にされる。

20

【0075】

リタイマ801 c-xおよび801 c-yは、それらのそれぞれのクロック入力において、リタイマ801 bによって生成された差動信号 $F/4_{120}$ および $F/4_{60}$ を受信し、それらのデータ入力において、分割フロップ701 cからの同相および直角位相の $F/4$ 位相ベクトルを受信する。制御信号Div8は、リタイマ801 cのイネーブル入力に供給され、それにより、 $1/8$ 分周セットの位相ベクトルが選択された場合 (すなわち、Div8がハイの場合)、リタイマ801 cは、差動クロック信号 $F/8_{60}$ および $F/8_{120}$ を、マルチプレクサ805の入力ポートに出力する。Div8がローの場合、リタイマ801 cは無効にされる。

30

【0076】

Div4または8およびDiv8制御信号は、出力マルチプレクサ805に供給されて、一次および二次差動位相ベクトル 0° 、 90° 、 60° 、および 120° を形成するために出力される位相ベクトルの選択を制御する。一実施形態では、例えば、出力マルチプレクサ805は、次の表に従って、分割フロップ701およびリタイマ801によって生成される位相ベクトルの中から選択する (「X」は、ドントケアを示す)。

40

【表1】

Div8	Div4または8	出力 $0/180^\circ$	出力 $90/270^\circ$	出力 $60/240^\circ$	出力 $120/300^\circ$
X	0	$F/2_0$	$F/2_{90}$	$F/2_{60}$	$F/2_{120}$
0	1	$F/4_0$	$F/4_{90}$	$F/4_{60}$	$F/4_{120}$
1	1	$F/8_0$	$F/8_{90}$	$F/8_{60}$	$F/8_{120}$

50

【 0 0 7 7 】

したがって、出力マルチプレクサ 8 0 5 は、4 つの 3 : 1 マルチプレクサによって実装されてもよく、それらのそれぞれは、 $Div 8$ および $Div 4$ または 8 制御信号の状態に応じて 3 つの周波数 $F / 2$ 、 $F / 4$ 、または $F / 8$ のうちの 1 つを有し、かつ、位相角 0° 、 90° 、 60° 、および 120° のうちのそれぞれ 1 つを有する、差動クロック信号を出力してもよい。負荷平衡の目的のために、リタイマ 8 0 1 c - x および 8 0 1 c - y、またはクロック分割器 8 0 0 内のその他の構成要素に、擬似負荷が結合されてもよいことに留意されたい。

【 0 0 7 8 】

図 2 6 は、図 2 5 の実施形態における 3 : 1 出力多重化の代わりに、1 組の 2 : 1 出力マルチプレクサを使用して、選択された細分された周波数 ($F / 2$ 、 $F / 4$ 、または $F / 8$) における一次および二次位相ベクトルを出力する、クロック分割器の代替実施形態 8 3 0 を示す。上述のように、縮小された出力多重化は、より少ない信号ファンインを意味し、したがって、隣接経路信号間の望ましくない信号カップリングを減少させる傾向がある。クロック分割器 8 3 0 は、図 2 5 の実施形態におけるのと同じ数の、分割フロップ ($7 0 1 a$ 、 $7 0 1 b$ 、および $7 0 1 c$) とリタイマ ($8 3 1 a - x$ 、 $8 3 1 a - y$ 、 $8 3 1 b - x$ 、 $8 3 1 b - y$ 、 $8 3 1 c - x$ 、および $8 3 1 c - y$) とを含むが、 $F / 4$ および $F / 8$ 出力ベクトルの間の選択は、分割フロップ $7 0 1 b$ およびリタイマ 8 0 1 b の入力タイミングソースを制御することによってもたらされる。すなわち、分割フロップ $7 0 1 b$ およびリタイマ 8 0 1 b は、入力タイミングソースの選択に応じて、周波数 $F / 4$ または $F / 8$ のいずれかにおける位相ベクトルを出力し、それにより、出力多重化ステージでの $F / 4$ および $F / 8$ 位相ベクトルの間の選択は不要になる。

【 0 0 7 9 】

最初に、一次位相ベクトルの生成について説明すると、分割フロップ $7 0 1 a$ は、図 2 5 の実施形態におけるのと同じ方法で構成され、したがって、制御信号 $Div 2$ または 4 または 8 がハイの場合に、周波数 $F / 2$ を有する同相および直角位相の差動クロック信号 (すなわち、 $F / 2_0$ および $F / 2_{90}$) を生成し、 $Div 2$ または 4 または 8 がローの場合は無効にされる。分割フロップ $7 0 1 c$ は、その $Clk A$ 入力において、 $F / 2_0$ を受信し、そのセレクト入力において信号 $Div 8$ を受信し、また、接地された $Clk B$ 入力を有する。この配置によって、 $Div 8$ がハイの場合、分割フロップ $7 0 1 c$ は、同相および直角位相の差動クロック信号 $F / 4_0$ および $F / 4_{90}$ を生成する。 $Div 8$ がローの場合、分割フロップ $7 0 1 c$ は無効にされる。分割フロップ $7 0 1 b$ は、その $Clk A$ 入力において $F / 2_0$ を受信し、その $Clk B$ 入力において $F / 4_0$ を受信し、そのセレクト入力において制御信号 $Div 4$ を受信する。したがって、 $Div 4$ 信号がハイの場合 (すなわち、 $1 / 4$ 分周の出力クロック周波数が所望されることを示す)、 $Clk A$ における $F / 2_0$ 位相ベクトルが入力タイミングソースとして選択され、それにより分割フロップ $7 0 1 b$ は、差動クロック信号 $F / 4_0$ および $F / 4_{90}$ を生成する。 $Div 4$ 信号がローで、かつ、 $Div 8$ 信号がハイの場合、分割フロップ $7 0 1 c$ によって生成された差動クロック信号 $F / 4_0$ が、分割フロップ $7 0 1 b$ のための入力タイミングソースとして選択され、それにより分割フロップ $7 0 1 b$ は、差動クロック信号 $F / 8_0$ および $F / 8_{90}$ を生成する。したがって、分割フロップ $7 0 1 b$ によって生成される差動クロック信号は、周波数 $F / 4$ または $F / 8$ を有してもよく、 $F / 4$ または $F 8_0$ および $F / 4$ または $F 8_{90}$ クロック信号と呼ばれる。上述のように、分割フロップ $7 0 1 c$ は、 $Div 8$ がローの場合は無効にされる。 $Div 4$ がローの場合、分割フロップ $7 0 1 b$ は、そのタイミングソースとして分割フロップ $7 0 1 c$ の出力を選択するため、 $Div 4$ および $Div 8$ が両方ともローの場合、分割フロップ $7 0 1 b$ は無効にされる。

【 0 0 8 0 】

分割フロップ $7 0 1 a$ および $7 0 1 b$ からそれぞれ出力される、同相差動クロック信号 $F / 2_0$ および $F / 4$ または $F / 8_0$ は、2 : 1 マルチプレクサ $7 0 3 a$ の各入力ポートに提供され、直角位相差動クロック信号 $F / 2_{90}$ および $F / 4$ または $F / 8_{90}$ は、同

10

20

30

40

50

様に、2 : 1 マルチプレクサ 703b の各入力ポートに提供される。制御信号 $Div 2$ は、マルチプレクサ 703a および 703b のセレクト入力に供給され、したがって、1 / 2 分周の出力クロック周波数を選択するために引き上げられた場合は、マルチプレクサ 703a および 703b が $F / 2_0$ および $F / 2_9_0$ クロック信号をクロック分割器 830 から出力することを可能にし、ローにされた場合は、マルチプレクサ 703a、703b が $F / 4$ または $F / 8_0$ および $F / 4$ または $F / 8_9_0$ クロック信号を出力することを可能にする。

【0081】

次に、二次位相の生成について説明すると、リタイマ 831 のそれぞれは、図 25 のリタイマ 801 と同様に構築されるが、ただし、詳細図 840 に示すように、追加の差動クロック入力 $Clk B$ がマルチプレクサ 709 の第 2 入力において提供され（すなわち、その入力はグラウンドに結合されず）、それにより、リタイマ 801 のイネーブル入力は、クロックソース $Clk A$ または $Clk B$ のいずれかを、差動フリップフロップ 751 に提供されるように選択するための、リタイマ 831 内のセレクト入力 ($Sel A$) となるという点が異なる。図 25 のリタイマ 801 は、したがって、接地された $Clk B$ 入力を有する、リタイマ 831 のインスタンスとして見られてもよい。

【0082】

リタイマ 831a - x および 831a - y は、図 25 の対応するリタイマ 801a - x および 801a - y と同じ方法で構成され、したがって、 $Div 2$ または 4 または 8 がハイの場合に、差動クロック信号 $F / 2_6_0$ および $F / 2_1_2_0$ を生成する。 $Div 2$ または 4 または 8 がローの場合、リタイマ 831a - x および 831a - y は無効にされる。リタイマ 831c - x および 831c - y は、それらの各 $Clk A$ 入力において、リタイマ 831a - x および 831a - y によって生成された差動クロック信号 $F / 2_1_2_0$ および $F / 2_6_0$ を受信し、それらの各データ入力において、 $F / 4_0$ および $F / 4_9_0$ 差動クロック信号を（すなわち、分割フリップフロップ 701c の同相および直角位相出力から）受信し、それらのセレクト入力において、 $Div 8$ 制御信号を受信するように接続され、また、接地された $Clk B$ 入力を有する。リタイマ 831b - x および 831b - y は、それらの各 $Clk A$ 入力において、リタイマ 831a - x および 831a - y によって生成された差動クロック信号 $F / 2_1_2_0$ および $F / 2_6_0$ を受信し、それらの各 $Clk B$ 入力において、リタイマ 831c - y および 831c - x の出力を受信し、それらの各データ入力において、 $F / 4$ または $F / 8_0$ および $F / 4$ または $F / 8_9_0$ 差動クロック信号を（すなわち、分割フリップフロップ 701b の同相および直角位相出力から）受信し、それらのセレクト入力において、 $Div 4$ 制御信号を受信するように接続される。この配置によって、 $Div 4$ がハイかつ $Div 8$ がローの場合、リタイマ 831c - x および 831c - y は無効にされ、リタイマ 831b - x および 831b - y は、それぞれ、分割フリップフロップ 701b から出力される $F / 4_9_0$ および $F / 4_0$ クロック信号（すなわち、 $Div 8$ がローかつ $Div 4$ がハイの場合、クロック信号 $F / 4$ または $F / 8_0$ および $F / 4$ または $F / 8_9_0$ は周波数 $F / 4$ を有する）を、リタイマ 831a - y および 831a - x により出力される $F / 2_1_2_0$ および $F / 2_6_0$ 差動クロック信号にตอบสนองしてサンプリングすることによって、 $F / 4_6_0$ および $F / 4_1_2_0$ 差動クロック信号を生成する。 $Div 8$ がハイかつ $Div 4$ がローの場合、リタイマ 831c - y および 831c - x は、それぞれ、リタイマ 831b - x および 831b - y の $Clk B$ 入力に、差動クロック信号 $F / 4_1_2_0$ および $F / 4_6_0$ を出力する。リタイマ 831b - x および 831b - y は、次に、それぞれ、分割フリップフロップ 701b から出力される $F / 8_9_0$ および $F / 8_0$ クロック信号（すなわち、 $Div 8$ がハイかつ $Div 4$ がローの場合、クロック信号 $F / 4$ または $F / 8_0$ および $F / 4$ または $F / 8_9_0$ は周波数 $F / 8$ を有する）を、リタイマ 831c - y および 831c - x から出力される $F / 4_1_2_0$ および $F / 4_6_0$ 差動クロック信号にตอบสนองしてサンプリングすることによって、 $F / 8_6_0$ および $F / 8_1_2_0$ 差動クロック信号を生成する。したがって、リタイマ 831b - x および 831b - y は、それぞれ、 60° および 120° の差動クロック信号を、制御信号 $Div 4$ および $Div 8$ の状態に

10

20

30

40

50

応じた、周波数 $F/4$ または周波数 $F/8$ において出力する。したがって、リタイマ 831 b - x および 831 b - y から出力される差動クロック信号は、周波数 $F/4$ または $F/8$ を有してもよく、 $F/4$ または $F/8_{60}$ および $F/4$ または $F/8_{120}$ クロック信号と呼ばれる。

【0083】

リタイマ 831 a - x および 831 b - x から出力される差動クロック信号 $F/2_{60}$ および $F/4$ または $F/8_{60}$ は、2:1 マルチプレクサ 833 a の各入力に供給され、リタイマ 831 a - y および 831 b - y から出力される差動クロック信号 $F/2_{120}$ および $F/4$ または $F/8_{120}$ は、2:1 マルチプレクサ 833 b の各入力に供給される。制御信号 $Div2$ が、マルチプレクサ 833 a および 833 b のセレクト入力に供給され、それにより、1/2 分周の位相ベクトルセットが所望される場合（すなわち、 $Div2$ がハイの場合）、差動クロック信号 $F/2_{60}$ および $F/2_{120}$ が、差動クロック信号 $F/2_{60}$ および $F/2_{90}$ とともに、クロック分割器 830 から出力されるように選択される。 $Div2$ がローの場合（1/4 分周または 1/8 分周の位相ベクトルセットが所望されることを示す）、差動クロック信号 $F/4$ または $F/8_{60}$ および $F/4$ または $F/8_{120}$ が、差動クロック信号 $F/4$ または $F/8_{60}$ および $F/4$ または $F/8_{90}$ とともに、クロック分割器 830 から出力されるように選択される。上述のように、 $F/4$ または $F/8$ 差動クロック信号が周波数 $F/4$ または $F/8$ のいずれを有するかの決定は、分割フロップ 701 b およびリタイマ 831 b の入力におけるタイミングソースの選択によって確立され、そのため、3つの細分されたクロック周波数のうちの1つの、全体的な選択は、2:1 多重化ステージのみを使用してもたらされてもよい。

【0084】

図 25 の実施形態におけるのと同様に、すべてのクロック信号経路の平衡負荷を実現するために、選択された分割フロップおよび/またはリタイマの出力に、擬似負荷素子が結合されてもよい。また、代替実施形態では、より多くの、またはより少ない周波数分割係数（異なる周波数分割係数を含む）、より多くの、またはより少ない位相ベクトル、および、異なる位相角を有する位相ベクトルが、図 25 および図 26 のクロック分割器によって生成されてもよい。さらに、図 26 の実施形態で出力多重化を減らすために使用された入力クロック選択技術は、代替実施形態で、出力多重化をすべて回避するように拡張されてもよい。例として、分割フロップ 701 b は、分割フロップ 701 a と 701 b の出力に加えて、分割されていない $0/180^\circ$ 入力 (F_0) との間を選択も行う、3:1 クロック選択マルチプレクサを含むように変更されてもよく、それにより、周波数 $F/2$ 、 $F/4$ 、または $F/8$ を有する、同相および直角位相の出力クロック信号を生成してもよい。同様に、リタイマ 831 b - x および 831 b - y は、リタイマ 831 c とリタイマ 831 a の出力だけでなく、分割されていない $60/240^\circ$ および $120/300^\circ$ 差動クロック信号との間を選択も行う、3:1 クロック選択マルチプレクサを含むように変更されてもよく、それにより、周波数 $F/2$ 、 $F/4$ 、または $F/8$ を有する、 $60/240^\circ$ および $120/300^\circ$ の出力クロック信号を生成してもよい。他の実施形態では、例えば、分割フロップ 701 a 内で、 $F/2$ 差動クロック信号を生成し、分割フロップ 701 c 内で、分割されていない (F) 差動クロック信号と $F/2$ 差動クロック信号との間で選択して、 $F/2$ または $F/4$ 差動クロック信号を生成し、次に、分割フロップ 701 b 内で、分割されていない差動クロック信号と $F/2$ または $F/4$ クロック信号との間で選択して、周波数 $F/2$ 、 $F/4$ 、または $F/8$ を有する、同相および直角位相の差動クロック信号（すなわち、 $F/2$ または $F/4$ または $F/8_{60}$ および $F/2$ または $F/4$ または $F/8_{90}$ ）を生成することによって、分割フロップ 701 およびリタイマ 831 を変更せずに出力多重化が減らされてもよい。同様に、リタイマ 831 c は、分割されていない差動クロック信号 (F) と、リタイマ 831 a により提供される $F/2$ 差動クロック信号との間で選択を行って、 $F/2$ または $F/4$ 差動クロック信号を、リタイマ 831 b のクロック入力に送り出してもよい。リタイマ 831 b は、さらに、それらの第 2 クロック入力において、分割されていない差動クロック信号を受信してもよく、したがって、分

割されていないクロック信号と、 $F/2$ または $F/4$ クロック信号との間で選択を行って、周波数 $F/2$ 、 $F/4$ 、または $F/8$ における、 60° および 120° の位相角を有する差動クロック信号(すなわち、 $F/2$ または $F/4$ または $F/8$ 、および $F/2$ または $F/4$ または $F/8$)を生成してもよい。

【0085】

一部の適用例では、選択可能なすべての周波数において、一次および/または二次位相ベクトルの全コンプリメントが必要とされるとは限らず、したがって、いくらかの回路最適化が可能な場合がある。例えば、図27に示すクロック分割器の実施形態850では、周波数 $F/8$ を有する二次位相ベクトルは生成されないため、図25および図26の実施形態におけるよりも少ないリタイマ801を使用してクロック分割器850が実装されることが可能である。図示されている特定の実施形態では、周波数 $F/2$ 、 $F/4$ 、または $F/8$ を有する同相および直角位相の位相ベクトルを生成するために、分割フロップ701a、701b、701c、およびマルチプレクサ703aと703bが、図21に関連して説明したように構成される。1/2分周または1/4分周の位相ベクトルセットが選択される場合(すなわち、Div2または4がハイかつDiv8がローの場合)、分割フロップ701aから出力される同相および直角位相の位相ベクトルは、周波数 $F/2$ を有し、それぞれ、リタイマ801bおよび801aのデータ入力に提供される。リタイマ801aおよび801bは、さらに、それらの各クロック入力において、差動クロック信号 $F/2$ および $F/4$ を受信し、それらのイネーブル入力において、Div2または4制御信号を受信する。この配置によって、リタイマ801aおよび801bは、Div2または4がハイの場合(すなわち、1/2分周または1/4分周セットの位相ベクトルが所望されることを示す)、差動クロック信号 $F/2$ および $F/4$ を生成し、Div2または4がローの場合は無効にされる。リタイマ801cおよび801dは、それらの各クロック入力において、リタイマ801aおよび801bから出力される差動クロック信号を受信し、それらの各データ入力において、分割フロップ701bから出力される同相および直角位相の差動クロック信号を受信する。1/4分周セットの出力位相ベクトルが所望される場合、リタイマ801cおよび801dが、分割フロップ701bから出力される同相および直角位相の差動クロック信号(そのような信号は、分割フロップ701cが無効にされている場合、周波数 $F/4$ を有し、また、分割フロップ701aは、周波数 $F/2$ における同相および直角位相の差動クロック信号を生成する)を、それぞれ、リタイマ801aおよび801bから出力される $F/2$ および $F/4$ 差動クロック信号に応答してサンプリングすることを可能にするために、制御信号Div4が引き上げられる。したがって、Div4がハイの場合、リタイマ801cおよび801dは、それぞれ、差動クロック信号 $F/4$ および $F/8$ を生成する。Div4がローの場合、リタイマ801cおよび801dは無効にされる。リタイマ801aおよび801dから出力される差動クロック信号 $F/2$ および $F/4$ は、マルチプレクサ853aの各入力に供給され、リタイマ801bおよび801cから出力される差動クロック信号 $F/4$ および $F/8$ は、マルチプレクサ853bの各入力に供給される。マルチプレクサ853aおよび853bのセレクト入力は、Div4または8制御信号を受信するように結合され、それにより、Div4または8がローの場合(1/2分周の選択を示す)、 $F/2$ および $F/4$ 差動クロック信号が、分割フロップ701aにより生成される $F/2$ および $F/4$ クロック信号とともに、クロック分割器850から出力される。Div4または8がハイかつDiv8がローの場合、 $F/4$ および $F/8$ 差動クロック信号が、分割フロップ701bにより出力される $F/4$ および $F/8$ 差動クロック信号とともに、クロック分割器850から出力される。最後に、Div4または8がハイかつDiv8がハイの場合、リタイマ801a~801dは無効にされ、それにより、マルチプレクサ853aおよび853bの出力はトグルしなくなる。すなわち、 $F/8$ および $F/16$ 差動クロック信号のみが、クロック分割器850から出力される。

【0086】

図28は、図14～図18に関連して説明した実施形態による基準位相発生器865と、図19～図27に関連して説明した実施形態による成分分割およびリタイミング回路を有するクロック分割器867とを含む、例示的クロック発生器860を示す。図示されているように、基準位相発生器865は、一次位相ベクトル(0/180°、90/270°)を生成するためのVCO 875を含み、さらに、一次位相ベクトルから二次位相ベクトル(60/240°、120/300°)を生成するための4-8変換器877を形成する、スケーリングされた遅延素子552、554の組も含む。4-8変換器877内には、60°および75°の遅延素子の特定の組み合わせが示されているが、上述したスケーリングされた遅延素子のさまざまな組み合わせのうちいずれも、代替方法として使用されてもよい。VCO 875および4-8変換器877の両方の中の遅延素子は、図15に関連して上述したとおりに生成されてもよい共通の遅延制御信号(DCTL)によって制御される。一実施形態では、基準位相発生器865内で生成される一次および二次位相ベクトルは、小振幅信号であり、レベル変換器871内でロジックレベル信号(例えば、CMOS信号レベル)に変換されてもよい。

10

【0087】

図28をさらに参照すると、制御ロジック回路869は、所望の出力クロック周波数(図28の例示的実施形態では、基準ループ周波数F、あるいは細分された周波数F/2、F/4、またはF/8であってもよい)を指定する、複数ビットのレート選択信号RSを受信する。代替実施形態では、その他の出力クロック周波数が選択されてもよい。制御ロジック869は、クロック分割器867内でのクロック分割を(例えば、図25～図27に関連して説明したように)制御するために、クロック分割器867に、制御信号Div2、Div4、Div8、Div4または8、およびDiv2または4または8の組を出力し、それにより、周波数F/2、F/4、またはF/8と、位相角0/180°、90/270°、60/240°、および120/300°とを有する位相ベクトルの組868を、クロック分割器867が出力することを可能にする。上述のように、代替実施形態では、異なる位相角および/または周波数を有する、より多くの、またはより少ない位相ベクトルが、クロック分割器867によって生成されてもよい。制御ロジック869は、さらに、レベル変換器871からのユニティ位相ベクトル872(Div1=「1」)、またはクロック分割器867からの周波数分割された位相ベクトル868(Div=「0」)のいずれが、クロック発生器860から、出力クロック信号の組874として出力されるかを選択するための、Div1制御信号をマルチプレクサ873に出力する。出力クロック信号874は、例えば、クロックツリーに提供されてもよく(例えば、クロック信号ファンアウトを提供するために必要な場合)、また、クロックツリーから、1組のサンプリング回路に、または複数位相クロッキングが使用されてもよい、その他の任意の回路に提供されてもよい。

20

30

【0088】

制御ロジック869は、例えば、2ビットのレート選択信号の状態に従って、4つの信号(Div1、Div2、Div4、またはDiv8)のうちの1つをアサートするための、2:4デコーダによって実装されてもよい。残りのDiv4または8およびDiv2または4または8信号と、そのコンプリメントは、2:4デコーダの出力から合成されてもよい(例えば、ORゲート、インバータなどを使用して)。さらに、代替実施形態では、1つまたは複数の制御信号は必要とされなくてもよく、したがって、制御ロジック869によって生成されなくてもよい。

40

【0089】

ワイドレンジ複数位相クロック発生器を有するシグナリングシステム

図29は、図1～図28の実施形態によるクロック発生器が内部で使用されてもよい、シグナリングシステム900を示す。システム900は、例えば、コンピューティング装置(例えば、モバイル、デスクトップ、またはより大規模なコンピュータ)、ネットワーク機器(例えば、スイッチ、ルータなど)、家庭用電子機器(例えば、電話機、パーソナルデジタルアシスタント(PDA)など)、あるいは広い周波数範囲のクロック生成が内

50

部が必要とされるその他の任意のタイプの装置の部分形成してもよい。

【0090】

システムは、信号経路902および904を介して相互に結合された、集積回路(IC)のペア901および903を含む。図示されている実施形態では、信号経路902および904は、一方のICから他方のICへのシリアル化された伝送を実行するための、単方向の高速シリアルリンクである。代替実施形態では、いずれかまたは両方のリンクが双方向であってもよく、また、複数のそのような信号経路が、並列なビットのグループの伝送を可能にするために提供されてもよい(例えば、各ビットグループは、データまたは制御ワード(例えば、コマンド、アドレスなど)を形成するか、あるいは、データまたは制御パケットの部分形成する)。IC 901および903は、ピア(例えば、各ICは、他方のICへの信号伝送を独立に開始することが可能)であってもよく、またはマスタとスレーブであってもよい。さらに、IC 901および903の相対的ステータスは、一方のICが最初はマスタであり、その後、別のときにはスレーブであり、かつ/または、別のときにはピアであるように、ときどき変化してもよい。

10

【0091】

IC 901は、簡略化されたブロック図の形式で示されており、ワイドレンジクロック発生器913と、可変データレート信号受信器911と、可変データレート信号送信器915と、アプリケーションロジック917とを含む。クロック発生器913は、可変レート受信器911に、その内部でのデータおよび/またはエッジサンプリング動作のタイミングをとるために、1組のサンプリングクロック信号910(すなわち、出力クロック信号)を出力する。サンプリングクロック信号910は、図1~図13に関連して上述したクロック発生器の出力クロック信号に対応し、アプリケーションロジック917によって供給されるレート選択信号905と、さらに、可変位相動作が必要な場合は、位相オフセット信号906とに依じた、所望の周波数および位相オフセットを有する。図29に具体的に図示していないが、上述したクロックデータ復元の目的のために、エッジサンプルが、受信器911からクロック発生器913に提供されてもよい。クロック発生器913は、さらに、送信器915に、その内部でのデータ送信動作のタイミングをとるために、1つまたは複数の送信クロック信号918を出力する。送信クロック信号は、例えばクロック発生器913内のVCOにより生成される、自走クロック信号であってもよく、あるいは、受信器911に供給されるサンプリングクロック信号910のうちの1つまたは複数と位相整列されていてよい。さらに、送信クロック信号908は、アプリケーションロジック回路917により供給されるレート選択信号905および/または位相オフセット信号906に従って、周波数分割されていてよい。

20

30

【0092】

可変レート受信器911によって回収されたデータは、受信データ(RX DATA)としてアプリケーションロジック917に提供され、また、アプリケーションロジック917は、送信データ(TX DATA)を可変レート送信器915に、経路904上での伝送のために出力する。クロック発生器913によって生成される送信クロック信号とサンプリングクロック信号とは、異なる周波数を有してもよいため、異なる送信および受信データレートが選択されてもよい。

40

【0093】

図29の実施形態では、レート選択信号905としてクロック発生器913に出力され、クロック発生器913内で、サンプリングクロック信号910の周波数を確立するために使用される、第1のレート選択値を記憶するために、アプリケーションロジック917内のコンフィギュレーション回路919(例えば、実行時プログラム可能レジスタ、不揮発性記憶装置、ヒューズ記憶装置(fused storage)など)が使用される。コンフィギュレーション回路919は、さらに、サンプリングクロック信号910の位相オフセットを制御するために、位相オフセット信号906としてクロック発生器913に出力される、位相オフセット値も記憶してもよい。レート選択信号905および位相オフセット信号906は、さらに、または代替方法として、送信クロック信号908の周波数

50

および位相オフセットを確立するために使用されてもよく、あるいは、別個の周波数および/または位相オフセット情報が、コンフィギュレーション回路919内に記憶されて、送信クロック信号908の周波数および/または位相オフセットを設定するためにクロック発生器913に出力されてもよい。一実施形態では、IC903は、1つまたは複数のレート選択および/または位相オフセット値をコンフィギュレーション回路919内に記憶するための、1つまたは複数のコンフィギュレーションコマンド(あるいは、要求または命令)を、IC901に発行するように設計および/またはプログラムされる。各レート選択値および/または位相オフセット値は、例えば、コンフィギュレーションコマンドのオペレーションコード内で、または関連するオペランドデータとして提供されてもよい。アプリケーションロジック917は、指示されたレート選択および/または位相オフセット値をコンフィギュレーション回路919内に記憶し、そして、対応するレート選択信号905および/または位相オフセット信号906をクロック発生器913に発行することによって、コンフィギュレーションコマンドに応答する。システムの始動時に、コンフィギュレーションコマンドと、関連するレート選択および/または位相オフセット値との確実な通信を可能にするために、IC901はデフォルトで、所定のレート選択および/または位相オフセット設定になってもよい。あるいは、(例えば、独立した経路またはプロトコルによる)アウトバンドシグナリングが、IC901へのレート選択および/または位相オフセット値の通信のために使用されてもよい。代替実施形態では、コンフィギュレーション回路919は、IC901内の別の場所に配置されてもよいことに留意されたい。

【0094】

図29では2つのIC901および903が示されているが、それぞれのIC内の回路は、代替方法として、1つのIC内に(例えば、システムオンチップまたは類似した構造内に)実装されてもよく、信号経路902および904は、IC内に製造される1つまたは複数の金属層、あるいはその他の信号伝導構造を介して配線されてもよい。また、図29に示すように別個のICが使用される場合、ICは、別々のICパッケージ内に実装されてもよく(例えば、プラスチックまたはセラミックカプセル封じ、ベアダイパッケージなど)、あるいは、1つのICパッケージ内に実装されてもよい(例えば、マルチチップモジュール、極薄型パッケージ(PTP)など)。

【0095】

本明細書で開示されたさまざまな回路は、それらの回路の挙動、レジスタ転送、ロジック構成要素、トランジスタ、レイアウト形状、および/または、その他の特性に関して、コンピュータ援用設計ツールを使用して記述されてもよく、また、さまざまなコンピュータ可読媒体内に組み入れられるデータおよび/または命令として表現されてもよい(あるいは、表されてもよい)ことに留意されたい。そのような回路表現が実装されてもよいファイルおよびその他のオブジェクトのフォーマットとしては、C、Verilog、およびHDLなどの動作記述言語をサポートするフォーマット、RTLなどのレジスタレベル記述言語をサポートするフォーマット、GDSII、GDSIII、GDSIV、CIF、MEBSなどの形状記述言語をサポートするフォーマット、ならびにその他の任意の適切なフォーマットおよび言語が挙げられるが、これらに限定されるものではない。そのようなフォーマットされたデータおよび/または命令が組み入れられてもよいコンピュータ可読媒体としては、さまざまな形態の不揮発性記憶媒体(例えば、光、磁気、または半導体記憶媒体)、ならびにそのようなフォーマットされたデータおよび/または命令を、無線、光、または有線の信号媒体、あるいはそれらの任意の組み合わせを通して転送するために使用されてもよい搬送波が挙げられるが、これらに限定されるものではない。そのようなフォーマットされたデータおよび/または命令の、搬送波による転送の例としては、1つまたは複数のデータ転送プロトコル(例えば、HTTP、FTP、SMTPなど)を介した、インターネットおよび/またはその他のコンピュータネットワーク上での転送(アップロード、ダウンロード、電子メールなど)が挙げられるが、これらに限定されるものではない。

【0096】

1つまたは複数のコンピュータ可読媒体を介してコンピュータシステム内で受信された場合、上述の回路のそのようなデータおよび/または命令ベースの表現は、そのような回路が物理的に現れたものの表現または画像を生成するための、ネットリスト生成プログラム、配置および配線プログラムなど（ただし、これらに限定されない）を含む、1つまたは複数のその他のコンピュータプログラムの実行と組み合わせて、コンピュータシステム内の処理エンティティ（例えば、1つまたは複数のプロセッサ）によって処理されてもよい。そのような表現または画像は、その後、例えば、デバイス製造プロセスにおいて回路のさまざまな構成要素を形成するために使用される1つまたは複数のマスクの生成を可能にすることによって、デバイス製造において使用されてもよい。

10

【0097】

この詳細な説明の中で提供されたセクション見出しは、参照の便宜のみのためのものであり、そのようなセクションの範囲または限界を、定義、制限、解釈、または説明するものではない。また本発明は、その特定の実施形態を参照して説明されたが、本発明のより広い意図および範囲から逸脱することなく、それらの実施形態に対してさまざまな修正および変更が行われてもよいことは明らかであろう。したがって、本明細書および図面は、制限的ではなく例示的な意味のものと考えられるべきである。

【図面の簡単な説明】

【0098】

図面の簡単な説明

20

【図1】ワイドレンジ複数位相クロック発生器の実施形態を示す。

【図2】図1のクロック発生器によって生成される、周波数選択可能な出力クロック信号を示す。

【図3】ワイドレンジ複数位相クロック発生器の、別の実施形態を示す。

【図4】図3のクロック発生器内の周波数分割回路を実装するために使用されてもよい、周波数分割回路の実施形態を示す。

【図5】図4の周波数分割回路によって生成される、例示的な位相ベクトルの組を示す。

【図6】ワイドレンジ複数位相クロック発生器の、別の実施形態を示す。

【図7】図6のクロック発生器内の周波数分割回路のそれぞれを実装するために使用されてもよい、周波数分割回路を示す。

30

【図8A】図6のクロック発生器内で生成される、例示的な位相ベクトルの組を示す。

【図8B】図6のクロック発生器内で生成される、別の例示的な位相ベクトルの組を示す。

【図9】選択可能な周波数範囲とプログラム可能な位相オフセットとを有する出力クロック信号を生成するために使用されてもよい、ワイドレンジ複数位相クロック発生器の実施形態を示す。

【図10A】図9のクロック発生器内で生成される、例示的な位相ベクトルの組を示す。

【図10B】図9のクロック発生器内で生成される、別の例示的な位相ベクトルの組を示す。

【図11】図9のレート制御ロジックを実装するために使用されてもよい、ロジック回路の実施形態を示す。

40

【図12】図9の混合位相補間器を実装するために使用されてもよい、補間器の実施形態を示す。

【図13】一実施形態による、図9のセクタ回路の動作を示す表である。

【図14】二次位相ベクトルを生成するために、一次位相ベクトルが、スケーリングされた遅延素子を通して内部を伝搬する、位相ベクトル発生器の実施形態を示す。

【図15】一次位相ベクトルを生成するための位相ロックループと、スケーリングされた遅延素子を有する位相ベクトル発生器への、その相互接続を示す。

【図16A - 16C】図15に示す遅延素子を実装するために使用されてもよい、例示的遅延素子を示す。

50

【図17A - 17B】二次位相ベクトルを生成するために使用されてもよい、遅延素子の代替の組み合わせを示す。

【図18A - 18B】プログラマブルに選択される位相角を有する位相ベクトルを生成するために使用されてもよい、可変遅延素子の例示的实施形態を示す。

【図19】周波数分割された、直角位相クロック信号を生成するために使用されてもよい、自己整列クロック分割器の実施形態を示す。

【図20】図19のクロック分割器の動作を示すタイミング図である。

【図21】選択された細分された周波数における一次位相ベクトルを生成するために、図4および図7の周波数分割回路の代わりに使用されてもよい、周波数選択可能なクロック分割回路の実施形態を示す。

10

【図22】選択された細分された周波数における一次位相ベクトルを生成するために、図4および図7の周波数分割回路の代わりに使用されてもよい、周波数選択可能なクロック分割回路の実施形態を示す。

【図23】周波数分割された一次位相ベクトルを、分割されていない二次位相ベクトルの遷移にตอบสนองしてサンプリングすることによって、周波数分割された二次位相ベクトルを生成する、クロックリタイミング回路の実施形態を示す。

【図24】図23のクロックリタイミング回路の動作を示すタイミング図である。

【図25】分割フロップとクロックリタイミング回路との組み合わせを使用して、選択された細分された周波数における一次および二次位相ベクトルを生成する、クロック分割器の実施形態を示す。

20

【図26】縮小された出力多重化を使用して、選択された細分された周波数における一次および二次位相ベクトルを出力する、クロック分割器の代替実施形態を示す。

【図27】選択された細分された周波数における一次および二次位相ベクトルを出力する、クロック分割器の代替実施形態を示す。

【図28】図14～図18に関連して説明した実施形態による基準位相発生器と、図19～図27に関連して説明した実施形態による成分分割およびリタイミング回路を有するクロック分割器とを含む、例示的クロック発生器を示す。

【図29】図1～図28の実施形態によるクロック発生器が内部で使用されてもよい、シグナリングシステムを示す。

【 図 1 】

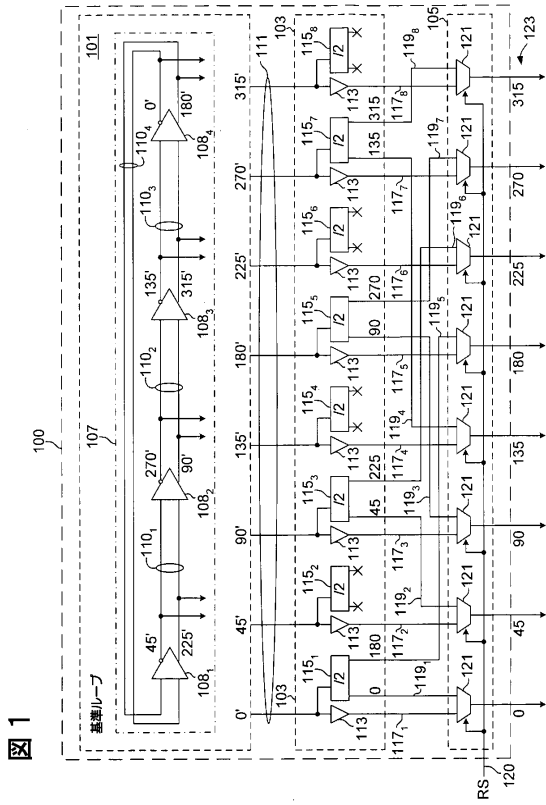


図 1

【 図 4 】

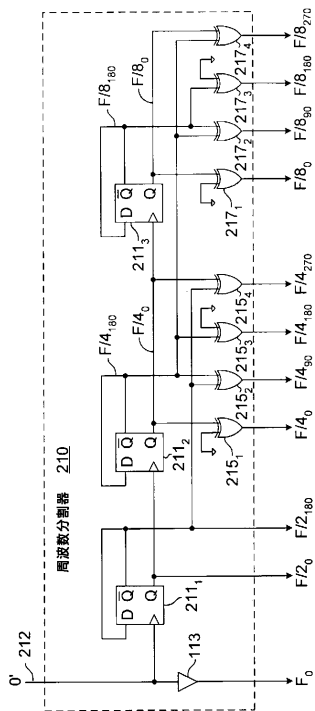
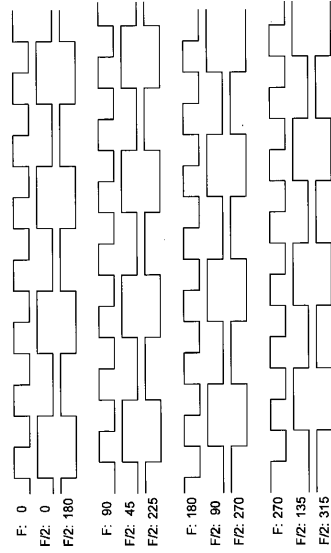


図 4

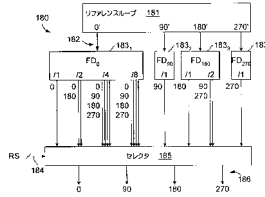
【 図 2 】

FIG. 2



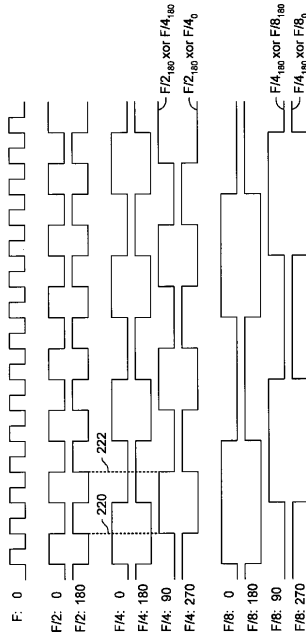
【 図 3 】

図 3

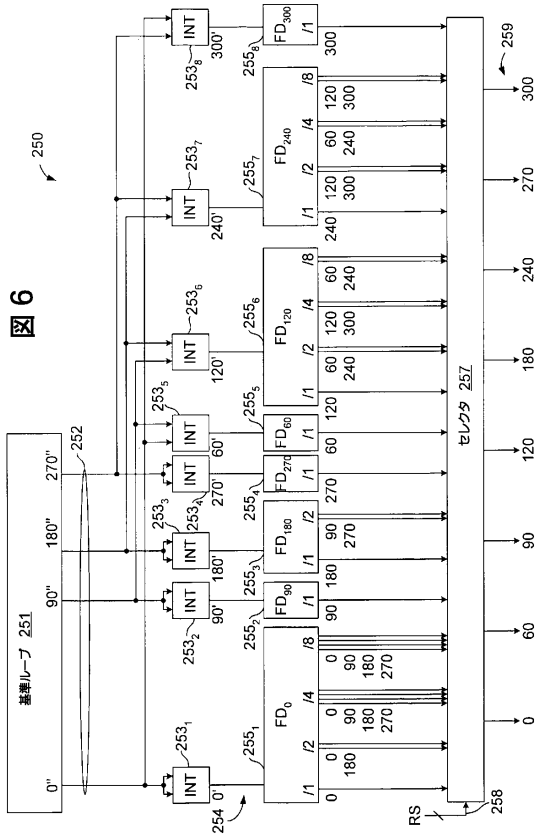


【 図 5 】

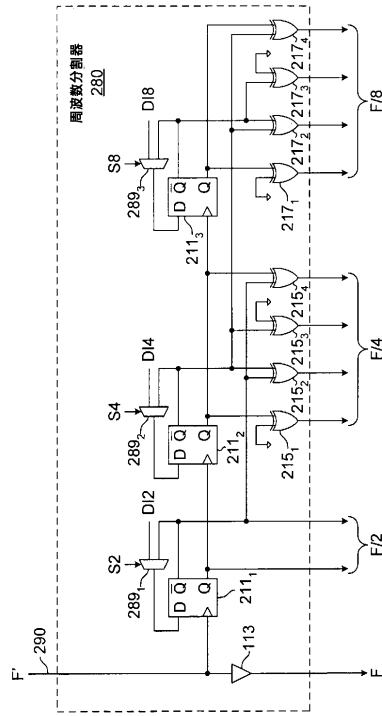
FIG. 5



【 図 6 】



【 図 7 】



【 図 8 A 】

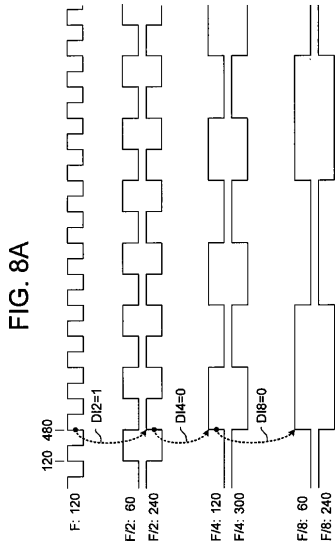


FIG. 8A

【 図 8 B 】

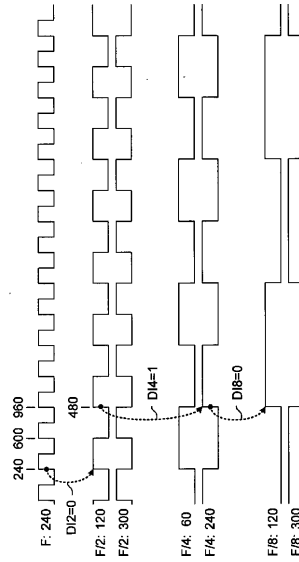
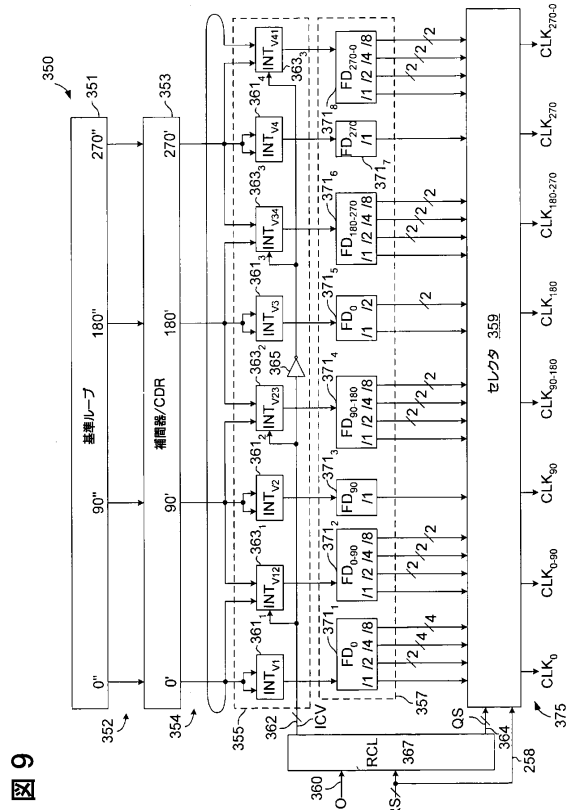


FIG. 8B

【 図 9 】



【 図 10 B 】

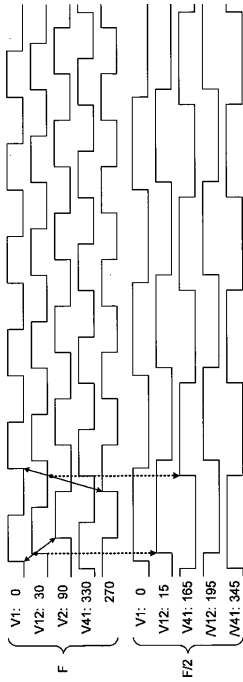


FIG. 10B

【 図 10 A 】

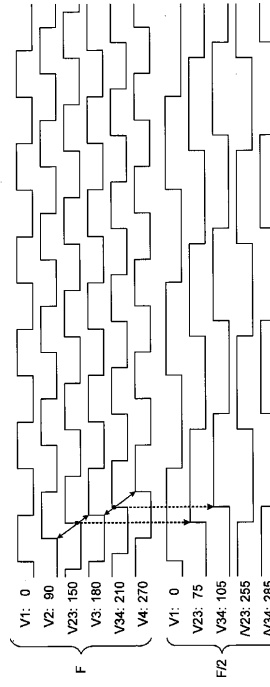


FIG. 10A

【 図 11 】

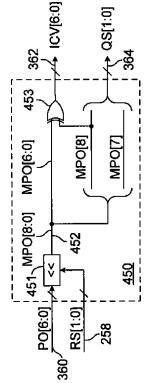


FIG. 11

【 図 12 】

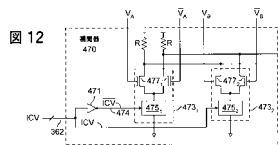


図 12

【 図 1 3 】

RS[1:0]	QS[1:0]	CLK ₉₀	CLK ₁₈₀	CLK ₂₇₀	CLK ₃₆₀	CLK ₀	CLK ₉₀	CLK ₁₈₀	CLK ₂₇₀	CLK ₃₆₀	CLK ₀	CLK ₉₀	CLK ₁₈₀	CLK ₂₇₀	CLK ₃₆₀
0 0	X X	V1 _F	V2 _F	V3 _F	V4 _F	V1 _F	V2 _F	V3 _F	V4 _F	V1 _F	V2 _F	V3 _F	V4 _F	V1 _F	V2 _F
0 1	0 0	V1 _{F(90)}	V2 _{F(90)}	V3 _{F(90)}	V4 _{F(90)}	V1 _{F(90)}	V2 _{F(90)}	V3 _{F(90)}	V4 _{F(90)}	V1 _{F(90)}	V2 _{F(90)}	V3 _{F(90)}	V4 _{F(90)}	V1 _{F(90)}	V2 _{F(90)}
0 1	0 1	V1 _{F(90)}	V2 _{F(90)}	V3 _{F(90)}	V4 _{F(90)}	V1 _{F(90)}	V2 _{F(90)}	V3 _{F(90)}	V4 _{F(90)}	V1 _{F(90)}	V2 _{F(90)}	V3 _{F(90)}	V4 _{F(90)}	V1 _{F(90)}	V2 _{F(90)}
1 0	0 0	V1 _{F(90)}	V2 _{F(90)}	V3 _{F(90)}	V4 _{F(90)}	V1 _{F(90)}	V2 _{F(90)}	V3 _{F(90)}	V4 _{F(90)}	V1 _{F(90)}	V2 _{F(90)}	V3 _{F(90)}	V4 _{F(90)}	V1 _{F(90)}	V2 _{F(90)}
1 0	0 1	V1 _{F(90)}	V2 _{F(90)}	V3 _{F(90)}	V4 _{F(90)}	V1 _{F(90)}	V2 _{F(90)}	V3 _{F(90)}	V4 _{F(90)}	V1 _{F(90)}	V2 _{F(90)}	V3 _{F(90)}	V4 _{F(90)}	V1 _{F(90)}	V2 _{F(90)}
1 0	1 0	V1 _{F(90)}	V2 _{F(90)}	V3 _{F(90)}	V4 _{F(90)}	V1 _{F(90)}	V2 _{F(90)}	V3 _{F(90)}	V4 _{F(90)}	V1 _{F(90)}	V2 _{F(90)}	V3 _{F(90)}	V4 _{F(90)}	V1 _{F(90)}	V2 _{F(90)}
1 0	1 1	V1 _{F(90)}	V2 _{F(90)}	V3 _{F(90)}	V4 _{F(90)}	V1 _{F(90)}	V2 _{F(90)}	V3 _{F(90)}	V4 _{F(90)}	V1 _{F(90)}	V2 _{F(90)}	V3 _{F(90)}	V4 _{F(90)}	V1 _{F(90)}	V2 _{F(90)}
1 1	0 0	V1 _{F(90)}	V2 _{F(90)}	V3 _{F(90)}	V4 _{F(90)}	V1 _{F(90)}	V2 _{F(90)}	V3 _{F(90)}	V4 _{F(90)}	V1 _{F(90)}	V2 _{F(90)}	V3 _{F(90)}	V4 _{F(90)}	V1 _{F(90)}	V2 _{F(90)}
1 1	0 1	V1 _{F(90)}	V2 _{F(90)}	V3 _{F(90)}	V4 _{F(90)}	V1 _{F(90)}	V2 _{F(90)}	V3 _{F(90)}	V4 _{F(90)}	V1 _{F(90)}	V2 _{F(90)}	V3 _{F(90)}	V4 _{F(90)}	V1 _{F(90)}	V2 _{F(90)}
1 1	1 0	V1 _{F(90)}	V2 _{F(90)}	V3 _{F(90)}	V4 _{F(90)}	V1 _{F(90)}	V2 _{F(90)}	V3 _{F(90)}	V4 _{F(90)}	V1 _{F(90)}	V2 _{F(90)}	V3 _{F(90)}	V4 _{F(90)}	V1 _{F(90)}	V2 _{F(90)}
1 1	1 1	V1 _{F(90)}	V2 _{F(90)}	V3 _{F(90)}	V4 _{F(90)}	V1 _{F(90)}	V2 _{F(90)}	V3 _{F(90)}	V4 _{F(90)}	V1 _{F(90)}	V2 _{F(90)}	V3 _{F(90)}	V4 _{F(90)}	V1 _{F(90)}	V2 _{F(90)}

FIG. 13

【 図 1 5 】

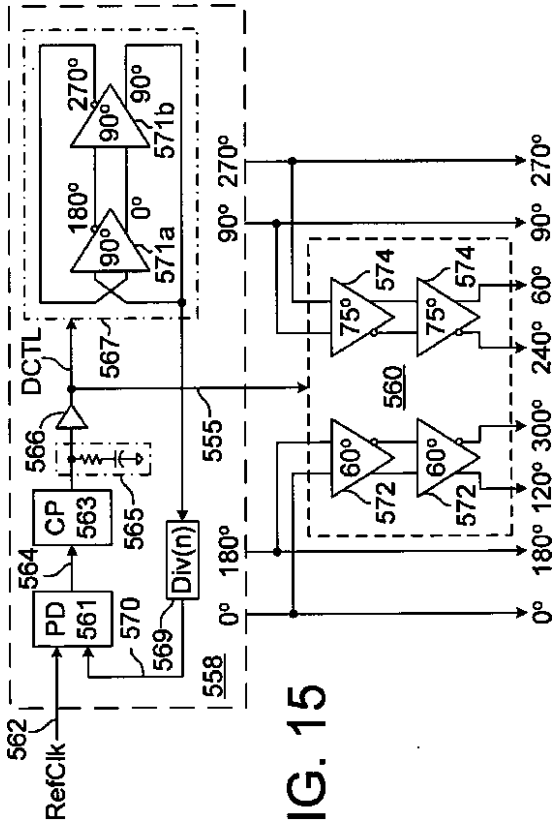


FIG. 15

【 図 1 4 】

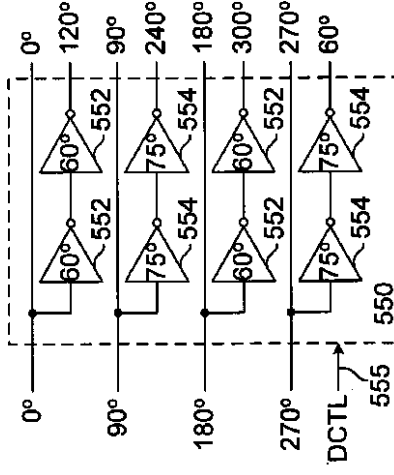


FIG. 14

【 図 1 6 A 】

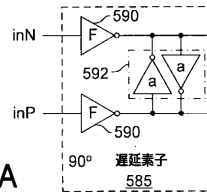


図16A

【 図 1 6 B 】

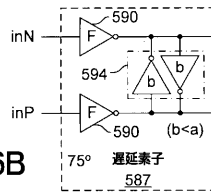


図16B

【 図 16 C 】

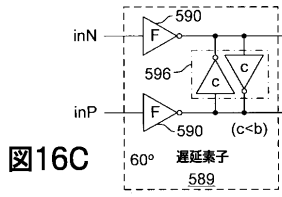


図 16C

【 図 17 A 】

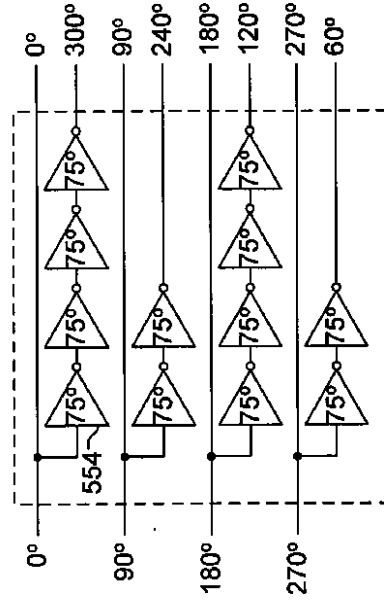
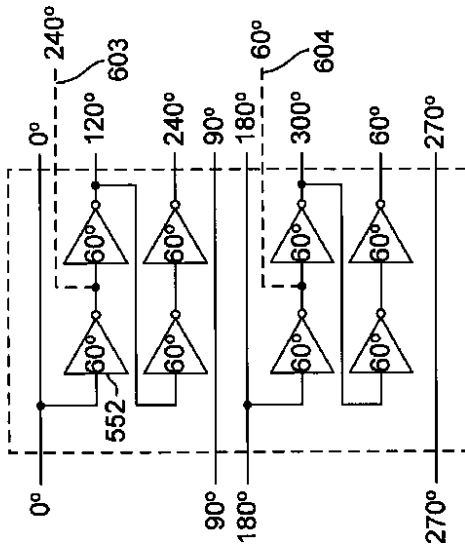


FIG. 17A

【 図 17 B 】

FIG. 17B



【 図 18 A 】

FIG. 18A

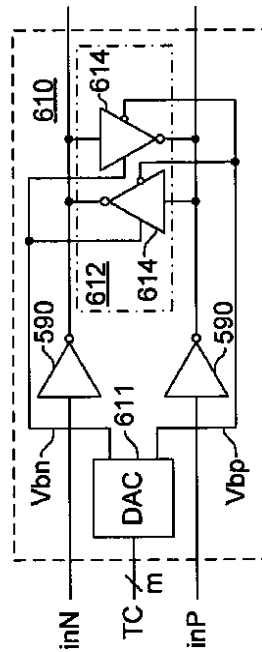


FIG. 18B

【 図 18 B 】

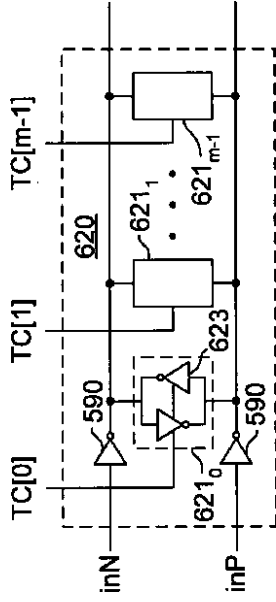


FIG. 19

【 図 19 】

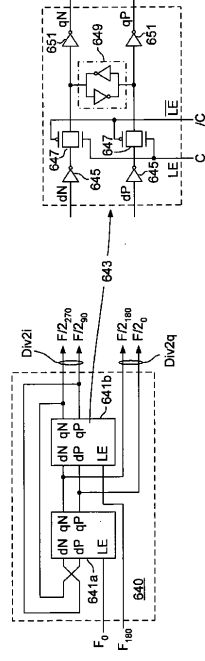
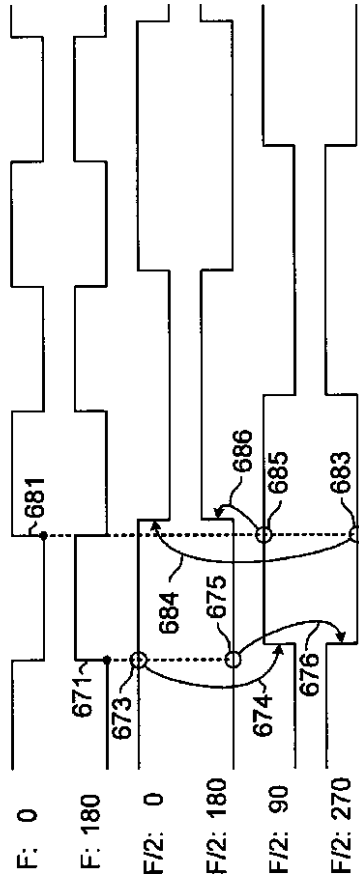
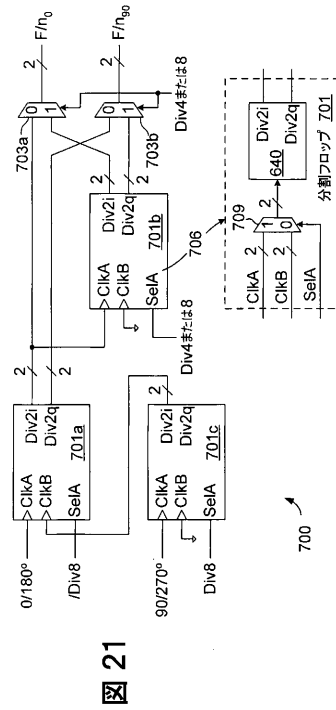


FIG. 20

【 図 20 】



【 図 21 】



【 図 2 2 】

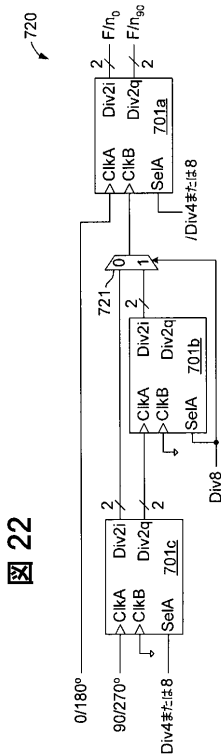


図 22

【 図 2 3 】

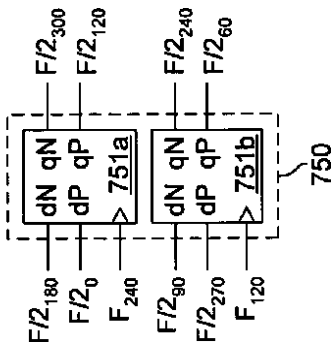


FIG. 23

【 図 2 4 】

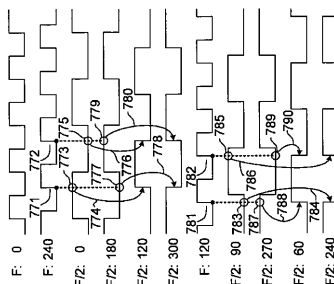


FIG. 24

【 図 2 5 】

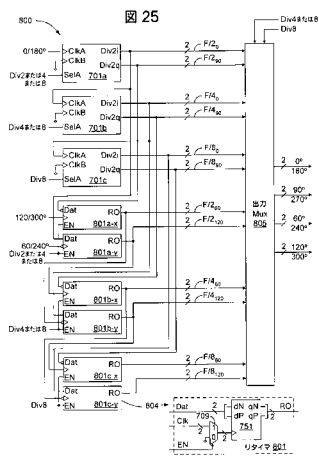


図 25

【 図 2 6 】

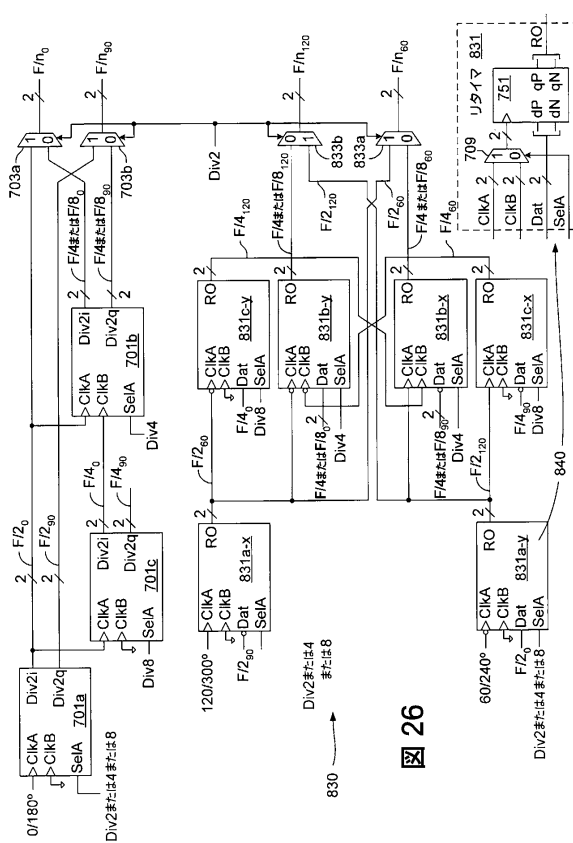
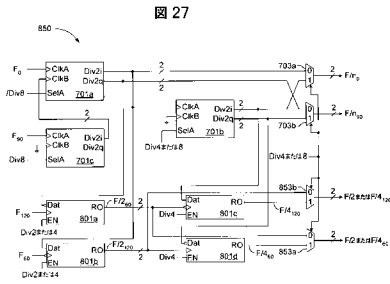
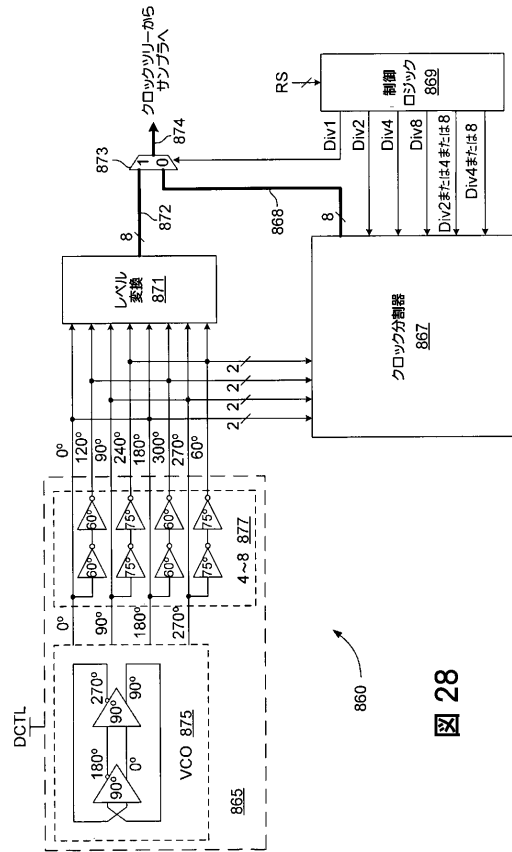


図 26

【 図 27 】

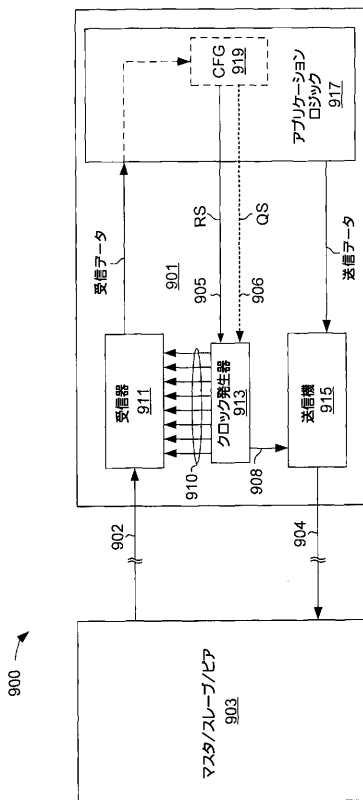


【 図 28 】



【 図 29 】

図 29



フロントページの続き

- (72)発明者 ファージャド - ラッド, ラミン
アメリカ合衆国, カリフォルニア州 94043, マウンテン ビュー, マウンテン ローレル
コート 405
- (72)発明者 ボールトン, ジョン, ダブリュー.
アメリカ合衆国, ノースカロライナ州 27516, チャペル ヒル, ユニオン グローブ チャ
ーチ ロード 8720
- (72)発明者 エブル, ジョン
アメリカ合衆国, ノースカロライナ州 27516, チャペル ヒル, ワイルド ターキー トレ
イル 205
- (72)発明者 グリーア, トーマス, エイチ., サード
アメリカ合衆国, ノースカロライナ州 27516, チャペル ヒル, サンセット クリーク サ
ークル 330
- (72)発明者 パルマー, ロバート
アメリカ合衆国, ノースカロライナ州 27510, カーボロ, スイート ベイ プレイス 23
6

審査官 石田 勝

- (56)参考文献 特開平10-327067(JP, A)
特開平10-335991(JP, A)
国際公開第2003/001732(WO, A1)
特表2004-531981(JP, A)
特開平09-232947(JP, A)
特開2001-350539(JP, A)
特開2004-054632(JP, A)
特開昭64-032515(JP, A)
特開2000-244286(JP, A)
米国特許第06483886(US, B1)
S.Sidiropoulos他, 「A Semidigital Dual Delay-Locked Loop」, IEEE Journal of Solid-Stat
e Circuits, 米国, IEEE, 1997年11月, Vol.32, No.11, P1683-1692, レプリカバイ
アス型インターポレータ

(58)調査した分野(Int.Cl., DB名)

H03K 5/15
H03K 3/0231
H03K 21/02