



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2017-0061160
(43) 공개일자 2017년06월02일

(51) 국제특허분류(Int. Cl.)
G11C 16/24 (2006.01) G11C 16/04 (2006.01)
G11C 16/10 (2006.01) G11C 16/12 (2006.01)
G11C 16/14 (2006.01) G11C 16/26 (2006.01)
(52) CPC특허분류
G11C 16/24 (2013.01)
G11C 16/0408 (2013.01)
(21) 출원번호 10-2017-7011636
(22) 출원일자(국제) 2015년09월14일
심사청구일자 2017년04월27일
(85) 번역문제출일자 2017년04월27일
(86) 국제출원번호 PCT/US2015/050010
(87) 국제공개번호 WO 2016/053607
국제공개일자 2016년04월07일
(30) 우선권주장
14/506,433 2014년10월03일 미국(US)

(71) 출원인
실리콘 스토리지 테크놀로지 인크
미국 캘리포니아주 95134 산호세 홀거 웨이 450
(72) 발명자
트란 히예우 반
미국 캘리포니아주 95135 산호세 게이리 플레이스 2642
구엔 형 큐옥
미국 캘리포니아주 94539 프리몬트 와인딩 비스타 커몬 3272
두 난
미국 캘리포니아주 95070 사라토가 월넷 애비뉴 20451
(74) 대리인
특허법인태평양

전체 청구항 수 : 총 40 항

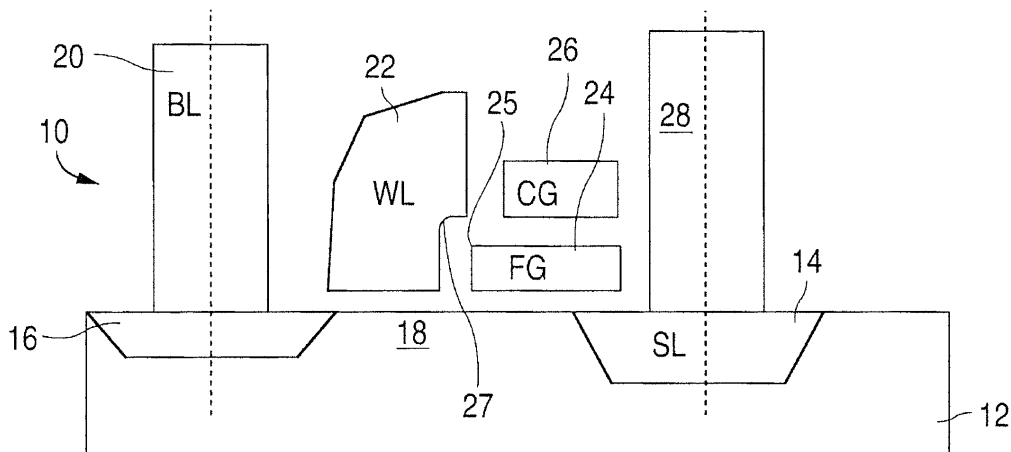
(54) 발명의 명칭 비휘발성 분리형 게이트 메모리 디바이스 및 그의 동작 방법

(57) 요약

제1 도전성 타입의 반도체 기판을 갖는 비휘발성 메모리 디바이스가 개시된다. 비휘발성 메모리 셀들의 어레이가 반도체 기판에 복수의 행들 및 열들로 배열되어 있다. 각각의 메모리 셀은 제2 도전성 타입의 반도체 기판의 표면 상의 제1 영역, 및 제2 도전성 타입의 반도체 기판의 표면 상의 제2 영역을 포함한다. 제1 영역과 제2 영

(뒷면에 계속)

대표도 - 도1



(종래 기술)

역 사이에는 채널 영역이 있다. 워드 라인은 채널 영역의 제1 부분 위에 놓여 있고, 그로부터 절연되며, 제1 영역에 인접하고, 제1 영역과 거의 또는 전혀 중첩되지 않는다. 플로팅 게이트가 채널 영역의 제2 부분 위에 놓여 있고, 제1 부분에 인접하고, 그로부터 절연되고 제2 영역에 인접한다. 커플링 게이트가 플로팅 게이트 위에 놓여 있다. 비트 라인이 제1 영역에 접촉된다. 네거티브 전하 펌프 회로가 제1 네거티브 전압을 발생시킨다. 제어 회로가 커맨드 신호를 수신하고, 이에 응답하여 복수의 제어 신호들을 발생시키고, 제1 네거티브 전압을 비선택된 메모리 셀들의 워드 라인에 인가한다. 프로그래밍, 판독, 또는 소거의 동작들 동안, 네거티브 전압이 비선택된 메모리 셀들의 워드 라인들에 인가될 수 있다.

(52) CPC특허분류

G11C 16/0425 (2013.01)

G11C 16/10 (2013.01)

G11C 16/12 (2013.01)

G11C 16/14 (2013.01)

G11C 16/26 (2013.01)

명세서

청구범위

청구항 1

비휘발성 메모리 디바이스로서,

제1 도전성 타입의 반도체 기관; 및

복수의 행(row)들 및 열(column)들로 배열된 상기 반도체 기관 내의 비휘발성 메모리 셀들의 어레이를 포함하고, 각각의 메모리 셀은,

제2 도전성 타입의, 상기 반도체 기관의 표면 상의 제1 영역;

상기 제2 도전성 타입의, 상기 반도체 기관의 표면 상의 제2 영역;

상기 제1 영역과 상기 제2 영역 사이의 채널 영역;

상기 채널 영역의 제1 부분 위에 놓여 있고 그로부터 절연되며, 상기 제1 영역에 인접하고 상기 제1 영역과 거의 또는 전혀 중첩되지 않는 워드 라인;

상기 채널 영역의 제2 부분 위에 놓여 있고, 상기 제1 부분에 인접하고, 그로부터 절연되고 상기 제2 영역에 인접한 플로팅 게이트;

상기 플로팅 게이트 위에 놓인 커플링 게이트;

상기 제1 영역에 접속된 비트 라인;

제1 네거티브 전압을 생성하기 위한 네거티브 전하 펌프 회로; 및

커맨드 신호를 수신하고, 이에 응답하여, 복수의 제어 신호들을 생성하여 선택된 메모리 셀들의 커플링 게이트에 대한 상기 제1 네거티브 전압의 인가를 제어하기 위한 제어 회로를 포함하는, 비휘발성 메모리 디바이스.

청구항 2

청구항 1에 있어서,

상기 복수의 제어 신호들은 소거 커맨드에 응답하여 생성되는, 비휘발성 메모리 디바이스.

청구항 3

청구항 2에 있어서,

상기 네거티브 전하 펌프는 제2 네거티브 전압을 생성하고, 상기 제어 회로는 상기 제2 네거티브 전압을 비선택된 메모리 셀의 워드 라인에 인가하는, 비휘발성 메모리 디바이스.

청구항 4

청구항 1에 있어서,

상기 복수의 제어 신호들은 판독 커맨드에 응답하여 생성되는, 비휘발성 메모리 디바이스.

청구항 5

청구항 1에 있어서,

상기 복수의 제어 신호들은 프로그래밍 커맨드에 응답하여 생성되는, 비휘발성 메모리 디바이스.

청구항 6

청구항 1에 있어서,

상기 네거티브 전하 펌프는 상기 반도체 기판 내의 트리플 웰(triple well)에 있는, 비휘발성 메모리 디바이스.

청구항 7

청구항 1에 있어서,

상기 메모리 셀들, 네거티브 전하 펌프, 및 제어 회로는 트윈 웰(twin well) P-sub CMOS 프로세스에서 제공되는 반도체 P 기판에 형성되는, 비휘발성 메모리 디바이스.

청구항 8

청구항 1에 있어서,

상기 제어 회로는 네거티브 전압 다이오드-디코딩 회로를 포함하는, 비휘발성 메모리 디바이스.

청구항 9

청구항 1에 있어서,

상기 제어 회로는 네거티브 레벨 시프터 회로(negative level shifter circuit) 및 클럭드 네거티브 부트스트래핑 회로(clocked negative bootstrapping circuit)를 포함하는, 비휘발성 메모리 디바이스.

청구항 10

청구항 1에 있어서,

고전압 PMOS 트랜지스터와 고전압 NMOS 트랜지스터를 포함하는 네거티브 테스트 패드 회로(negative test pad circuit)를 추가로 포함하는, 비휘발성 메모리 디바이스.

청구항 11

청구항 1에 있어서,

커패시터-디바이더(divider) 기반의 비교기를 갖는 네거티브 조정 회로(negative regulation circuit)를 추가로 포함하는, 비휘발성 메모리 디바이스.

청구항 12

청구항 1에 있어서,

상기 제어 회로는 상기 메모리 셀들에 포지티브(positive) 또는 네거티브 고전압을 공급하기 위해 고전압 디코더에 전류 리미터(current limiter)를 포함하는, 비휘발성 메모리 디바이스.

청구항 13

청구항 1에 있어서,

상기 제어 회로는 상기 메모리 셀들에 상기 워드 라인 상의 소거 전압을 공급하기 위해 고전압 디코더에 전류 리미터를 포함하는, 비휘발성 메모리 디바이스.

청구항 14

청구항 1에 있어서,

상기 제어 회로는 상기 메모리 셀들의 커플링 게이트 상에 전압을 공급하기 위해 고전압 디코더에 전류 리미터를 포함하는, 비휘발성 메모리 디바이스.

청구항 15

청구항 14에 있어서,

상기 제어 회로는 프로그래밍 또는 소거 동작 동안 상기 메모리 셀들의 커플링 게이트 상에 전압을 공급하기 위해 고전압 디코더에 전류 리미터를 포함하는, 비휘발성 메모리 디바이스.

청구항 16

청구항 1에 있어서,

상기 제어 회로는 프로그래밍 또는 소거 또는 판독 동작에서 상기 메모리 셀들에 전압들을 공급하기 위해 고전압 디코더에 고전압 래치를 포함하는, 비휘발성 메모리 디바이스.

청구항 17

청구항 1에 있어서,

상기 제어 회로는 프로그래밍 또는 소거 또는 판독 동작에서 상기 메모리 셀들에 전압들을 공급하기 위해 고전압 디코더에 고전압 레벨 시프터를 포함하는, 비휘발성 메모리 디바이스.

청구항 18

청구항 1에 있어서,

상기 제어 회로는 프로그래밍 또는 소거 또는 판독 동작에서 상기 메모리 셀들에 전압들을 공급하기 위해 고전압 디코더에 저전압 래치를 포함하는, 비휘발성 메모리 디바이스.

청구항 19

청구항 1에 있어서,

프로그래밍 또는 소거 또는 판독 동작에서 상기 메모리 셀들에 전압들을 공급하기 위한 저전압 디코더를 추가로 포함하는, 비휘발성 메모리 디바이스.

청구항 20

청구항 19에 있어서,

상기 저전압 디코더는 프로그래밍, 소거, 또는 판독 동작에서 상기 메모리 셀들에 전압들을 공급하기 위한 워드 라인 드라이버에 절연 트랜지스터를 포함하는, 비휘발성 메모리 디바이스.

청구항 21

청구항 1에 있어서,

각각의 메모리 셀은 분리형 게이트 플래시 메모리 셀인, 비휘발성 메모리 디바이스.

청구항 22

청구항 20에 있어서,

각각의 메모리 셀은 팁 소거(tip erasing)를 갖는 분리형 게이트 플래시 메모리 셀인, 비휘발성 메모리 디바이스.

청구항 23

청구항 20에 있어서,

각각의 메모리 셀은 상기 워드 라인으로부터 플로팅 게이트로의 팁 소거를 갖는 분리형 게이트 플래시 메모리 셀인, 비휘발성 메모리 디바이스.

청구항 24

소정 타입의 비휘발성 메모리 디바이스를 동작시키는 방법으로서,

상기 비휘발성 메모리 디바이스는,

제1 도전성 타입의 반도체 기판; 및 복수의 행들 및 열들로 배열된 상기 반도체 기판 내의 비휘발성 메모리 셀들의 어레이를 갖고, 각각의 메모리 셀은, 제2 도전성 타입의, 상기 반도체 기판의 표면 상의 제1 영역; 상기 제2 도전성 타입의, 상기 반도체 기판의 표면 상의 제2 영역; 상기 제1 영역과 상기 제2 영역 사이의 채널

영역; 상기 채널 영역의 제1 부분 위에 놓여 있고 그로부터 절연되며, 상기 제1 영역에 인접하고 상기 제1 영역과 거의 또는 전혀 중첩되지 않는 워드 라인; 상기 채널 영역의 제2 부분 위에 놓여 있고, 상기 제1 부분에 인접하고, 그로부터 절연되고, 상기 제2 영역에 인접한 플로팅 게이트; 상기 플로팅 게이트 위에 놓인 커플링 게이트; 및 상기 제1 영역에 접속된 비트 라인을 갖고, 상기 방법은,

제1 네거티브 전압을 선택된 메모리 셀들의 상기 커플링 게이트에 인가하는 단계; 및

비네거티브 전압(non-negative voltage)을 상기 선택된 메모리 셀의 상기 워드 라인, 상기 비트 라인, 및 상기 제2 영역에 인가하는 단계를 포함하는, 방법.

청구항 25

청구항 24에 있어서,

상기 방법은 상기 선택된 메모리 셀을 소거하기 위한 것인, 방법.

청구항 26

청구항 25에 있어서,

0(zero) 전압이 상기 선택된 메모리 셀의 상기 비트 라인 및 제2 영역에 인가되고, 포지티브 전압이 상기 선택된 메모리 셀의 상기 워드 라인에 인가되는, 방법.

청구항 27

청구항 26에 있어서,

다른 전압들이 상기 선택된 메모리 셀들의 상기 워드 라인 제2 영역에 인가되기 전에 상기 네거티브 전압이 상기 커플링 게이트에 인가되는, 방법.

청구항 28

청구항 24에 있어서,

상기 선택된 메모리 셀들의 상기 커플링 게이트에 인가되는 상기 전압은 네거티브 전압인, 방법.

청구항 29

청구항 24에 있어서,

상기 방법은 상기 선택된 메모리 셀을 판독하기 위한 것인, 방법.

청구항 30

청구항 24에 있어서,

상기 방법은 상기 선택된 메모리 셀을 프로그래밍하기 위한 것인, 방법.

청구항 31

청구항 30에 있어서,

상기 방법은 소스측 주입에 의해 상기 선택된 메모리 셀을 프로그래밍하기 위한 것인, 방법.

청구항 32

청구항 24에 있어서,

비네거티브 전압을 상기 선택된 메모리 셀의 상기 워드 라인, 비트 라인, 커플링 게이트, 및 제2 영역에 인가하는 상기 방법은 오직 판독 및 프로그래밍의 동작만을 위한 것인, 방법.

청구항 33

청구항 32에 있어서,

상기 방법은

소거 동작 동안 네거티브 전압을 비선택된 메모리 셀의 상기 커플링 게이트에 인가하는 단계를 추가로 포함하는, 방법.

청구항 34

청구항 30에 있어서,

상기 방법은

프로그래밍 동작 동안 제2 네거티브 전압을 상기 선택된 메모리 셀의 상기 제2 영역에 인가하는 단계를 추가로 포함하는, 방법.

청구항 35

청구항 33에 있어서,

상기 제2 네거티브 전압은 상기 제1 네거티브 전압과 상이한, 방법.

청구항 36

청구항 32에 있어서,

상기 프로그래밍 동안, 상기 전압은 상기 전압이 상기 선택된 메모리 셀들의 상기 제2 영역에 인가된 후에 상기 커플링 게이트에 인가되는, 방법.

청구항 37

청구항 25에 있어서,

상기 판독 동안, 상기 커플링 게이트에 인가되는 상기 전압은 상기 전압이 상기 선택된 메모리 셀들의 상기 워드 라인과 비트 라인에 인가되기 전에 인가되는, 방법.

청구항 38

청구항 25에 있어서,

터널링(tunneling)은 상기 워드 라인으로부터 상기 플로팅 게이트까지인, 방법.

청구항 39

청구항 38에 있어서,

상기 터널링은 워드라인 아크 영역으로부터 상기 플로팅 게이트까지인, 방법.

청구항 40

청구항 38에 있어서,

상기 터널링은 상기 워드 라인으로부터 플로팅 게이트 팁 코너까지인, 방법.

발명의 설명

기술 분야

[0001] 본 발명은 비휘발성 메모리 셀 디바이스 및 그의 동작 방법에 관한 것이다. 더 구체적으로, 본 발명은 판독, 프로그래밍 또는 소거의 동작들 동안 네거티브 전압이 제어 게이트 및/또는 워드 라인(word line)에 인가되고, 메모리 셀들의 다른 단자들과 선택적으로 조합하는, 그러한 메모리 디바이스에 관한 것이다.

배경 기술

[0002] 비휘발성 메모리 셀들은 본 기술 분야에 잘 알려져 있다. 종래 기술의 하나의 비휘발성 분리형 게이트 메모리 셀(10)이 도 1에 도시되어 있다. 메모리 셀(10)은 P 타입과 같은 제1 전도성 타입의 반도체 기판(12)을 포함한

다. 기판(12)은 N 타입과 같은 제2 도전성 타입의 제1 영역(14)(또한 소스 라인(source line, SL)으로도 알려짐)이 형성된 표면을 갖는다. 또한 N 타입의 제2 영역(16)(또한, 드레인 라인(drain line)으로도 알려짐)이 기판(12)의 표면 상에 형성된다. 제1 영역(14)과 제2 영역(16) 사이에는 채널 영역(18)이 있다. 비트 라인(bit line, BL)(20)이 제2 영역(16)에 접속된다. 워드 라인(WL)(22)이 채널 영역(18)의 제1 부분 위에 위치되고 그로부터 절연된다. 워드 라인(22)은 제2 영역(16)과 거의 또는 전혀 중첩되지 않는다. 플로팅 게이트(floating gate, FG)(24)가 채널 영역(18)의 다른 부분 위에 있다. 플로팅 게이트(24)는 그로부터 절연되고, 워드 라인(22)에 인접한다. 플로팅 게이트(24)는 또한 제1 영역(14)에 인접한다. 커플링 게이트(coupling gate, CG)(26)(또한 제어 게이트로도 알려짐)가 플로팅 게이트(24) 위에 있고 그로부터 절연된다. SL 폴리(28)가 제1 영역(14)(소스 라인(SL))에 접속된다.

[0003] 종래 기술에서, 포지티브 또는 0(zero) 전압들의 다양한 조합들이 워드 라인(22), 커플링 게이트(26), 및 플로팅 게이트(24)에 관독, 프로그래밍, 및 소거 동작들을 수행하도록 인가되었다. 종래 기술은 이들 동작들에 대해 네거티브 전압들을 인가하지 않았다.

발명의 내용

[0004] 본 발명의 하나의 목적은 관독, 프로그래밍, 및/또는 소거 동작들 동안 네거티브 전압을 워드 라인(22), 커플링 게이트(26), 및/또는 플로팅 게이트(24)에 인가하는 비휘발성 메모리 셀 디바이스를 개시하는 것이다.

[0005] 본 발명은 제1 도전성 타입의 반도체 기판을 갖는 비휘발성 메모리 디바이스에 관한 것이다. 비휘발성 메모리 셀들의 어레이가 반도체 기판에 복수의 행(row)들 및 열(column)들로 배열되어 있다. 각각의 메모리 셀은 제2 도전성 타입의 반도체 기판의 표면 상의 제1 영역, 및 제2 도전성 타입의 반도체 기판의 표면 상의 제2 영역을 포함한다. 제1 영역과 제2 영역 사이에는 채널 영역이 있다. 워드 라인은 채널 영역의 제1 부분 위에 놓여 있고, 그로부터 절연되며, 제1 영역에 인접하고, 제1 영역과 거의 또는 전혀 중첩되지 않는다. 워드 라인은 플로팅 게이트의 상측 팁(tip) 코너(도 1에서의 팁 코너(25))에 대면하는 저부 아크 영역(도 1에서의 영역(27))을 갖는다. 플로팅 게이트는 채널 영역의 제2 부분 위에 놓여 있고, 제1 부분에 인접하고, 그로부터 절연되고 제2 영역에 인접한다. 커플링 게이트가 플로팅 게이트 위에 놓여 있다. 비트 라인이 제1 영역에 접속된다. 네거티브 전하 펌프 회로(negative charge pump circuit)가 제1 네거티브 전압을 발생시킨다. 제어 회로가 커맨드 신호를 수신하고, 이에 응답하여 복수의 제어 신호들을 발생시키고, 제1 네거티브 전압을 비선택된 메모리 셀들의 워드 라인에 인가한다.

[0006] 본 발명은 또한 전술한 타입의 비휘발성 메모리 셀 디바이스의 동작 방법에 관한 것이다.

도면의 간단한 설명

[0007] 도 1은 본 발명의 방법이 적용될 수 있는 종래 기술의 비휘발성 메모리 셀의 단면도이다.

도 2는 도 1에 도시된 종래 기술의 비휘발성 메모리 셀을 사용하는 본 발명의 비휘발성 메모리 디바이스의 블록 다이어그램이다.

도 3a 및 도 3b는 각각 본 발명의 메모리 디바이스에서 사용하기 위한 프로그래밍/소거 및 관독 동작들의 파형도들이다.

도 4a 및 도 4b는 각각 본 발명의 메모리 디바이스에서 사용하기 위한 네거티브/포지티브 워드 라인 디코더 회로(negative/positive word line decoder circuit) 및 네거티브 전하 펌프의 상세 회로 다이어그램들이다.

도 5는 본 발명의 메모리 디바이스에서 사용하기 위한 제1 네거티브/포지티브 고전압 디코더 회로의 상세 회로 다이어그램이다.

도 6은 본 발명의 메모리 디바이스에서 사용하기 위한 제2 네거티브/포지티브 고전압 디코더 회로의 상세 회로 다이어그램이다.

도 7은 본 발명의 메모리 디바이스에서 사용하기 위한 제3 네거티브/포지티브 고전압 디코더 회로의 상세 회로 다이어그램이다.

도 8은 본 발명의 메모리 디바이스와 함께 사용하기 위한 네거티브 전압 전하 펌프 발생기의 상세 회로 다이어그램이다.

도 9는 본 발명의 메모리 디바이스에서 사용하기 위한 네거티브 고전압 조정 회로(regulation circuit)의 상세

회로 다이어그램이다.

도 10은 본 발명의 메모리 디바이스에서 사용하기 위한 네거티브/포지티브 패드 회로(pad circuit)의 상세 회로 다이어그램이다.

도 11a 및 도 11b는 종래 기술의 메모리 디바이스를 제조하는 데 사용하기 위한 종래 기술의 프로세스 흐름의 일부를 도시한 단면도들이다.

도 11c는 본 발명의 메모리 디바이스를 제조하기 위한 프로세스 흐름의 일부를 도시한 단면도이다.

발명을 실시하기 위한 구체적인 내용

[0008] 도 2를 참조하면, 본 발명의 비휘발성 메모리 디바이스(50)의 블록 레벨 다이어그램이 도시되어 있다. 도 2에 도시된 실시예에서, 메모리 디바이스(50)는 도 1에 도시된 타입의, 반도체 기관(12) 내에 복수의 행들 및 열들로 배열된 비휘발성 메모리 셀들(10)의 2개의 어레이들(52A, 52B)을 포함한다. 비휘발성 메모리 셀들(10)의 각각의 어레이(52)에 인접하여, 선택된 및 비선택된 메모리 셀들(10)의 워드 라인들(22)에 디코딩되어 공급되는 어드레스 신호들을 수신하기 위한 디코더(각각, X디코더(54A, 54B))가 있다. 디코더들(54)의 각각은 또한 네거티브 전압을 발생시키기 위해 전하 펌프(56)에 포함된 연관된 네거티브 전하 펌프를 갖는다. 어레이들(52A, 52B) 사이에 배치되는 디코더(WSHDRHALFV, NCG)(80)는 도 5 내지 도 7의 실시예들에 도시된 바와 같이 제어 게이트(26) 및 소스 라인(14)을 위한 전압 레벨들을 제공한다.

[0009] 메모리 디바이스(50)의 메모리 어레이들(52)의 각각은, 또한, 어레이(52)의 메모리 셀들(10)로부터 신호들을 수신하고 디바이스(50)로부터 출력 신호들을 발생시키기 위해 그와 연관된 복수의 센서들(58)을 갖는다. 메모리 디바이스(50)는 또한 로직 회로(60)를 갖는다. 로직 회로(60)는 메모리 디바이스(50)가 다양한 커맨드들을 실행하도록 하기 위해 메모리 디바이스(50) 외부의 호스트 제어기(미도시)에서 발행되는 프로그래밍, 소거 또는 판독과 같은 커맨드들을 수신한다. 수신된 커맨드들에 응답하여, 로직 회로(60)는 전하 펌프 회로들(56) 및 디코딩 회로들(54)의 동작 및 타이밍을 제어하고, 증폭 회로들(58)을 감지하는 제어 신호들을 발생시킨다. 아날로그 회로(70)는 디바이스(50)에 아날로그 바이어스 전압들과 전류들 그리고 타이밍을 제공한다. 고전압(포지티브, 네거티브) 제어 회로(90)는 조정되고 시간 순서로 정렬된(regulated and time-sequenced) 포지티브 및 네거티브 레벨들을 제공한다. 패드 회로(88)는 입력 버퍼들, IO 버퍼들, 전력 패드들(Vdd, Vss), 테스트 패드들 및 ESD 보호를 제공한다.

[0010] 판독, 소거 또는 프로그래밍 커맨드에 응답하여, 로직 회로(60)는 다양한 전압이 선택된 메모리 셀(10) 및 비선택된 메모리 셀들(10) 모두의 다양한 부분들에 시기적절하고 최소의 교란(disturb) 방식으로 공급되도록 한다.

[0011] 선택된 및 비선택된 메모리 셀(10)에 대해, 인가된 전압과 전류는 다음과 같다. 이후에 사용되는 바와 같이, 하기의 약어들, 즉 소스 라인 또는 제1 영역(14)(SL), 비트 라인(20)(BL), 워드 라인(22)(WL), 및 커플링 게이트(26)(CG)가 사용된다.

동작 #1:

	WL	WL-비선택	BL	BL-비선택	CG	CG-비선택된 동일한 섹터	CG-비선택	SL	SL-비선택
판독	1.0 내지 3 V	0 V	0.6 내지 2 V	0 V	0 내지 2.6 V	0 내지 2.6 V	0 내지 2.6 V	0 V	0 V
소거	11 내지 10 V	0 V	0 V	0 V	0 V	0 V	0 V	0 V	0 V
프로그래밍	1 V	0 V	1 uA	Vinh	8 내지 11 V	0 내지 2.6 V	0 내지 2.6 V	4.5 내지 5 V	0 내지 1 V

[0012]

동작 #2:

	WL	WL-비선택	BL	BL-비선택	CG	CG-비선택된 동일한 섹터	CG-비선택	SL	SL-비선택
관독	1.0 내지 2 V	-0.5 V/ 0 V	0.6 내지 2 V	0 V	0 내지 2.6 V	0 내지 2.6 V	0 내지 2.6 V	0 V	0 V
소거	11 내지 10 V	0 V	0 V	0 V	0 V	0 V	0 V	0 V	0 V
프로그래밍	1 V	-0.5 V/ 0 V	1 uA	Vinh	8 내지 11 V	0 내지 2.6 V	0 내지 2.6 V	4.5 내지 5 V	0 내지 1 V

[0013]

동작 #3:

	WL	WL-비선택	BL	BL-비선택	CG	CG-비선택된 동일한 섹터	CG-비선택	SL	SL-비선택
관독	1.0 내지 2 V	-0.5 V/ 0 V	0.6 내지 2 V	0 V	0 내지 2.6 V	0 내지 2.6 V	0 내지 2.6 V	0 V	0 V
소거	9 내지 6 V	-0.5 V/ 0 V	0 V	0 V	-(5 내지 9) V	0 V/- (5 내지 9) V	0 V/- (5 내지 9) V	0 V	0 V
프로그래밍	1 V	-0.5 V/ 0 V	1 uA	Vinh	8 내지 9 V	0 내지 2.6 V	0 내지 2.6 V	4.5 내지 5 V	0 내지 1 V

[0014]

[0015]

비휘발성 메모리 셀(10)의 소거 및 프로그래밍에 대한 동작은 다음과 같다. 셀(10)은 다른 단자들이 0 볼트 또는 네거티브인 상태에서 워드 라인(22) 상에 고전압을 인가함으로써 파울러-노드하임 터널링 메커니즘을 통해 소거된다. 전자들은 플로팅 게이트(24)로부터 워드 라인(22) 내로 터널링하여 포지티브로 대전되게 하여, 셀(10)을 관독 상태에서 턴온시킨다. 터널링은 FG 텡(25)으로부터 WL(22)의 아크 랩어라운드 영역(27)까지이다. 생성된 셀 소거 상태는 '1' 상태로 알려져 있다. 셀(10)은, 커플링 게이트(26) 상에 고전압을, 소스 라인(14) 상에 고전압을, 그리고 비트 라인(20) 상에 프로그래밍 전류를 인가함으로써, 소스측 열전자 프로그래밍 메커니즘을 통해 프로그래밍된다. 워드 라인(22)과 플로팅 게이트(24) 사이의 갭을 가로질러서 이동하는 전자들 중 일부는 플로팅 게이트(24) 내에 주입하기에 충분한 에너지를 획득하여 플로팅 게이트(24)가 네거티브로 대전되게 하여, 셀(10)을 관독 조건에서 턴오프시킨다. 생성된 셀 프로그래밍 상태는 '0' 상태로 알려져 있다. 관독 동작은 비트 라인(20) 상에 포지티브 바이어스를, WL(22) 상에 포지티브 바이어스를, 소스 라인(14) 상에 0 볼트를, 그리고 커플링 게이트(26) 상에 포지티브 또는 0 볼트를 인가함으로써 행해진다. 이러한 관독 조건에서, 상태 '1'을 갖는 메모리 셀이 전류를 도통시키고, 상태 '0'을 갖는 메모리 셀이 전류 레벨을 전혀 도통시키지 않거나 또는 낮은 전류 레벨을 도통시킨다. 비선택된 WL들의 경우, 0 또는 네거티브 전압이 관독 및 프로그래밍 조건을 위해 인가될 수 있다.

[0016]

소거 동작 #3에서, WL은 포지티브 HV, 예컨대 9 내지 6 V에 있고, CG는 네거티브 HV, 예컨대 -(5 내지 9) V에 있다. 비선택된 WL은 0 V 또는 네거티브 전압, 예컨대 -(0.5 내지 5) V에 있고, 비선택된 CG는 0 V 또는 네거티브 HV, 예컨대 -(5 내지 9) V(선택된 네거티브 CG HV 전압과 동일함)에 있을 수 있다.

[0017]

대안으로, 프로그래밍 동작이 수행될 수 있는데, P 기판(V_{sub})(12)은 0 V 대신에 네거티브, 예컨대 -6 V이다.

[0018]

도 3a를 참조하면, 본 발명의 메모리 디바이스(50)에서 사용하기 위한 상기한 바와 같은 포지티브/네거티브 바이어스 레벨들을 위한 프로그래밍 및 소거 신호들에 대한 신호 타이밍 파형의 일례가 도시되어 있다. 메모리 셀(10)의 단자들 WL, BL, CG, SL에 각각 대응하는 바와 같은 신호들 WL, BL, CG, SL은 전술된 바와 같다. 프로그래밍을 위해, (예컨대, 후술될 디코더 회로(80) 내에서 제어 신호를 설정하기 위해) 신호 WL(102)이 먼저 하이(high)(예컨대, $\sim V_{dd}$)가 되고, 이어서 (바이어스 전압(V_{pwl}))으로 정착(settle down)하기 시작한다. 이어서, 신호 BL(104) 및 CG(106)는 각각 하이, 예컨대, $\sim V_{inh} \approx V_{dd}$ 및 10 내지 11 V로 되고, 이어서 SL(110)은 하이(예컨대, ~ 4.5 V 내지 5 V)가 된다. 대안으로, CG(106)는 SL(110) 후에 하이가 된다(점선으로 된 파형으로 도시된 바와 같음). 신호 WL(102)은 전압 V_{pwl} , 예컨대 1 V로 정착되고, 신호 BL(104)은 CG가 하이가 될 때 전압 V_{dp} , 예컨대 ~ 0.5 V로 정착된다. 비선택된 WL들은 선택된 WL(102)이 하이가 되기 전 또는 이와 동시에 0

V 또는 네거티브, 예컨대 -0.5 V로 하강한다. 비선택된 CG들은 대기 상태의 값, 예컨대 0 내지 2.6 V에 머무른다. 비선택된 SL들은, CG(106)가 하이가 될 때, 대기 상태의 값, 예컨대 0 V에 머무르거나, 또는 바이어스 전압, 예컨대 1 V로 전환된다(비선택된 SL이 바이어스 레벨로 전환되어 BL들을 통하여 비선택된 셀들을 통한 누설 전류를 방지한다).

[0019] 다양한 신호들이 프로그래밍 전압들로 램핑(ramping)하는 동안 아직 정착되지 않음으로 인한 의도하지 않은 프로그램 교란을 방지하기 위해 신호 BL(104)이 먼저 Vinh(금지 전압(inhibit voltage))로 하이가 된다. 타이밍 시퀀스 CG(106) 대 SL(110)이 교란 효과를 감소시키도록 최적화되는데, 예컨대 어느 신호든 더 많은 교란을 야기하는 신호가 마지막으로 하이가 된다. 프로그래밍 펄스들의 램핑 다운은 교란을 최소화하기 위해 반전된다(즉, 먼저 상승한 신호가 이제 마지막으로 하강한다). 신호 SL(110)이 하강하고, 이어서 CG(106)가 하강하고, 이어서 WL(102) 및 BL(104)이 하강한다. 기판 P가 네거티브로, 예컨대 -1 V로 되는 프로그래밍의 실시예에서, 이러한 네거티브 전환은 신호 WL이 로우(low)가 되거나 또는 CG가 하이가 되는 것과 동시에 일어난다.

[0020] 소거를 위해, (예컨대, 도 5 내지 도 7의 실시예들에서와 같이 후술될 디코더 회로(80)에서 제어 신호를 설정하기 위해) 신호 WL(102)이 하이, 예컨대 Vdd가 되고, 이어서 로우, 예컨대 0 V(또는, 대안적으로, -0.5 V와 같은 네거티브)가 된다. WL(102)이 로우가 되는 것과 거의 동시에 또는 그 후의 단시간에, 신호 CG(106)는 네거티브, 예컨대 -6 V 내지 -9 V가 된다. 이어서, 선택된 WL(102)은 하이, 예컨대 9 V 내지 6 V가 된다. 신호들 BL(104) 및 SL(110)은 대기 상태의 값, 예컨대 0 V에 머무른다. 비선택된 WL들은 선택된 WL(102)이 하이가 되기 전 또는 이와 동시에 0V 또는 네거티브, 예컨대 -0.5 V로 하강한다. 비선택된 CG들은 대기 상태의 값, 예컨대 0 내지 2.6 V에 머무른다. 비선택된 SL들은 대기 상태의 값, 예컨대 0 V에 머무른다.

[0021] 소거의 다른 실시예에서, 기판 P는 네거티브, 예컨대 -6 V가 된다.

[0022] 소거 펄스들의 램핑 다운은 대략 차례로 반전된다(즉, 먼저 상승한 신호가 이제 마지막으로 하강한다). 신호들 WL(102) 및 CG(106)는 대기 상태의 값, 예컨대 0 V가 된다.

[0023] 도 3b를 참조하면, 본 발명의 메모리 디바이스(50)에서 사용하기 위한, 상기한 바와 같은 포지티브/네거티브 바이어스 레벨들을 위한 판독 신호들에 대한 신호 타이밍 파형의 일례가 도시되어 있다. 이러한 판독 신호 파형은 완전한 비휘발성 소거/프로그래밍/판독 동작을 위해 도 3a의 프로그래밍 및 소거 신호 파형과 함께 한다. 정상 판독(Read Normal) 파형에 대해, SL(110)은 대기 상태 값, 예컨대 0 V에 있다. (판독 상태에서 FG 전위와 커플링하는 CG 전압으로 인한 메모리 셀 전류의 증가를 돕기 위해) CG(106)는 대기 상태 값, 예컨대 0 V 또는 2.6 V에 있거나, 또는 대안으로, 판독에서의 바이어스 값, 예컨대 2.6 V로 전환한다. 대기 상태 값들은 프로그래밍 및 소거 상태에 대한 값들과 유사하다. WL(102) 및 BL(104)은 판독을 위해 선택된 메모리 셀들에 대해 판독 시의 바이어스 레벨, 예컨대 2.6 V 및 1.0 V로 각각 전환한다.

[0024] 약한 프로그래밍 셀들을 검출하기 위해 전체 어레이를 프로그래밍한 이후, 마진0 판독(Read Margin0) 동작이 수행된다. 프로그래밍 이후, 셀 전류는, 보통 나노 암페어(nA) 미만인 매우 낮은 값에 있고, 이는 '0' 디지털 값(셀 전류가 없음)의 판독에 해당한다. 그러나, 일부 셀들은 (셀 누설, 약한 셀 프로그래밍 커플링 비(weak cell programming coupling ratio), 프로세스 기하학적 효과 등과 같은 다양한 원인들로 인한 약한 프로그래밍으로 인하여) 미미하게 수 마이크로 암페어에 머무를 수 있고, 이는 메모리 디바이스(50)의 동작 수명 동안 '0'의 판독이 실패하게 되는 원인일 수 있다. 마진0 판독은 이와 같은 약한 셀들을 걸러내는 데 사용된다. 마진0 판독 파형에 대해, SL(110)은 대기 상태 값, 예컨대 0 V에 있다. WL(102) 및 BL(104)은 정상 판독 상태와 같이 판독을 위한 선택된 메모리 셀들에 대해 판독에서의 바이어스 레벨, 예컨대 2.6 V 및 1.0 V로 각각 전환한다. CG(106)는 약하게 프로그래밍된 셀들을 검출하기 위해 (프로그래밍 또는 판독 상태에 대해서와 같은, 도 6 내지 도 8에 기술된, 동일한 회로 수단에 의해 제공되는) 판독에서의 마진0 값, 예컨대, 3 V로 바이어스된다. CG 전압은 약한 프로그래밍 효과를 증폭하고, 셀 전류를 효과적으로 증가시켜서 약한 셀들이 이제 '0'이 아니라 '1'로 판독되도록(사실상, 셀 전류가 없는 것이 아니라 셀 전류가 존재하도록) 하기 위해 FG 전위로 커플링될 것이다.

[0025] 약하게 소거된 셀들을 검출하기 위해 전체 어레이를 소거한 후 마진1 판독(Read Margin1) 동작이 수행된다. (네거티브 전압으로 소거하기 위한 것과 같은, 도 6 내지 도 8에 기술된, 동일한 회로 수단에 의해 제공되는) 네거티브 CG가 이제 이러한 상태를 검출하기 위해 활용된다. SL(110)은 대기 상태 값, 예컨대 0 V에 있다. WL(102) 및 BL(104)은 정상 판독 상태와 같이 판독을 위한 선택된 메모리 셀들에 대해 판독에서의 바이어스 레벨, 예컨대 2.6 V 및 1.0 V로 각각 전환한다. CG(106)는 약하게 소거된 셀들을 검출하기 위해 판독에서의 마진1 값, 예컨대 -3 V로 바이어스된다. CG 전압은 약하게 소거된 결과를 증폭하고, 셀 전류(더 적은 FG 전위)를

효과적으로 감소시켜서, 약하게 소거된 셀들이 이제 '1'이 아니라 '0'으로 판독되도록(사실상, 셀 전류가 있는 것이 아니라 셀 전류가 없도록) 하기 위해 FG 전위로 네거티브로 커플링될 것이다.

[0026] 도 4a를 참조하면, 본 발명의 메모리 디바이스(50)에서 사용하기 위한, X디코더(200)의 회로 다이어그램의 일례가 도시되어 있다. X디코더 회로(200)는 선택된 및 비선택된 메모리 셀들(10)의 워드 라인들(22)에 공급될 디코딩된 어드레스 신호들을 제공한다. X디코더 회로(200)는 다음과 같은 방식으로 동작한다. NAND 게이트(201) 및 INV(202)는 (메모리 섹터(sector) (어드레스) 선택으로 지칭되는) 워드 라인(행)의 사전디코딩된 신호 XPA-XPC를 디코딩하는 데 사용된다. 회로(280)는 프리-드라이버(pre-driver)와 (워드 라인) 드라이버로 구성된다. PMOS 트랜지스터들(210, 211) 및 NMOS 트랜지스터(212)는 사전디코딩된 $XPZ<0:7>$ 과 조합되는 워드 라인 프리-드라이버이다. 사전디코딩된 신호들 $XPZ<0:7>$ 은 (= '0'으로 되어) 8개 중 하나의 행을 선택하는 데 이용된다. PMOS 트랜지스터(213) 및 NMOS 트랜지스터(214)는 하나의 행에 전형적으로 2048 또는 4096개의 셀들을 포함하고 따라서 워드 라인 RC 지연을 위해 사이즈가 큰, 즉 W = 트랜지스터 폭이고 L = 트랜지스터 길이일 때 W/L 비가 큰, 트랜지스터가 필요한 메모리 행을 구동하는 데 사용되는 워드 라인 WL 드라이버이다. 회로(280)는 8회 반복되고, NAND(201) 및 INV(202)는 메모리 섹터 크기 당 8개 행들에 대해 1회씩 반복된다. 전형적으로, 트랜지스터(214)의 소스는 선택해제 상태를 위해 접지 노드(즉, 0 V)에 접속되는데, 여기서 이것은 노드 NWLLOW(240)에 접속된다. 트랜지스터(213)의 소스는 노드 ZVDD(220)에 접속되는데, 이는 판독 동작에서의 V_{wld} (판독 워드 라인 전압)와 동일하고, V_{pwl} (프로그래밍 동작에서의 프로그래밍 워드 라인 전압)과 동일하다. 프로그래밍 상태에 있어서, 선택된 워드 라인에 대해, 예를 들어 $WL = ZVDD = V_{pwl} = 1.0$ V이고, 비선택된 워드 라인에 대해 WL 들 = NWLLOW인데, 이는 -0.5 V와 동일하다. 소거 상태에 있어서, 일 실시예에서, 선택된 워드 라인 WL 및 비선택된 워드 라인에 대해, WL 들 = NWLLOW = -0.5 V이다. 판독 상태에 있어서, 선택된 워드 라인에 대해, 예를 들어 $WL = ZVDD = V_{wld} = 2$ V이고, 비선택된 워드 라인들에 대해 WL 들 = NWLLOW이며, 이는 일 실시예에서 -0.5 V와 동일하다. 워드 라인 선택해제 라인들(250)은 프로그래밍 동안 특정 워드 라인들을 선택해제하는 데 사용될 수 있다. NMOS 네이티브 고전압(HV) 트랜지스터(290 내지 297)는 절연 트랜지스터로서의 역할을 하여, 저전압 트랜지스터들(213, 214) 상의 전압에서 소거 고전압을 절연시킨다. 그들은 또한 판독 및 프로그래밍 동작에서 통과 게이트로서의 역할을 한다. WLISO 라인(299)은 트랜지스터들(290 내지 297)의 게이트에 대한 제어 바이어스로서, 소거 동안 로우, 예컨대 1 V가 되고 판독 및 프로그래밍 동안 하이, 예컨대 3 내지 5 V가 된다.

[0027] 도 4b를 참조하면, 워드 라인(22)에 공급되는 네거티브 전압을 발생시키는 (네거티브 및 포지티브 전압들 양측 모두를 제공하는 전하 펌프(56)의 일부인) 네거티브 전하 펌프 발생기(260)의 회로 다이어그램의 일례가 도시되어 있다. 네거티브 전하 펌프 회로(260)는 다음과 같은 방식으로 동작한다. 제1 기간에, PMOS 트랜지스터(263) 및 NMOS 트랜지스터(266)는 커패시터(265)의 (+) 단자(268) 및 (-) 단자(269)를 포지티브 바이어스 전압 NBIAS(267) 및 접지 레벨(즉, 0 V)로 각각 대전시키는 데 사용된다. 제1 기간 이후 다음 기간에, 커패시터(265)의 (+) 단자(268)를 바이어스 레벨(268)로부터 접지 레벨로 방전하기 위해 트랜지스터(266)는 턴오프되고 NMOS 트랜지스터(264)는 턴온된다. 이때, 커패시터(265)의 (-) 단자(269)는 노드 NWLLOW(240)에서의 용량성 부하(capacitive loading)에 대한 커패시터(265)의 값에 따라 네거티브 레벨, 예컨대 -0.5 V에 용량성으로 커플링될 것이다. NBIAS(267)의 레벨 및 커패시터(265)의 값을 조정함으로써, 네거티브 레벨이 조정된다. 메모리 디바이스(50), 예컨대 싱글 웰(single well) CMOS(N 타입 디바이스들을 위한 P-기판 및 P 타입 디바이스들을 위한 싱글 N 웰)을 형성하기 위해 P 기판 = 0 V(접지됨)를 사용하는 반도체 프로세스의 실시예에 있어서, 네거티브 레벨이 P/N+ 순방향 접합 순방향 바이어스(forward junction forward bias)(~-0.6 V)에서 클램핑(clamping)된다. 잘 알려진 바와 같이, 메모리 디바이스(50)는 트윈 웰(twin well) P-sub CMOS 프로세스로 제조될 수 있으며, 2개의 웰들(P 웰 및 N 웰)이 기판(12)에 구성된다. 기판(12)이 P 타입의 도전성이므로, 기판 내의 제1 P 웰은 N 타입의 디바이스들(NMOS)을 위한 것일 것이고, 제2 N 타입의 웰은 P 타입의 디바이스들(PMOS)을 위한 것일 것이다. 네거티브 전압 전하 펌프 발생기(260) 및 워드 라인 디코더(200)는 기판(12) 내에 트리플 웰(triple well)로 제조될 수 있다. 이는 앞에서 설명한 트윈 웰 P-sub CMOS 프로세스 대신 트리플 웰 CMOS 프로세스에 의해 제조된다. 그 경우, 네거티브 펌프 발생기(260) 및 워드 라인 디코더(200)는 (기판(12) 내부에 있는 제2 N 타입 웰로 제조되는) 제3 P 타입 웰과 제2 N 타입 웰로 제조될 것이다. 이러한 제3 P 타입 웰에는 이제 소정의 동작 상태들에 있어서 유리한 네거티브 전압이 인가될 수 있다. 트리플 웰을 갖는 메모리 디바이스(50)를 구성하는 것이 더 프로세스 집약적이지만, 트리플 웰 내에 펌프 발생기(260)와 워드 라인 디코더(200)를 갖는 이점은 워드 라인(22)에 인가되는 네거티브 전압이 더 네거티브 상태, 예를 들어, 소거 실시예에서 사용되는 -6.0 V가 될 수 있다는 것이다(즉, P/N+ 접합 순방향 바이어스 ~-0.6 V에 의해 클램핑되지 않을 수 있다). 이 경우, 제3 P 타입 웰의 전압 상태는 P/N+ 접합 순방향 바이어스를 피하기 위해 네거티브, 예컨대 -6.0 V 또는 -8.0 V 또는 -5.6 V일 수 있다. 일 실시예에서, 메모리 셀(10)은 제3 P 타입 웰로 형성될 수 있다.

[0028] 도 5를 참조하면, 본 발명의 Psub CMOS 프로세스의 메모리 디바이스(50)에서 사용하기 위한, 포지티브/네거티브 레벨 신호들을 위한 고전압 디코딩 회로(300)의 제1 실시예가 도시되어 있다. hv(고전압, 예컨대 12 V) PMOS 트랜지스터들(321, 322), hv NMOS 트랜지스터(323), 및 lv(저전압, 예를 들어, 3 V) 트랜지스터들(324, 325)로 구성된 회로(320)가 소거/프로그래밍/판독 동작을 위한 WL 신호를 디코딩하는 데 사용된다. 소거 및/또는 프로그래밍에서 전류를 제한하기 위해 (HV 전하 펌프로부터 감소하는 전류를 제한하기 위해) 트랜지스터(322)(WL 전류 리미터(limiter))가 사용된다. 회로(310)는 도 3a에 도시된 바와 같이 소거 또는 프로그래밍 시퀀스의 시작에서 WL 신호가 일단 어써팅(assert)되면($\sim V_{dd}$) 선택되는 섹터(8개의 행마다 1개의 섹터)에 대한 hv 제어가 가능하도록 하기 위해 사용되는 hv 래치 회로(latch circuit)이다. 섹터가 (사용되지 않을) 불량 섹터인 경우, 네이티브(native) hv NMOS 트랜지스터(351), 인버터(352), NAND(353), lv 래치(인버터(354, 355), 셋(set) lv NMOS 트랜지스터들(356, 359, 358) 및 리셋(reset) lv NMOS 트랜지스터(357)로 구성됨)로 구성된 회로(350)가 hv 신호를 디스에이블(disable)하기 위해 사용된다. lv PMOS 트랜지스터들(331, 332) 및 hv PMOS 트랜지스터(333)로 구성된 회로(330)가 대기 상태 및 판독에서 CG 바이어스 레벨을 제공하는 데 사용된다. 트랜지스터(331)(그의 게이트가 바이어스 레벨에 있음)는, 예를 들어 대기 상태에서, 불량 CG 단자로부터의 전류를 제한하기 위해 CG 단자에 대한 전류 리미터로 동작한다. hv PMOS 트랜지스터들(341, 342)로 구성된 회로(340)가 소거/프로그래밍에서 CG 바이어스 레벨을 제공하는 데 사용된다. 트랜지스터(341)는 HV 전하 펌프로부터 공급되는 전류를 제한하기 위해 소거/프로그래밍에서 CG 단자에 대한 전류 리미터로 동작할 수 있다. hv PMOS 트랜지스터(361), hv 네이티브 NMOS 트랜지스터(362) 및 lv NMOS 트랜지스터들(363, 364)로 구성된 회로(360)가 CG를 디스에이블하기 위해 사용된다. hv PMOS 트랜지스터(371), hv NMOS 트랜지스터(373) 및 lv NMOS 트랜지스터(372)로 구성된 회로(370)가 소거/프로그래밍/판독 상태에 대한 SL 신호를 인에이블(enable)하기 위해 사용된다. lv NMOS 트랜지스터(372)는 SL을 판독 및 소거에서는 접지까지 끌어 내리고, 프로그래밍에서는 바이어스 레벨, 예를 들어, 2 V 미만으로 끌어 내리는 데 사용된다. 회로(380)는 CG 신호를 위한 네거티브 디코딩 회로이다. 회로(360)는 Psub CMOS 프로세스를 위해 (회로(380)에 의해 제공되어 메모리 셀의 CG 단자로 들어가는) 네거티브 레벨을 NMOS 트랜지스터(362)로부터 절연시키기 위해 PMOS 트랜지스터(361)를 절연 트랜지스터로서 사용한다. 회로(380)는 클럭드 네거티브 부스트스트래핑된 고전압 회로 방식(clocked negatively bootstrapped high voltage circuit scheme)을 사용한다. 회로(380)는 PMOS 트랜지스터들(381, 382, 385 내지 391), NOR(384) 및 인버터(384)로 구성된다. NOR(384) 및 인버터(384)는 트랜지스터(387)의 게이트를 네거티브로 펌핑하기 위해 커패시터로서 동작하는 PMOS 트랜지스터들(386, 388)로 클럭킹 신호(clocking signal)를 인에이블하는 데 사용된다. 트랜지스터(385)는 PMOS 트랜지스터(387) 및 PMOS 커패시터들(386, 388)을 위한 부스트스트랩 트랜지스터로서 동작한다. 트랜지스터들(381/390, 382/391)은 트랜지스터(387)의 드레인 및 트랜지스터(385)의 드레인을 각각 Vdd 레벨에서 클램핑하는 역할을 한다. 트랜지스터(389)는 CG 내로의 네거티브 레벨을 위한 버퍼로서의 역할을 한다. 트랜지스터들(385, 387)의 소스들은 네거티브 전원 VCGNEG(399)에 접속된다.

[0029] 도 6을 참조하면, 본 발명의 트리플 웰 CMOS 프로세스의 메모리 디바이스(50)에서 사용하기 위한, 포지티브/네거티브 레벨 신호들을 위한 고전압 디코딩 회로(400)의 제2 실시예가 도시되어 있다. 회로들(310 내지 350, 370)은 도 5의 회로들과 동일하거나 유사하다. hv NMOS 트랜지스터(410)와 lv NMOS 트랜지스터들(412 내지 414)로 구성된 회로(410)가 CG들을 낮은 레벨, 예컨대 0 V로 선택해제하는 데 사용된다. hv 트랜지스터(410)는 CG들 내로의 네거티브 레벨을 절연시키기 위해 절연 트랜지스터로서의 역할을 하여, 따라서 그의 벌크 VCGNEG도 또한 네거티브 레벨에 있다. 네거티브 레벨 시프터(shifter)로서의 역할을 하는 회로(420)가 CG들에 대한 네거티브 레벨을 제공하는 데 사용된다. 회로(420)는 인에이블링 엔티티(entity)로서 NAND(421)와 인버터(422)로, 교차 커플링된 네거티브 래치(cross-coupled negative latch)로서 hv PMOS 트랜지스터들(423, 424)과 hv NMOS 트랜지스터들(425, 426)로, 그리고 버퍼로서 hv NMOS 트랜지스터(427)로 구성된다. NMOS 트랜지스터들(425, 426, 427)의 소스들은 네거티브 전원 VCGNEG에 접속된다.

[0030] 도 7을 참조하면, 본 발명의 Psub CMOS 프로세스의 메모리 디바이스(50)에서 사용하기 위한, 포지티브/네거티브 레벨 신호들을 위한 고전압 디코딩 회로(420)의 제3 실시예가 도시되어 있다. 네거티브 전압을 위해 다이오드 디코딩 방식을 사용한다. 회로들(310 내지 370)은 도 5의 회로들과 동일하거나 유사하다. hv PMOS 트랜지스터(512)로 구성된 회로(510)가 CG들 내로의 네거티브 레벨을 제공하는 데 사용된다. 트랜지스터(512)는 다이오드 접속된 것으로, 게이트-드레인이 함께 접속됨을 의미하며, 그의 게이트-드레인은 네거티브 전원 VCGNEG에 접속된다. 그의 소스는 CG에 접속된다. 따라서, 네거티브 전원 VCGNEG가 네거티브가 될 때, 트랜지스터의 소스는 VCG NEG - $|V_{tp}|$ 의 양만큼 네거티브가 된다.

[0031] 도 8을 참조하면, 소거 동작 동안 커플링 게이트(26)에 인가되는 네거티브 전압들을 발생시키는 네거티브 전하

펌프(600)가 도시되어 있다. PMOS 트랜지스터들(612, 613)과 커패시터들(611, 614)로 구성되는 회로(610)가 펌프 스테이지를 구성한다. 트랜지스터(613)는 (전하를 한 스테이지에서 다음 스테이지로 전달하는) 트랜스퍼 트랜지스터이다. 트랜지스터(612)와 커패시터(611)는 트랜스퍼 트랜지스터(613)를 위한 V_t -캔슬링(cancelling) 기능으로서의 역할을 한다. 커패시터(614)는 (펌핑 전하를 제공한다는 의미의) 펌핑 커패시터이다. 다이오드 접속 PMOS 트랜지스터(620)가 제1 펌프 스테이지에 대한 전원 노드에 접속된다. 다이오드 접속 PMOS 트랜지스터(640)가 마지막 펌프 스테이지로부터 출력 전하 펌프 노드에 접속하는 역할을 한다. PMOS 트랜지스터들(650, 652)은 내부의 펌핑된 노드들을 클램핑하거나 초기화하는 역할을 한다. 다양한 클럭 발생, 페이지 드라이버(phase driver) 및 바이어스들은 도시되지 않는다.

[0032] 도 9를 참조하면, 본 발명의 메모리 디바이스(50)에서 사용하기 위한, 네거티브 고전압 조정 회로(700)의 일 실시예가 도시되어 있다. 커패시터들(702, 704)은 네거티브 전원 VCGNEG(399)로부터의 네거티브 전압을 기준 전압 VREF(708), 즉 1 V와 비교되는 전압으로 분할하는 데 사용된다. VREF(708)는 비교기(710)의 단자와 연결된다. 노드(706)를 바이어스 전압, 예를 들어, 2 V로 초기화시키기 위해 트랜지스터(714)가 사용된다. 노드(706)는 비교기(710)의 다른 단자와 연결된다. 네거티브 전원 VCGNEG(399)가 접지와 같은 레벨로부터 점차적으로 네거티브로 펌핑되면, 노드(706)는 비례적으로 바이어스 레벨, 예컨대 포지티브 2 V로부터 네거티브 방향으로 (커패시터들(702, 704)의 값들에 의해 결정되는 비로) 점차 낮아진다. 일단 노드(706)가 VREF(708)와 동일한 값에 도달하면, 비교기(710)는 극성을 전환한다. 이어서, 출력 REGOUT(718)은 네거티브 전원 VCGNEG(399)가 소거 상태에서 CG를 위해 사용되는 -9 V와 같은 원하는 레벨에 도달하였다는 신호를 보내기 위해 사용된다.

[0033] 도 10을 참조하면, 본 발명의 Psub CMOS 프로세스의 메모리 디바이스(50)에서 사용하기 위한, 네거티브 테스트 패드 회로(800)의 일 실시예가 도시되어 있다. PMOS 트랜지스터(810)는 내부 패드로부터 외부 패드로 또는 그 역으로 전달되도록 NMOS 트랜지스터(812)를 네거티브 레벨로 절연시키는 역할을 한다. 트랜지스터(810)는 절연을 위해 그의 드레인에 접속된 그의 벌크를 갖는다. 트랜지스터(812)는 ESD 클램핑으로서 역할을 한다.

[0034] 도 11a 및 도 11b를 참조하면, 종래 기술의 포지티브 고전압 동작을 갖는 메모리 셀들을 생산하기 위한 종래 기술 실시예들의 프로세스 흐름 단면도(900, 901)가 도시되어 있다. 메모리 셀은 CG 폴리(poly) 층(904), ONO 층(905), FG 폴리 층(906), SL 폴리 층(908), SL 확산 층(912), FG 게이트 산화물 층(914), 및 WL 폴리 층(955)을 포함한다. 프로세스 흐름 단면도(900)에서, 주변 HV 디바이스는 게이트 폴리(982), 게이트 폴리 하부의 채널 영역(988), LDD(LDD 주입)(980)를 포함한다. 이 경우, 주변 HV 게이트 폴리(982)는 두꺼워서 LDD 주입(980)이 채널 영역(988) 내로 들어가는 것을 막을 수 있다. 개선된 더 작은 기하학적 기술 노드(geometry technology node)에 적용가능한 프로세스 흐름 단면(901)의 경우에, 메모리 셀은 WL 폴리(965)를 포함하고, 주변 HV 디바이스는 게이트 폴리(984), 기판(988), LDD(LDD 주입)(980)를 포함한다. 게이트 폴리(984)는 게이트 폴리(982)보다 상당히 얇다. 이 경우, LDD 주입(980)은 게이트 폴리(984)를 관통하여 채널(988)을 전기적으로 변조하는 채널 영역(988)으로 들어간다. 이러한 결과는 바람직하지 않다. 이 경우, LDD 주입이 채널 내부로 관통하는 것을 중단시키기 위해 추가적인 마스크 및/또는 프로세스 층 단계가 필요할 수 있다.

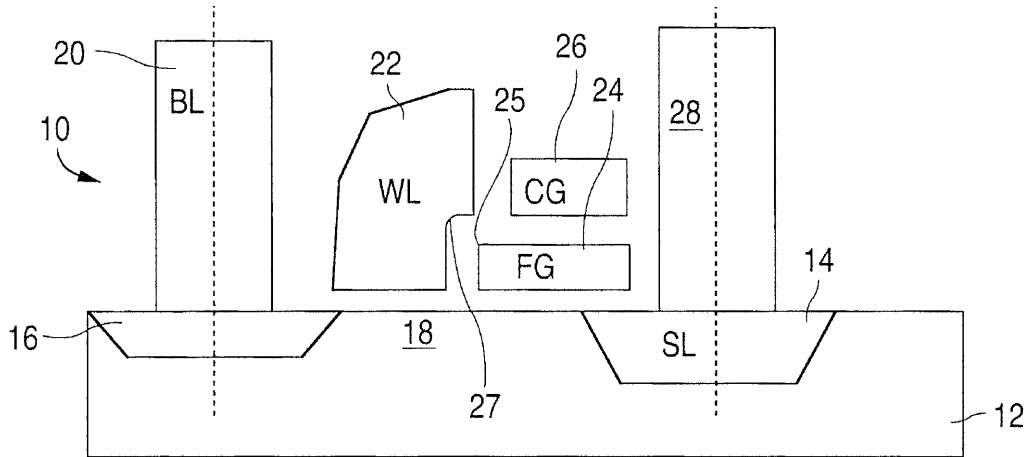
[0035] 도 11c를 참조하면, 본 발명의 메모리 디바이스(50)에서 사용하기 위한, 네거티브 전압 동작을 갖는 메모리 셀들(10)의 생산을 위한 프로세스 흐름의 일 실시예가 도시되어 있다. 이 경우, LDD 주입(981)은, 예컨대 네거티브 전압 동작에 대해 9 V 대 11 V인, 더 낮은 고전압 요구사항으로 인해 에너지가 상당히 더 낮다. 따라서, 이 경우, 더 작은 기하학적 기술 노드와 얇은 게이트 폴리(984) 두께를 갖더라도 LDD 주입이 채널(988)로 관통하여 들어가지 않는다. 따라서, 이 프로세스 흐름은 네거티브 전압 동작과 함께 사용하기 위한 메모리 셀을 생산하는 데 적합하다.

[0036] 판독, 소거 및 프로그래밍의 동작들 동안 네거티브 전압을 비선택된 또는 선택된 메모리 셀들(10)의 워드 라인(22)에 적용하는 것의 이점은 메모리 셀이 더욱 효과적으로 스케일을 낮추도록 허용하는 것이다. 소거 동안, 선택된 메모리 셀들의 워드 라인 상의 네거티브 전압은 전체적인 소거 전압이 낮아지는 것을 허용하여 따라서 셀의 치수가 더 작아지도록 허용한다(다양한 셀간(inter-cell) 또는 층간(inter-layer) 치수인 수평 또는 수직 간격, 절연, 폭, 길이 등에 걸쳐서 더 낮은 전압을 유지함). 프로그래밍 동안, 비선택된 메모리 셀들의 워드 라인 상의 네거티브 전압은 비선택된 메모리 셀들에 대한 누설을 감소시켜서 (동일 섹터 내의 비선택된 셀들에 대해) 더 적은 교란, 더 정확한 프로그래밍 전류(선택된 셀들에 대해, 더 적은 누설 간섭), 및 더 적은 전력 소비로 이어진다. 판독의 경우에, 비선택된 메모리 셀들의 워드 라인 상의 네거티브 전압은 누설로부터의 더 적은 간섭으로 인해 더욱 정확한 감지로 이어진다. 메모리 어레이 동작에서 사용하기 위해 네거티브 워드 라인, 네거티브 커플링 게이트 및 네거티브 P 기판을 조합하면, 낮아진 소거/프로그래밍 전압들 및 전류, 더욱 효과적

인 소거 및 프로그래밍, 더 적은 셀 교란, 더 적은 셀 누설의 결과를 가져온다는 것이 또한 유리하다.

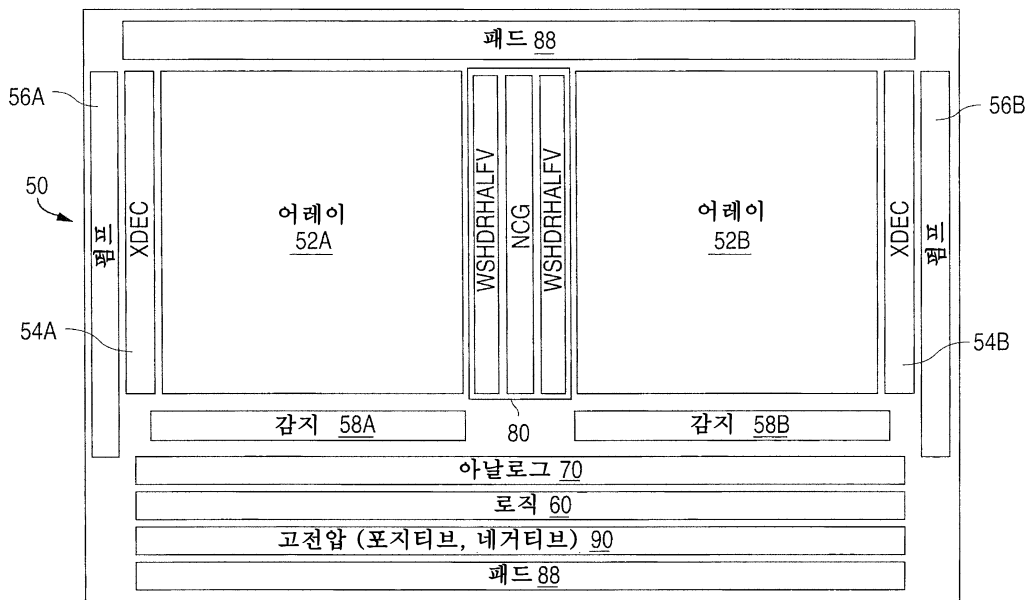
도면

도면1

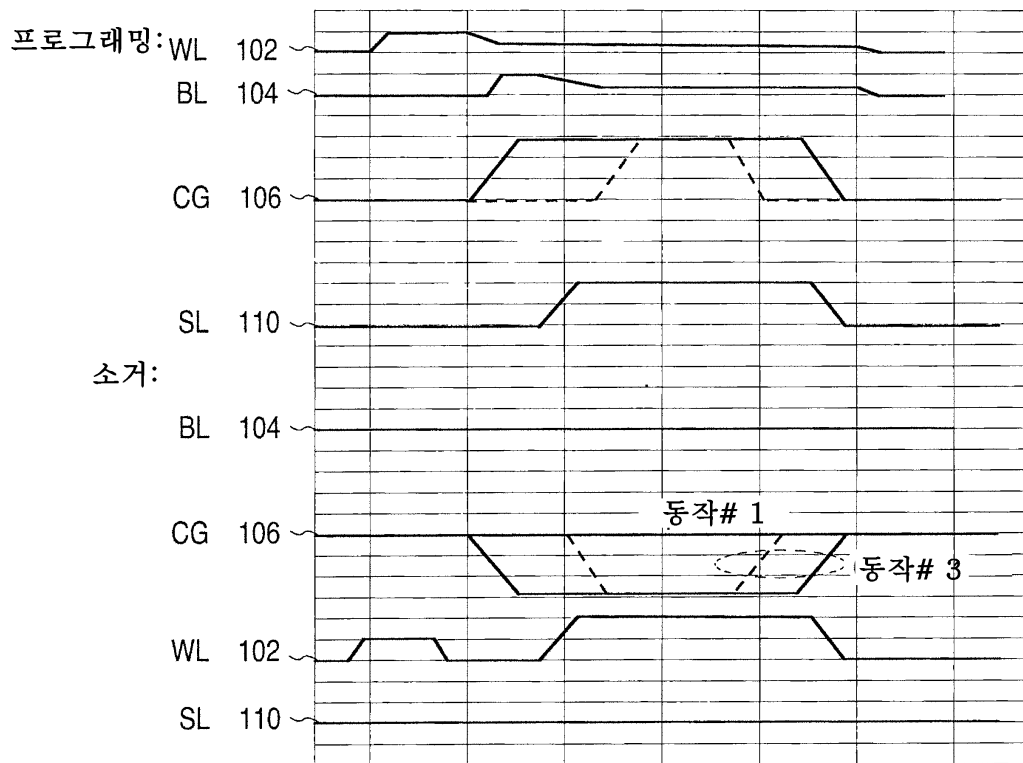


(종래 기술)

도면2

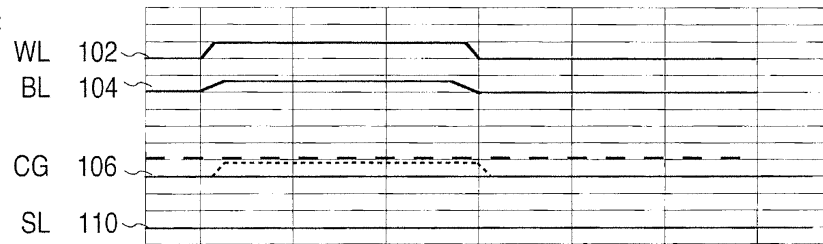


도면3a

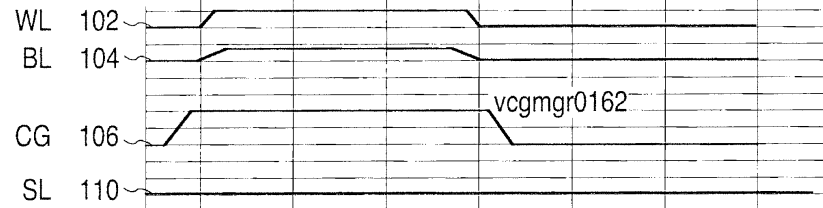


도면3b

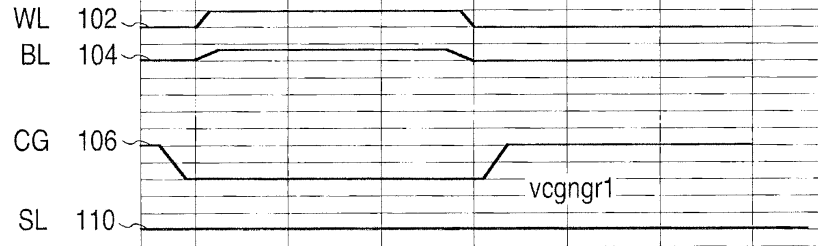
정상 판독:



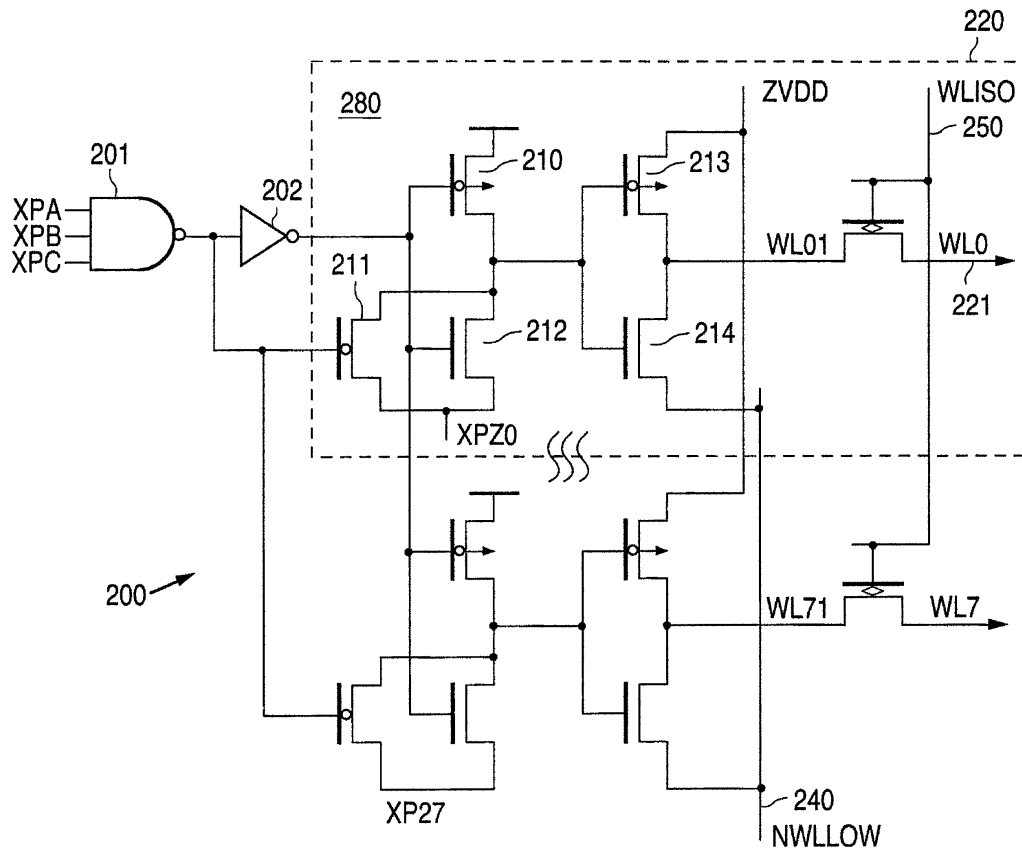
마진0 판독:



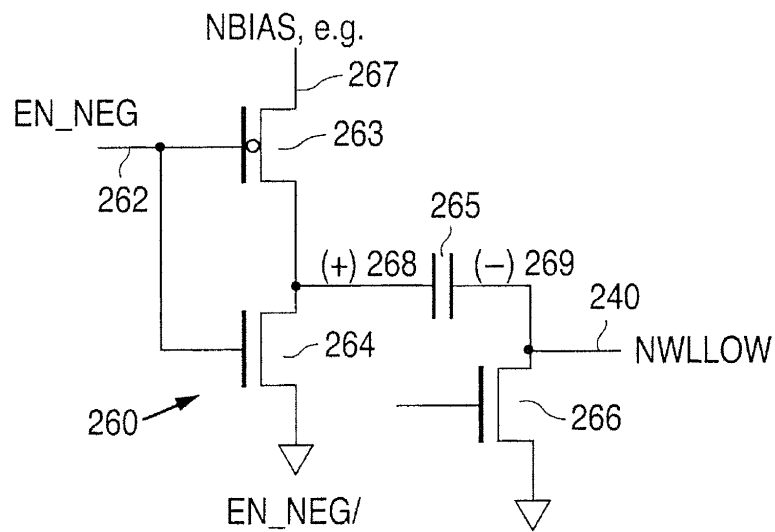
마진1 판독:



도면4a



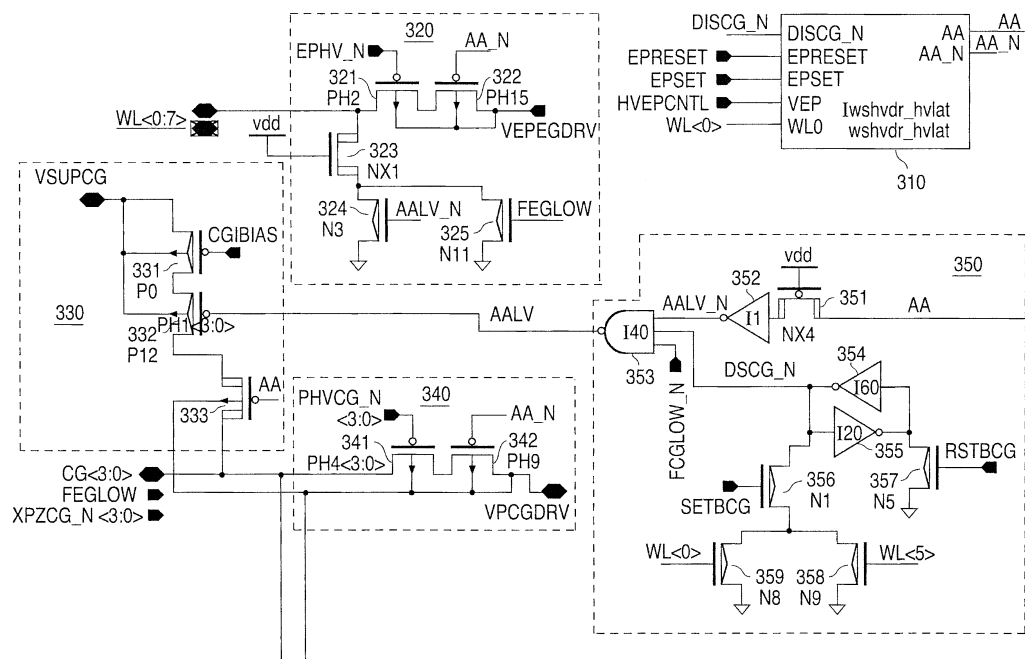
도면4b



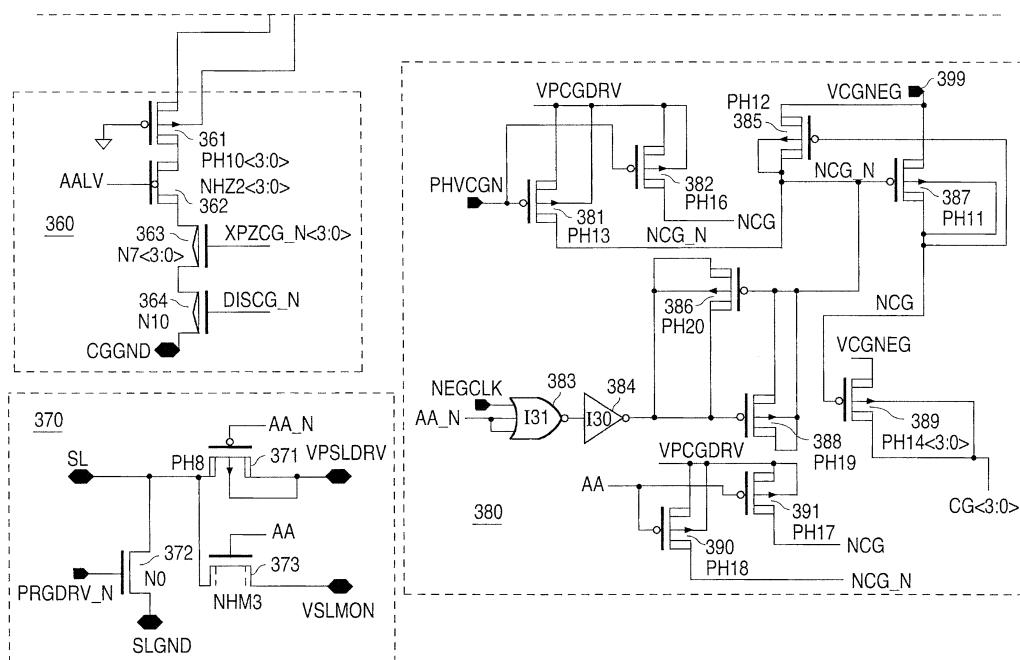
도면5

도 5a
도 5b

도면5a



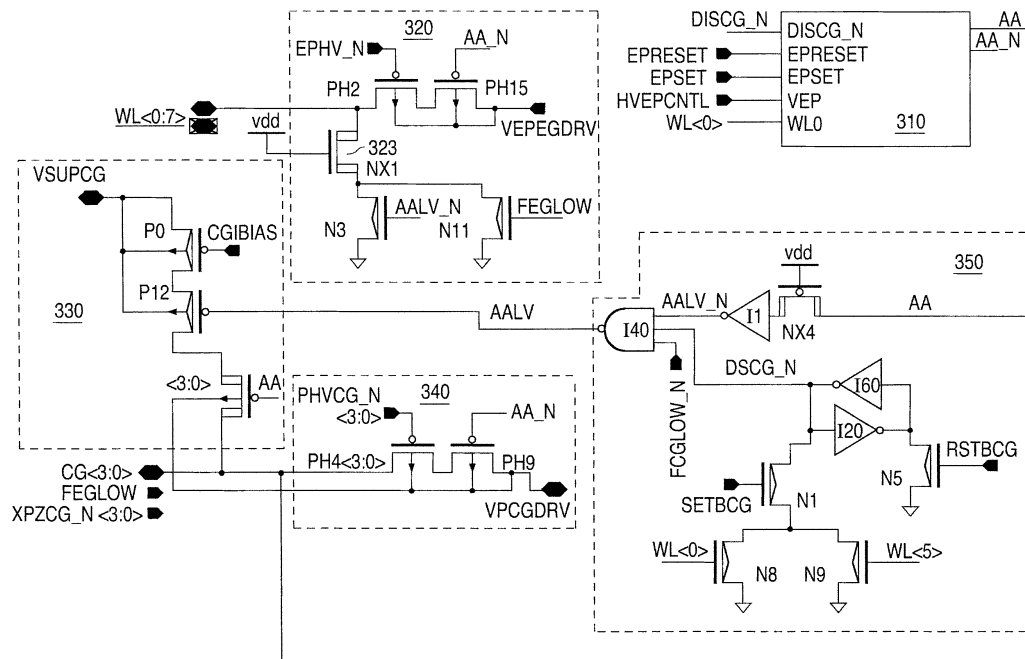
도면5b



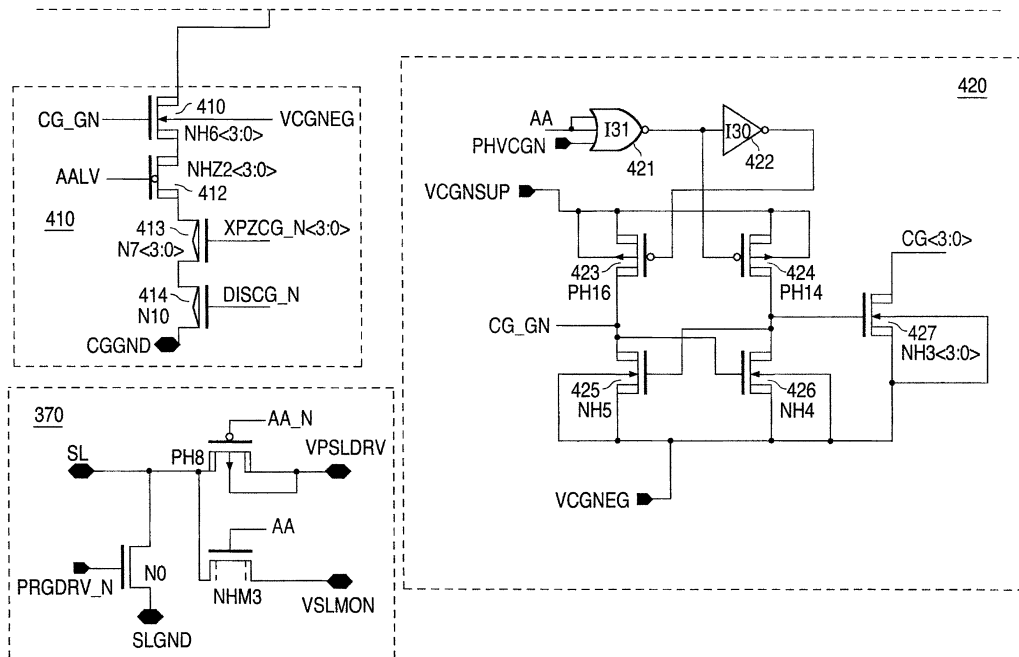
도면6

도 6a
도 6b

도면6a



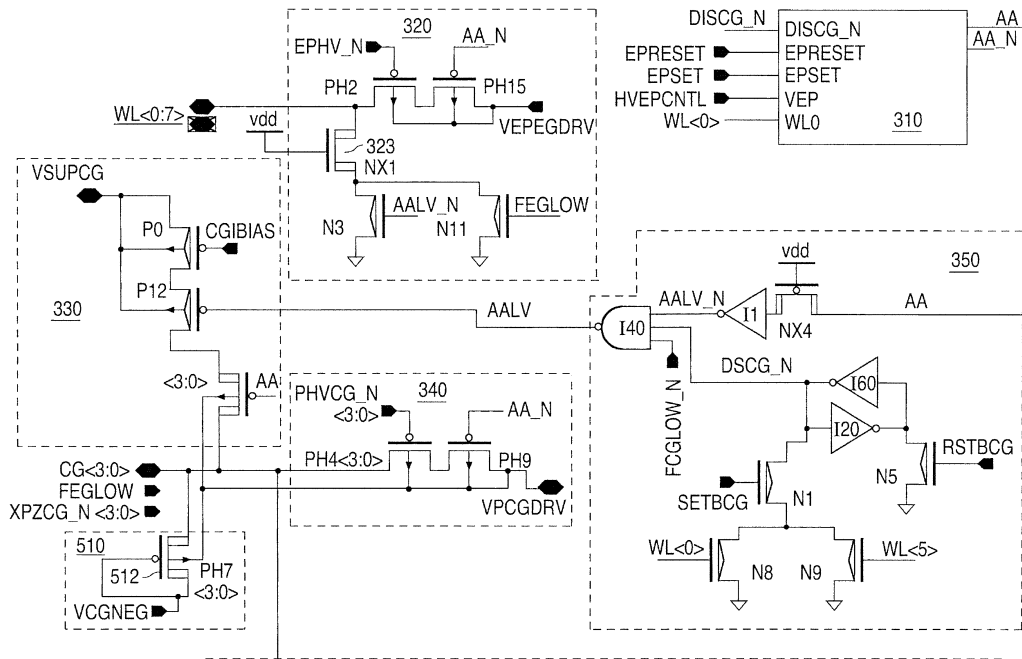
도면6b



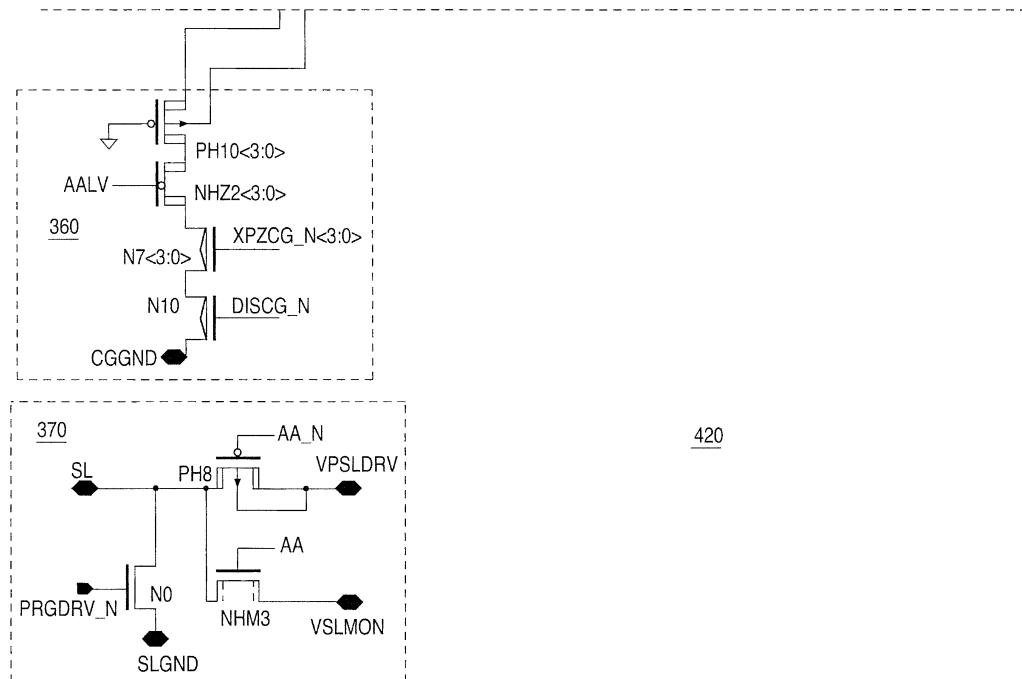
도면7

도 7a
도 7b

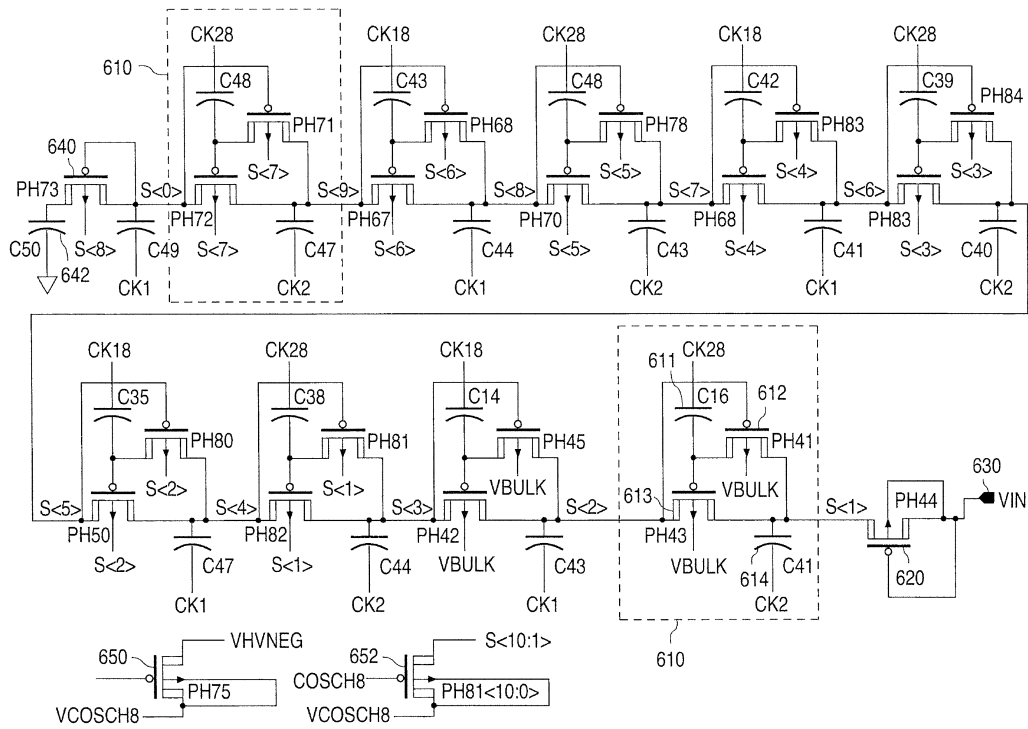
도면7a



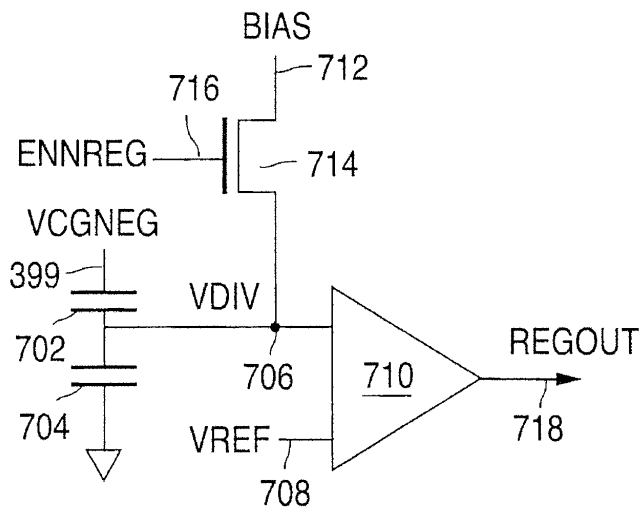
도면7b



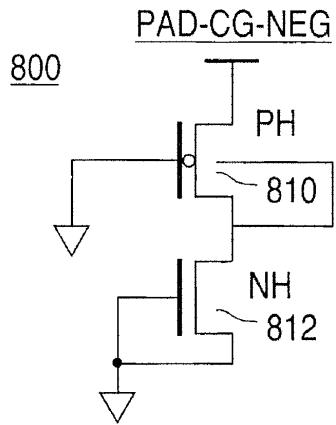
도면8



도면9

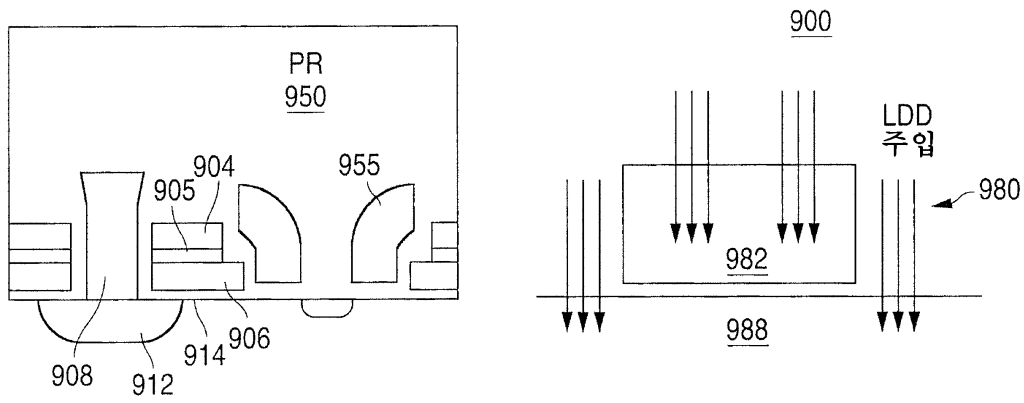


도면10



주의: PH 및 NH 양측 모두에서 이중 GR들

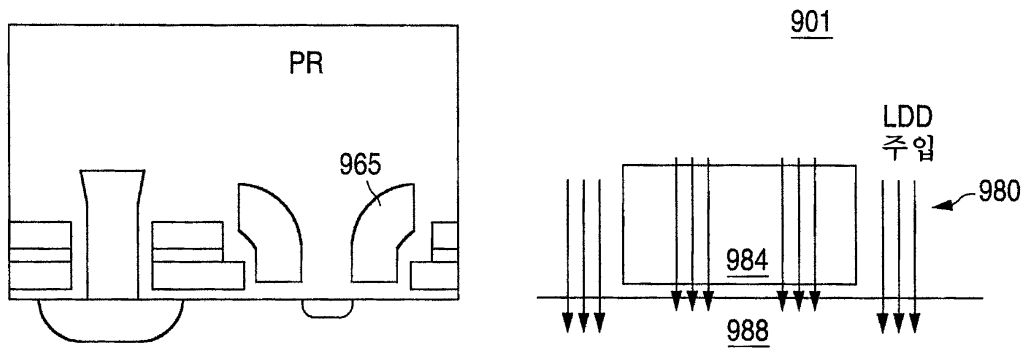
도면11a



12HV LDD 주입은 두꺼운 로직 폴리에 의해 차단된다

(종래 기술)

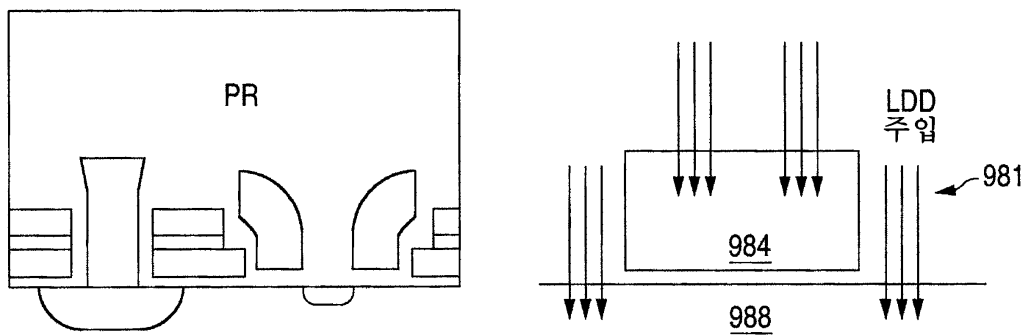
도면11b



12HV LDD 주입은 개선된 프로세스에서 얇은 로직 폴리(<1000Å)를 갖는 채널을 관통한다

(종래 기술)

도면11c



감소된 <9 V HV LDD 주입 에너지는 개선된 프로세스에서 얇은 로직 폴리(<1000Å)를 갖는 채널을 관통하지 않는다