



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2015-0039383
(43) 공개일자 2015년04월10일

(51) 국제특허분류(Int. Cl.)
H01L 21/027 (2006.01) H01L 21/8247 (2006.01)
(21) 출원번호 10-2013-0117885
(22) 출원일자 2013년10월02일
심사청구일자 없음

(71) 출원인
삼성전자주식회사
경기도 수원시 영통구 삼성로 129 (매탄동)
(72) 발명자
고차원
경기 용인시 기흥구 사은로126번길 10, 102동 70
2호 (보라동, 민속마을쌍용아파트)
김현우
경기 성남시 분당구 내정로 152, 132동 502호 (수
내동, 파크타운롯데아파트)
(뒷면에 계속)
(74) 대리인
특허법인가산

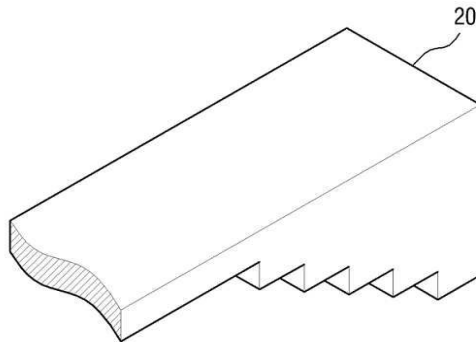
전체 청구항 수 : 총 10 항

(54) 발명의 명칭 반도체 장치의 제조 방법

(57) 요약

반도체 장치의 제조 방법이 제공된다. 상기 반도체 장치의 제조 방법은, 3차원의 계단형 구조가 음각으로 형성된 템플릿(template)을 준비하고, 상기 템플릿을 이용하여 상기 계단형 구조를 갖는 임프린트 패턴(imprint pattern)을 형성하고, 상기 임프린트 패턴을 이용하여, 기판에 계단형 패턴을 동시에 형성하는 것을 포함한다.

대표도 - 도5



(72) 발명자

이전일

경기 수원시 장안구 경수대로976번길 22, 104동
203호 (조원동, 한일타운아파트)

이효성

서울 서대문구 통일로 348, 110동 505호 (홍제동,
정구아파트)

명세서

청구범위

청구항 1

3차원의 계단형 구조가 음각으로 형성된 템플릿(template)을 준비하고,
상기 템플릿을 이용하여 상기 계단형 구조를 갖는 임프린트 패턴(imprint pattern)을 형성하고,
상기 임프린트 패턴을 이용하여, 기판에 계단형 패턴을 동시에 형성하는 것을 포함하는 반도체 장치의 제조 방법.

청구항 2

제 1항에 있어서,
상기 임프린트 패턴을 형성하는 것은, 나노 임프린트(nano-imprint) 공정을 이용하는, 반도체 장치의 제조 방법.

청구항 3

제 1항에 있어서,
상기 기판에 상기 계단형 패턴을 형성하는 것은, 건식 식각 공정을 이용하는, 반도체 장치의 제조 방법.

청구항 4

제 3항에 있어서,
상기 건식 식각 공정은, 플라즈마 에칭(plasma etching) 공정인, 반도체 장치의 제조 방법.

청구항 5

제 1항에 있어서,
상기 계단형 구조는, 3개 이상의 층을 포함하는, 반도체 장치의 제조 방법.

청구항 6

제 1항에 있어서,
상기 계단형 패턴은, 각 계단의 높이와 폭이 일정한, 반도체 장치의 제조 방법.

청구항 7

제 1항에 있어서,
상기 기판은, 절연막과 도전막이 교대로 적층된, 반도체 장치의 제조 방법.

청구항 8

제 7항에 있어서,
상기 계단형 패턴은, 상기 절연막과 상기 도전막이 하나의 층에 포함된, 반도체 장치의 제조 방법.

청구항 9

3차원의 계단형 구조가 음각으로 형성된 템플릿을 준비하되, 상기 계단형 구조는 제1 내지 제n 층을 포함하고,
상기 템플릿을 이용하여 상기 계단형 구조를 갖는 임프린트 패턴을 형성하고,
상기 임프린트 패턴을 마스크로 하여, 상기 기판에 제1 층을 형성하고,

상기 임프린트 패턴의 제1 층을 제거한 후 상기 임프린트 패턴을 마스크로 하여, 상기 기판에 제2 층을 형성하고,

상기 임프린트 패턴의 제2 내지 제n 층을 순차적으로 제거하면서 상기 임프린트 패턴을 마스크로 하는 것을 반복하여, 상기 기판에 제3 내지 제n 층을 순차적으로 형성하는 것을 포함하는 반도체 장치의 제조 방법.

청구항 10

제 9항에 있어서,

상기 임프린트 패턴을 형성하는 것은, 나노 임프린트 공정을 이용하는, 반도체 장치의 제조 방법.

발명의 설명

기술 분야

[0001] 본 발명은 반도체 장치의 제조 방법에 관한 것이다.

배경 기술

[0002] 낸드(NAND) 플래시 메모리 장치는, 어레이의 집적도를 높이기 위하여 소정 개수의 메모리 셀을 낸드형으로 연결한 것이다. 셀 어레이 내의 콘택 수가 노어(NOR) 플래시 메모리 장치에 비해 현저히 줄어들기 때문에 칩 크기가 작다. 따라서, 낸드 플래시 메모리 장치는 반도체 메모리 장치의 고집적화 및 대용량화 추세에 따라 그 수요가 증가하고 있다.

[0003] 한편, 낸드 플래시 메모리 장치에 구비된 셀 어레이들은 반도체 기판 상에서 단층으로 구성되어 있다. 그러나, 반도체 메모리 장치의 고집적화 및 대용량화에 따라, 단층의 평면 상에 구현해야할 셀 어레이들의 크기는 작아지고, 반대로 개수는 증가되고 있다. 낸드 플래시 메모리 장치가 고집적화 및 대용량화가 진행됨에 따라, 낸드 플래시 메모리 장치에서 셀 어레이들을 수직형으로 형성하게 된다.

[0004] 한국공개특허 제2013-0068668호에는 임프린트 리소그래피를 이용한 3차원 나노 구조체 제조방법 및 이에 의해 제조된 3차원 나노 구조체가 개시되어 있다.

발명의 내용

해결하려는 과제

[0005] 본 발명이 해결하고자 하는 과제는, 수직 배향된 게이트 패턴의 복수 개의 게이트 패드를 형성함에 있어서, 오버레이(overlay) 산포 및 CD(Critical Dimension) 산포를 균일하게 하면서 비용을 감소시킬 수 있는 반도체 장치의 제조 방법을 제공하는 것이다.

[0006] 본 발명이 해결하고자 하는 과제는, 이상에서 언급한 과제로 제한되지 않으며, 언급되지 않은 또 다른 과제들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

과제의 해결 수단

[0007] 상기 과제를 해결하기 위한 본 발명의 반도체 장치의 제조 방법의 일 실시예는, 3차원의 계단형 구조가 음각으로 형성된 템플릿(template)을 준비하고, 상기 템플릿을 이용하여 상기 계단형 구조를 갖는 임프린트 패턴(imprint pattern)을 형성하고, 상기 임프린트 패턴을 이용하여, 기판에 계단형 패턴을 동시에 형성하는 것을 포함한다.

[0008] 여기에서, 상기 반도체 장치의 제조 방법의 일 실시예는, 상기 임프린트 패턴을 형성하는 것은, 나노 임프린트(nano-imprint) 공정을 이용할 수 있다.

[0009] 상기 기판에 상기 계단형 패턴을 형성하는 것은, 건식 식각 공정을 이용할 수 있다.

[0010] 상기 건식 식각 공정은, 플라즈마 에칭(plasma etching) 공정일 수 있다.

[0011] 상기 계단형 구조는, 3개 이상의 층을 포함할 수 있다.

[0012] 상기 계단형 패턴은, 각 계단의 높이와 폭이 일정할 수 있다.

- [0013] 상기 기판은, 절연막과 도전막이 교대로 적층될 수 있다.
- [0014] 상기 계단형 패턴은, 상기 절연막과 상기 도전막이 하나의 층에 포함될 수 있다.
- [0015] 상기 과제를 해결하기 위한 본 발명의 반도체 장치의 제조 방법의 다른 실시예는, 3차원의 계단형 구조가 음각으로 형성된 템플릿을 준비하되, 상기 계단형 구조는 제1 내지 제n 층을 포함하고, 상기 템플릿을 이용하여 상기 계단형 구조를 갖는 임프린트 패턴을 형성하고, 상기 임프린트 패턴을 마스크로 하여, 상기 기판에 제1 층을 형성하고, 상기 임프린트 패턴의 제1 층을 제거한 후 상기 임프린트 패턴을 마스크로 하여, 상기 기판에 제2 층을 형성하고, 상기 임프린트 패턴의 제2 내지 제n 층을 순차적으로 제거하면서 상기 임프린트 패턴을 마스크로 하는 것을 반복하여, 상기 기판에 제3 내지 제n 층을 순차적으로 형성하는 것을 포함한다.
- [0016] 여기에서, 상기 반도체 장치의 제조 방법의 다른 실시예는, 상기 임프린트 패턴을 형성하는 것은, 나노 임프린트 공정을 이용할 수 있다.
- [0017] 상기 기판에 상기 제1 내지 제n 층을 형성하는 것은, 포토리소그래피 공정을 이용할 수 있다.
- [0018] 상기 포토리소그래피 공정은, 365nm, 248nm, 또는 193nm의 파장을 갖는 광을 이용할 수 있다.
- [0019] 상기 계단형 구조는, 3개 이상의 층을 포함할 수 있다.
- [0020] 상기 기판에 형성된 제1 내지 제n 층은, 높이와 폭이 일정할 수 있다.
- [0021] 상기 기판은, 절연막과 도전막이 교대로 적층될 수 있다.
- [0022] 상기 계단형 패턴은, 상기 절연막과 상기 도전막이 하나의 층에 포함될 수 있다.
- [0023] 본 발명의 기타 구체적인 사항들은 상세한 설명 및 도면들에 포함되어 있다.

도면의 간단한 설명

- [0024] 도 1은 3차원 반도체 메모리 장치의 개략적인 블록도이다.
- 도 2는 3차원 반도체 메모리 장치의 셀 어레이를 간략하게 도시한 회로도이다.
- 도 3은 3차원 반도체 메모리 장치의 셀 어레이를 도시한 사시도이다.
- 도 4는 3차원 반도체 메모리 장치의 셀 어레이 영역 및 연결 영역을 도시한 사시도이다.
- 도 5는 본 발명의 일 실시예에 따른 반도체 장치의 제조 방법의 임프린트용 템플릿의 사시도이다.
- 도 6은 본 발명의 일 실시예에 따른 반도체 장치의 제조 방법의 임프린트용 템플릿의 단면도이다.
- 도 7 내지 도 11은 본 발명의 일 실시예에 따른 반도체 장치의 제조 방법을 설명하기 위한 중간단계 도면들이다.
- 도 12 내지 도 19는 본 발명의 다른 실시예에 따른 반도체 장치의 제조 방법을 설명하기 위한 중간단계 도면들이다.
- 도 20은 본 발명의 몇몇 실시예에 따라 제조한 비휘발성 메모리 장치를 포함하는 시스템의 개략적인 블록도이다.
- 도 21은 본 발명의 몇몇 실시예에 따라 제조한 비휘발성 메모리 장치를 포함하는 메모리 카드의 개략적인 블록도이다.
- 도 22는 본 발명의 몇몇 실시예에 따라 제조한 비휘발성 메모리 장치를 포함하는 정보 처리 시스템의 개략적인 블록도이다.

발명을 실시하기 위한 구체적인 내용

- [0025] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다. 도면에서 표시된 구성요소의 크기 및 상대적인 크기는 설명의 명료성을

위해 과장된 것일 수 있다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭하며, "및/또는"은 언급된 아이템들의 각각 및 하나 이상의 모든 조합을 포함한다.

- [0026] 소자(elements) 또는 층이 다른 소자 또는 층의 "위(on)" 또는 "상(on)"으로 지칭되는 것은 다른 소자 또는 층의 바로 위뿐만 아니라 중간에 다른 층 또는 다른 소자를 개재한 경우를 모두 포함한다. 반면, 소자가 "직접 위(directly on)" 또는 "바로 위"로 지칭되는 것은 중간에 다른 소자 또는 층을 개재하지 않은 것을 나타낸다.
- [0027] 공간적으로 상대적인 용어인 "아래(below)", "아래(beneath)", "하부(lower)", "위(above)", "상부(upper)" 등은 도면에 도시되어 있는 바와 같이 하나의 소자 또는 구성 요소들과 다른 소자 또는 구성 요소들과의 상관관계를 용이하게 기술하기 위해 사용될 수 있다. 공간적으로 상대적인 용어는 도면에 도시되어 있는 방향에 더하여 사용시 또는 동작시 소자의 서로 다른 방향을 포함하는 용어로 이해되어야 한다. 예를 들면, 도면에 도시되어 있는 소자를 뒤집을 경우, 다른 소자의 "아래(below)" 또는 "아래(beneath)"로 기술된 소자는 다른 소자의 "위(above)"에 놓여질 수 있다. 따라서, 예시적인 용어인 "아래"는 아래와 위의 방향을 모두 포함할 수 있다. 소자는 다른 방향으로도 배향될 수 있고, 이에 따라 공간적으로 상대적인 용어들은 배향에 따라 해석될 수 있다.
- [0028] 본 명세서에서 사용된 용어는 실시예들을 설명하기 위한 것이며 본 발명을 제한하고자 하는 것은 아니다. 본 명세서에서, 단수형은 문구에서 특별히 언급하지 않는 한 복수형도 포함한다. 명세서에서 사용되는 "포함한다(comprises)" 및/또는 "포함하는(comprising)"은 언급된 구성요소 외에 하나 이상의 다른 구성요소의 존재 또는 추가를 배제하지 않는다.
- [0029] 비록 제1, 제2 등이 다양한 소자나 구성요소들을 서술하기 위해서 사용되나, 이들 소자나 구성요소들은 이들 용어에 의해 제한되지 않음은 물론이다. 이들 용어들은 단지 하나의 소자나 구성요소를 다른 소자나 구성요소와 구별하기 위하여 사용하는 것이다. 따라서, 이하에서 언급되는 제1 소자나 구성요소는 본 발명의 기술적 사상 내에서 제2 소자나 구성요소 일 수도 있음은 물론이다.
- [0030] 다른 정의가 없다면, 본 명세서에서 사용되는 모든 용어(기술 및 과학적 용어를 포함)는 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에게 공통적으로 이해될 수 있는 의미로 사용될 수 있을 것이다. 또 일반적으로 사용되는 사전에 정의되어 있는 용어들은 명백하게 특별히 정의되어 있지 않는 한 이상적으로 또는 과도하게 해석되지 않는다.
- [0031] 이하에서 설명되는 반도체 장치의 제조 방법은, 나노 임프린트 리소그래피(nano-imprint lithography) 방법을 이용하여, 계단형 구조를 갖는 복수 개의 게이트 패드를 동시에 형성하거나, 공정 스텝(step)을 단순화시켜, 반도체 장치의 제조 비용을 감소시키는 것에 관한 것이다. 예를 들어, 24단의 게이트 패드를 형성하기 위하여, 24회의 포토리소그래피 공정이 필요하다. 다만, 본 발명에 따르면, 1회의 임프린트 공정으로 복수 개의 게이트 패드를 형성할 수 있어, 공정 스텝 수 감소에 따른 반도체 장치의 제조 시간 및 제조 비용을 감소시킬 수 있다. 뿐만 아니라, 본 발명에 따르면, 게이트 패드 사이의 오버레이(overlay)가 균일하도록 제어할 수 있다.
- [0032] 도 1은 3차원 반도체 메모리 장치의 개략적인 블록도이다.
- [0033] 도 1을 참조하면, 본 발명의 실시예들에 따라 제조한 3차원 반도체 메모리 장치는, 셀 어레이 영역(A), 연결 영역(B), 및 주변 회로 영역(C)을 포함할 수 있다.
- [0034] 셀 어레이 영역(A)에는 3차원적으로 배치되는 메모리 셀들과, 메모리 셀들과 전기적으로 연결되는 비트 라인들 및 워드 라인들이 형성될 수 있다. 연결 영역(B)은 셀 어레이 영역(A)과 주변 회로 영역(C) 사이에 배치될 수 있으며, 연결 영역(B)에는 메모리 셀들과 주변 회로들을 연결하는 콘택 플러그들 및 배선들이 형성될 수 있다. 주변 회로 영역(C)에는 메모리 셀들의 구동 및 메모리 셀들에 저장된 데이터를 판독하는 주변 회로들이 형성될 수 있다. 구체적으로, 주변 회로 영역(C)에는 워드라인 드라이버(WL Driver), 센스 앰프(Sense Amplifier), 로우 디코더(Row Decoder), 컬럼 디코더(Column Decoder), 및 제어 회로들이 형성될 수 있다.
- [0035] 도 2는 3차원 반도체 메모리 장치의 셀 어레이를 간략하게 도시한 회로도이다. 도 3은 3차원 반도체 메모리 장치의 셀 어레이를 도시한 사시도이다.
- [0036] 도 2를 참조하면, 본 발명의 실시예들에 따라 제조한 3차원 반도체 메모리 장치의 셀 어레이는, 공통 소오스 라인(CSL), 복수 개의 비트 라인(BL), 및 공통 소오스 라인(CSL)과 비트 라인(BL) 사이에 배치되는 복수 개의 셀 스트링(CSTR)을 포함할 수 있다.
- [0037] 복수 개의 비트 라인(BL)은 2차원적으로 배치되고, 각각에는 복수 개의 셀 스트링(CSTR)이 병렬로 연결된다. 복수 개의 셀 스트링(CSTR)은 공통 소오스 라인(CSL)에 공통으로 연결될 수 있다. 즉, 복수 개의 비트 라인과 하

나의 공통 소오스 라인(CSL) 사이에 복수 개의 셀 스트링(CSTR)이 배치될 수 있다. 또한, 복수 개의 공통 소오스 라인(CSL)은 2차원적으로 배치될 수 있다. 여기에서, 복수 개의 공통 소오스 라인(CSL)에는 전기적으로 동일한 전압이 인가되거나, 복수 개의 공통 소오스 라인(CSL) 각각이 전기적으로 그리고 독립적으로 제어될 수도 있다.

[0038] 복수 개의 셀 스트링(CSTR) 각각은, 공통 소오스 라인(CSL)에 접속하는 접지 선택 트랜지스터(GST), 비트 라인(BL)에 접속하는 스트링 선택 트랜지스터(SST), 및 접지 선택 트랜지스터와 스트링 선택 트랜지스터(GST, SST) 사이에 배치되는 복수 개의 메모리 셀 트랜지스터들(MCT)로 구성될 수 있다. 또한, 접지 선택 트랜지스터(GST), 스트링 선택 트랜지스터(SST), 및 메모리 셀 트랜지스터(MCT)들은 직렬로 연결될 수 있다.

[0039] 공통 소오스 라인(CSL)은 접지 선택 트랜지스터(GST)들의 소오스들에 공통으로 연결될 수 있다. 이에 더하여, 공통 소오스 라인(CSL)과 비트 라인(BL) 사이에 배치되는, 접지 선택 라인(GSL), 복수 개의 워드라인(WL0-WL3), 및 복수 개의 스트링 선택 라인(SSL)이 접지 선택 트랜지스터(GST), 메모리 셀 트랜지스터(MCT) 및 스트링 선택 트랜지스터(SST)의 게이트 전극들로서 각각 사용될 수 있다. 또한, 메모리 셀 트랜지스터(MCT)들 각각은 데이터 저장 소자(data storage elements)를 포함한다.

[0040] 도 3을 참조하면, 공통 소오스 라인(CSL)은 기판(10) 상에 배치되는 도전성 박막 또는 기판(10) 내에 형성되는 불순물 영역일 수 있다. 복수 개의 비트 라인(BL)은 기판(10)으로부터 이격되어, 기판(10)의 상부에 배치되는 도전성 패턴들(예를 들면, 금속 라인)일 수 있다. 복수 개의 비트 라인(BL)은 2차원적으로 배열되고, 각각에는 복수 개의 셀 스트링(CSTR)이 병렬로 연결된다. 이에 따라, 셀 스트링(CSTR)은 공통 소오스 라인(CSL) 또는 기판(10) 상에 2차원적으로 배열된다.

[0041] 셀 스트링(CSTR)들 각각은, 공통 소오스 라인(CSL)과 비트 라인(BL)들 사이에 배치되는 복수 개의 접지 선택 라인(GSL1, GSL2), 복수 개의 워드 라인(WL0-WL3) 및 복수 개의 스트링 선택 라인(SSL1, SSL2)을 포함할 수 있다. 복수 개의 스트링 선택 라인(SSL1, SSL2)은 도 2의 스트링 선택 라인(SSL)을 구성할 수 있으며, 복수 개의 접지 선택 라인(GSL1, GSL2)은 도 2의 접지 선택 라인(GSL)을 구성할 수 있다. 또한, 접지 선택 라인들(GSL1, GSL2), 워드 라인들(WL0-WL3) 및 스트링 선택 라인들(SSL1, SSL2)은 기판(10) 상에 적층된 도전 패턴들일 수 있다.

[0042] 또한, 셀 스트링(CSTR)들 각각은, 공통 소오스 라인(CSL)으로부터 수직하게 연장되어 비트 라인(BL)에 접속하는 채널 구조체(또는 수직 반도체 패턴; PL)을 포함할 수 있다. 채널 구조체(PL)들은 접지 선택 라인들(GSL1, GSL2), 워드 라인들(WL0-WL3) 및 스트링 선택 라인들(SSL1, SSL2)을 관통하도록 형성될 수 있다. 즉, 채널 구조체(PL)들은 기판(10) 상에 적층된 복수 개의 도전 패턴들을 관통할 수 있다. 이에 더하여, 채널 구조체(PL)들은 몸체부(B) 및 몸체부(B)의 일단 또는 양단에 형성되는 반도체 패드(즉, 불순물 영역들; D)를 포함할 수 있다. 예를 들면, 반도체 패드(D)가 채널 구조체(PL)의 상단(즉, 몸체부(B)와 비트라인(BL) 사이)에 형성될 수 있다.

[0043] 워드 라인들(WL0-WL3)과 채널 구조체(PL)들 사이에는 데이터 저장막(DS)이 배치될 수 있다. 데이터 저장막(DS)은 전하 저장막일 수 있다. 예를 들면, 데이터 저장막(DS)은 트랩 절연막, 부유 게이트 전극, 또는 도전성 나노도트들(conductive nano dots)을 포함하는 절연막 중의 어느 하나일 수 있다.

[0044] 접지 선택 라인들(GSL1, GSL2)과 채널 구조체(PL)들 사이, 또는 스트링 선택 라인들(SSL1, SSL2)과 채널 구조체(PL)들 사이에는, 트랜지스터의 게이트 절연막으로 사용되는 유전막이 배치될 수 있다. 여기서, 유전막은 데이터 저장막(DS)과 동일한 물질로 형성될 수도 있으며, 통상적인 MOSFET을 위한 게이트 절연막(예를 들면, 실리콘 산화막)일 수도 있다.

[0045] 이러한 구조에서, 채널 구조체(PL)들은, 접지 선택 라인들(GSL1, GSL2), 워드 라인들(WL0-WL3) 및 스트링 선택 라인들(SSL1, SSL2)과 함께, 채널 구조체(PL)를 채널 영역으로 사용하는 MOSFET을 구성할 수 있다. 이와 달리, 채널 구조체(PL)들은, 접지 선택 라인들(GSL1, GSL2), 워드 라인들(WL0-WL3) 및 스트링 선택 라인들(SSL1, SSL2)과 함께, 모스 커패시터(MOS capacitor)를 구성할 수도 있다.

[0046] 접지 선택 라인들(GSL1, GSL2), 워드 라인들(WL0-WL3) 및 스트링 선택 라인들(SSL1, SSL2)은 선택 트랜지스터 및 셀 트랜지스터의 게이트 전극들로서 각각 사용될 수 있다. 또한, 접지 선택 라인들(GSL1, GSL2), 워드 라인들(WL0-WL3) 및 스트링 선택 라인들(SSL1, SSL2)에 인가되는 전압으로부터의 기생 전계(fringe field)에 의해 채널 구조체(PL)들에 반전 영역들(inversion regions)이 형성될 수 있다. 여기에서, 반전 영역의 최대 거리(또는 폭)는 반전 영역을 생성시키는 워드 라인들 또는 선택 라인들의 두께보다 클 수 있다. 이에 따라, 채널 구조체(PL)에 형성되는 반전 영역들은 수직적으로 중첩되어, 공통 소오스 라인(CSL)으로부터 선택된 비트 라인을 전

기적으로 연결하는 전류 통로를 형성할 수 있다. 즉, 셀 스트링(CSTR)은, 접지 및 스트링 선택 라인들(GSL1, GSL2, SSL1, SSL2)에 의해 구성되는 접지 및 스트링 트랜지스터들과, 워드 라인들(WL0-WL3)에 의해 구성되는 메모리 셀 트랜지스터들(도 2의 MCT)이 직렬 연결된 구조를 가질 수 있다.

- [0047] 도 4는 3차원 반도체 메모리 장치의 셀 어레이 영역 및 연결 영역을 도시한 사시도이다.
- [0048] 도 4를 참조하면, 셀 어레이 영역(A) 및 연결 영역(B)이 정의된 기판(10) 상에, 도전 패턴으로 구성되는 워드 라인(WL) 구조체가 배치된다. 워드 라인(WL) 구조체를 관통하는 채널 구조체(14)가 기판(10) 상에 2차원적으로 배열된다. 워드 라인(WL) 구조체와 채널 구조체(14)의 사이에는, 데이터 저장 소자가 포함될 수 있다. 플래시 메모리 장치의 경우에는, 데이터 저장 소자는 전하 저장막을 포함할 수 있다. 또는, 데이터 저장 소자는, 전하 저장막과 채널 구조체(14) 사이에 형성되는 터널 절연막 및 전하 저장막과 도전 패턴 사이에 형성되는 블록킹 절연막을 더 포함할 수 있다.
- [0049] 워드 라인(WL) 구조체의 상부에는, 제1 콘택 플러그(15), 비트 라인(17), 제2 콘택 플러그(16) 및 연결 배선(18)을 포함하는 배선 구조체가 배치될 수 있다. 제1 콘택 플러그(15)를 통해 채널 구조체(14)에 접속하는 비트 라인(17)은 워드 라인(WL) 구조체를 가로지르도록 형성될 수 있다. 제2 콘택 플러그(16)를 통해 도전 패턴에 접속하는 연결 배선(18)은, 기판(10)의 상부면으로부터 동일한 거리에 배치되는 도전 패턴들을 전기적으로 연결할 수 있다. 여기에서, 하나의 연결 배선(18)에 연결되는 도전 패턴들의 수는 디자인-룰, 제품 규격, 및 프로그램/이레이즈/읽기 동작들에서의 제품 특성들을 고려하여 다양하게 변경될 수 있다. 연결 배선(18) 상에는 연결 배선(18)을 주변 회로들과 전기적으로 연결하는 상부 배선(GWL)이 배치될 수 있다.
- [0050] 한편, 도전 패턴들 중의 일부(예를 들면, 최상부 도전 패턴들 및 최하부 도전 패턴들)는, 도 2를 참조하여 설명된 접지 및 스트링 선택 트랜지스터들(GST, SST)의 게이트 전극들로 이용될 수 있다. 즉, 3차원 낸드 플래시 메모리에 있어서, 최상부 도전 패턴들은 비트 라인(17)과 채널 구조체(14) 사이의 전기적 연결을 제어하는 스트링 선택 트랜지스터(SST)의 게이트 전극으로 사용되고, 최하부 도전 패턴들은 공통 소오스 라인(CSL)과 채널 구조체(14) 사이의 전기적 연결을 제어하는 접지 선택 트랜지스터(GST)의 게이트 전극으로 사용될 수 있다.
- [0051] 도 5는 본 발명의 일 실시예에 따른 반도체 장치의 제조 방법의 임프린트용 템플릿의 사시도이다. 도 6은 본 발명의 일 실시예에 따른 반도체 장치의 제조 방법의 임프린트용 템플릿의 단면도이다.
- [0052] 도 5 및 도 6을 참조하면, 템플릿(template)(20)에는 3차원의 계단형 구조가 음각으로 형성된다. 3차원의 계단형 구조는, 3개 이상의 층을 포함할 수 있다. 3차원의 계단형 구조는, 각 계단의 높이와 폭이 일정할 수 있으나, 이에 한정되는 것은 아니다. 템플릿(20)을 이용하여 나노 임프린트 공정용 임프린트 패턴(30)을 형성할 때, 1회의 공정으로 3차원의 계단형 패턴을 형성하기 위하여, 템플릿(20)을 3차원의 계단형 구조가 음각으로 형성된 형태로 제조한다. 최근에는, 낸드 플래시 메모리 장치에서 반도체 소자의 집적도가 높아짐에 따라, 게이트 패턴을 수직 방향으로 형성하게 된다. 이 때, 복수 개의 게이트 패턴을 형성하기 위한 포토리소그래피 공정의 횟수를 줄이고, 1회의 나노 임프린트 공정을 이용하여 복수 개의 게이트 패턴을 형성할 수 있도록, 템플릿(20)을 3차원의 계단형 구조가 음각으로 형성된 형태로 제조한다. 1회의 나노 임프린트 공정을 이용하여 복수 개의 게이트 패턴을 형성함으로써, 공정 스텝 수를 감소시킬 수 있어 제조 비용을 줄일 수 있으며, 복수 개의 게이트 패턴의 오버레이(overlay)가 균일하도록 제어할 수 있다.
- [0053] 템플릿(20)은, 자외선(UV) 투과가 가능한 유리(glass)나 석영(quartz) 기판을 이용하여 형성할 수 있다. 이하에서, 템플릿(20)을 형성하는 것에 관하여 설명한다. 템플릿(20)의 베이스가 되는 기판 상에 몰드용 폴리머(P)를 코팅한 후, 3차원의 계단형 구조가 양각으로 형성된 스탬프를 가압한다. 상기 스탬프를 가압한 후, 자외선(UV)을 조사한다. 이 경우, 몰드용 폴리머(P)는 자외선(UV)에 의해 경화되는 고분자 수지를 이용한다. 따라서, 자외선(UV)을 조사하는 경우, 상기 스탬프를 투과한 자외선(UV)이 상기 몰드용 폴리머(P)에 도달하여, 상기 몰드용 폴리머(P)는 경화된다. 상기 스탬프를 제거하고 나면, 3차원의 계단형 구조가 음각으로 형성된 형태의 템플릿(20)이 완성된다.
- [0054] 이하에서, 도 5 내지 도 11을 참조하여, 본 발명의 일 실시예에 따른 반도체 장치의 제조 방법에 관하여 설명한다.
- [0055] 도 7 내지 도 11은 본 발명의 일 실시예에 따른 반도체 장치의 제조 방법을 설명하기 위한 중간단계 도면들이다.
- [0056] 우선, 도 5 내지 도 7을 참조하면, 3차원의 계단형 구조가 음각으로 형성된 템플릿(20)을 준비한다. 템플릿(20)

0)을 이용하여, 3차원의 계단형 구조를 갖는 임프린트 패턴(30)을 형성한다.

[0057] 임프린트 패턴(30)은, 복수 개의 게이트 패드가 형성될 기판(10) 상에, 레진(resin) 층을 도포한 후, 템플릿(20)을 가압하여 형성한다. 상기 레진 층은 템플릿(20)을 형성하기 위해 이용한 몰드용 폴리머(P)와 마찬가지로 자외선(UV)에 의해 경화되는 고분자 수지를 이용한다. 이 때, 템플릿(20)과 상기 레진 층 사이의 접촉 현상을 방지하기 위하여, 템플릿(20)을 형성하기 위해 이용한 몰드용 폴리머(P)와 상기 레진 층은 서로 다른 재질을 이용하거나, 템플릿(20)에 이형 특성 확보를 위한 접촉 방지막(anti-adhesion layer)을 코팅할 수 있다. 상기 레진 층 상에 템플릿(20)을 놓아두고 가압한 후, 자외선(UV)을 조사하여 상기 레진 층을 경화시키면, 임프린트 패턴(30)이 형성된다.

[0058] 도 8 내지 도 11을 참조하면, 임프린트 패턴(30)을 이용하여, 기판(10) 상에 계단형 패턴을 동시에 형성한다.

[0059] 기판(10) 상에는 복수 개의 게이트 패드 형성을 위한 절연막(110, 130, 150, 170, 190)과 도전막(120, 140, 160, 180, 200)이 교대로 적층된다(도 8 참조). 임프린트 패턴(30)을 형성하는 것은, 절연막(110, 130, 150, 170, 190)과 도전막(120, 140, 160, 180, 200)이 교대로 적층된 기판(10) 상에 레진 층을 도포한 후, 위에서 설명한 것과 같이, 상기 레진 층 상에 템플릿(20)을 놓아두고 가압한 후, 자외선(UV)을 조사하여 상기 레진 층을 경화시키는 방법으로 임프린트 패턴(30)을 완성할 수 있다(도 9 참조).

[0060] 이어서, 도 10 및 도 11을 참조하면, 건식 식각(dry etching) 공정을 이용하여, 기판(10) 상에 계단형 패턴을 동시에 형성할 수 있다. 이 때, 플라즈마 에칭(plasma etching) 공정을 이용할 수 있다. 임프린트 패턴(30)을 향하여 플라즈마 이온을 가속시키고, 임프린트 패턴(30)을 투과한 플라즈마 이온에 의해 기판(10) 상의 절연막(110, 130, 150, 170, 190) 및 도전막(120, 140, 160, 180, 200)이 식각된다. 이 때, 임프린트 패턴(30)이 에칭 배리어(etching barrier)로 작용하여, 절연막(110, 130, 150, 170, 190) 및 도전막(120, 140, 160, 180, 200)에 대해 일정한 깊이 까지만 식각되어, 기판(10) 상에 절연막 패턴(111, 131, 151, 171, 191) 및 도전막 패턴(121, 141, 161, 181, 201)이 계단형 패턴을 갖게 된다. 상기 계단형 패턴에서는, 절연막 패턴(111, 131, 151, 171, 191)과 도전막 패턴(121, 141, 161, 181, 201)이 하나의 층에 포함되어, 하나의 계단 층을 형성할 수 있다(예를 들어, 절연막 패턴(111)과 도전막 패턴(121)).

[0061] 이하에서, 도 5, 도 6, 도 12 내지 도 19를 참조하여, 본 발명의 다른 실시예에 따른 반도체 장치의 제조 방법에 관하여 설명한다. 설명의 편의상, 본 발명의 일 실시예에 따른 반도체 장치의 제조 방법을 설명한 것과 실질적으로 동일한 부분은 생략한다.

[0062] 도 12 내지 도 19는 본 발명의 다른 실시예에 따른 반도체 장치의 제조 방법을 설명하기 위한 중간단계 도면들이다.

[0063] 도 5 및 도 6을 참조하면, 3차원의 계단형 구조가 음각으로 형성된 템플릿(20)을 준비한다. 이 때, 템플릿(20)에 형성된 3차원의 계단형 구조는 제1 내지 제n 층을 포함한다. 여기에서, n은 3 이상의 정수일 수 있다. 즉, 3차원의 계단형 구조는 3개 이상의 층을 포함할 수 있다. 제1 내지 제n 층은 높이와 폭이 일정할 수 있으나, 이에 한정되는 것은 아니다.

[0064] 도 12를 참조하면, 템플릿(20)을 이용하여, 3차원의 계단형 구조를 갖는 임프린트 패턴(37)을 형성한다. 이 때, 임프린트 패턴(37)은 복수 개의 층(예를 들어, 31 내지 36)으로 이루어진다.

[0065] 도 13 및 도 14를 참조하면, 기판(10) 상에는 복수 개의 게이트 패드 형성을 위한 절연막(110, 130, 150, 170, 190)과 도전막(120, 140, 160, 180, 200)이 교대로 적층된다. 또한, 최상부 도전막(200) 상에 포토레지스트 막(210)이 더 형성된다. 포토레지스트 막(210) 상에 임프린트 패턴(37)을 놓아두고, 임프린트 패턴(37)을 마스크로 하여, 포토리소그래피 공정을 이용하여, 기판(10)을 제외한 나머지 절연막(110, 130, 150, 170, 190) 및 도전막(120, 140, 160, 180, 200)을 식각하여, 제1 층(예를 들어, 기판(10))을 형성한다. 상기 포토리소그래피 공정은, i-line(365nm), KrF(248nm), 또는 ArF(193nm)의 광을 이용할 수 있다.

[0066] 도 15 및 도 16을 참조하면, 절연막 패턴(111, 131, 151, 171, 191) 및 도전막 패턴(121, 141, 161, 181, 201)이 형성된 기판(10) 상에, 임프린트 패턴(37)의 하부 층을 제거한 후, 다시 마스크로 이용하여, 기판(10) 상에 제2 층(예를 들어, 절연막 패턴(111)과 도전막 패턴(121))을 형성한다.

[0067] 도 17 내지 도 19를 참조하면, 임프린트 패턴(37)의 하부 층을 순차적으로 제거하면서, 임프린트 패턴(37)을 마스크로 하는 것을 반복한다. 이러한 과정을 반복하면서, 포토리소그래피 공정을 이용하여, 기판(10) 상에 제3 내지 제n 층을 순차적으로 형성한다. 제3 층은, 예를 들어, 절연막 패턴(131)과 도전막 패턴(141)일 수 있다.

- [0068] 도 20은 본 발명의 몇몇 실시예에 따라 제조한 비휘발성 메모리 장치를 포함하는 시스템의 개략적인 블록도이다.
- [0069] 도 20을 참조하면, 시스템(1100)은 PDA, 포터블(portable) 컴퓨터, 웹 태블릿(web tablet), 무선 전화기(wireless phone), 모바일 폰(mobile phone), 디지털 뮤직 플레이어(digital music player), 메모리 카드(memory card), 또는 정보를 무선 환경에서 송신 및/또는 수신할 수 있는 모든 소자에 적용될 수 있다.
- [0070] 시스템(1100)은 컨트롤러(1110), 키패드(keypad), 키보드 및 디스플레이와 같은 입출력 장치(1120), 메모리(1130), 인터페이스(1140), 및 버스(1150)를 포함한다. 메모리(1130)와 인터페이스(1140)는 버스(1150)를 통해 상호 소통된다.
- [0071] 컨트롤러(1110)는 적어도 하나의 마이크로 프로세서, 디지털 시그널 프로세서, 마이크로 컨트롤러, 또는 그와 유사한 다른 프로세스 장치들을 포함한다. 메모리(1130)는 컨트롤러에 의해 수행된 명령을 저장하는 데에 사용될 수 있다. 입출력 장치(1120)는 시스템(1100) 외부로부터 데이터 또는 신호를 입력받거나 또는 시스템(1100) 외부로 데이터 또는 신호를 출력할 수 있다. 예를 들어, 입출력 장치(1120)는 키보드, 키패드 또는 디스플레이 소자를 포함할 수 있다.
- [0072] 메모리(1130)는 본 발명의 몇몇 실시예에 따라 제조한 비휘발성 메모리 소자를 포함한다. 메모리(1130)는 또한 다른 종류의 메모리, 임의의 수치 접근이 가능한 휘발성 메모리, 기타 다양한 종류의 메모리를 더 포함할 수 있다.
- [0073] 인터페이스(1140)는 데이터를 통신 네트워크로 송출하거나, 네트워크로부터 데이터를 받는 역할을 한다.
- [0074] 도 21은 본 발명의 몇몇 실시예에 따라 제조한 비휘발성 메모리 장치를 포함하는 메모리 카드의 개략적인 블록도이다.
- [0075] 도 21을 참조하면, 고용량의 데이터 저장 능력을 지원하기 위한 메모리 카드(1200)는 본 발명의 몇몇 실시예에 따라 제조한 플래시 메모리 장치(1210)를 장착한다. 본 발명의 몇몇 실시예에 따라 제조한 메모리 카드(1200)는 호스트(Host)와 플래시 메모리 장치(1210) 간의 제반 데이터 교환을 제어하는 메모리 컨트롤러(1220)를 포함한다.
- [0076] SRAM(1221)은 프로세싱 유닛(1222)의 동작 메모리로서 사용된다. 호스트 인터페이스(1223)는 메모리 카드(1200)와 접속되는 호스트의 데이터 교환 프로토콜을 구비한다. 여러 정정 블록(1224)은 멀티 비트 플래시 메모리 장치(1210)로부터 독출된 데이터에 포함되는 에러를 검출 및 정정한다. 메모리 인터페이스(1225)는 본 발명의 플래시 메모리 장치(1210)와 인터페이스한다. 프로세싱 유닛(1222)은 메모리 컨트롤러(1220)의 데이터 교환을 위한 제반 제어 동작을 수행한다. 본 발명의 몇몇 실시예에 따라 제조한 메모리 카드(1200)는 호스트(Host)와의 인터페이스를 위한 코드 데이터를 저장하는 ROM 등이 더 제공될 수 있음은 이 분야의 통상적인 지식을 습득한 자들에게 자명하다.
- [0077] 도 22는 본 발명의 몇몇 실시예에 따라 제조한 비휘발성 메모리 장치를 포함하는 정보 처리 시스템의 개략적인 블록도이다.
- [0078] 도 22를 참조하면, 모바일 기기나 데스크 톱 컴퓨터와 같은 정보 처리 시스템(1300)에 본 발명의 몇몇 실시예에 따라 제조한 플래시 메모리 시스템(1310)이 장착된다. 정보 처리 시스템(1300)은 플래시 메모리 시스템(1310)과 각각 시스템 버스(1360)에 전기적으로 연결된 모뎀(1320), 중앙처리장치(1330), 램(1340), 유저 인터페이스(1350)를 포함한다. 플래시 메모리 시스템(1310)은 앞서 언급된 메모리 시스템 또는 플래시 메모리 시스템과 실질적으로 동일하게 구성될 것이다. 플래시 메모리 시스템(1310)에는 중앙처리장치(1330)에 의해서 처리된 데이터 또는 외부에서 입력된 데이터가 저장된다. 여기서, 상술한 플래시 메모리 시스템(1310)이 반도체 디스크 장치(SSD)로 구성될 수 있으며, 이 경우 정보 처리 시스템(1300)은 대용량의 데이터를 플래시 메모리 시스템(1310)에 안정적으로 저장할 수 있다. 그리고 신뢰성의 증대에 따라, 플래시 메모리 시스템(1310)은 여러 정정에 소요되는 자원을 절감할 수 있어 고속의 데이터 교환 기능을 정보 처리 시스템(1300)에 제공할 것이다. 정보 처리 시스템(1300)에는 응용 칩셋(Application Chipset), 카메라 이미지 프로세서(Camera Image Processor: CIS), 입출력 장치 등이 더 제공될 수 있음은 이 분야의 통상적인 지식을 습득한 자들에게 자명하다.
- [0079] 또한, 본 발명의 몇몇 실시예에 따라 제조한 플래시 메모리 장치 또는 메모리 시스템은 다양한 형태들의 패키지로 실장될 수 있다. 예를 들면, PoP(Package on Package), Ball grid arrays(BGAs), Chip scale packages(CSPs), Plastic Leaded Chip Carrier(PLCC), Plastic Dual In-Line Package(PDIP), Die in Waffle

Pack, Die in Wafer Form, Chip On Board(COB), Ceramic Dual In-Line Package(CERDIP), Plastic Metric Quad Flat Pack(MQFP), Thin Quad Flatpack(TQFP), Small Outline(SOIC), Shrink Small Outline Package(SSOP), Thin Small Outline(TSOP), Thin Quad Flatpack(TQFP), System In Package(SIP), Multi Chip Package(MCP), Wafer-level Fabricated Package(WFP), Wafer-Level Processed Stack Package(WSP) 등과 같은 방식으로 패키지가 되어 실장될 수 있다.

[0080]

이상 첨부된 도면을 참조하여 본 발명의 실시예를 설명하였지만, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자는 본 발명이 그 기술적 사상이나 필수적인 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다.

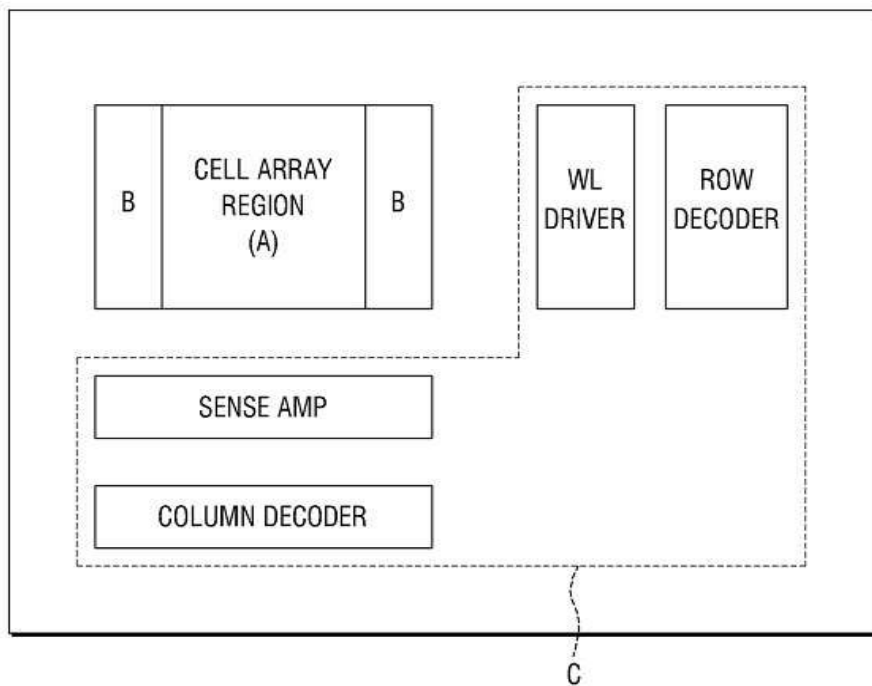
부호의 설명

[0081]

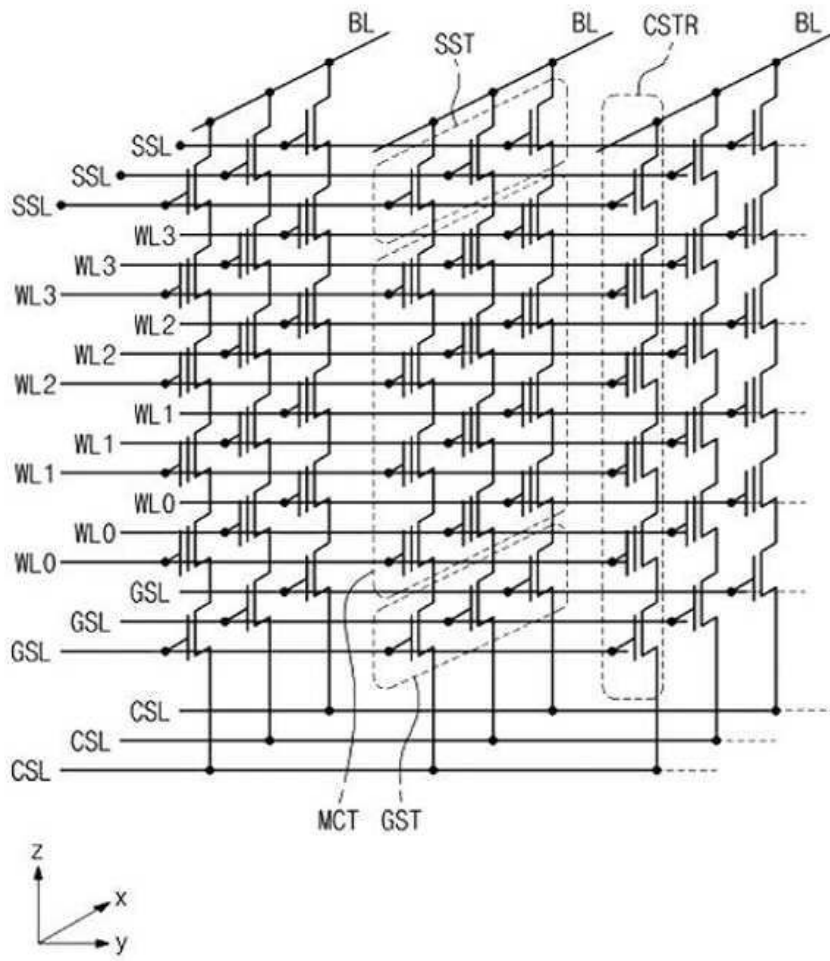
- 10: 기판
- 20: 템플릿
- 30, 37: 임프린트 패턴
- 111, 131, 151, 171, 191: 절연막 패턴
- 121, 141, 161, 181, 201: 도전막 패턴

도면

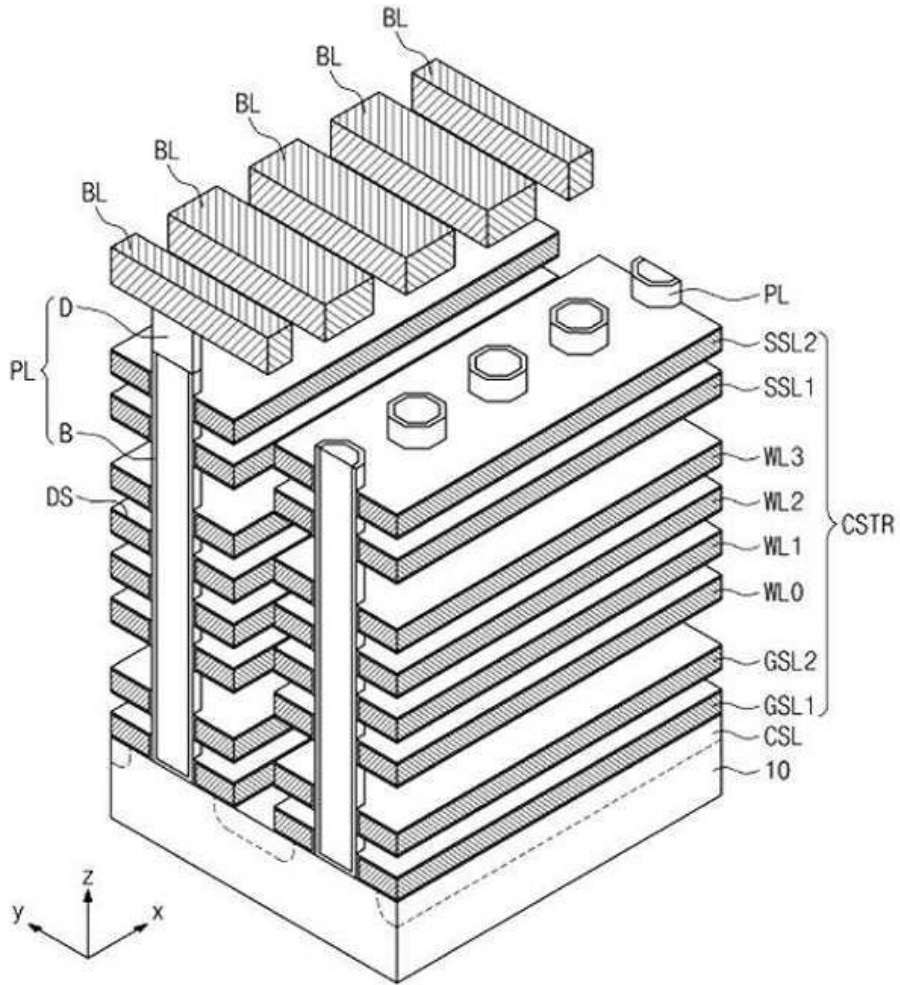
도면1



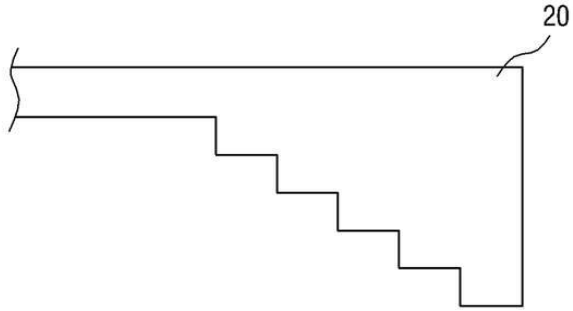
도면2



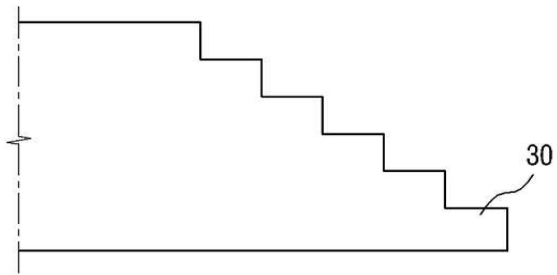
도면3



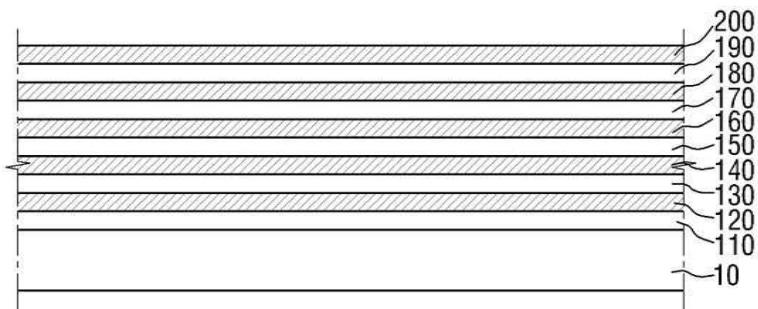
도면6



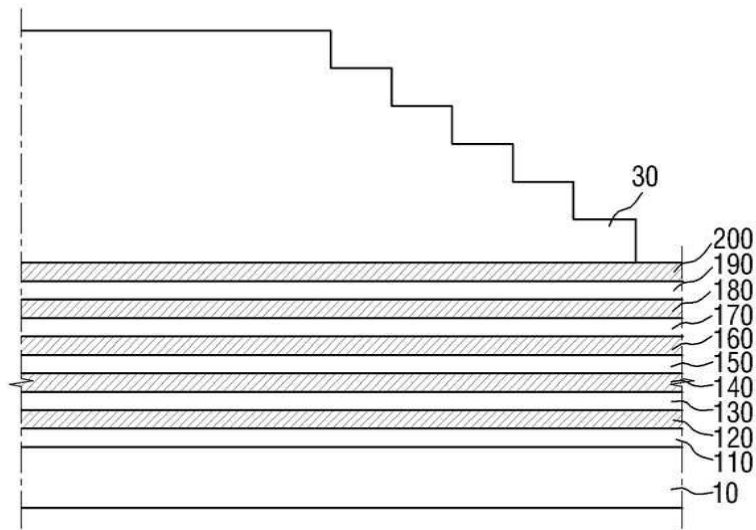
도면7



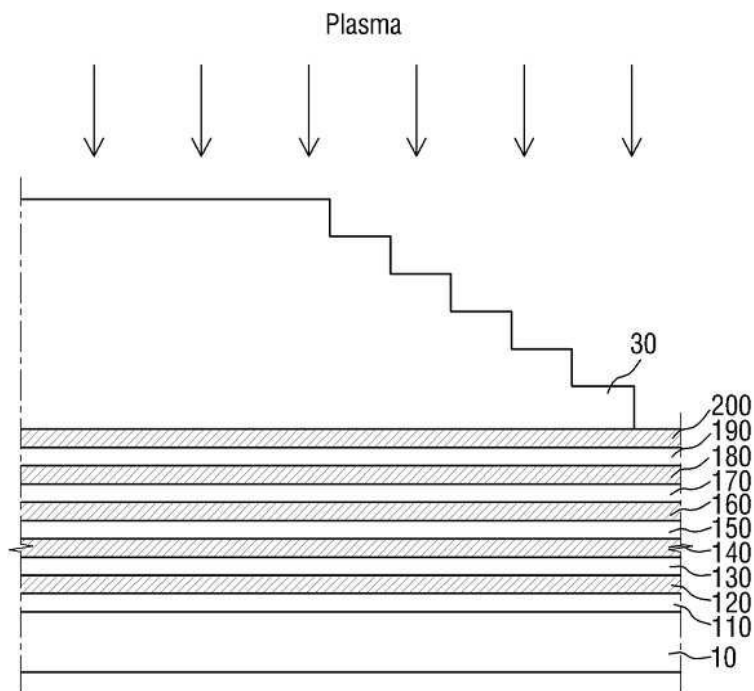
도면8



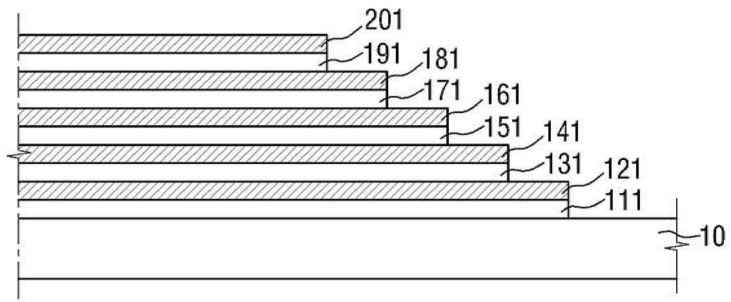
도면9



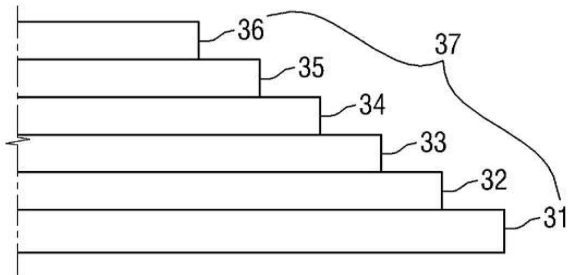
도면10



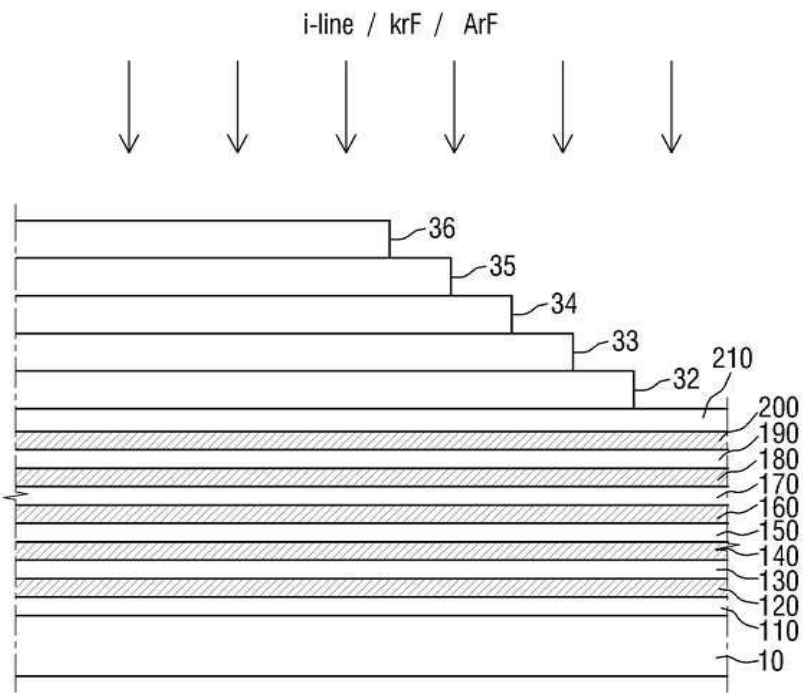
도면11



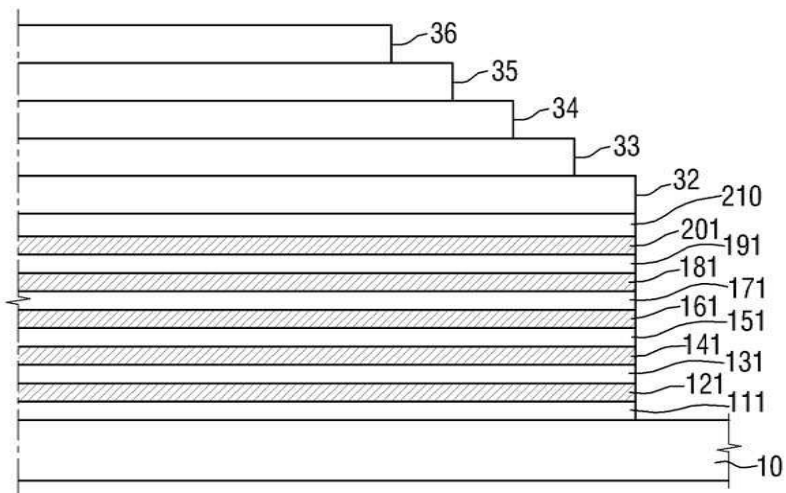
도면12



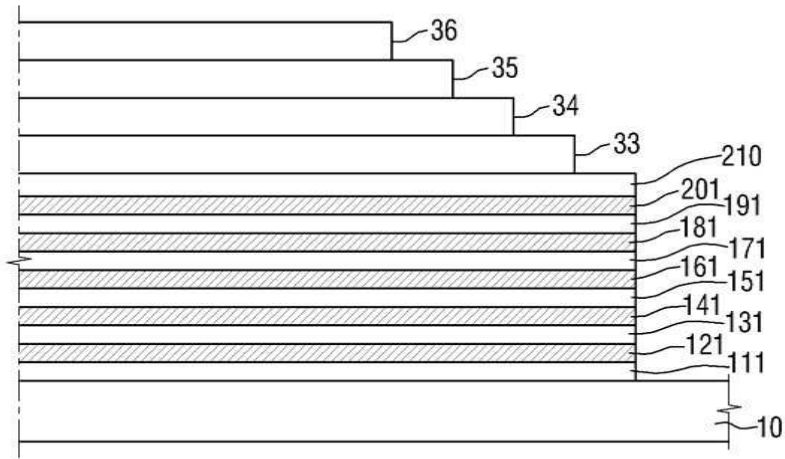
도면13



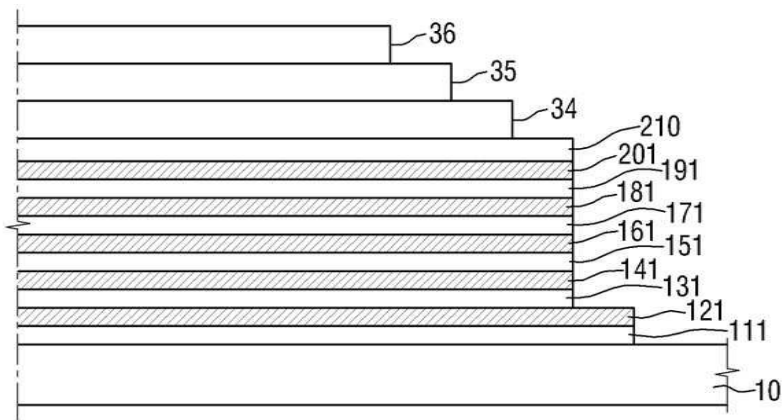
도면14



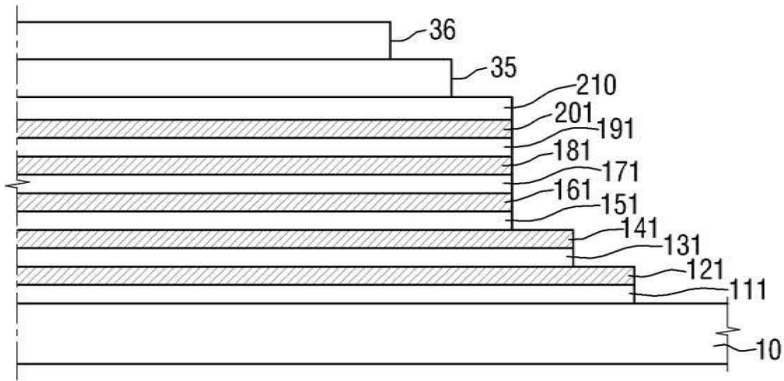
도면15



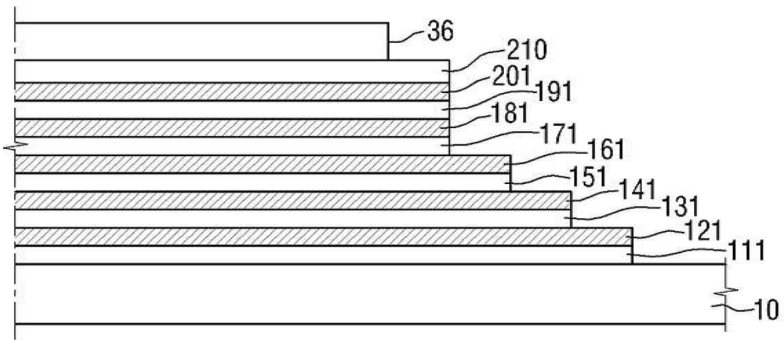
도면16



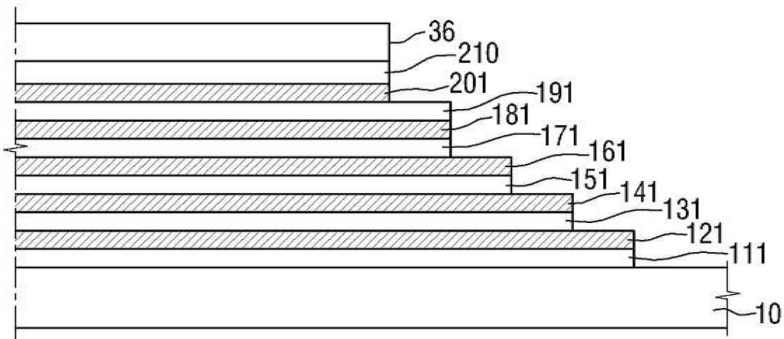
도면17



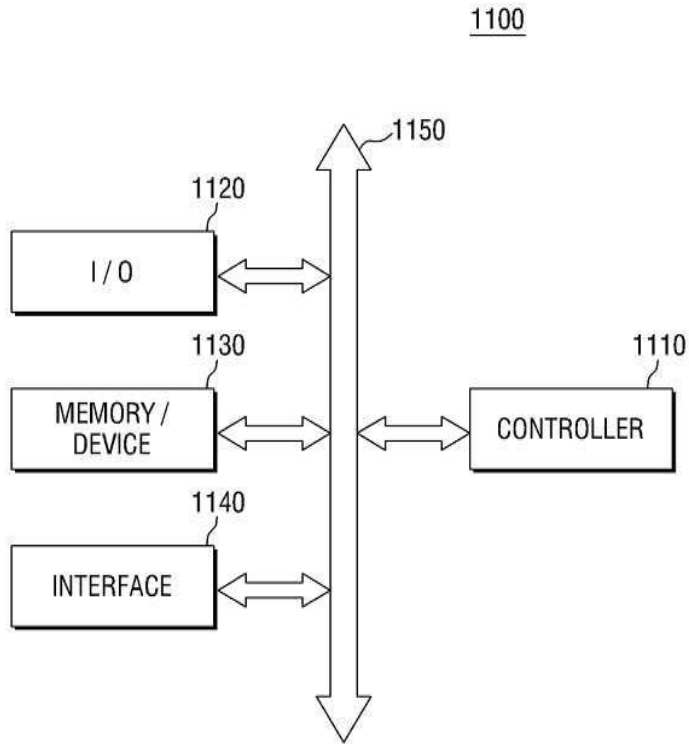
도면18



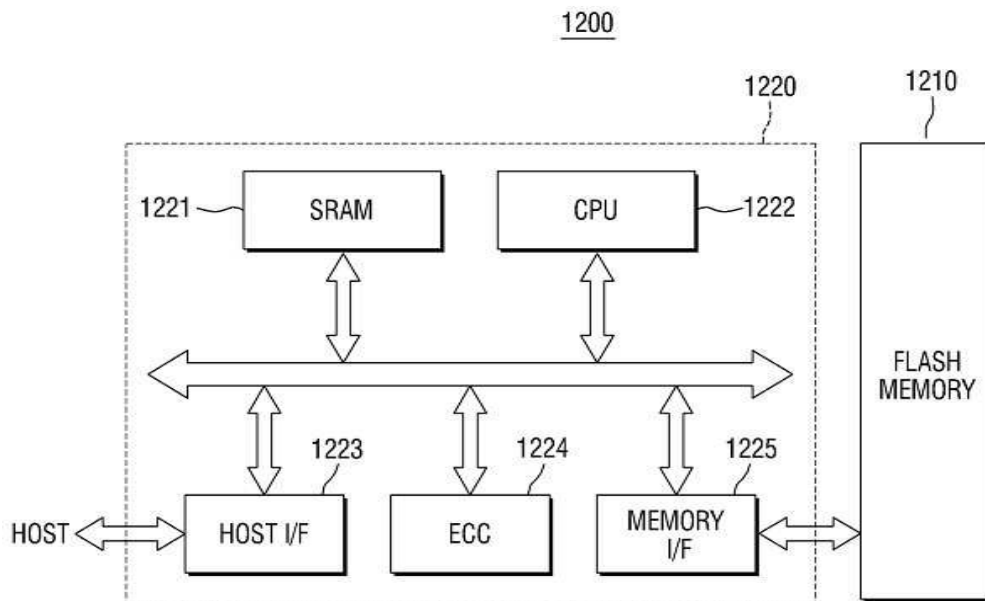
도면19



도면20



도면21



도면22

