



(12) 发明专利

(10) 授权公告号 CN 110858881 B

(45) 授权公告日 2023. 03. 24

(21) 申请号 201910766356.9

H04N 25/53 (2023.01)

(22) 申请日 2019.08.20

H04N 25/78 (2023.01)

(65) 同一申请的已公布的文献号
申请公布号 CN 110858881 A

(56) 对比文件

WO 2017104765 A1, 2017.06.22

US 2009310001 A1, 2009.12.17

(43) 申请公布日 2020.03.03

US 2010079611 A1, 2010.04.01

(30) 优先权数据
2018-156189 2018.08.23 JP

US 2016219229 A1, 2016.07.28

US 2009002520 A1, 2009.01.01

(73) 专利权人 佳能株式会社
地址 日本东京

US 2015373287 A1, 2015.12.24

JP 2018061192 A, 2018.04.12

(72) 发明人 林英俊 櫻井克仁

CN 105100650 A, 2015.11.25

WO 2017104765 A1, 2017.06.22

(74) 专利代理机构 中国贸促会专利商标事务所
有限公司 11038
专利代理师 刘前红

CN 101675657 A, 2010.03.17

审查员 赵莹

(51) Int. Cl.

H04N 25/70 (2023.01)

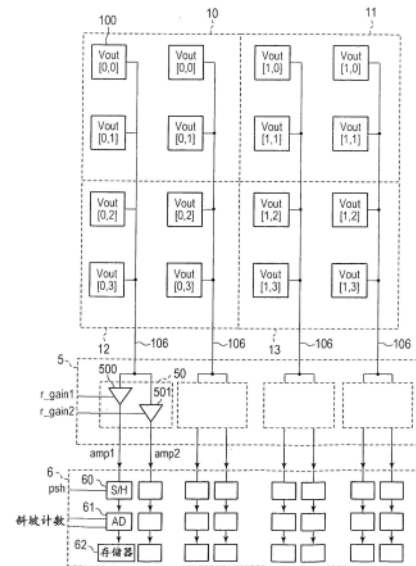
权利要求书4页 说明书36页 附图29页

(54) 发明名称

成像设备、成像系统和可移动体

(57) 摘要

本发明涉及成像设备、成像系统和可移动体。成像设备包括：多个像素，被布置为形成多行和多列，并且每个像素包括光电转换器；积蓄时间控制器，控制所述多个像素的积蓄时间；以及放大器，基于由光电转换器生成的电荷来放大信号。所述多个像素被划分为多个像素块，每个像素块包括所述多个像素中的至少两个像素，积蓄时间控制器被配置为针对所述多个像素块单独地控制积蓄时间，并且放大器被配置为针对所述多个像素块中的一个像素块输出以不同的增益放大的并且与公共帧的积蓄时间对应的多个信号。



1. 一种成像设备,其特征在于,该成像设备包括:
多个像素,被布置为形成多行和多列,并且每个像素包括光电转换器;
积蓄时间控制器,控制所述多个像素的积蓄时间的长度;以及
放大器,放大基于由光电转换器生成的电荷的信号,
其中,所述多个像素被划分为多个像素块,每个像素块包括所述多个像素中的至少两个,
其中,放大器被配置为针对所述多个像素块中的一个像素块输出以不同的增益放大的多个信号,
其中,所述多个信号对应于公共帧,
其中,积蓄时间控制器基于在公共帧之前的帧中输出的所述多个像素的信号的电平来设置所述多个像素块中的每个像素块的积蓄时间的长度,
其中,所述多个像素块中包括的第一块的公共帧中的积蓄时间的长度长于所述多个像素块中包括的第二块的公共帧中的积蓄时间的长度,
其中,由放大器对从第一块中包括的部分像素输出的信号应用的增益和由放大器对从第一块中包括的另一部分像素输出的信号应用的增益相互不同,并且
其中,由放大器对从第二块中包括的部分像素输出的信号应用的增益和由放大器对从第二块中包括的另一部分像素输出的信号应用的增益相互不同。
2. 如权利要求1所述的成像设备,其中,所述多个信号包括通过以不同的增益放大基于在所述像素之一的光电转换器中积蓄的电荷的信号而获得的两个信号。
3. 如权利要求1所述的成像设备,其中,所述多个信号包括通过以第一增益放大基于所述一个像素块中包括的第一像素的光电转换器中积蓄的电荷的信号而获得的信号以及通过以不同于第一增益的第二增益放大基于所述一个像素块中包括的第二像素的光电转换器中积蓄的电荷的信号而获得的信号。
4. 如权利要求1至3中任一项所述的成像设备,其中,放大器包括被布置在同一列上并且具有不同的增益的多个列放大器,并且通过所述多个列放大器分别放大从像素输出的信号,以便并行地输出经放大的信号作为所述多个信号。
5. 如权利要求1至3中任一项所述的成像设备,其中,放大器包括具有可变增益的列放大器并且通过列放大器以多个不同的增益放大从像素输出的信号,以便以时分方式输出经放大的信号作为所述多个信号。
6. 如权利要求1至3中任一项所述的成像设备,其中,所述像素包括多个保持单元和多个放大器晶体管作为放大器并且并行地输出从所述多个放大器晶体管输出的信号作为所述多个信号,所述多个保持单元具有彼此不同的电容值,每个放大器晶体管被提供给所述多个保持单元中的对应的一个保持单元并且被配置为输出与所述对应的一个保持单元的电容值和从光电转换器转移的电荷量对应的信号。
7. 如权利要求1至3中任一项所述的成像设备,其中,所述像素包括多个保持单元和多个放大器晶体管作为放大器并且以时分方式输出从所述多个放大器晶体管输出的信号作为所述多个信号,所述多个保持单元具有彼此不同的电容值,每个放大器晶体管被提供给所述多个保持单元中的对应的一个保持单元并且被配置为输出与所述对应的一个保持单元的电容值和从光电转换器转移的电荷量对应的信号。

8. 如权利要求6所述的成像设备,其中,在所述多个保持单元中的至少一个保持单元中电容值是可变的。

9. 如权利要求1至3中任一项所述的成像设备,其中,积蓄时间控制器包括:

垂直扫描单元,以行为单位向所述多个像素供应控制信号,

水平区域控制单元,以列为单位向所述多个像素供应控制信号,以及

多个像素块内控制单元,被设置为分别与所述多个像素块相关联,并且被配置为基于从垂直扫描单元供应的控制信号和从水平区域控制单元供应的控制信号来控制对应的像素块中布置的每个像素的光电转换器中的积蓄时间。

10. 如权利要求1至3中任一项所述的成像设备,其中,基于在光电转换器中积蓄的电荷输出所述多个信号的像素被布置在与另一像素块相邻的边界部分处。

11. 如权利要求1至3中任一项所述的成像设备,其中,基于在光电转换器中积蓄的电荷输出所述多个信号的像素被布置在像素块的中心部分处。

12. 如权利要求1至3中任一项所述的成像设备,其中,第一驱动模式和第二驱动模式被提供,第一驱动模式针对所述多个像素块选择性地输出来自位于所述多个像素块中的每个像素块的中心部分处的像素的所述多个信号,第二驱动模式针对所述多个像素块输出来自所述多个像素块中的每个像素块中包括的所有像素的所述多个信号。

13. 一种成像设备,其特征在于,该成像设备包括:

多个像素,被布置为形成多行和多列,并且每个像素包括光电转换器;

积蓄时间控制器,控制所述多个像素的积蓄时间的长度;以及

模数(AD)转换器,对由像素生成的模拟信号执行AD转换,

其中,所述多个像素被划分为多个像素块,每个像素块包括所述多个像素中的至少两个,

其中,AD转换器被配置为针对所述多个像素块中的一个像素块输出通过不同转换增益的AD转换获得的多个数字信号,

其中,所述多个数字信号对应于公共帧,

其中,积蓄时间控制器基于在公共帧之前的帧中输出的所述多个像素的信号的电平来设置所述多个像素块中的每个像素块的积蓄时间的长度,

其中,所述多个像素块中包括的第一块的公共帧中的积蓄时间的长度长于所述多个像素块中包括的第二块的公共帧中的积蓄时间的长度,

其中,由AD转换器对从第一块中包括的部分像素输出的信号应用的增益和由AD转换器对从第一块中包括的另一部分像素输出的信号应用的增益相互不同,并且

其中,由AD转换器对从第二块中包括的部分像素输出的信号应用的增益和由AD转换器对从第二块中包括的另一部分像素输出的信号应用的增益相互不同。

14. 如权利要求13所述的成像设备,其中,所述多个数字信号包括通过以不同转换增益对从所述像素之一输出的单个模拟信号执行AD转换而获得的两个数字信号。

15. 如权利要求13所述的成像设备,其中,所述多个数字信号包括通过以第一转换增益对由所述一个像素块中包括的第一像素生成的模拟信号执行AD转换而获得的数字信号和通过以不同于第一转换增益的第二转换增益对由所述一个像素块中包括的第二像素生成的模拟信号执行AD转换而获得的数字信号。

16. 如权利要求13至15中任一项所述的成像设备，

其中，AD转换器被配置为基于从像素输出的信号的电平与斜坡信号的电平之间的比较的结果将模拟信号转换成数字信号，并且

其中，AD转换器通过使用随时间流逝具有信号电平的不同变化率的多个斜坡信号来对模拟信号执行不同转换增益的AD转换。

17. 如权利要求13至15中任一项所述的成像设备，其中，AD转换器并行地执行不同转换增益的AD转换。

18. 如权利要求13至15中任一项所述的成像设备，其中，AD转换器以时分方式执行不同转换增益的AD转换。

19. 如权利要求13至15中任一项所述的成像设备，其中，积蓄时间控制器包括：

垂直扫描单元，以行为单位向所述多个像素供应控制信号，

水平区域控制单元，以列为单位向所述多个像素供应控制信号，以及

多个像素块内控制单元，被设置为分别与所述多个像素块相关联，并且被配置为基于从垂直扫描单元供应的控制信号和从水平区域控制单元供应的控制信号来控制对应的像素块中布置的每个像素的光电转换器中的积蓄时间。

20. 如权利要求13至15中任一项所述的成像设备，其中，输出基于其获得所述多个数字信号的模拟信号的像素被布置在与另一个像素块相邻的边界部分处。

21. 如权利要求13至15中任一项所述的成像设备，其中，输出基于其获得所述多个数字信号的模拟信号的像素被布置在像素块的中心部分处。

22. 如权利要求13至15中任一项所述的成像设备，其中，第一驱动模式和第二驱动模式被提供，第一驱动模式针对所述多个像素块选择性地输出来自位于所述多个像素块中的每个像素块的中心部分处的像素的所述多个数字信号，第二驱动模式针对所述多个像素块输出来自所述多个像素块中的每个像素块中包括的所有像素的所述多个数字信号。

23. 一种成像设备，其特征在于，该成像设备包括：

多个像素，被布置为形成多行和多列，并且每个像素包括光电转换器；

积蓄时间控制器，控制所述多个像素的积蓄时间的长度；以及

模数(AD)转换器，对由像素生成的模拟信号执行AD转换，

其中，所述多个像素被划分为多个像素块，每个像素块包括所述多个像素中的至少两个，

其中，AD转换器被配置为输出通过使用具有不同斜率的多个斜坡信号对所述多个像素块中的一个像素块的一个像素的信号执行AD转换而获得的多个数字信号，

其中，所述多个数字信号对应于公共帧，

其中，积蓄时间控制器基于在公共帧之前的帧中输出的所述多个像素的信号的电平来设置所述多个像素块中的每个像素块的积蓄时间的长度，

其中，所述多个像素块中包括的第一块的公共帧中的积蓄时间的长度长于所述多个像素块中包括的第二块的公共帧中的积蓄时间的长度，

其中，由AD转换器对从第一块中包括的部分像素输出的信号应用的增益和由AD转换器对从第一块中包括的另一部分像素输出的信号应用的增益相互不同，并且

其中，由AD转换器对从第二块中包括的部分像素输出的信号应用的增益和由AD转换器

对从第二块中包括的另一部分像素输出的信号应用的增益相互不同。

24. 如权利要求23所述的成像设备,其中,所述多个数字信号包括针对由所述像素之一生成的单个模拟信号通过使用具有彼此不同的斜率的两个斜坡信号进行的两次AD转换而获得的两个数字信号。

25. 如权利要求23所述的成像设备,其中,所述多个数字信号包括通过对由所述一个像素块中包括的第一像素生成的模拟信号执行使用第一斜率的斜坡信号进行的AD转换而获得的数字信号以及通过对由所述一个像素块中包括的第二像素生成的模拟信号执行使用不同于第一斜率的第二斜率的斜坡信号进行的AD转换而获得的数字信号。

26. 如权利要求23至25中任一项所述的成像设备,其中,积蓄时间控制器包括:

垂直扫描单元,以行为单位向所述多个像素供给控制信号,

水平区域控制单元,以列为单位向所述多个像素供给控制信号,以及

多个像素块内控制单元,被设置为分别与所述多个像素块相关联,并且被配置为基于从垂直扫描单元供应的控制信号和从水平区域控制单元供应的控制信号来控制对应的像素块中布置的每个像素的光电转换器中的积蓄时间。

27. 如权利要求23至25中任一项所述的成像设备,其中,输出基于其获得所述多个数字信号的模拟信号的像素被布置在与另一个像素块相邻的边界部分处。

28. 如权利要求23至25中任一项所述的成像设备,其中,输出基于其获得所述多个数字信号的模拟信号的像素被布置在像素块的中心部分处。

29. 如权利要求23至25中任一项所述的成像设备,其中,第一驱动模式和第二驱动模式被提供,第一驱动模式针对所述多个像素块选择性地输出来自位于所述多个像素块中的每个像素块的中心部分处的像素的所述多个数字信号,第二驱动模式针对所述多个像素块输出来自所述多个像素块中的每个像素块中包括的所有像素的所述多个数字信号。

30. 一种成像系统,其特征在于,该成像系统包括:

如权利要求1至29中任一项所述的成像设备;以及

信号处理单元,对从成像设备的像素输出的信号进行处理。

31. 一种可移动体,其特征在于,该可移动体包括:

如权利要求1至29中任一项所述的成像设备;

距离信息获取单元,从基于来自成像设备的信号的视差图像获取关于到对象的距离的距离信息;以及

控制单元,基于距离信息控制可移动体。

成像设备、成像系统和可移动体

技术领域

[0001] 本发明涉及成像设备、成像系统和可移动体。

背景技术

[0002] 日本专利申请特许公开No.2006-197192公开了一种成像设备,该成像设备被配置为将单个屏幕划分为多个像素块、以像素块为单位检测运动以及分别控制曝光时间。

[0003] 但是,在日本专利申请特许公开No.2006-197192中公开的成像设备中,当具有亮斑的被摄体在整体上暗的任何一个像素块中移动时,曝光时间根据这种被摄体而被控制得更短。因此,由于缩短的曝光时间的影响,这种像素块的背景变暗,这可能造成加黑阴影(blacked up shadows)。另外,当暗的被摄体在整体上亮的任何一个像素块中移动时,曝光时间根据这种被摄体而被控制得更长。因此,由于延长的曝光时间的影响,这种像素块的背景变亮,这可能造成突出高光(blown out highlights)。因此,在日本专利申请特许公开No.2006-197192中公开的成像设备中,即使当针对每个像素块适当地确定曝光时间时,也难以获得被摄体到背景上的合适的图像。

发明内容

[0004] 本发明旨在提供成像设备和成像系统,该成像设备和成像系统可以控制每个像素块的曝光时间,并且可以抑制被摄体到背景上的加黑阴影和突出高光并防止移动体检测的准确度降低。

[0005] 根据本发明的一个方面,提供了一种成像设备,其包括多个像素,所述多个像素被布置为形成多行和多列并且每个像素包括光电转换器、控制所述多个像素的积蓄时间的长度的积蓄时间控制器,以及基于由光电转换器生成的电荷放大信号的放大器,其中所述多个像素被划分为多个像素块,每个像素块包括所述多个像素中的至少两个像素,其中积蓄时间控制器被配置为单独控制所述多个像素块的积蓄时间,并且其中放大器被配置为针对所述多个像素块中的一个像素块输出以不同增益放大并且与公共帧的积蓄时间对应的多个信号。

[0006] 另外,根据本发明的另一方面,提供了一种成像设备,其包括多个像素,所述多个像素被布置为形成多行和多列并且每个像素包括光电转换器、控制所述多个像素的积蓄时间长度的积蓄时间控制器,以及对由该像素生成的模拟信号执行模数(AD)转换的AD转换器,其中所述多个像素被划分为多个像素块,每个像素块包括所述多个像素中的至少两个像素,其中积蓄时间控制器被配置为针对所述多个像素块单独控制积蓄时间,并且其中AD转换器被配置为针对所述多个像素块中的一个像素块输出通过不同转换增益的AD转换获得并且与公共帧的积蓄时间对应的多个数字信号。

[0007] 另外,根据本发明的又一方面,提供了一种成像设备,其包括多个像素,所述多个像素被布置为形成多行和多列并且每个像素包括光电转换器、控制所述多个像素的积蓄时间长度的积蓄时间控制器,以及对由该像素生成的模拟信号执行模数(AD)转换的AD转换

器,其中所述多个像素被划分为多个像素块,每个像素块包括所述多个像素中的至少两个像素,其中积蓄时间控制器被配置为针对所述多个像素块单独地控制积蓄时间,并且其中AD转换器被配置为针对多个像素块中的一个像素块输出通过使用具有不同斜率的多个斜坡信号的AD转换获得并且与公共帧的积蓄时间对应的多个数字信号。

[0008] 参考附图阅读示例性实施例的以下描述,本发明的其它特征将变得清楚。

附图说明

[0009] 图1是图示了根据本发明的第一实施例的成像设备的一般配置的框图。

[0010] 图2是图示了根据本发明的第一实施例的成像设备中的像素单元的配置示例的框图。

[0011] 图3是图示了根据本发明的第一实施例的成像设备中的像素的配置示例的电路图。

[0012] 图4A和图4B是图示了根据本发明的第一实施例的成像设备中的每个块的布置示例的示意图。

[0013] 图5是图示了根据本发明的第一实施例的成像设备中的像素块与垂直扫描单元和水平区域控制单元之间的连接示例的电路图。

[0014] 图6是图示了根据本发明的第一实施例的成像设备中的像素块内控制单元的配置示例的电路图。

[0015] 图7是示意性地表示像素单元内的每个像素块中的曝光时间的图。

[0016] 图8和图10是图示了根据本发明的第一实施例的驱动成像设备的方法的时序图。

[0017] 图9是图示了根据本发明第一实施例的成像设备中的放大器和列AD转换单元的配置示例的示意图。

[0018] 图11是图示了根据本发明的第二实施例的成像设备中的放大器的配置示例的电路图。

[0019] 图12是图示了根据本发明的第二实施例的驱动成像设备的方法的时序图。

[0020] 图13是图示了根据本发明的第三实施例的成像设备的一般配置的框图。

[0021] 图14是图示了根据本发明的第三实施例的成像设备中的像素的配置示例的电路图。

[0022] 图15是图示了根据本发明的第三实施例的成像设备中的像素块与垂直扫描单元和水平区域控制单元之间的连接示例的电路图。

[0023] 图16是图示了根据本发明的第三实施例的成像设备中的像素块内控制单元的配置示例的电路图。

[0024] 图17是图示了根据本发明的第三实施例的驱动成像设备的方法的时序图。

[0025] 图18是图示了根据本发明的第四实施例的成像设备中的像素的配置示例的电路图。

[0026] 图19是图示了根据本发明的第四实施例的成像设备中的像素块与垂直扫描单元和水平区域控制单元之间的连接示例的电路图。

[0027] 图20是图示了根据本发明的第四实施例的成像设备中的像素块内控制单元的配置示例的电路图。

- [0028] 图21是图示了根据本发明的第四实施例的驱动成像设备的方法的时序图。
- [0029] 图22是图示了根据本发明的第五实施例的成像设备中的放大器和列AD转换单元的配置示例的示意图。
- [0030] 图23是图示了根据本发明的第五实施例的驱动成像设备的方法的时序图。
- [0031] 图24是图示了根据本发明的第六实施例的成像设备中的放大器和列AD转换单元的配置示例的概略图。
- [0032] 图25是图示了根据本发明的第六实施例的驱动成像设备的方法的时序图。
- [0033] 图26是图示根据本发明的第七实施例的成像设备中的放大器的配置示例的示意图。
- [0034] 图27是图示了根据本发明的第八实施例的成像设备中的放大器的配置示例的示意图。
- [0035] 图28是表示根据本发明的第九实施例的图像系统的一般配置的框图。
- [0036] 图29是图示了根据本发明的第九实施例的驱动成像系统的方法的流程图。
- [0037] 图30A是图示了根据本发明的第十实施例的成像系统的配置示例的图。
- [0038] 图30B是图示了根据本发明的第十实施例的可移动体的配置示例的图。

具体实施方式

[0039] 现在将根据附图详细描述本发明的优选实施例。

[0040] [第一实施例]

[0041] 将参考图1至图6描述根据本发明的第一实施例的成像设备的一般配置。图1是图示了根据本实施例的成像设备的一般配置的框图。图2是图示了根据本实施例的成像设备中的像素单元的配置示例的框图。图3是图示了根据本实施例的成像设备中的像素的配置示例的电路图。图4A和图4B是图示了根据本实施例的成像设备中的每个块的布置示例的示意图。图5是图示了根据本实施例的成像设备中的像素块与垂直扫描单元和水平区域控制单元之间的连接示例的电路图。图6是图示了根据本实施例的成像设备中的像素块内控制单元的配置示例的电路图。

[0042] 如图1中所示,根据本实施例的成像设备1000包括像素单元1、垂直扫描单元2、水平区域控制单元3、定时生成单元4、放大器5、列AD转换单元(列AD转换器)6、水平扫描单元7和信号输出单元8。

[0043] 像素单元1包括在在多行和多列上二维布置的多个像素,如稍后所述。垂直扫描单元2是用于执行以行为单位向像素单元1的像素提供驱动信号的操作(垂直扫描)的控制电路单元。水平区域控制单元3是以列为单位向在水平方向上对齐的像素块提供启用/禁用信号的控制电路单元。

[0044] 放大器5包括以预定的增益放大从像素单元1输出的信号的放大器电路。放大器5被配置为能够以选自多种类型的增益中的任何增益放大从像素单元1输出的信号。列AD转换单元6包括对由放大器5放大的信号执行AD转换处理的AD转换电路以及暂时保持已经被执行AD转换处理的数字信号的存储单元(线存储器),如上所述。水平扫描单元7是向列AD转换单元6输出指定地址的控制信号并将地址指定的列上的数字信号输出到信号输出单元8的控制电路单元。信号输出单元8具有对从列AD转换单元6输出的信号执行预定处理并向外

部输出经处理的信号作为符合外部协议的信号的功能。

[0045] 定时生成单元4被提供来自外部输入的成像设备1000的标准驱动设置,并通过外部通信被提供成像设备1000的各种设置。定时生成单元4基于外部提供的设置向垂直扫描单元2、水平区域控制单元3、放大器5、列AD转换单元6和水平扫描单元7提供定时信号以控制操作定时。

[0046] 如图2中所示,像素单元1包括二维布置的多个像素块10、11、12、13...。多个像素块10、11、12、13...中的每一个包括在多行和多列上二维布置的多个像素100以及像素块内控制单元14。根据来自垂直扫描单元2和水平区域控制单元3的控制信号,像素块内控制单元14执行信号电荷的积蓄时间(曝光时间)的控制或像素块内控制单元14所属的像素块的像素100上的读出的控制。即,像素块内控制单元14形成与垂直扫描单元2和水平区域控制单元3一起控制像素单元1的控制单元(积蓄时间控制器)。

[0047] 如图3中所示,每个像素100包括光电转换器PD、转移晶体管M1、复位晶体管M3、放大器晶体管M4和选择晶体管M5。

[0048] 光电转换器PD是例如光电二极管。形成光电转换器PD的光电二极管具有阳极和阴极,阳极连接到接地节点,阴极连接到转移晶体管M1的源极。转移晶体管M1的漏极连接到复位晶体管M3的源极和放大器晶体管M4的栅极。转移晶体管M1的漏极、复位晶体管M3的源极和放大器晶体管M4的栅极的连接节点是所谓的浮动扩散(FD)节点(在图3中表示为“FD”)。耦合到FD节点的电容部件用作从光电转换器PD转移的电荷的保持部分,并且还用作电荷到电压转换单元。复位晶体管M3的漏极和放大器晶体管M4的漏极连接到供应电压VDD的电源节点。放大器晶体管M4的源极连接到选择晶体管M5的漏极。选择晶体管M5的源极连接到垂直输出线106。垂直输出线106连接到电流源(未示出)。

[0049] 光电转换器PD将入射光转换(光电转换)成与光量对应的量的电荷并积蓄生成的电荷。当接通时,转移晶体管M1将光电转换器PD中的电荷转移到FD节点。FD节点通过由FD节点的电容部件进行的电荷到电压转换而具有与从光电转换器PD转移的电荷量对应的电压。放大器晶体管M4被配置为使得电压VDD被供应到漏极并且偏置电流经由选择晶体管M5从电流源(未示出)被供应到源极,并且形成其栅极为输入节点的放大器(源极跟随器电路)。由此,放大器晶体管M4经由选择晶体管M5将基于FD节点的电压的信号输出到垂直输出线106。当接通时,复位晶体管M3将FD节点复位到与电压VDD对应的电压。

[0050] 例如,如图4A和图4B中所示,根据本实施例的成像设备1000可以通过将图1和图2中所示的各个块分布到两个半导体基板210和220并且接合这些半导体基板210和220来形成。例如,半导体基板210和半导体基板220可以经由诸如凸块电极或贯通电极之类的导电构件彼此电连接。

[0051] 图4A图示了如下配置示例:在图1和图2中所示的各个块当中,仅像素块内控制单元14被布置在下侧的半导体基板220上,其余都被布置在上侧的半导体基板上210上。通过将像素100和像素块内控制单元14布置在分离的半导体基板210和220上,可以均匀地布置像素单元1内的多个像素块中包括的多个像素100而不受像素块内控制单元14的布置的影响。

[0052] 在图4A所示的配置示例中,来自位于上侧的半导体基板210上的垂直扫描单元2的控制信号和来自位于同一个上侧的半导体基板210上的水平区域控制单元3的控制信号被

发送到位于下侧的半导体基板220上的像素块内控制单元14。由像素块内控制单元14解码的控制信号再次被发送到上侧的半导体基板210,以驱动像素单元1的像素100。来自像素单元1的输出信号由上侧的半导体基板210上的放大器5和列AD转换单元6直接处理。然后,其地址由位于同一个上侧的半导体基板210上的水平扫描单元7指定的列上的数字信号经受由位于上侧的半导体基板210上的信号输出单元8进行的信号处理并被输出到成像设备1000的外部。

[0053] 图4B是如下配置示例:在图1和图2中所示的各个块当中,仅像素单元1的像素100被布置在上侧的半导体基板210上,并且像素块内控制单元14和像素单元1的其余部分被布置在下侧的半导体基板220上。同样在这个配置示例中,像素100和像素块内控制单元14被布置在分离的半导体基板210和220上。

[0054] 在图4B所示的配置示例中,来自位于下侧的半导体基板220上的垂直扫描单元2的控制信号和来自位于同一个下侧的半导体基板220上的水平区域控制单元3的控制信号被直接发送到位于下侧的半导体基板220上的像素块内控制单元14。由像素块内控制单元14解码的控制信号被发送到上侧的半导体基板210,以驱动位于上侧的半导体基板210上的像素单元1的像素100。来自像素单元1的输出信号被发送到下侧的半导体基板220,并由位于下侧的半导体基板220上的放大器5和列AD转换单元6处理。然后,其地址由位于同一下侧的半导体基板220上的水平扫描单元7指定的列上的数字信号经受由位于下侧的半导体基板220上的信号输出单元8进行的信号处理并被输出到成像设备1000的外部。

[0055] 接下来,将通过使用图5描述像素块10、11、12和13与垂直扫描单元2和水平区域控制单元3之间的连接示例。要注意的是,虽然为了简化说明,图5仅图示了四个像素块10、11、12和13,但是像素单元1中包括的像素块的数量不限于此。另外,虽然图5图示了像素块10、11、12和13中的每一个包括按两行乘两列的矩阵布置的四个像素100的情况,但是像素块10、11、12和13中的每一个中包括的像素100的数量不限于此。

[0056] 垂直扫描单元2对从定时生成单元4提供的垂直行地址信号(未示出)进行解码,并生成控制信号 $ptx[n]$ 、 $pres[n]$ 和 $psel[n]$ 。在这里,附到每个控制信号的索引 $[n]$ 表示垂直行地址的值,并且可以是任何整数。图5图示了控制信号 $ptx[0]$ 至 $ptx[3]$ 、 $pres[0]$ 至 $pres[3]$ 和 $psel[0]$ 至 $psel[3]$ 作为与垂直行地址 $[0]$ 至 $[3]$ 对应的控制信号。

[0057] 控制信号 $ptx[n]$ 、 $pres[n]$ 和 $psel[n]$ 经由为每个垂直行地址布置的控制线16被供应到包括在与垂直行地址 $[n]$ 对应的行上布置的像素100的像素块。每条控制线16被布置为在第一方向(水平方向或行方向)上延伸,以形成像素块内控制单元14或具有公共垂直行地址的像素100共用的信号线。

[0058] 控制信号 $ptx[n]$ 被提供给在与垂直行地址 $[n]$ 对应的行上布置的像素块的像素块内控制单元14。即,控制信号 $ptx[0]$ 和 $ptx[1]$ 被提供给在与垂直行地址 $[0]$ 和 $[1]$ 对应的行上布置的像素块10和11的像素块内控制单元14。控制信号 $ptx[2]$ 和 $ptx[3]$ 被提供给在与垂直行地址 $[2]$ 和 $[3]$ 对应的行上布置的像素块12和13的像素块内控制单元14。

[0059] 控制信号 $pres[n]$ 和控制信号 $psel[n]$ 被提供给在与垂直行地址 $[n]$ 对应的行上布置的像素100。即,控制信号 $pres[0]$ 和 $psel[0]$ 被提供给属于像素块10和11的像素100当中的被布置到与垂直行地址 $[0]$ 对应的行的像素100。控制信号 $pres[1]$ 和 $psel[1]$ 被提供给属于像素块10和11的像素100当中的被布置到与垂直行地址 $[1]$ 对应的行的像素100。控制信

号pres[2]和pse1[2]被提供给属于像素块12和13的像素100当中的被布置到与垂直行地址[2]对应的行的像素100。控制信号pres[3]和pse1[3]被提供给属于像素块12和13的像素100当中的被布置到与垂直行地址[3]对应的行的像素100。

[0060] 水平区域控制单元3基于从定时生成单元4提供的信号(未示出)生成控制信号hblk_1[m]和hblk_s[m]。在这里,附到每个控制信号的索引[m]表示水平块地址的值并且可以是任何整数。图5图示了控制信号hblk_1[0]、hblk_s[0]、hblk_1[1]和hblk_s[1]作为与水平块地址[0]至[1]对应的控制信号。在这里,控制信号hblk_1[m]是在控制长时间曝光时启用的控制信号。另外,控制信号hblk_s[m]是在控制短时间曝光时启用的控制信号。

[0061] 要注意的是,在本说明书中,术语“长时间曝光”是指当针对像素块单独地或者彼此独立地定义像素100的光电转换器PD的曝光时间时在相对较长的曝光时间(或相对较长的长度的积蓄时间)期间执行信号电荷的积蓄的操作。另外,术语“短时间曝光”是指当针对像素块单独地或者彼此独立地定义像素100的光电转换器PD的曝光时间时在相对较短的曝光时间(或相对较短的长度的积蓄时间)期间执行信号电荷的积蓄的操作。虽然为了简化说明,在本实施例中描述采用两个曝光时间长度的情况,但是可以采用三个或更多个曝光时间长度。在这种情况下,用于每个水平块地址的控制信号hblk的数量根据曝光时间长度的类型而增加。

[0062] 控制信号hblk_1[m]和hblk_s[m]经由为每个水平块地址布置的控制线17被供应到属于对应水平块地址[m]的像素块。每条控制线17被布置为在与第一方向交叉的第二方向(垂直方向或列方向)上延伸,以形成与具有公共水平块地址的像素块共用的信号线。

[0063] 控制信号hblk_1[m]和hblk_s[m]被提供给属于对应水平块地址[m]的像素块的像素块内控制单元14。即,控制信号hblk_1[0]和hblk_s[0]被提供给属于水平块地址[0]的像素块10和12的像素块内控制单元14。控制信号hblk_1[1]和hblk_s[1]被提供给属于水平块地址[1]的像素块11和13的像素块内控制单元14。

[0064] 像素块10、11、12和13的像素块内控制单元14中的每一个基于控制信号ptx[n]、hblk_1[m]和hblk_s[m]生成控制信号tx[m,n]。控制信号tx[m,n]被提供给与水平块地址[m]和垂直行地址[n]对应的像素块内的像素100。即,控制信号tx[0,0]被提供给像素块10的像素100当中的被布置在与垂直行地址[0]对应的行上的像素100。控制信号tx[0,1]被提供给像素块10的像素100当中的被布置在与垂直行地址[1]对应的行上的像素100。控制信号tx[1,0]被提供给像素块11的像素100当中的被布置在与垂直行地址[0]对应的行上的像素100。控制信号tx[1,1]被提供给像素块11的像素100当中的被布置在与垂直行地址[1]对应的行上的像素100。控制信号tx[0,2]被提供给像素块12的像素100当中的被布置在与垂直行地址[2]对应的行上的像素100。控制信号tx[0,3]被提供给像素块12的像素100当中的被布置在与垂直行地址[3]对应的行上的像素100。控制信号tx[1,2]被提供给像素块13的像素100当中的被布置在与垂直行地址[2]对应的行上的像素100。控制信号tx[1,3]被提供给像素块13的像素100当中的被布置在与垂直行地址[3]对应的行上的像素100。

[0065] 接下来,将通过使用图6来描述像素块内控制单元14的配置示例。例如,像素块内控制单元14可以由图6中所示的电路形成。

[0066] 像素块10的像素块内控制单元14被输入控制信号hblk_1[0]、hblk_s[0]和ptx[0],并输出控制信号tx[0,0]。当控制信号hblk_1[0]或控制信号hblk_s[0]处于高电平时,

控制信号tx[0,0]响应于控制信号ptx[0]转变为高电平而转变为高电平。另外,像素块10的像素块内控制单元14被输入控制信号hblk_1[0]、hblk_s[0]和ptx[1],并输出控制信号tx[0,1]。当控制信号hblk_1[0]或控制信号hblk_s[0]处于高电平时,控制信号tx[0,1]响应于控制信号ptx[1]转变为高电平而转变为高电平。

[0067] 另外,像素块11的像素块内控制单元14被输入控制信号hblk_1[1]、hblk_s[1]和ptx[0],并输出控制信号tx[1,0]。当控制信号hblk_1[1]或控制信号hblk_s[1]处于高电平时,控制信号tx[1,0]响应于控制信号ptx[0]转变为高电平而转变为高电平。另外,像素块11的像素块内控制单元14被输入控制信号hblk_1[1]、hblk_s[1]和ptx[1],并输出控制信号tx[1,1]。当控制信号hblk_1[1]或控制信号hblk_s[1]处于高电平时,控制信号tx[1,1]响应于控制信号ptx[1]转变为高电平而转变为高电平。

[0068] 在像素块内控制单元14中实现这种操作的电路不受特别限制,并且可以由例如如图6中所示的逻辑电路形成。图6中所示的逻辑电路包括计算控制信号hblk_1[m]和ptx[n]的逻辑积的AND门、计算控制信号hblk_s[m]和ptx[n]的逻辑积的AND门,以及计算这些输出值的逻辑和的OR门。OR门的输出是控制信号tx[m,n]。

[0069] 利用像素块内控制单元14的这种配置,可以根据控制信号hblk_1[m]和hblk_s[m]的信号电平、以像素块为单位控制是否将从垂直扫描单元2供应的控制信号ptx[n]传送到像素100。

[0070] 以这种方式,由像素块内控制单元14生成将被提供给像素100的控制信号tx[m,n]。由垂直扫描单元2生成的控制信号pres[n]和psel[n]被直接提供给在与垂直行地址[n]对应的行上布置的像素100,作为控制信号res[n]和sel[n]。如图3中所示,控制信号tx[m,n]被提供给转移晶体管M1的栅极。控制信号res[n]被提供给复位晶体管M3的栅极。控制信号sel[n]被提供给选择晶体管M5的栅极。

[0071] 接下来,将参考图7至图10描述根据本实施例的驱动成像设备的方法。图7是示意性地图示了像素单元内的每个像素块中的曝光时间的图。图8和图10是图示了根据本实施例的驱动成像设备的方法的时序图。图9是图示了根据本实施例的成像设备中的放大器和列AD转换单元的配置示例的示意图。

[0072] 在这里,如图7所示的操作被认为是单独控制像素单元1的像素块的曝光时间的示例。即,图7图示了在像素单元1中对整体上亮的像素块10和像素块13执行短时间曝光的控制,并且对整体上暗的像素块10和像素块13执行长时间曝光的控制。换句话说,可以独立于其它像素块的积蓄时间的长度来确定每个像素块的积蓄时间的长度。

[0073] 接下来,将通过使用图8来描述用于实现图7的驱动的成像设备1000的具体驱动示例。图8图示了水平同步信号HD和垂直同步信号VD,除了到目前为止所描述的控制信号,它们还是用于驱动成像设备1000的基准定时信号。在水平同步信号HD中,相邻脉冲之间的时段是一个HD时段。在这一个HD时段中,执行对于一行的像素驱动,并且执行直到成像设备的像素输出的处理。在垂直同步信号VD中,相邻脉冲之间的时段是一个VD时段。一个VD时段对应于其中执行针对一帧的像素输出的时段。

[0074] 图8图示了针对连续三帧的操作。在这三帧中,第一帧是其中执行用于长时间曝光的快门操作的帧,第二帧是其中执行用于短时间曝光的快门操作的帧,并且第三帧是其中执行用于从像素单元1读出像素信号的读出操作的帧。

[0075] 首先,将描述第一帧,第一帧是其中执行用于长时间曝光的快门操作的帧。第一帧是大约从图8中的时刻t1到时刻t8的时段。

[0076] 假设在时刻t1之前的时段中,控制信号pres[0]、pres[1]、pres[2]和pres[3]处于高电平,而其它控制信号处于低电平。

[0077] 在时刻t1,从外部供应到定时生成单元4的垂直同步信号VD和水平同步信号HD被控制为高电平,并且第一帧的第一HD时段开始。第一HD时段是驱动在与垂直行地址[0]对应的行上的像素100的时段。第一帧对应于执行用于长时间曝光的快门操作的时段,并且在第一HD时段中,控制信号hblk_1[0]和hblk_1[1]被控制,并且控制信号hblk_s[0]和hblk_s[1]维持在低电平。

[0078] 在与垂直行地址[0]对应的行上的像素100所属的像素块是对其执行短时间曝光的像素块10和对其执行长时间曝光的像素块11,如图7中所示。由于第一帧对应于执行用于长时间曝光的快门操作的时段,因此不驱动对其执行短时间曝光的像素块10的像素100,并且驱动对其执行长时间曝光的像素块11的像素100。即,一旦在时刻t1将水平同步信号HD控制为高电平,水平区域控制单元3就与水平同步信号HD同步地将控制信号hblk_1[1]从低电平控制到高电平。并将控制信号hblk_1[0]维持在低电平。

[0079] 接下来,在时刻t2,垂直扫描单元2将与垂直行地址[0]对应的行上的控制信号ptx[0]控制为高电平。由此,像素块10的像素块内控制单元14根据图6的逻辑电路输出低电平的的控制信号tx[0,0]。另外,像素块11的像素块内控制单元14根据图6的逻辑电路输出高电平的的控制信号tx[1,0]。

[0080] 由此,虽然在像素块10的与垂直行地址[0]对应的行上的像素100中不发生操作,但是在像素块11的与垂直行地址[0]对应的行上的像素100中转移晶体管M1接通。在这个时候,控制信号pres[0]处于高电平,与垂直行地址[0]对应的行上的像素100的复位晶体管M3也已经接通,并且FD节点处于复位状态。因此,当转移晶体管M1接通时,光电转换器PD经由复位晶体管M3和转移晶体管M1被复位到与电压VDD对应的电位。

[0081] 垂直扫描单元2在完成光电转换器PD的复位之后的预定定时将控制信号ptx[0]从高电平控制为低电平。由此,从像素块11的像素块内控制单元14输出的控制信号tx[1,0]也返回到低电平。控制信号tx[1,0]转变为低电平的定时是在像素块11的与垂直行地址[0]对应的行上的像素100的光电转换器PD中开始曝光时间的定时。

[0082] 在时刻t2和之后,第一帧的第二HD时段在水平同步信号HD下一次被控制为高电平的定时开始。第二HD时段是驱动与垂直行地址[1]对应的行上的像素100的时段。如前所述,第一帧对应于执行用于长时间曝光的快门操作的时段,控制信号hblk_1[0]和hblk_1[1]也在第二HD时段中被控制,并且控制信号hblk_s[0]和hblk_s[1]维持在低电平。

[0083] 与垂直行地址[1]对应的行上的像素100所属的像素块是对其执行短时间曝光的像素块10和对其执行长时间曝光的像素块11。即,与垂直行地址[0]对应的行和与垂直行地址[1]对应的行属于相同的像素块10和11。因此,在第二HD时段中对与垂直行地址[1]对应的行执行的操作与在第一HD时段中对与垂直行地址[0]对应的行执行的操作相同。

[0084] 具体而言,控制信号hblk_1[1]随后自第一HD时段起维持在高电平,并且控制信号hblk_1[0]、hblk_s[0]和hblk_s[1]维持在低电平。

[0085] 在时刻t3,垂直扫描单元2将与垂直行地址[1]对应的行上的控制信号ptx[1]控制

为高电平。由此,像素块10的像素块内控制单元14根据图6的逻辑电路输出低电平的控制信号tx[0,1]。另外,像素块11的像素块内控制单元14根据图6的逻辑电路输出高电平的控制信号tx[1,1]。

[0086] 由此,在像素块10的与垂直行地址[1]对应的行上的像素100中不发生操作的同时,在像素块11的与垂直行地址[1]对应的行上的像素100中转移晶体管M1接通。在这个时候,控制信号pres[1]处于高电平,与垂直行地址[1]对应的行上的像素100的复位晶体管M3也已经接通,并且FD节点处于复位状态。因此,当转移晶体管M1接通时,光电转换器PD经由复位晶体管M3和转移晶体管M1被复位到与电压VDD对应的电位。

[0087] 垂直扫描单元2在完成光电转换器PD的复位之后的预定定时将控制信号ptx[1]从高电平控制为低电平。由此,从像素块11的像素块内控制单元14输出的控制信号tx[1,1]也返回到低电平。控制信号tx[1,1]转变为低电平的定时是在像素块11的与垂直行地址[1]对应的行上的像素100的光电转换器PD中开始曝光时间的定时。

[0088] 在时刻t4,水平同步信号HD被控制为高电平,并且第一帧的第三HD时段开始。第三HD时段是驱动与垂直行地址[2]对应的行上的像素100的时段。如前所述,第一帧对应于执行用于长时间曝光的快门操作的时段,控制信号hblk_1[0]和hblk_1[1]也在第三HD时段中被控制,并且控制信号hblk_s[0]和hblk_s[1]维持在低电平。

[0089] 与垂直行地址[2]对应的行上的像素100所属的像素块是对其执行长时间曝光的像素块12和对其执行短时间曝光的像素块13,如图7中所示。由于第一帧对应于执行用于长时间曝光的快门操作的时段,因此不驱动对其执行短时间曝光的像素块13的像素100,并且驱动对其执行长时间曝光的像素块12的像素100。即,在与时刻t4被控制为高电平的同步信号HD同步,水平区域控制单元3将控制信号hblk_1[0]从低电平控制为高电平并将控制信号hblk_1[1]从高电平控制为低电平。

[0090] 接下来,在时刻t5,垂直扫描单元2将与垂直行地址[2]对应的行上的控制信号ptx[2]控制为高电平。由此,像素块12的像素块内控制单元14根据图6的逻辑电路输出高电平的控制信号tx[0,2]。另外,像素块13的像素块内控制单元14根据图6的逻辑电路输出低电平的控制信号tx[1,2]。

[0091] 由此,在像素块13的与垂直行地址[2]对应的行上的像素100中不发生操作的同时,在像素块12的与垂直行地址[2]对应的行上的像素100中转移晶体管M1接通。在这个时候,控制信号pres[2]处于高电平,与垂直行地址[2]对应的行上的像素100的复位晶体管M3也已经接通,并且FD节点处于复位状态。因此,当转移晶体管M1接通时,光电转换器PD经由复位晶体管M3和转移晶体管M1被复位到与电压VDD对应的电位。

[0092] 垂直扫描单元2在完成光电转换器PD的复位之后的预定定时将控制信号ptx[2]从高电平控制为低电平。由此,从像素块12的像素块内控制单元14输出的控制信号tx[0,2]也返回到低电平。控制信号tx[0,2]转变为低电平的定时是在像素块12的与垂直行地址[2]对应的行上的像素100的光电转换器PD中开始曝光时段的定时。

[0093] 在时刻t5和之后,第一帧的第四HD时段在同步信号HD下一次被控制为高电平的定时开始。第四HD时段是驱动与垂直行地址[3]对应的行上的像素100的时段。如前所述,第一帧对应于执行用于长时间曝光的快门操作的时段,控制信号hblk_1[0]和hblk_1[1]也在第四HD时段中被控制,并且控制信号hblk_s[0]和hblk_s[1]维持在低电平。

[0094] 与垂直行地址[3]对应的行上的像素100所属的像素块是对其执行长时间曝光的像素块12和对其执行短时间曝光的像素块13。即,与垂直行地址[2]对应的行和与垂直行地址[3]对应的行属于相同的像素块12和13。因此,在第四HD时段中对与垂直行地址[3]对应的行执行的操作与在第三HD时段中对与垂直行地址[2]对应的行执行的操作相同。

[0095] 具体而言,控制信号hb1k_1[0]随后自第三HD时段起维持在高电平,并且控制信号hb1k_1[1]、hb1k_s[0]和hb1k_s[1]维持在低电平。

[0096] 在时刻t6,垂直扫描单元2将与垂直行地址[3]对应的行上的控制信号ptx[3]控制为高电平。由此,像素块12的像素块内控制单元14根据图6的逻辑电路输出低电平的控制信号tx[0,3]。另外,像素块13的像素块内控制单元14根据图6的逻辑电路输出低电平的控制信号tx[1,3]。

[0097] 由此,在像素块13的与垂直行地址[3]对应的行上的像素100中不发生操作的同时,在像素块12与垂直行地址[3]对应的行上的像素100中转移晶体管M1接通。因此,控制信号pres[3]处于高电平,与垂直行地址[3]对应的行上的像素100的复位晶体管M3也已经接通,并且FD节点处于复位状态。因此,当转移晶体管M1接通时,光电转换器PD经由复位晶体管M3和转移晶体管M1被复位到与电压VDD对应的电位。

[0098] 垂直扫描单元2在完成光电转换器PD的复位之后的预定定时将控制信号ptx[3]从高电平控制为低电平。由此,从像素块12的像素块内控制单元14输出的控制信号tx[0,3]也返回到低电平。控制信号tx[0,3]转变为低电平的定时是在像素块12的与垂直行地址[3]对应的行上的像素100的光电转换器PD中开始曝光时段的定时。

[0099] 在时刻t7,水平同步信号HD被控制为高电平,并且第一帧的第四HD时段结束。水平区域控制单元3将控制信号hb1k_1[0]从高电平控制为低电平,使得控制信号ptx[n]不进入任何像素块。

[0100] 以这种方式,在第一帧中,在像素块11和12的像素100中开始信号电荷的积蓄,并且不对像素块10和13的像素100执行操作。

[0101] 接下来,将描述第二帧,第二帧是执行用于短时间曝光的快门操作的帧。第二帧与图8中大约从时刻t8到时刻t15的时段对应。在第二帧中,开始像素块10和13的像素100中的信号电荷的积蓄,而不中断像素块11和12的像素100中的信号电荷的积蓄操作。

[0102] 在时刻t8,垂直同步信号VD和水平同步信号HD被控制为高电平,并且第二帧的第一HD时段开始。第一HD时段是驱动与垂直行地址[0]对应的行上的像素100的时段。第二帧对应于执行用于短时间曝光的快门操作的时段,并且在第一HD时段中,控制信号hb1k_s[0]和hb1k_s[1]被控制,并且控制信号hb1k_1[0]和hb1k_1[1]维持在低电平。

[0103] 与垂直行地址[0]对应的行上的像素100所属的像素块是对其执行短时间曝光的像素块10和对其执行长时间曝光的像素块11,如图7中所示。由于第二帧对应于执行用于短时间曝光的快门操作的时段,因此不驱动对其执行长时间曝光的像素块11的像素100,并且驱动对其执行短时间曝光的像素块10的像素100。即,一旦在时刻t8将水平同步信号HD控制为高电平,水平区域控制单元3就与水平同步信号HD同步地将控制信号hb1k_s[0]从低电平控制为高电平,并将控制信号hb1k_s[1]维持在低电平。

[0104] 接下来,在时刻t9,垂直扫描单元2将与垂直行地址[0]对应的行上的控制信号ptx[0]控制为高电平。由此,像素块10的像素块内控制单元14根据图6的逻辑电路输出高电平

的控制信号tx[0,0]。另外,像素块11的像素块内控制单元14根据图6的逻辑电路输出低电平的控制信号tx[1,0]。

[0105] 由此,在像素块11的与垂直行地址[0]对应的行上的像素100中不发生操作的同时,在像素块10的与垂直行地址[0]对应的行上的像素100中转移晶体管M1接通。在这个时候,控制信号pres[0]处于高电平,与垂直行地址[0]对应的行上的像素100的复位晶体管M3也已经接通,并且FD节点处于复位状态。因此,当转移晶体管M1接通时,光电转换器PD经由复位晶体管M3和转移晶体管M1被复位到与电压VDD对应的电位。

[0106] 垂直扫描单元2在完成光电转换器PD的复位之后的预定定时将控制信号ptx[0]从高电平控制为低电平。由此,从像素块10的像素块内控制单元14输出的控制信号tx[0,0]也返回到低电平。控制信号tx[0,0]转变为低电平的定时是在像素块10的与垂直行地址[0]对应的行上的像素100的光电转换器PD中开始曝光时段的定时。

[0107] 在时刻t9和之后,第二帧的第二HD时段在水平同步信号HD下一次被控制为高电平的定时开始。第二HD时段是驱动与垂直行地址[1]对应的行上的像素100的时段。如前所述,第二帧对应于执行用于短时间曝光的快门操作的时段,控制信号hblk_s[0]和hblk_s[1]也在第二HD时段中被控制,并且控制信号hblk_1[0]和hblk_1[1]维持在低电平。

[0108] 与垂直行地址[1]对应的行上的像素100所属的像素块是对其执行短时间曝光的像素块10和对其执行长时间曝光的像素块11。即,与垂直行地址[0]对应的行和与垂直行地址[1]对应的行属于相同的像素块10和11。因此,在第二HD时段中对与垂直行地址[1]对应的行执行的操作与在第一HD时段中对与垂直行地址[0]对应的行执行的操作相同。

[0109] 具体而言,控制信号hblk_s[0]随后自第一HD时段起维持在高电平,控制信号hblk_s[1]、hblk_1[0]和hblk_1[1]维持在低电平。

[0110] 在时刻t10,垂直扫描单元2将与垂直行地址[1]对应的行上的控制信号ptx[1]控制为高电平。由此,像素块10的像素块内控制单元14根据图6的逻辑电路输出低电平的控制信号tx[0,1]。另外,像素块11的像素块内控制单元14根据图6的逻辑电路输出低电平的控制信号tx[1,1]。

[0111] 由此,在像素块11的与垂直行地址[1]对应的行上的像素100中不发生操作的同时,在像素块10的与垂直行地址[1]对应的行上的像素100中转移晶体管M1接通。在这个时候,控制信号pres[1]处于高电平,与垂直行地址[1]对应的行上的像素100的复位晶体管M3也已经接通,并且FD节点处于复位状态。因此,当转移晶体管M1接通时,光电转换器PD经由复位晶体管M3和转移晶体管M1被复位到与电压VDD对应的电位。

[0112] 垂直扫描单元2在完成光电转换器PD的复位之后的预定定时将控制信号ptx[1]从高电平控制为低电平。由此,从像素块10的像素块内控制单元14输出的控制信号tx[0,1]也返回到低电平。控制信号tx[0,1]转变为低电平的定时是在像素块10的与垂直行地址[1]对应的行上的像素100的光电转换器PD中开始曝光时间的定时。

[0113] 在时刻t11,水平同步信号HD被控制为高电平,并且第二帧的第三HD时段开始。第三HD时段是驱动与垂直行地址[2]对应的行上的像素100的时段。如前所述,第二帧对应于执行用于短时间曝光的快门操作的时段,控制信号hblk_s[0]和hblk_s[1]也在第三HD时段中被控制,并且控制信号hblk_1[0]和hblk_1[1]位置在低电平。

[0114] 与垂直行地址[2]对应的行上的像素100所属的像素块是对其执行长时间曝光的

像素块12和对其执行短时间曝光的像素块13,如图7中所示。由于第二帧与执行用于短时间曝光的快门操作的时段对应,因此不驱动对其执行长时间曝光的像素块12的像素100,并且驱动对其执行短时间曝光的像素块13的像素100。即,与在时刻t11被控制为高电位的水平同步信号HD同步,水平区域控制单元3将控制信号hblk_s[0]从高电平控制为低电平并将控制信号hblk_s[1]从低电平控制为高电平。

[0115] 接下来,在时刻t12,垂直扫描单元2将与垂直行地址[2]对应的行上的控制信号ptx[2]控制为高电平。由此,像素块12的像素块内控制单元14根据图6的逻辑电路输出低电位的控制信号tx[0,2]。另外,像素块13的像素块内控制单元14根据图6的逻辑电路输出低电位的控制信号tx[1,2]。

[0116] 由此,在与像素块12的垂直行地址[2]对应的行上的像素100中不发生操作的同时,在像素块13的与垂直行地址[2]对应的行上的像素100中转移晶体管M1接通。同时,控制信号pres[2]处于高电平,与垂直行地址[2]对应的行上的像素100的复位晶体管M3也已经接通,并且FD节点处于复位状态。因此,当转移晶体管M1接通时,光电转换器PD经由复位晶体管M3和转移晶体管M1被复位到与电压VDD对应的电位。

[0117] 垂直扫描单元2在完成光电转换器PD的复位之后的预定定时将控制信号ptx[2]从高电平控制为低电平。由此,从像素块13的像素块内控制单元14输出的控制信号tx[1,2]也返回到低电平。控制信号tx[1,2]转变为低电位的定时是在像素块13的与垂直行地址[2]对应的行上的像素100的光电转换器PD中开始曝光时间的定时。

[0118] 在时刻t12和之后,第二帧的第四HD时段在水平同步信号HD被下一次控制为高电位的定时开始。第四HD时段是驱动与垂直行地址[3]对应的行上的像素100的时段。如前所述,第二帧对应于执行用于短时间曝光的快门操作的时段,控制信号hblk_s[0]和hblk_s[1]也在第四HD时段中被控制,并且控制信号hblk_1[0]和hblk_1[1]维持在低电平。

[0119] 与垂直行地址[3]对应的行上的像素100所属的像素块是对其执行长时间曝光的像素块12和对其执行短时间曝光的像素块13。即,与垂直行地址[2]对应的行和与垂直行地址[3]对应的行属于相同的像素块12和13。因此,在第四HD时段中对与垂直行地址[3]对应的行执行的操作与在第三HD时段中对与垂直行地址[2]对应的行执行的操作相同。

[0120] 具体而言,控制信号hblk_s[1]随后自第三HD时段起维持在高电平,控制信号hblk_s[0]、hblk_1[0]和hblk_1[1]维持在低电平。

[0121] 在时刻t13,垂直扫描单元2将与垂直行地址[3]对应的行上的控制信号ptx[3]控制为高电平。由此,像素块12的像素块内控制单元14根据图6的逻辑电路输出低电位的控制信号tx[0,3]。另外,像素块13的像素块内控制单元14根据图6的逻辑电路输出高电位的控制信号tx[1,3]。

[0122] 由此,在与像素块12的垂直行地址[3]对应的行上的像素100中不发生操作的同时,在像素块13的与垂直行地址[3]对应的行上的像素100中转移晶体管M1接通。在这个时候,控制信号pres[3]处于高电平,与垂直行地址[3]对应的行上的像素100的复位晶体管M3也已经接通,并且FD节点处于复位状态。因此,当转移晶体管M1接通时,光电转换器PD经由复位晶体管M3和转移晶体管M1被复位到与电压VDD对应的电位。

[0123] 垂直扫描单元2在完成光电转换器PD的复位之后的预定定时将控制信号ptx[3]从高电平控制为低电平。由此,从像素块13的像素块内控制单元14输出的控制信号tx[1,3]也

返回到低电平。控制信号 $tx[1,3]$ 转变为低电平的定时是在像素块13的与垂直行地址[3]对应的行上的像素100的光电转换器PD中开始曝光时间的定时。

[0124] 在时刻 t_{14} ,水平同步信号HD被控制为高电平,并且第二帧的第四HD时段结束。水平区域控制单元3将控制信号 $hblk_s[1]$ 从高电平控制为低电平,使得控制信号 $ptx[n]$ 不进入任何像素块。

[0125] 以这种方式,在第二帧中,在像素块10和13的像素100中开始信号电荷的积蓄,并且不对像素块11和12的像素100执行操作。

[0126] 接下来,将描述第三帧,第三帧是从像素单元1读出像素信号的读出操作的帧。第三帧从图8中的大约时刻 t_{15} 开始。在这个示例中,把向垂直输出线106输出基于在像素100的光电转换器PD中积蓄的信号电荷量的信号 V_{out} 的操作描述为在第三帧中执行的操作。

[0127] 在时刻 t_{15} ,垂直同步信号VD和水平同步信号HD被控制为高电平,并且第三帧的第一HD时段开始。

[0128] 在第三帧中,执行属于所有像素块的像素100的信号的读出。因而,水平区域控制单元3在第三帧的整个时段内将控制信号 $hblk_l[0]$ 、 $hblk_l[1]$ 、 $hblk_s[0]$ 和 $hblk_s[1]$ 维持在高电平。由此,控制信号 $ptx[n]$ 将被输入到位于与垂直行地址[n]对应的行上的所有像素块的像素块内控制单元14。

[0129] 在第一HD时段中,执行属于与垂直行地址[0]对应的行的像素100的信号的读出。响应于在时刻 t_{15} 水平同步信号HD被控制为高电平,垂直扫描单元2将控制信号 $pres[0]$ 从高电平控制为低电平,并且与水平同步信号HD同步地将控制信号 $pse1[0]$ 从低电平控制为高电平。由此,属于与垂直行地址[0]对应的行的每个像素100的复位晶体管M3关断,并且FD节点的复位状态解除。另外,属于与垂直行地址[0]对应的行的每个像素100的选择晶体管M5接通以具有可以将像素100的信号输出到垂直输出线106的状态。

[0130] 在时刻 t_{16} ,垂直扫描单元2将与垂直行地址[0]对应的行的控制信号 $ptx[0]$ 控制为高电平。如前所述,由于控制信号 $hblk_l[0]$ 和 $hblk_s[0]$ 处于高电平,因此高电平控制信号 $tx[0,0]$ 被输入到像素块10的属于与垂直行地址[0]对应的行的像素100。另外,由于控制信号 $hblk_l[1]$ 和 $hblk_s[1]$ 处于高电平,因此高电平控制信号 $tx[1,0]$ 被输入到像素块11的属于与垂直行地址[0]对应的行的像素100。由此,在属于与垂直行地址[0]对应的行的所有像素100中转移晶体管M1接通,并且积蓄在光电转换器PD中的信号电荷被转移到FD节点。

[0131] 然后,由垂直扫描单元2将与垂直行地址[0]对应的行上的控制信号 $ptx[0]$ 控制为低电平,并且在属于与垂直行地址[0]对应的行的所有像素100中转移晶体管M1关断。由此,FD节点的电位是固定的,并且与转移到FD节点的信号电荷量对应的信号经由放大器晶体管M4和选择晶体管M5输出到垂直输出线106。转移晶体管M1被控制关断的定时(即,控制信号 $ptx[0]$ 从高电平转变为低电平的定时)是在与垂直行地址[0]对应的行上的长时间曝光和短时间曝光的曝光时段结束的定时。

[0132] 在时刻 t_{17} ,水平同步信号HD被控制为高电平,第三帧的第一HD时段结束,并且第三帧的第二HD时段开始。

[0133] 在时刻 t_{17} ,与水平同步信号HD同步地,垂直扫描单元2将控制信号 $pres[0]$ 从低电平控制为高电平,以将控制信号 $pse1[0]$ 从高电平控制为低电平。由此,属于与垂直行地址[0]对应的行的每个像素100的复位晶体管M3接通,并且FD节点再次进入复位状态。另外,属

于与垂直行地址[0]对应的行的每个像素100的选择晶体管M5关断,并且像素100与垂直输出线106分离。由此,第一HD时段的一系列处理结束。

[0134] 类似地,在时刻t17,与水平同步信号HD同步地,垂直扫描单元2将控制信号pres[1]从高电平控制为低电平,以将控制信号pse1[1]从低电平控制为高电平。由此,属于与垂直行地址[1]对应的行的每个像素100的复位晶体管M3关断,并且FD节点的复位状态解除。另外,属于与垂直行地址[1]对应的行的每个像素100的选择晶体管M5接通以具有可以将像素100的信号输出到垂直输出线106的状态。

[0135] 在时刻t18,垂直扫描单元2将与垂直行地址[1]对应的行的控制信号ptx[1]控制为高电平。如前所述,由于控制信号hb1k_1[1]和hb1k_s[1]处于高电平,因此高电平控制信号tx[0,1]被输入到像素块10的属于与垂直行地址[1]对应的行的像素100。另外,由于控制信号hb1k_1[1]和hb1k_s[1]处于高电平,因此高电平控制信号tx[1,1]被输入到像素块11的属于与垂直行地址[1]对应的行的像素100。由此,在属于与垂直行地址[1]对应的行的所有像素100中转移晶体管M1接通,并且积蓄在光电转换器PD中的信号电荷被转移到FD节点。

[0136] 然后,垂直扫描单元2将与垂直行地址[1]对应的行上的控制信号ptx[1]控制为低电平,并且在属于与垂直行地址[1]对应的行的所有像素100中转移晶体管M1关断。由此,FD节点的电位是固定的,并且与转移到FD节点的信号电荷量对应的信号经由放大器晶体管M4和选择晶体管M5输出到垂直输出线106。转移晶体管M1被控制关断的定时(即,控制信号ptx[1]从高电平转变为低电平的定时)是对与垂直行地址[1]对应的行上的长时间曝光和短时间曝光的曝光时段结束的定时。

[0137] 在时刻t19,水平同步信号HD被控制为高电平,第三帧的第二HD时段结束,并且第三帧的第三HD时段开始。

[0138] 在时刻t19,与水平同步信号HD同步地,垂直扫描单元2将控制信号pres[1]从低电平控制为高电平,以将控制信号pse1[1]从高电平控制为低电平。由此,属于与垂直行地址[1]对应的行的每个像素100的复位晶体管M3接通,并且FD节点再次进入复位状态。另外,属于与垂直行地址[1]对应的行的每个像素100的选择晶体管M5关断,并且像素100与垂直输出线106分离。由此,第二HD时段的一系列处理结束。

[0139] 类似地,在时刻t19,与水平同步信号HD同步地,垂直扫描单元2将控制信号pres[2]从高电平控制为低电平,以将控制信号pse1[2]从低电平控制为高电平。由此,属于与垂直行地址[2]对应的行的每个像素100的复位晶体管M3关断,并且FD节点的复位状态解除。另外,属于与垂直行地址[2]对应的行的每个像素100的选择晶体管M5接通以具有可以将像素100的信号输出到垂直输出线106的状态。

[0140] 在时刻t20,垂直扫描单元2将与垂直行地址[2]对应的行的控制信号ptx[2]控制为高电平。如前所述,由于控制信号hb1k_1[0]和hb1k_s[0]处于高电平,因此高电平控制信号tx[0,2]被输入到像素块12的属于与垂直行地址[2]对应的行的像素100。另外,由于控制信号hb1k_1[1]和hb1k_s[1]处于高电平,因此高电平控制信号tx[1,2]被输入到像素块13的属于与垂直行地址[2]对应的行的像素100。由此,转移晶体管M1在属于与垂直行地址[2]对应的行的所有像素100中接通,并且积蓄在光电转换器PD中的信号电荷被转移到FD节点。

[0141] 然后,垂直扫描单元2将与垂直行地址[2]对应的行上的控制信号ptx[2]控制为低电平,并且在属于与垂直行地址[2]对应的行的所有像素100中转移晶体管M1关断。由此,FD

节点的电位是固定的,并且与转移到FD节点的信号电荷量对应的信号经由放大器晶体管M4和选择晶体管M5输出到垂直输出线106。转移晶体管M1被控制关断的定时(即,控制信号ptx[2]从高电平转变为低电平的定时)是对与垂直行地址[2]对应的行上的长时间曝光和短时间曝光的曝光时段结束的定时。

[0142] 在时刻t21,水平同步信号HD被控制为高电平,第三帧的第三HD时段结束,并且第三帧的第四HD时段开始。

[0143] 在时刻t21,与水平同步信号HD同步地,垂直扫描单元2将控制信号pres[2]从低电平控制为高电平,以将控制信号pse1[2]从高电平控制为低电平。由此,属于与垂直行地址[2]对应的行的每个像素100的复位晶体管M3接通,并且FD节点再次进入复位状态。另外,属于与垂直行地址[2]对应的行的每个像素100的选择晶体管M5关断,并且像素100与垂直输出线106分离。由此,第三HD时段的一系列处理结束。

[0144] 类似地,在时刻t21,与水平同步信号HD同步地,垂直扫描单元2将控制信号pres[3]从高电平控制为低电平,以将控制信号pse1[3]从低电平控制为高电平。由此,属于与垂直行地址[3]对应的行的每个像素100的复位晶体管M3关断,并且FD节点的复位状态解除。另外,属于与垂直行地址[3]对应的行的每个像素100的选择晶体管M5接通以具有可以将像素100的信号输出到垂直输出线106的状态。

[0145] 在时刻t22,垂直扫描单元2将与垂直行地址[3]对应的行的控制信号ptx[3]控制为高电平。如前所述,由于控制信号hblk_1[0]和hblk_s[0]处于高电平,因此高电平控制信号tx[0,3]被输入到像素块12的属于与垂直行地址[3]对应的行的像素100。另外,由于控制信号hblk_1[1]和hblk_s[1]处于高电平,因此高电平控制信号tx[1,3]被输入到像素块13的属于与垂直行地址[3]对应的行的像素100。由此,在属于与垂直行地址[3]对应的行的所有像素100中转移晶体管M1接通,并且积蓄在光电转换器PD中的信号电荷被转移到FD节点。

[0146] 然后,由垂直扫描单元2将与垂直行地址[3]对应的行上的控制信号ptx[3]控制为低电平,并且在属于与垂直行地址[3]对应的行的所有像素100中转移晶体管M1关断。由此,FD节点的电位是固定的,并且与转移到FD节点的信号电荷量对应的信号经由放大器晶体管M4和选择晶体管M5输出到垂直输出线106。转移晶体管M1被控制关断的定时(即,控制信号ptx[3]从高电平转变为低电平的定时)是对与垂直行地址[3]对应的行上的长时间曝光和短时间曝光的曝光时段结束的定时。

[0147] 在时刻t23,与水平同步信号HD同步地,垂直扫描单元2将控制信号pres[3]从低电平控制为高电平,以将控制信号pse1[3]从高电平控制为低电平。由此,属于与垂直行地址[3]对应的行的每个像素100的复位晶体管M3接通,并且FD节点再次进入复位状态。另外,属于与垂直行地址[3]对应的行的每个像素100的选择晶体管M5关断,并且像素100与垂直输出线106分离。由此,第四HD时段的一系列处理结束。

[0148] 如上所述的成像设备1000的这种驱动使得能够基于像素块来控制快门操作。

[0149] 接下来,将参考图9和图10描述对从像素单元1读出的信号Vout执行的处理,同时图示了放大器5和列AD转换单元6的更具体的配置。

[0150] 如图9中所示,放大器5包括与形成像素单元1的像素100的各列对应的多个列放大器50。每个列放大器50包括列放大器500和列放大器501。列放大器500和501的输入端并连接到对应列上的垂直输出线106。可以为列放大器500和列放大器501设置彼此不同的增

益。列放大器500和501的增益设置值由定时生成单元4预设,并且利用从定时生成单元4输出的设置值 r_gain1 和 r_gain2 被提供给列放大器500和501。列放大器500从输出端子输出以预定增益(设置值 r_gain1)放大的信号作为信号 $amp1$ 。列放大器501从输出端子输出以预定增益(设置值 r_gain2)放大的信号作为信号 $amp2$ 。

[0151] 如图9中所示,列AD转换单元6在每一列上包括与列放大器50的列放大器500和列放大器501中的每一个相关联的采样及保持电路60、AD转换器电路61和存储器62。采样及保持电路60暂时保持从列放大器50的列放大器500输出的信号 $amp1$ (或从列放大器501输出的信号 $amp2$)。AD转换器电路61将保持在采样及保持电路60中的作为模拟信号的信号 $amp1$ (或从列放大器501输出的信号 $amp2$)转换成数字信号。例如,AD转换器电路61通过使用比较器(未示出)将保持在采样及保持电路60中的信号与从另一个块提供的斜坡信号进行比较,并将与直到这些信号的电平关系改变为止的时间对应的计数值设置为数字值。存储器62以比特为单位保持由AD转换器电路61转换的信号的数字值。

[0152] 图10是更详细地图示图8的时序图(从时刻 $t15$ 到时刻 $t17$)中第三帧的第一HD时段的操作的时序图。图10中的时刻 $t24$ 、时刻 $t25$ 和时刻 $t27$ 与图8中的时刻 $t15$ 、时刻 $t16$ 和时刻 $t17$ 对应。

[0153] 如前所述,控制信号 $hblk_1[0]$ 、 $hblk_1[1]$ 、 $hblk_s[0]$ 、 $hblk_s[1]$ 、 $pse1[0]$ 在第三帧的第一HD时段的整个时段内处于高电平,并且控制信号 $pres[0]$ 处于低电平。

[0154] 在从时刻 $t25$ 到时刻 $t26$ 的时段中,垂直扫描单元2将与垂直行地址[0]对应的行上的控制信号 $ptx[0]$ 控制为高电平。由此,被输入到像素块10的属于与垂直行地址[0]对应的行的像素100的控制信号 $tx[0,0]$ 转变为高电平。另外,被输入到像素块11的属于与垂直行地址[0]对应的行的像素100的控制信号 $tx[1,0]$ 转变为高电平。

[0155] 由此,在属于与垂直行地址[0]对应的行的所有像素100中,转移晶体管M1接通,并且积蓄在光电转换器PD中的信号电荷被转移到FD节点。然后,与转移到FD节点的信号电荷量对应的信号经由放大器晶体管M4和选择晶体管M5输出到垂直输出线106。

[0156] 图10将从像素块10的像素100输出的信号表示为 $Vout[0,0]$,以及将从像素块11的像素100输出的信号表示为 $Vout[1,0]$ 。要注意的是,图10指示在时刻 $t25$ 之前信号 $Vout$ 处于电平低的状态,并且在时刻 $t25$ 和之后信号 $Vout$ 处于电平高的状态。由于如图7中所示像素块10整体上是亮的,因此信号 $Vout[0,0]$ 处于相对较高的电平。另一方面,由于如图7中所示像素块11整体上是暗的,因此信号 $Vout[1,0]$ 处于相对较低的电平。

[0157] 在从垂直输出线106输出信号 $Vout$ 的同时,定时生成单元4将设置值 r_gain1 输出到列放大器500,并将设置值 r_gain2 输出到列放大器501。作为这里的示例,设置值 r_gain1 被设置为使信号 $Vout$ 乘以0.5,并且设置值 r_gain2 被设置为使信号 $Vout$ 乘以2。

[0158] 由此,从在与像素块10对应的列上的列放大器500和501输出通过使信号 $Vout[0,0]$ 乘以0.5而获得的具有降低电平的信号 $amp1[0,0]$ 和 $amp2[0,0]$,其中信号 $Vout[0,0]$ 的电平原本是高的。另一方面,从在与像素块11对应的列上的列放大器500和501输出通过使信号 $Vout[1,0]$ 乘以2而获得的具有增加电平的信号 $amp1[1,0]$ 和 $amp2[1,0]$,其中信号 $Vout[1,0]$ 的电平原本是低的。

[0159] 在控制信号 $ptx[0]$ 在时刻 $t26$ 从高电平转变为低电平之后,由于控制信号 $pse1$ 仍然处于高电平,因此信号 $Vout$ 保持原样。类似地,0.5倍输出被保持作为信号 $amp1$,2倍输出

被保持作为信号amp2。

[0160] 如上所述,在本实施例中,在可以以像素块为单位控制曝光时间的成像设备中,可以以多种类型的增益放大输出信号。因此,例如,利用其中以高增益放大暗(低电平)信号并且以低增益放大亮(高电平)信号的配置,可以获取被摄体到背景上的加黑阴影或高光溢出得到抑制的图像。

[0161] [第二实施例]

[0162] 将参考图11和图12描述根据本发明第二实施例的成像设备及其驱动方法。与根据第一实施例的成像设备的部件类似的部件用相同的标号标记,并且将省略或简化其描述。

[0163] 在根据第一实施例的成像设备中,在列放大器50中设有两个列放大器500和501,并且信号amp1和amp2同时从这两个列放大器500和501获得。在本实施例中,将描述被配置为切换列放大器50中包括的一个列放大器的增益并且以时分方式输出信号amp1和信号amp2的成像设备。

[0164] 首先,将通过使用图11描述根据本实施例的成像设备。图11是图示了根据本实施例的成像设备中的放大器的列放大器的配置示例的电路图。

[0165] 除了列放大器50的配置不同之外,根据本实施例的成像设备与根据第一实施例的成像设备相同。即,如图11中所示,根据本实施例的成像设备的列放大器50包括:列放大器500,电容器503、506、510和511,以及开关502、504、505、507、508和509。

[0166] 开关502的一个端子和开关505的一个端子连接到垂直输出线106。开关502的另一个端子连接到电容器503的一个端子和开关504的一个端子。电容器503的另一个端子连接到接地节点。开关505的另一个端子和开关504的另一个端子连接到电容器506的一个端子。电容器506的另一个端子连接到开关507的一个端子、开关508的一个端子、开关509的一个端子和列放大器500的一个输入端子。电压vc0r被供应到列放大器500的另一个输入端子。开关507的另一个端子连接到电容器511的一个端子。开关508的另一个端子连接到电容器510的一个端子。列放大器500的输出端子(其也是列放大器50的输出端子)连接到开关509的另一个端子、电容器510的另一个端子和电容器511的另一个端子。列放大器500是例如差分放大器,上述一个输入端子是例如反相输入端子,并且上述另一个输入端子是例如非反相输入端子。

[0167] 开关502的连接状态(导通/非导通)由控制信号pshn控制。开关504的连接状态由控制信号psw控制。开关505的连接状态由控制信号pshs控制。开关507的连接状态由控制信号p_gain1控制。开关508的连接状态由控制信号p_gain2控制。开关509的连接状态由控制信号pc0r控制。这里假设开关502、504、505、507、508和509中的每一个在对应的控制信号处于高电平时接通(导通状态)并且在对应的控制信号处于低电平时关断(非导通状态)。

[0168] 接下来,将通过使用图12描述根据本实施例的驱动成像设备的方法。图12是图示了根据本实施例的驱动成像设备的方法的时序图。

[0169] 除了图8的时序图中的第三帧的操作不同之外,根据本实施例的驱动成像设备的方法与根据第一实施例的驱动成像设备的方法基本相同。在本实施例中第一次出现的控制信号pc0r、pshs、pshn、pshn、psw、p_gain1和p_gain2在第一帧和第二帧的时段期间维持在低电平。

[0170] 图12对应于图8的时序图中的第三帧的第一HD时段。图12中的时刻t28和时刻t32

对应于图8中的时刻t15和时刻t16。

[0171] 如前所述,控制信号hblk₁[0]、hblk₁[1]、hblk_s[0]和hblk_s[1] (未示出)在第三帧的第一HD时段的整个时段内处于高电平。另外,控制信号pres[0]处于低电平,并且控制信号pse1[0]处于高电平。

[0172] 首先,在将控制信号ptx[0]控制为高电平的时刻t32之前的时刻t29,定时生成单元4将控制信号pc0r、pshs、pshn和psw从低电平控制为高电平。由此,开关509、505、502和504接通。

[0173] 开关509是列放大器500的复位开关。当开关509接通时,列放大器500的一个输入端子和输出端子彼此连接以形成电压跟随器,并且列放大器500的输出电压被复位到电压vc0r。在这个时候,当开关509和开关505、502和504同时接通时,电容器503和506也被复位到电压vc0r。

[0174] 接下来,在时刻t30,定时生成单元4将控制信号pc0r从高电平控制为低电平。由此,开关509关断,并且列放大器500的复位状态解除。此时,定时生成单元4将控制信号pshs、pshn和psw维持在高电平。由此,被输出到垂直输出线106的信号Vout(N信号)保持在电容器503和506中。

[0175] 接下来,在时刻t31,定时生成单元4将控制信号pshs、pshn和psw从高电平控制为低电平。由此,完成了N信号在电容器503和506中的保持。

[0176] 接下来,在从时刻t32到时刻t33的时段中,垂直扫描单元2将与垂直行地址[0]对应的行上的控制信号ptx[0]控制为高电平。由此,被输入到像素块10的属于与垂直行地址[0]对应的行的像素100的控制信号tx[0,0]转变为高电平。另外,被输入到像素块11的属于与垂直行地址[0]对应的行的像素100的控制信号tx[1,0]转变为高电平。

[0177] 由此,在像素块10的属于与垂直行地址[0]对应的行的每个像素100中,转移晶体管M1接通,并且积蓄在光电转换器PD中的信号电荷被转移到FD节点。然后,与转移到FD节点的信号电荷量对应的信号Vout[0,0]经由放大器晶体管M4和选择晶体管M5被输出到对应列上的垂直输出线106。另外,在像素块11的属于与垂直行地址[0]对应的行的每个像素100中,转移晶体管M1接通,并且积蓄在光电转换器PD中的信号电荷被转移到FD节点。然后,与转移到FD节点的信号电荷量对应的信号Vout[1,0]经由放大器晶体管M4和选择晶体管M5输出到对应列上的垂直输出线106。

[0178] 另外,类似地,在从时刻t32到时刻t33的时段中,定时生成单元4将控制信号pshs从低电平控制为高电平。由此,开关505接通,并且垂直输出线106和电容器506的一个端子彼此连接。由此,在连接到像素块10的像素100的列放大器50中,来自像素100的信号Vout[0,0]作为变化分量经由其中保持有N信号的电容器506被输入到列放大器500。另外,在连接到像素块11的像素100的列放大器50中,来自像素100的信号Vout[1,0]作为变化分量经由其中保持有N信号的电容器506被输入到列放大器500。

[0179] 另外,在从时刻t32到时刻t34的时段中,定时生成单元4将控制信号p_gain1从低电平控制为高电平。由此,开关507接通,并且形成第一反馈路径,在第一反馈路径中列放大器500的一个输入端子和输出端子经由电容器511彼此连接。由此,连接到像素块10的像素100的列放大器50的列放大器500输出通过以C0/C1倍的增益放大来自像素100的信号Vout[0,0]而获得的信号amp[0,0]。另外,连接到像素块11的像素100的列放大器50的列放大器

500输出通过以增益 $C0/C1$ 倍放大来自像素100的信号 $Vout[1,0]$ 而获得的信号 $amp[1,0]$ 。

[0180] 在这里,值 $C0$ 是电容器506的电容值,并且值 $C1$ 是电容器511的电容值。当电容比 $C0/C1$ 倍为0.5时,从列放大器500输出的信号 $amp[0,0]$ 对应于图10的 $amp1[0,0]$,并且从列放大器500输出的信号 $amp[1,0]$ 对应于图10的 $amp1[1,0]$ 。

[0181] 接下来,在从时刻 $t34$ 到时刻 $t35$ 的时段中,定时生成单元4将控制信号 $pc0r$ 从低电平控制为高电平。由此,开关509接通,列放大器500的输出电压(信号 $amp[0,0]$ 或 $amp[1,0]$)被复位到电压 $vc0r$,并且电容器506类似地复位到电压 $vc0r$ 。

[0182] 接下来,在从时刻 $t35$ 到时刻 $t36$ 的时段中,定时生成单元4将控制信号 psw 从低电平控制为高电平。由此,开关504接通,并且保持在电容器503中的 N 信号被传送到电容器506。

[0183] 接下来,在时刻 $t37$,定时生成单元4将控制信号 $pshs$ 从低电平控制为高电平。由此,开关505接通,并且垂直输出线106和电容器506的一个端子彼此连接。由此,在连接到像素块10的像素100的列放大器50中,来自像素100的信号 $Vout[0,0]$ 作为变化分量经由其中保持有 N 信号的电容器506被输入到列放大器500。另外,在连接到像素块11的像素100的列放大器50中,来自像素100的信号 $Vout[1,0]$ 作为变化分量经由其中保持有 N 信号的电容器506被输入到列放大器500。

[0184] 另外,类似地,在时刻 $t37$,定时生成单元4将控制信号 p_gain2 从低电平控制为高电平。由此,开关508接通,形成其中列放大器500的一个输入端子和输出端子经由电容器510彼此连接的第二反馈路径。由此,连接到像素块10的像素100的列放大器50的列放大器500输出通过以 $C0/C2$ 倍的增益放大来自像素100的信号 $Vout[0,0]$ 而获得的信号 $amp[0,0]$ 。另外,连接到像素块11的像素100的列放大器50的列放大器500输出通过以 $C0/C2$ 倍的增益放大来自像素100的信号 $Vout[1,0]$ 而获得的信号 $amp[1,0]$ 。

[0185] 在这里,值 $C0$ 是电容器506的电容值,并且值 $C2$ 是电容器510的电容值。当电容比 $C0/C2$ 倍为2时,从列放大器500输出的信号 $amp[0,0]$ 对应于图10的 $amp2[0,0]$,并且从列放大器500输出的信号 $amp[1,0]$ 对应于图10的 $amp2[1,0]$ 。

[0186] 如上所述,根据本实施例,在可以以像素块为单位控制曝光时间的成像设备中,即使当以时分方式切换列放大器500的增益时,输出信号也可以以多种类型的增益被放大。因此,例如,利用其中以高增益放大暗(低电平)信号并且以低增益放大亮(高电平)信号的配置,可以获取被摄体到背景上的加黑阴影或高光溢出得到抑制的图像。另外,根据本实施例的配置,由于列放大器50不需要包括多个相同的放大器电路,因此也可以防止放大器5的电路面积的增加。

[0187] 要注意的是,在第一实施例中,由于同时输出信号 $amp1$ 和信号 $amp2$,因此列AD转换单元6需要在每一列上包括两组采样及保持电路60、AD转换器电路61和存储器62。相反,在本实施例中,由于信号 $amp1$ 和信号 $amp2$ 以时分方式输出,因此在每一列上有至少一组采样及保持电路60和AD转换器电路61就足够了。每一列上的存储器62可以由保持信号 $amp1$ 的数字值的存储器和保持信号 $amp2$ 的数字值的存储器形成。

[0188] [第三实施例]

[0189] 将参考图13至图17描述根据本发明第三实施例的成像设备及其驱动方法。与根据第一和第二实施例的成像设备的部件类似的部件用相同的标号标记,并且将省略或简化其

描述。

[0190] 首先,将通过使用图13至图16描述根据本实施例的成像设备的结构。图13是图示了根据本实施例的成像设备的一般配置的框图。图14是图示了根据本实施例的成像设备中的像素的配置示例的电路图。图15是图示了根据本实施例的成像设备中的像素块与垂直扫描单元和水平区域控制单元之间的连接示例的电路图。图16是图示了根据本实施例的成像设备中的像素块内控制单元的配置示例的电路图。

[0191] 如图13中所示,根据本实施例的成像设备1000包括像素单元1、垂直扫描单元2、水平区域控制单元3、定时生成单元4、列AD转换单元6、水平扫描单元7和信号输出单元8。像素单元1包括二维布置的多个像素块10。多个像素块10中的每一个包括在五行和多列上二维布置的多个像素100、像素块内控制单元14和放大器15。即,根据本实施例的成像设备1000与根据第一实施例的成像设备1000的不同之处在于,像素100的放大器15具有根据第一实施例的成像设备1000中的放大器5的至少一部分功能。

[0192] 即,如图14中所示,根据本实施例的成像设备1000的像素100包括:光电转换器PD,转移晶体管M11、M12、M21和M22,复位晶体管M31和M32,以及放大器晶体管M41和M42。另外,根据本实施例的成像设备1000的像素100还包括选择晶体管M51和M52以及电容器107、109、111和113。放大器晶体管M41和M42以及电容器109和113形成像素100的放大器15。

[0193] 光电转换器PD是例如光电二极管。形成光电转换器PD的光电二极管具有阳极和阴极,阳极连接到接地节点,并且阴极连接到转移晶体管M11和M12的源极。

[0194] 转移晶体管M11的漏极连接到转移晶体管M21的源极。转移晶体管M11的漏极和转移晶体管M21的源极之间的连接节点包括用作电荷的保持部分的电容部件。这个电容部件在图14中由电容器107表示。转移晶体管M21的漏极连接到复位晶体管M31的源极和放大器晶体管M41的栅极。转移晶体管M21的漏极、复位晶体管M31的源极和放大器晶体管M41的栅极的连接节点是FD节点FD1。耦合到FD节点FD1的电容部件用作从电容器107转移的电荷的保持部分,并且还用作电荷到电压转换单元。这个电容部件图14中在电容器109表示。复位晶体管M31的漏极和放大器晶体管M41的漏极连接到供应电压VDD的电源节点。放大器晶体管M41的源极连接到选择晶体管M51的漏极。选择晶体管M51的源极连接到垂直输出线106。垂直输出线106连接到电流源(未示出)。

[0195] 转移晶体管M12的漏极连接到转移晶体管M22的源极。转移晶体管M12的漏极和转移晶体管M22的源极之间的连接节点包括用作电荷的保持部分的电容部件。这个电容部件在图14中由电容器111表示。在一个示例中,电容器111的电容值与电容器107的电容值相同。转移晶体管M22的漏极连接到复位晶体管M32的源极和放大器晶体管M42的栅极。转移晶体管M22的漏极、复位晶体管M32的源极和放大器晶体管M42的栅极的连接节点是FD节点FD2。耦合到FD节点FD2的电容部件用作从电容器111转移的电荷的保持部分,并且还用作电荷到电压转换单元。这个电容部件在图14中由电容器113表示。要注意的是,电容器113的电容值大于电容器109的电容值。复位晶体管M32的漏极和放大器晶体管M42的漏极连接到供应电压VDD的电源节点。放大器晶体管M42的源极连接到选择晶体管M52的漏极。选择晶体管M52的源极连接到垂直输出线117。垂直输出线117连接到电流源(未示出)。

[0196] 光电转换器PD将入射光转换(光电转换)成与光量对应的量的电荷并积蓄生成的电荷。当接通时,转移晶体管M11将光电转换器PD的电荷转移到电容器107。当接通时,转移

晶体管M21将电容器107的电荷转移到FD节点FD1的电容器109。FD节点FD1通过使用电容器109进行的电荷到电压转换而具有与从电容器107转移的电荷量对应的电压。放大器晶体管M41被配置为使得电压VDD供应到漏极,并且偏置电流经由选择晶体管M51从电流源(未示出)供应到源极,并形成其栅极是输入节点的放大器(源极跟随器电路)。由此,放大器晶体管M41经由选择晶体管M51将基于FD节点FD1的电压的信号输出到垂直输出线106。当接通时,复位晶体管M31将FD节点FD1的电容器109复位到与电压VDD对应的电压。

[0197] 当接通时,转移晶体管M12将光电转换器PD的电荷转移到电容器111。当接通时,转移晶体管M22将电容器111的电荷转移到FD节点FD2的电容器113。FD节点FD2通过使用电容器113进行的电荷到电压转换而具有与从电容器111转移的电荷量对应的电压。放大器晶体管M42被配置为使得电压VDD被供应到漏极,并且偏置电流经由选择晶体管M52从电流源(未示出)被供应到源极,并形成其栅极是输入节点的放大器(源极跟随器电路)。由此,放大器晶体管M42经由选择晶体管M52将基于FD节点FD2的电压的信号输出到垂直输出线117。当接通时,复位晶体管M32将FD节点FD2的电容器113复位到与电压VDD对应的电压。

[0198] 如前所述,耦合到FD节点FD1的电容器109的电容值与耦合到FD节点FD2的电容器113的电容值彼此不同。即,包括放大器晶体管M41的放大器的增益与包括放大器晶体管M42的放大器的增益彼此不同。

[0199] 转移晶体管M11和M12由被供应到栅极的公共控制信号 $m_tx[m,n]$ 控制。转移晶体管M21和M22由被供应到栅极的公共控制信号 $tx[m,n]$ 控制。复位晶体管M31和M32由被供应到栅极的公共控制信号 $res[n]$ 控制。选择晶体管M51和M52由被供应到栅极的公共控制信号 $sel[n]$ 控制。

[0200] 图15图示了像素单元1的像素块10和11与垂直扫描单元2和水平区域控制单元3之间的连接。与图5所示的第一实施例的情况的不同之处在于,垂直扫描单元2被配置为进一步供应到控制信号 $pm_tx[n]$ 。控制信号 $pm_tx[n]$ 被供应到在与垂直行地址[n]对应的行上布置的像素块的像素块内控制单元14并用于生成供给像素100的垂直行地址[n]的控制信号 $m_tx[n]$ 。

[0201] 例如,每个像素块的像素块内控制单元14可以由图16中所示的电路形成。作为示例,图16图示了像素块10中提供的像素块内控制单元14的配置示例。

[0202] 像素块10的像素块内控制单元14被输入控制信号 $hb1k_l[0]$ 、 $hb1k_s[0]$ 和 $ptx[0]$,并将控制信号 $tx[0,0]$ 输出到在与垂直行地址[0]对应的行上布置的像素100。当控制信号 $hb1k_l[0]$ 或控制信号 $hb1k_s[0]$ 处于高电平时,控制信号 $tx[0,0]$ 通过控制信号 $ptx[0]$ 被控制为高电平而转变为高电平。另外,像素块10的像素块内控制单元14被输入控制信号 $hb1k_l[0]$ 、 $hb1k_s[0]$ 和 $pm_tx[0]$,并将控制信号 $m_tx[0,0]$ 输出到在与垂直行地址[0]对应的行上布置的像素100。当控制信号 $hb1k_l[0]$ 或控制信号 $hb1k_s[0]$ 处于高电平时,控制信号 $m_tx[0,0]$ 通过控制信号 $pm_tx[0]$ 被控制为高电平而转变为高电平。这同样适用于在与垂直行地址[1]对应的行上布置的像素100。

[0203] 在像素块内控制单元14中实现这种操作的电路不受特别限制,并且可以由例如如图16中所示的逻辑电路形成。图16中所示的逻辑电路包括计算控制信号 $hb1k_l[0]$ 和 $ptx[0]$ 的逻辑积的AND门、计算控制信号 $hb1k_s[0]$ 和 $ptx[0]$ 的逻辑积的AND门,以及计算这些输出值的逻辑和的OR门。OR门的输出是控制信号 $tx[0,0]$ 。另外,图16所示的逻辑电路包括计算

控制信号hblk₁[0]和pm_{tx}[0]的逻辑积的AND门、计算控制信号hblk_s[0]和pm_{tx}[0]的逻辑积的AND门,以及计算这些输出值的逻辑和的OR门。OR门的输出是控制信号m_{tx}[0,0]。

[0204] 以这种方式,由像素块内控制单元14生成要提供给像素100的控制信号tx[m,n]和m_{tx}[m,n]。由垂直扫描单元2生成的控制信号pres[n]和pse1[n]被直接提供给在与垂直行地址[n]对应的行上布置的像素100,作为控制信号res[n]和se1[n]。如图14中所示,控制信号m_{tx}[m,n]被提供给转移晶体管M11和M12的栅极。控制信号tx[m,n]被提供给转移晶体管M21和M22的栅极。控制信号res[n]被提供给复位晶体管M31和M32的栅极。控制信号se1[n]被提供给选择晶体管M51和M52的栅极。

[0205] 接下来,将通过使用图17描述根据本实施例的驱动成像设备的方法。图17是图示了根据本实施例的驱动成像设备的方法的时序图。

[0206] 除了图8的时序图中的第三帧的操作不同之外,根据本实施例的驱动成像设备的方法与根据第一实施例的驱动成像设备的方法基本相同。在第一帧和第二帧中,控制信号pm_{tx}[n]可以与控制信号ptx[n]同时被驱动。通过在控制信号ptx[n]和pm_{tx}[n]处于高电平时将控制信号pres[n]控制为高电平,可以在复位FD节点FD1和FD2时甚至同时复位光电转换器PD。

[0207] 图17对应于图8的时序图中的第三帧的第一HD时段。如前所述,控制信号hblk₁[0]、hblk₁[1]、hblk_s[0]和hblk_s[1] (未示出)在第三帧的第一HD时段的整个时段内处于高电平。另外,控制信号pres[0]处于低电平,并且控制信号pse1[0]处于高电平。

[0208] 在从时刻t38到时刻t39的时段中,垂直扫描单元2将与垂直行地址[0]对应的行上的控制信号pm_{tx}[0]控制为高电平。由此,被输入到像素块10的属于与垂直行地址[0]对应的行的像素100的控制信号m_{tx}[0,0]转变为高电平。另外,被输入到像素块11的属于与垂直行地址[0]对应的行的像素100的控制信号m_{tx}[1,0]转变为高电平。由此,在属于与垂直行地址[0]对应的行的每个像素100中,转移晶体管M11和M12接通,并且积蓄在光电转换器PD中的信号电荷分别转移到电容器107和111。

[0209] 接下来,在从时刻t40到时刻t41的时段中,垂直扫描单元2将与垂直行地址[0]对应的行上的控制信号ptx[0]控制为高电平。由此,被输入到像素块10的属于与垂直行地址[0]对应的行的像素100的控制信号tx[0,0]转变为高电平。另外,被输入到像素块11的属于与垂直行地址[0]对应的行的像素100的控制信号tx[1,0]转变为高电平。

[0210] 由此,在属于与垂直行地址[0]对应的行的所有像素100中,转移晶体管M21接通,并且积蓄在电容器107中的信号电荷被转移到FD节点FD1。然后,FD节点FD1具有与电容器109的电容值和转移的信号电荷量对应的电压。由此,与转移到FD节点FD1的信号电荷量对应的信号经由放大器晶体管M41和选择晶体管M51被输出到垂直输出线106。

[0211] 另外,在属于与垂直行地址[0]对应的行的所有像素100中,转移晶体管M22接通,并且积蓄在电容器111中的信号电荷被转移到FD节点FD2。然后,FD节点FD2具有与电容器113的电容值和转移的信号电荷量对应的电压。由此,与转移到FD节点FD2的信号电荷量对应的信号经由放大器晶体管M42和选择晶体管M52被输出到垂直输出线117。

[0212] 在这个时候,由于耦合到FD节点FD2的电容器113的电容值大于耦合到FD节点FD1的电容器109的电容值,因此在信号电荷被转移之后FD节点FD2的电压小于在信号电荷被转移之后FD节点FD1的电压。即,包括放大器晶体管M41的放大器的增益大于包括放大器晶体

管M42的放大器的增益。

[0213] 由此,从连接到像素块10的像素100的垂直输出线106输出的信号Vout1[0,0]的电平大于从垂直输出线117输出的信号Vout2[0,0]的电平。类似地,从连接到像素块11的像素100的垂直输出线106输出的信号Vout1[1,0]的电平大于从垂直输出线117输出的信号Vout2[1,0]的电平。

[0214] 如上所述,根据本实施例,在可以以像素块为单位控制曝光时间的成像设备中,即使当以时分方式切换像素100内的放大器的增益时,也可以以多种类型的增益放大输出信号。因此,例如,利用其中以高增益放大暗(低电平)信号并且以低增益放大亮(高电平)信号的配置,可以获取被摄体到背景上的加黑阴影或高光溢出得到抑制的图像。另外,在本实施例中,对于来自较小FD电容器的输出,不仅可以期望仅增益增加的效果而且还可以期望随机噪声减小的效果,而对于来自较大FD电容器的输出,可以期望饱和电子数量增加的效果。

[0215] 要注意的是,虽然在本实施例中在像素单元1和列AD转换单元6之间没有提供放大器5,但是也可以提供这种情况的放大器5。在这种情况下,放大器5可以是具有如第一实施例中所示的可切换增益的放大器,或者可以是具有恒定增益的放大器。

[0216] [第四实施例]

[0217] 将参考图18至图21描述根据本发明第四实施例的成像设备及其驱动方法。与根据第一至第三实施例的成像设备的部件类似的部件用相同的标号标记,并且将省略或简化其描述。

[0218] 首先,将通过使用图18至图20描述根据本实施例的成像设备的结构。图18是图示了根据本实施例的成像设备中的像素的一般配置的电路图。图19是图示了根据本实施例的成像设备中的像素块与垂直扫描单元和水平区域控制单元之间的连接示例的电路图。图20是图示了根据本实施例的成像设备中的像素块内控制单元的配置示例的电路图。

[0219] 根据本实施例的成像设备的整体配置与根据图13所示的第三实施例的成像设备的整体配置相同。根据本实施例的成像设备与根据第三实施例的成像设备的不同之处在于像素100的配置。即,如图18中所示,根据本实施例的成像设备的像素100还包括在FD节点FD1和复位晶体管M31的源极之间的MOS晶体管M61和M62。

[0220] MOS晶体管M61的源极连接到FD节点FD1。MOS晶体管M61的漏极连接到MOS晶体管M62的源极。MOS晶体管M62的漏极连接到复位晶体管M31的源极。从垂直扫描单元2向MOS晶体管M61的栅极提供控制信号fdinc1[n]。当控制信号fdinc1[n]处于高电平时,MOS晶体管M61接通,而当控制信号fdinc1[n]处于低电平时,MOS晶体管M61关断。从像素块内控制单元14向MOS晶体管M62的栅极提供控制信号fdinc2[m,n]。当控制信号fdinc2[m,n]处于高电平时,MOS晶体管M62接通,而当控制信号fdinc2[m,n]处于低电平时,MOS晶体管M62关断。

[0221] 像素100的这种配置使得能够实现FD节点FD1的可变FD电容。即,当控制信号fdinc1[n]处于高电平并且控制信号fdinc2[m,n]和res[n]处于低电平时,通过MOS晶体管M61接通而获得的电容可以加到FD节点FD1的FD电容。另外,当控制信号fdinc1[n]和控制信号fdinc2[m,n]处于高电平并且控制信号res[n]处于低电平时,通过MOS晶体管M61和M62这两者接通而获得的电容可以加到FD节点FD1的FD电容。即,可以通过使用控制信号fdinc1[n]和fdinc2[m,n]来控制FD节点FD1的FD电容的电平。

[0222] 另外,本实施例被配置为使得选择晶体管M51和M52由单独的控制信号sel1[n]和

sel2[n]控制。经由选择晶体管M51和M52的两个输出信号都输出到垂直输出线106。即,在本实施例中,经由选择晶体管M51输出的信号Vout和经由选择晶体管M52输出的信号Vout以时分方式输出。

[0223] 图19图示了像素单元1的像素块10和11与垂直扫描单元2和水平区域控制单元3之间的连接。在这里,将主要针对与第三实施例的差异来描述根据本实施例的成像设备中的垂直扫描单元2和水平区域控制单元3。

[0224] 在根据本实施例的成像设备中,垂直扫描单元2被配置为还供应控制信号pfdinc1[n]。另外,垂直扫描单元2被配置为将控制信号pse11[n]供应到选择晶体管M51,并将控制信号pse12[n]供应到选择晶体管M52,而不是将公共控制信号pse1[n]供应到选择晶体管M51和M52。另外,在根据本实施例的成像设备中,水平区域控制单元3被配置为还供应控制信号hfdinc2[m]。

[0225] 像素块内控制单元14基于控制信号ptx[n]、pm_tx[n]、pfdinc1[n]、hblk_1[m]、hblk_s[m]和hfdinc2[m]生成控制信号tx[m,n]、m_tx[m,n]和fdinc2[m,n]。控制信号pres[n]、pse11[n]和pse12[n]作为控制信号res[n]、sel1[n]和sel2[n]被供应到像素100。除了被供应到像素块内控制单元14之外,控制信号pfdinc1[n]还同样被供应到像素100。

[0226] 例如,每个像素块的像素块内控制单元14可以由图20中所示的电路形成。作为示例,图20图示了在像素块10中提供的像素块内控制单元14的配置示例。

[0227] 除了被配置为还输出控制信号fdinc2[m,n]作为控制信号hfdinc2[m]和pfdinc1[n]的输入之外,像素块内控制单元14与根据图16所示的第三实施例的成像设备相同。例如,像素块10的像素块内控制单元14被输入控制信号hfdinc2[0]和pfdinc1[0],并将控制信号fdinc2[0,0]输出到在与垂直行地址[0]对应的行上布置的像素100。当控制信号hfdinc2[0]和控制信号pfdinc1[0]都处于高电平时,控制信号fdinc2[0,0]处于高电平。即,基于控制信号pfdinc1[0]来控制是否将控制信号hfdinc2[0]输出到像素100。这同样适用于在与垂直行地址[1]对应的行上布置的像素100。

[0228] 在像素块内控制单元14中实现这种操作的电路不受特别限制,并且可以由例如图20中所示的逻辑电路形成。除了图16中所示的逻辑电路之外,图20中所示的逻辑电路还包括计算控制信号hfdinc2[0]和pfdinc1[0]的逻辑积的AND门。AND门的输出是控制信号fdinc2[0,0]。

[0229] 以这种方式,由像素块内控制单元14生成要提供给像素100的控制信号tx[m,n]、m_tx[m,n]和fdinc2[m,n]。由垂直扫描单元2生成的控制信号pse11[n]、pse12[n]和pfdinc1[n]被直接提供给在与垂直行地址[n]对应的行上布置的像素100,作为控制信号sel1[n]、sel2[n]和fdinc1[n]。如图18中所示,控制信号m_tx[m,n]被提供给转移晶体管M11和M12的栅极。控制信号tx[m,n]被提供给转移晶体管M21和M22的栅极。控制信号res[n]被提供给复位晶体管M31和M32的栅极。控制信号sel1[n]被提供给选择晶体管M51的栅极。控制信号sel2[n]被提供给选择晶体管M52的栅极。控制信号fdinc1[n]被提供给MOS晶体管M61的栅极。控制信号fdinc2[m,n]被提供给MOS晶体管M62的栅极。

[0230] 接下来,将通过使用图21描述根据本实施例的驱动成像设备的方法。图21是图示了根据本实施例的驱动成像设备的方法的时序图。

[0231] 除了图8的时序图中的第三帧的操作不同之外,就像第三实施例那样,根据本实施

例的驱动成像设备的方法与根据第一实施例的驱动成像设备的方法基本相同。即,在第一帧和第二帧中,控制信号 $pm_tx[n]$ 可以与控制信号 $ptx[n]$ 同时被驱动。通过在控制信号 $ptx[n]$ 和 $pm_tx[n]$ 处于高电平时将控制信号 $pres[n]$ 控制为高电平,可以在复位FD节点FD1和FD2时甚至同时复位光电转换器PD。

[0232] 图21对应于图8的时序图中第三帧的第一HD时段。如前所述,控制信号 $hb1k_1[0]$ 、 $hb1k_1[1]$ 、 $hb1k_s[0]$ 和 $hb1k_s[1]$ (未示出)在第三帧的第一HD时段的整个时段内处于高电平。另外,控制信号 $pres[0]$ 处于低电平,并且控制信号 $pse1[0]$ 处于高电平。控制信号 $hfdinc2[0]$ 被设置为低电平,并且控制信号 $hfdinc2[1]$ 在第三帧的第一HD时段的整个时段内被设置为高电平。

[0233] 在从时刻 $t42$ 到时刻 $t43$ 的时段中,垂直扫描单元2将与垂直行地址[0]对应的行上的控制信号 $pm_tx[0]$ 控制为高电平。由此,被输入到像素块10的属于与垂直行地址[0]对应的行的像素100的控制信号 $m_tx[0,0]$ 转变为高电平。另外,被输入到像素块11的属于与垂直行地址[0]对应的行的像素100的控制信号 $m_tx[1,0]$ 转变为高电平。由此,在属于与垂直行地址[0]对应的行的像素100中,转移晶体管M11和M12接通,并且积蓄在光电转换器PD中的信号电荷分别转移到电容器107和111。

[0234] 接下来,在从时刻 $t44$ 到时刻 $t45$ 的时段中,垂直扫描单元2将与垂直行地址[0]对应的行上的控制信号 $ptx[0]$ 控制为高电平。由此,被输入到像素块10的属于与垂直行地址[0]对应的行的像素100的控制信号 $tx[0,0]$ 转变为高电平。另外,被输入到像素块11的属于与垂直行地址[0]对应的行的像素100的控制信号 $tx[1,0]$ 转变为高电平。由此,在属于与垂直行地址[0]对应的行的所有像素100中,转移晶体管M21和M22接通,并且积蓄在电容器107和111中的信号电荷分别转移到FD节点FD1和FD2。

[0235] 另外,在从时刻 $t44$ 到时刻 $t46$ 的时段中,垂直扫描单元2将与垂直行地址[0]对应的行上的控制信号 $pfdinc1[0]$ 和 $pse1[0]$ 控制为高电平。由此,控制信号 $fdinc1[0]$ 和 $se1[0]$ 被控制为高电平,并且在属于与垂直行地址[0]对应的行的每个像素100中,MOS晶体管M61和选择晶体管M51接通。

[0236] 在这个时候,由于控制信号 $hfdinc2[0]$ 处于低电平,因此控制信号 $fdinc2[0,0]$ 处于低电平,并且在像素块10的属于与垂直行地址[0]对应的行的每个像素100中,MOS晶体管M62关断。由此,在像素块10的属于与垂直行地址[0]对应的行的像素100中,相对于电容值107的电容值,FD节点FD1的电容值对于处于接通状态的MOS晶体管M61的电容增加。以这种方式,与FD节点FD1的增加的电容值和转移的信号电荷量对应的信号 $Vout[0,0]$ 经由放大器晶体管M41和选择晶体管M51被输出到垂直输出线106。在这个时候,与耦合到FD节点FD1的电容器是仅电容器107的情况相比,信号 $Vout[0,0]$ 的电平降低。

[0237] 另外,由于控制信号 $hfdinc2[1]$ 处于高电平,因此控制信号 $fdinc2[1,0]$ 处于高电平,并且在像素块11的属于与垂直行地址[1]对应的行的每个像素100中,MOS晶体管M62关断。由此,在像素块10的属于与垂直行地址[1]对应的行的像素100中,相对于电容器107的电容值,FD节点FD1的电容值对于处于接通状态的MOS晶体管M61和M62的电容增加。以这种方式,与FD节点FD1的增加的电容值和转移的信号电荷量对应的信号经由放大器晶体管M41和选择晶体管M51被输出到垂直输出线106。在这个时候,与耦合到FD节点FD1的电容器是电容器107和当MOS晶体管M61接通时的电容器的情况相比,信号 $Vout[1,0]$ 的电平降低。

[0238] 以这种方式,在本实施例中,可以根据控制信号hfdinc2[m]的电平以像素块为单位控制FD节点FD1的电容值的增大或减小。

[0239] 接下来,在时刻t47,垂直扫描单元2将与垂直行地址[0]对应的行上的控制信号pse12[0]控制为高电平。由此,控制信号se12[0]转变为高电平,并且在属于与垂直行地址[0]对应的行的每个像素100中选择晶体管M52接通。

[0240] 在这个时候,在从时刻t44到时刻t45的时段中,积蓄在电容器111中的信号电荷被转移到FD节点FD2。因此,从像素块10的像素100,与转移到FD节点FD2的信号电荷量对应的信号Vout[0,0]经由放大器晶体管M42和选择晶体管M52被输出到垂直输出线106。由于FD节点FD2的小电容值,此时信号Vout[0,0]的电平增加到高于在从时刻t44到时刻t46的时段中信号Vout[0,0]的电平。

[0241] 另外,从像素块11的像素100,与转移到FD节点FD2的信号电荷量对应的信号Vout[1,0]经由放大器晶体管M42和选择晶体管M52被输出到垂直输出线106。由于FD节点FD2的小电容值,在这个时候信号Vout[0,0]的电平增加到高于在从时刻t44到时刻t46的时段中信号Vout[1,0]的电平。

[0242] 如上所述,根据本实施例,在可以以像素块为单位控制曝光时间的成像设备中,即使当以时分方式切换像素内的放大器的增益时,也可以以多种类型的增益放大输出信号。因此,例如,利用其中以高增益放大暗(低电平)信号并且以低增益放大亮(高电平)信号的配置,可以获取被摄体到背景上的加黑阴影或高光溢出得到抑制的图像。另外,根据本实施例的配置,由于不需要在每一列中包括多个列电路,因此还可以防止电路面积的增加。

[0243] 在本实施例的修改示例中,图18的转移晶体管M12、电容器111、转移晶体管M22、复位晶体管M32、放大器晶体管M42、选择晶体管M52和FD节点FD2被删除。因而,连接到这些元件的布线和用于向这些元件供应控制信号的电路被删除。另外,电容器107和转移晶体管M21被删除。因此,转移晶体管M11将光电转换器PD连接到FD节点FD1。

[0244] 此外,在一个像素块10中包括的多个像素100中,MOS晶体管M61被彼此独立地控制。另外,在一个像素块10中包括的多个像素100中,MOS晶体管M62被彼此独立地控制。

[0245] 根据这样的配置,在一帧中,一个像素块10输出以彼此不同的增益读出的多个信号。要注意的是,在这个修改示例中,不需要在一帧中以多个增益放大一个像素100的信号。

[0246] 而且在该修改示例中,在可以以像素块为单位控制曝光时间的成像设备中,可以以合适的增益放大信号。

[0247] [第五实施例]

[0248] 将参考图22和图23描述根据本发明第五实施例的成像设备及其驱动方法。与根据第一至第四实施例的成像设备的部件类似的部件用相同的标号标记,并且将省略或简化其描述。

[0249] 首先,将通过使用图22描述根据本实施例的成像设备的结构。图22是图示了根据本实施例的成像设备中的放大器和列AD转换单元的配置示例的示意图。

[0250] 除了放大器5和列AD转换单元6的配置不同之外,根据本实施例的成像设备与根据第一实施例的成像设备基本相同。即,如图22中所示,根据本实施例的成像设备还包括斜坡信号生成单元25,斜坡信号生成单元25供应随着时间流逝而具有不同信号电平改变率的多个斜坡信号。斜坡信号生成单元25包括斜坡信号发生器51和斜坡信号发生器52。列AD转换

单元6包括AD转换器电路61和与形成像素单元1的像素100的每一列相关联的两个存储器62。AD转换器电路61包括比较器600和603、锁存电路601和604以及保持单元602和605。

[0251] 每一列上的垂直输出线106连接到比较器600的一个输入端子和比较器603的一个输入端子。比较器600的输出端子连接到锁存电路601的输入端子。锁存电路601的输出端子连接到保持单元602的输入端子。比较器603的输出端子连接到锁存电路604的输入端子。锁存电路604的输出端子连接到保持单元605的输入端子。保持单元602和605的输出端子分别连接到存储器62。斜坡信号发生器51连接到每一列上的AD转换器电路61的比较器600的另一个输入端子。斜坡信号发生器52连接到每一列上的AD转换器电路61的比较器603的另一个输入端子。

[0252] 经由每一列上的垂直输出线106从像素单元1输出的信号Vout被输入到每一列上的AD转换器电路61的比较器600的一个输入端子和每一列上的AD转换器电路61的比较器603的一个输入端子。

[0253] 斜坡信号发生器51输出斜坡信号ramp_sig1,并且斜坡信号发生器52输出斜坡信号ramp_sig2。斜坡信号ramp_sig1和ramp_sig2中的每一个是信号电平随时间流逝而改变的信号。作为这里的示例,相比于斜坡信号ramp_sig1,斜坡信号ramp_sig2具有更大的随时间流逝的信号电平变化率(斜率)。从斜坡信号发生器51输出的斜坡信号ramp_sig1被供应到每一列上的AD转换器电路61的比较器600的另一个输入端子。从斜坡信号发生器52输出的斜坡信号ramp_sig2被供应到每一列上的AD转换器电路61的比较器603的另一个输入端子。

[0254] 比较器600将信号Vout的电平与斜坡信号ramp_sig1的电平进行比较并且,当这些信号之间的电平关系改变时,反转作为比较器600的输出的信号comp1的信号电平。作为这里的示例,当信号Vout的电平高于斜坡信号ramp_sig1的电平时,比较器600输出高电平的信号comp1。另外,当信号Vout的电平低于斜坡信号ramp_sig1的电平时,比较器600输出低电平的信号comp1。锁存电路601响应于来自比较器600的信号comp1的反转而将脉冲信号(锁存信号ltch1)输出到保持单元602。保持单元602被配置为接收计数值“count”,其中计数与斜坡信号ramp_sig1的斜坡开始同步地开始,并且被配置为保持当从锁存电路601接收到锁存信号ltch1时获得的计数值。存储器62以比特为单位保持由保持单元602保持的计数值,以作为信号Vout的数字值mem1。

[0255] 类似地,比较器603将信号Vout的电平与斜坡信号ramp_sig2的电平进行比较,并且当这些信号之间的电平关系改变时,反转作为比较器603的输出的信号comp2的信号电平。作为这里的示例,当信号Vout的电平高于斜坡信号ramp_sig2的电平时,比较器603输出高电平的信号comp2。另外,当信号Vout的电平低于斜坡信号ramp_sig2的电平时,比较器603输出低电平的信号comp2。锁存电路604响应于来自比较器603的信号comp2的反转而将脉冲信号(锁存信号ltch2)输出到保持单元605。保持单元605被配置为接收计数值“count”,其中计数与斜坡信号ramp_sig2的斜坡开始同步地开始,并且被配置为保持当从锁存电路604接收到锁存信号ltch2时获得的计数值。存储器62以比特为单位保持由保持单元605保持的计数值,以作为信号Vout的数字值mem2。

[0256] 如前所述,斜坡信号发生器51和52输出被控制的斜坡信号,使得它们的斜率彼此不同。因此,即使从像素单元1输出相同的信号Vout,通过列AD转换单元6的AD转换获得的数

字值mem1与数字值mem2也是不同的值。即,在本实施例中,代替通过使用放大器5以多个增益放大像素信号,从斜坡信号生成单元25供应的斜坡信号用于以多个转换增益执行像素信号的AD转换。

[0257] 接下来,将通过使用图23描述根据本实施例的驱动成像设备的方法。图23是图示了根据本实施例的驱动成像设备的方法的时序图。

[0258] 除了图8的时序图中第三帧的操作不同之外,根据本实施例的驱动成像设备的方法与根据第一实施例的驱动成像设备的方法基本相同。图23与图8的时序图中的第三帧的第一HD时段对应。如前所述,控制信号hb1k_1[0]、hb1k_1[1]、hb1k_s[0]和hb1k_s[1](未示出)在第三帧的第一HD时段的整个时段内处于高电平。另外,控制信号pres[0]处于低电平,并且控制信号pse1[0]处于高电平。

[0259] 在从时刻t48到时刻t49的时段中,垂直扫描单元2将与垂直行地址[0]对应的行上的控制信号ptx[0]控制为高电平。由此,被输入到像素块10的属于与垂直行地址[0]对应的行的像素100的控制信号tx[0,0]转变为高电平。另外,被输入到像素块11的属于与垂直行地址[0]对应的行的像素100的控制信号tx[1,0]转变为高电平。由此,在属于与垂直行地址[0]对应的行的所有像素100中的每一个像素中,转移晶体管M1接通,积蓄在光电转换器PD中的信号电荷被转移到FD节点。然后,与转移到FD节点的信号电荷量对应的信号Vout经由放大器晶体管M4和选择晶体管M5被输出到垂直输出线106。

[0260] 以这种方式,从像素块10的属于与垂直行地址[0]对应的行的每个像素100,输出信号Vout[0,0]。另外,从像素块11的属于与垂直行地址[0]对应的行的每个像素100,输出信号Vout[1,0]。在以下描述中,为了说明,关注信号Vout[0,0]和信号Vout[1,0]中的信号Vout[0,0]。

[0261] 类似地,在时刻t48,斜坡信号发生器51开始输出斜坡信号ramp_sig1。另外,斜坡信号发生器52开始输出斜坡信号ramp_sig2。另外,定时生成单元4开始向上计数被输出到AD转换器电路61的计数值“count”。紧接在斜坡信号ramp_sig1和ramp_sig2的输出开始之后,信号Vout[0,0]的电平大于斜坡信号ramp_sig1和ramp_sig2的电平。因此,比较器600和603输出高电平的信号comp1和comp2。

[0262] 在随后的时刻t50,信号Vout[0,0]的电平与斜坡信号ramp_sig2的电平匹配。由此,由比较器603输出的信号comp2从高电平转变为低电平。响应于信号comp2的改变,锁存电路604输出锁存信号ltch2。响应于检测到信号comp2的下降沿,作为脉冲的锁存信号ltch2被形成。这个脉冲被用作D触发器的时钟输入,例如,计数值“count”被输入到同一D触发器的D输入端,由此保持单元605可以保持在锁存信号ltch2输入时的计数值“count”。作为示例,图23图示了在保持单元605中将500保持为计数值“count”的情况。这个值与数字值mem2对应。

[0263] 在随后的时刻t51,信号Vout[0,0]的电平与斜坡信号ramp_sig1的电平匹配。由此,由比较器600输出的信号comp1从高电平转变为低电平。响应于信号comp1的改变,锁存电路601输出锁存信号ltch1。响应于检测到信号comp1的下降沿,作为脉冲的锁存信号ltch1被形成。这个脉冲被用作D触发器的时钟输入,例如,计数值“count”被输入到同一D触发器的D输入端,由此保持单元602可以保持在锁存信号ltch1输入时的计数值“count”。作为示例,图23图示了在保持单元602中将2000保持为计数值“count”的情况。这个值与数字

值mem1对应。

[0264] 利用斜坡信号生成单元25和列AD转换单元6的这种配置,可以针对单个信号Vout输出具有不同值的多个信号。由此,在暗信号的情况下,例如,可以通过使用其信号斜率平缓的斜坡信号ramp_sig1来确保阶调(gradation)。另一方面,在亮信号的情况下,即使当1HD时段不足并且没有获得来自斜坡信号ramp_sig1的输出时,也可以通过使用其信号斜率陡峭的斜坡信号ramp_sig2来可靠地获得输出。

[0265] 如上所述,根据本实施例,在可以以像素块为单位控制曝光时间的成像设备中,通过在AD转换单元中切换AD转换增益,可以以多种类型的增益放大输出信号。因此,例如,利用其中以高增益对暗(低电平)信号执行AD转换并且以低增益对亮(高电平)信号执行AD转换的配置,可以获取被摄体到背景上的加黑阴影或高光溢出得到抑制的图像。

[0266] [第六实施例]

[0267] 将参考图24和图25描述根据本发明第六实施例的成像设备及其驱动方法。与根据第一至第五实施例的成像设备的部件类似的部件用相同的标号标记,并且将省略或简化其描述。

[0268] 首先,将通过使用图24描述根据本实施例的成像设备的结构。图24是图示了根据本实施例的成像设备中的放大器和列AD转换单元的配置示例的示意图。

[0269] 除了斜坡信号生成单元25和列AD转换单元6的配置不同之外,根据本实施例的成像设备与根据第五实施例的成像设备基本相同。即,如图24中所示,在根据本实施例的成像设备中,除了斜坡信号发生器51和52之外,斜坡信号生成单元25还包括斜坡信号发生器53。列AD转换单元6包括与形成像素单元1的像素100中的每一列相关联的AD转换器电路61和存储器62。AD转换器电路61包括比较器600、锁存电路601、保持单元602、选择器606和607以及反相器608。

[0270] 每一列上的垂直输出线106连接到比较器600的一个输入端子。比较器600的输出端子连接到锁存电路601的输入端子和反相器608的输入端子。锁存电路601的输出端子连接到保持单元602的输入端子。反相器608的输出端子连接到选择器606的控制端子。保持单元602的输出端子连接到存储器62。

[0271] 斜坡信号发生器51连接到每一列上的AD转换器电路61的选择器606的一个输入端子。斜坡信号发生器52连接到每一列上的AD转换器电路61的选择器606的另一个输入端子。斜坡信号发生器53连接到每一列上的AD转换器电路61的选择器607的一个输入端子。选择器606的输出端子连接到选择器607的另一个输入端子。选择器607的输出端子连接到比较器600的另一个输入端子。

[0272] 经由每一列上的垂直输出线106从像素单元1输出的信号Vout被输入到每一列上的AD转换器电路61的比较器600的一个输入端子。

[0273] 斜坡信号发生器51输出斜坡信号ramp_sig1,斜坡信号发生器52输出斜坡信号ramp_sig2,并且斜坡信号发生器53输出斜坡信号ramp_sig3。斜坡信号ramp_sig1、ramp_sig2和ramp_sig3是其信号电平随时间流逝而改变的信号。从斜坡信号发生器51输出的斜坡信号ramp_sig1被供应到每一列上的AD转换器电路61的选择器606的一个输入端子。从斜坡信号发生器52输出的斜坡信号ramp_sig2被供应到每一列上的AD转换器电路61的选择器606的另一个输入端子。从斜坡信号发生器53输出的斜坡信号ramp_sig3被供应到选择器

607的一个输入端子。

[0274] 选择器606将从反相器608输出的信号定义为选择信号j_sig,选择斜坡信号ramp_sig1和斜坡信号ramp_sig2中的一个,并将所选择的一个斜坡信号供应到选择器607的另一个输入端子。例如,选择器606在选择信号j_sig处于高电平时选择斜坡信号ramp_sig1,并且在选择信号j_sig处于低电平时选择斜坡信号ramp_sig2。

[0275] 选择器607根据从定时生成单元4供应的选择信号jdat_en来选择斜坡信号ramp_sig3和来自选择器606的输出信号(斜坡信号ramp_sig1或斜坡信号ramp_sig2)中的一个。由选择器607选择的斜坡信号ramp_sig被输入到比较器600的另一个输入端子。

[0276] 比较器600将信号Vout的电平与斜坡信号ramp_sig的电平进行比较,并且当这些信号的电平关系改变时,反转作为比较器600的输出的信号comp_sig的信号电平。作为这里的示例,当信号Vout的电平高于斜坡信号ramp_sig的电平时,比较器600输出高电平的信号comp_sig。另外,当信号Vout的电平低于斜坡信号ramp_sig的电平时,比较器600输出低电平的信号comp_sig。

[0277] 锁存电路601响应于来自比较器600的信号comp_sig的反转而将脉冲信号(锁存信号ltch)输出到保持单元602。保持单元602被配置为接收计数值“count”,其中计数与斜坡信号ramp_sig1和ramp_sig2的斜坡开始同步地开始。另外,保持单元602被配置为保持当从锁存电路601接收到锁存信号ltch时接收的计数值。存储器62以比特为单位保持由保持单元602保持的计数值以作为信号Vout的数字值mem。

[0278] 接下来,将通过使用图25描述根据本实施例的驱动成像设备的方法。图25是图示了根据本实施例的驱动成像设备的方法的时序图。

[0279] 除了图8的时序图中的第三帧的操作不同之外,根据本实施例的驱动成像设备的方法与根据第一实施例的驱动成像设备的方法基本相同。图25对应于图8的时序图中的第三帧的第一HD时段。如前所述,控制信号hblk_1[0]、hblk_1[1]、hblk_s[0]和hblk_s[1](未示出)在第三帧的第一HD时段的整个时段内处于高电平。另外,控制信号pres[0]处于低电平,并且控制信号pse1[0]处于高电平。

[0280] 在从时刻t52到时刻t53的时段中,垂直扫描单元2将与垂直行地址[0]对应的行上的控制信号ptx[0]控制为高电平。由此,被输入到像素块10的属于与垂直行地址[0]对应的行的像素100的控制信号tx[0,0]转变为高电平。另外,被输入到像素块11的属于与垂直行地址[0]对应的行的像素100的控制信号tx[1,0]转变为高电平。由此,在属于与垂直行地址[0]对应的行的所有像素100中的每一个像素中,转移晶体管M1接通,积蓄的在光电转换器PD中信号电荷被转移到FD节点。然后,与转移到FD节点的信号电荷量对应的信号Vout经由放大器晶体管M4和选择晶体管M5被输出到垂直输出线106。

[0281] 以这种方式,从像素块10的属于与垂直行地址[0]对应的行的每个像素100,输出信号Vout[0,0]。另外,从像素块11的属于与垂直行地址[0]对应的行的每个像素100,输出信号Vout[1,0]。在这里,当假设如图7的情况那样像素块10的区域是亮的并且像素块11的区域是暗的情况时,信号Vout[0,0]的电平大并且信号Vout[1,0]的电平小,如图25中所示。

[0282] 接下来,在从时刻t53到时刻t55的时段中,定时生成单元4将选择信号jdat_en从低电平控制为高电平。由此,选择器607准备好从斜坡信号ramp_sig3和选择器606的输出当中选择并输出斜坡信号ramp_sig3作为斜坡信号ramp_sig。

[0283] 在时刻t53,在选择信号jdat_en被控制为高电平之后,斜坡信号发生器53开始输出斜坡信号ramp_sig3。选择器607输出从斜坡信号发生器53供应的斜坡信号ramp_sig3,作为向比较器600的另一个端子供应的斜坡信号ramp_sig。要注意的是,如图25中所示,斜坡信号发生器53控制斜坡信号ramp_sig3的电平,以便在超过某个电平之后成为恒定值。

[0284] 在随后的时刻t54,从像素块11的像素100输出的信号Vout[1,0]的电平与斜坡信号ramp_sig的电平匹配。由此,由比较器600输出的信号comp_sig从高电平转变为低电平。由此,从反相器608输出的选择信号j_sig从低电平转变为高电平。由此,在与像素块11对应的AD转换器电路61中,选择器606准备好从斜坡信号ramp_sig1和斜坡信号ramp_sig2当中选择并输出斜坡信号ramp_sig1。

[0285] 另一方面,从像素块10的像素100输出的信号Vout[0,0]是其电平超过斜坡信号ramp_sig3的饱和电平的信号,并且斜坡信号ramp_sig3的电平不超过信号Vout[0,0]的电平。因此,由比较器600输出的信号comp_sig保持在高电平,并且从反相器608输出的选择信号j_sig保持为低电平。由此,在与像素块10对应的AD转换器电路61中,选择器606准备好从斜坡信号ramp_sig1和斜坡信号ramp_sig2当中选择并输出斜坡信号ramp_sig2。

[0286] 响应于选择信号jdat_en在时刻t55转变为低电平,选择器607准备好从斜坡信号ramp_sig3和选择器606的输出当中选择并输出选择器606的输出作为斜坡信号ramp_sig。由此,来自斜坡信号发生器52的斜坡信号ramp_sig2作为斜坡信号ramp_sig被供应到与像素块10对应的AD转换器电路61的比较器600的另一个输入端子。另外,来自斜坡信号发生器51的斜坡信号ramp_sig1作为斜坡信号ramp_sig被供应到与像素块11对应的AD转换器电路61的比较器600的另一个输入端子。

[0287] 由此,可以根据信号Vout[0,0]和Vout[1,0]中的每一个的电平、通过使用具有合适斜率的斜坡信号对信号Vout[0,0]和Vout[1,0]执行AD转换。结果,从单个像素块10输出已经以彼此不同的转换增益经受AD转换的多个信号。在这里,斜坡信号ramp_sig3是为了提供用于确定使用斜坡信号ramp_sig1或斜坡信号ramp_sig2中的哪一个的阈值。

[0288] 在时刻t56,斜坡信号发生器51开始输出斜坡信号ramp_sig1,并且斜坡信号发生器52开始输出斜坡信号ramp_sig2。另外,定时生成单元4开始向上计数被输出到AD转换器电路61的计数值“count”。

[0289] 在随后的时刻t57,信号Vout[0,0]的电平与斜坡信号ramp_sig的电平匹配。由此,由比较器600输出的信号comp_sig从高电平转变为低电平。响应于接收到高电平信号comp_sig,锁存电路601将锁存信号ltch输出到保持单元602。保持单元602保持在锁存信号ltch输入时的计数值“count”。作为示例,图25图示了在保持单元602中将500保持为计数值“count”的情况。例如,这个值对应于图24的数字值mem[0]。

[0290] 在随后的时刻t58,信号Vout[1,0]的电平与斜坡信号ramp_sig的电平匹配。由此,由比较器600输出的信号comp_sig从高电平转变为低电平。响应于接收到高电平信号comp_sig,锁存电路601将锁存信号ltch输出到保持单元602。保持单元602保持在锁存信号ltch输入时的计数值“count”。作为示例,图25图示了在保持单元602中将1000保持为计数值“count”的情况。例如,这个值对应于图24的数字值mem[2]。

[0291] 如上所述,根据本实施例,在可以以像素块为单位控制曝光时间的成像设备中,通过在AD转换单元中切换AD转换增益,可以以多种类型的增益放大输出信号。因此,例如,利

用其中以高增益对暗(低电平)信号执行AD转换并且以低增益对亮(高电平)信号执行AD转换的配置,可以获取被摄体到背景上的加黑阴影或高光溢出得到抑制的图像。另外,在本实施例中,由于在AD转换之前确定信号电平以选择适于AD转换的斜坡信号,因此不必像第五实施例那样在每一列上提供两个并联的AD转换器电路,并且可以减小电路面积。

[0292] [第七实施例]

[0293] 将参考图26描述根据本发明第七实施例的成像设备及其驱动方法。与根据第一至第六实施例的成像设备的部件类似的部件用相同的标号标记,并且将省略或简化其描述。图26是图示了根据本实施例的成像设备中的放大器的配置示例的示意图。

[0294] 根据本实施例的成像设备是如下成像设备:在该成像设备中,根据第一实施例的成像设备中的放大器5的列放大器50的配置仅应用于像素块边界处的像素100的输出。例如,如图26中所示,当像素块10的第三列和像素块11的第一列彼此相邻时,放大器5包括连接到与这些列对应的垂直输出线106的列放大器50。关于这些列,对于从像素100输出的信号 V_{out} ,两种类型的增益设置是可能的,如第一实施例中所述。另外,放大器5包括连接到另一列上的垂直输出线106并且其增益由从定时生成单元4输出的设置值 r_gain3 设置的列放大器512。列放大器512从输出端子输出以预定增益(设置值 r_gain3)放大的信号作为信号 $amp3$ 。

[0295] 在根据第一实施例的成像设备中,由于在所有列上提供两个列放大器500和501,因此放大器5的电路面积大。相反,在根据本实施例的成像设备中,由于两个列放大器500和501仅在位于像素块的边界上的列上提供,因此可以抑制放大器5的电路面积的增加。

[0296] 另外,当像素块10和11之间的曝光时间显著不同时,即使当被摄体在像素块10和11之间的边界部分上移动时,也可以在边界处以高增益放大暗信号,并且可以以低增益放大亮信号。由此,在边界周围,可以获取被摄体到背景上的加黑阴影或高光溢出得到抑制的图像。

[0297] [第八实施例]

[0298] 将参考图27描述根据本发明的第八实施例的成像设备及其驱动方法。与根据第一至第七实施例的成像设备的部件类似的部件用相同的标号标记,并且将省略或简化其描述。图27是图示了根据本实施例的成像设备中的放大器的配置示例的示意图。

[0299] 根据本实施例的成像设备是如下成像设备:在该成像设备中,根据第一实施例的成像设备中的放大器5的列放大器50的配置仅应用于来自像素块的中心部分处的像素100的输出。例如,如图27中所示,当像素块10和11各自包括分别在三列上布置的像素100时,放大器5包括连接到与像素块10和11的第二列对应的垂直输出线106的列放大器50。关于这些列,对于从像素100输出的信号 V_{out} ,两种类型的增益设置是可能的,如第一实施例中所述。另外,放大器5包括连接到另一列上的垂直输出线106并且其增益由从定时生成单元4输出的设置值 r_gain3 设置的列放大器512。列放大器512从输出端子输出以预定增益(设定值 r_gain3)放大的信号作为信号 $amp3$ 。

[0300] 在根据第一实施例的成像设备中,由于在所有列上提供两个列放大器500和501,因此放大器5的电路面积大。相反,在根据本实施例的成像设备中,由于两个列放大器500和501仅在位于每个像素块的中心部分上的列上提供,因此可以抑制放大器5的电路面积的增加。

[0301] 另外,在根据本实施例的成像设备中,可以以两种不同类型的增益放大表示像素块的中心部分的信号。因此,即使在确定每个像素块的曝光时间时预先确定曝光量的自动曝光控制(AE控制)中,也可以以高增益放大暗信号,并且可以以低增益放大亮信号。由此,可以获取被摄体到背景上的加黑阴影或高光溢出得到抑制的图像。

[0302] [第九实施例]

[0303] 将通过使用图28和图29描述根据本发明第九实施例的成像系统。图28是图示了根据本实施例的成像系统的一般配置的框图。图29是图示了根据本实施例的驱动成像系统的方法的流程图。

[0304] 在上述第一至第八实施例中描述的成像设备1000可以应用于各种成像系统。可应用的成像系统的示例可以是数字静物相机、数码摄像机、监视相机、复印机、传真机、移动电话、车载相机、观察卫星等。另外,包括诸如透镜和成像设备之类的光学系统的相机模块也包括在成像系统中。图28图示了作为上述一个示例的数字静物相机的框图。

[0305] 作为示例在图28中示出的成像系统2000包括成像设备1000、信号处理单元1100、CPU 1200、外部输入单元1300、光学系统1400、图像显示单元1500、存储单元1600以及驱动系统1700。

[0306] 成像设备1000是在第一至第八实施例中的任何一个当中描述的成像设备1000。在这里,假设成像设备1000具有可以以多个增益放大所有列的输出的配置的情况(第一实施例)来提供描述。光学系统1400在成像设备1000上捕获被摄体的光学图像。驱动系统1700驱动形成光学系统1400的透镜(未示出)或光圈(未示出)。成像设备1000对由光学系统1400捕获的光学图像进行光电转换以生成模拟图像信号,并对这个图像信号执行AD转换以输出转换后的图像信号。

[0307] 信号处理单元1100对从成像设备1000的像素100输出的图像信号执行预定的信号处理。例如,信号处理单元1100对图像信号执行各种校正处理或压缩处理,并输出经处理的图像信号。由信号处理单元1100处理的图像信号可以显示在图像显示单元1500上或者存储在存储单元1600中。存储单元1600可以内置在成像系统2000中,或者可以像存储介质一样可从成像系统2000移除。

[0308] CPU 1200负责数字静物相机的各种操作或整体控制。外部输入单元1300接受从外部输入的信息,诸如关于由用户在成像系统2000上执行的操作的信息。用户的操作可以是例如按下快门按钮等。成像系统2000还可以包括用于暂时存储图像数据的存储器单元、用于与外部计算机等通信的外部接口单元等。

[0309] 接下来,将通过使用图29描述根据本实施例的成像系统2000的操作的一个示例。

[0310] 假设作为外部输入单元1300的快门按钮通过用户操作而处于半按下状态。通过来自CPU 1200的通信,这个信息被传送到成像设备1000。已经从CPU 1200接收到信息的成像设备1000根据图29的流程图操作。

[0311] 在本实施例中,执行第一驱动模式和第二驱动模式,其中第一驱动模式执行初步曝光并确定每个像素块的曝光时间,第二驱动模式基于在第一驱动模式下确定的曝光时间执行主要曝光。在第一驱动模式下,从位于每个像素块的中心部分的像素100向多个像素块中的每一个选择性地输出以不同增益放大的多个信号。在第二驱动模式下,从每个像素块中包括的所有像素100向多个像素块中的每一个输出多个信号。

[0312] 首先,在CPU 1200的控制下,成像设备1000的水平扫描单元7被控制以读出位于每个像素块的中心部分的像素100的信号。水平扫描单元7的读出控制可以被配置为仅读出与像素块的中心部分对应的地址的像素100的信号。可替代地,当水平扫描单元7由移位寄存器形成时,控制可以被配置为仅扫描像素块的中心处的像素100。以这种方式输出的来自像素100的每个信号被放大器5以多个增益(在这里,两种类型,即,高增益和低增益)放大(步骤S100)。

[0313] 接下来,CPU 1200确定在从成像设备1000的每个像素块以高增益读出的信号和以低增益读出的信号当中,以高增益读出的信号的值是否大于或等于任意 α 值(步骤S101)。

[0314] 如果作为步骤S101中的确定结果,以高增益读出的信号的值大于或等于 α 值(在图29中,“是”),那么处理前进到步骤S102。前进到步骤S102的条件是以高增益读出的信号的值大于或等于 α 值并且被摄体状态是明显亮的。因而,CPU 1200确定控制定时生成单元4,使得对于以高增益读出的信号值大于或等于 α 值的像素块,曝光时间较短(步骤S102)。

[0315] 如果作为步骤S101中的确定结果,以高增益读出的信号的值小于 α 值(在图29中,“否”),那么处理前进到步骤S103。在步骤S103中,CPU 1200确定在从成像设备1000的每个像素块以高增益读出的信号和以低增益读出的信号当中,以低增益读出的信号的值是否小于或等于任意 β 值。

[0316] 如果作为步骤S103中的确定结果,以低增益读出的信号的值小于或等于 β 值(在图29中,“是”),那么处理前进到步骤S104。前进到步骤S104的条件是以低增益读出的信号的值小于或等于 β 值并且被摄体状态是明显暗的。因而,CPU 1200确定控制定时生成单元4,使得对于以低增益读出的信号值小于或等于 β 值的像素块,曝光时间较长(步骤S104)。

[0317] 如果作为步骤S103中的确定结果,以低增益读出的信号的值大于 β 值(在图29中,“否”),处理前进到步骤S105。前进到步骤S105的条件是以低增益读出的信号的值大于 β 值并且以高增益读出的信号的值小于 α 值并且被摄体状态既不是太暗也不太亮。因而,CPU 1200确定控制定时生成单元4,使得对于以低增益读出的信号的值大于 β 值并且以高增益读出的信号的值小于 α 值的像素块,曝光是中等的(步骤S105)。

[0318] 指示已经以这种方式确定了所有像素块中的每一个像素块的曝光时间的信息被显示在图像显示单元1500上。CPU 1200基于所确定的每个像素块的曝光时间来确定光圈的值,并且经由驱动系统1700调整光学系统1400的光圈。

[0319] 已经接收到指示已确定所有像素块中的每一个像素块的曝光时间的信息的用户完全按下作为外部输入单元1300的快门按钮,由此处理前进到步骤S106。在步骤S106中,通过使用在步骤S102、S104或S105中确定的每个像素块的曝光时间来执行被摄体的捕获。在这个时候,被控制为在步骤S100中仅读出像素块的中心部分处的像素100的水平扫描单元7的操作变为从像素块的所有像素100中读出。

[0320] 以这种方式获得的图像数据被显示在图像显示单元1500上并被存储在存储单元1600中。

[0321] 如上所述,根据本实施例,可以实现应用根据第一至第八实施例中的每一个实施例的成像设备1000的成像系统。

[0322] [第十实施例]

[0323] 将参考图30A和图30B描述根据本发明的第十实施例的成像系统和可移动体。图

30A是图示了根据本实施例的成像系统的配置的图。图30B是图示了根据本实施例的可移动体的配置的图。

[0324] 图30A图示了与车载相机相关的成像系统的示例。成像系统300包括成像设备310。成像设备310是在以上第一至第八实施例中的任何一个中描述的成像设备1000。成像系统300包括：对由成像设备310获取的多个图像数据执行图像处理的图像处理单元312，以及根据由成像系统300获取的多个图像数据计算视差（视差图像的相位差）的视差获取单元314。另外，成像系统300包括基于计算出的视差计算到对象的距离的距离获取单元316，以及基于计算出的距离确定是否存在冲突可能性的冲突确定单元318。在这里，视差获取单元314和距离获取单元316是获取关于到对象的距离的距离信息的距离信息获取单元的示例。即，距离信息是关于视差、散焦量、到对象的距离等的信息。冲突确定单元318可以使用任何上述距离信息来确定冲突可能性。距离信息获取单元可以由专用设计的硬件实现，或者可以由软件模块实现。另外，距离信息获取单元可以由现场可编程门阵列（FPGA）、专用集成电路（ASIC）等实现，或者可以由它们的组合来实现。

[0325] 成像系统300连接到车辆信息获取设备320，并且可以获取诸如车速、偏航率、转向角等之类的车辆信息。另外，成像系统300连接到控制ECU 330，控制ECU 330是基于冲突确定单元318的确定结果输出用于使车辆生成制动力的控制信号的控制设备。另外，成像系统300还连接到警报设备340，警报设备340基于冲突确定单元318的确定结果向驾驶员发出警报。例如，当作为冲突确定单元318的确定结果，冲突概率高时，控制ECU 330通过施加制动、推回加速器、抑制引擎动力等来执行车辆控制以避免冲突或减少损坏。警报设备340通过发出诸如声音之类的警报、在汽车导航系统等的显示器上显示警报信息、向座椅安全带或方向盘提供振动等来警告用户。

[0326] 在本实施例中，通过使用成像系统300捕获车辆周围的区域，例如，前部区域或后部区域。图30B图示了当捕获车辆的前部区域（捕获区域350）时的成像系统。车辆信息获取设备320将指令发送到成像系统300或成像设备310。这种配置还可以提高测距准确度。

[0327] 虽然上面已经描述了用于避免与另一个车辆冲突的控制的示例，但是该实施例可应用于用于跟随另一个车辆的自动驾驶控制、用于不离开行车道的自动驾驶控制等。此外，成像系统不限于诸如主车辆之类的车辆，而是还可以应用于诸如船舶、飞机或工业机器人之类的可移动体（移动装置）。此外，成像系统可以广泛应用于利用物体识别的设备，诸如智能交通系统（ITS），而限于可移动体。

[0328] [修改实施例]

[0329] 本发明不限于上述实施例，并且可以进行各种修改。

[0330] 例如，将任何实施例的配置的一部分添加到另一个实施例的示例或者用另一个实施例的配置的一部分替换任何实施例的配置的一部分的示例是本发明的实施例之一。

[0331] 另外，虽然在第一和第二实施例中利用了列放大器的增益，在第三和第四实施例中利用了FD节点的电容，并且在第五和第六实施例中利用了AD转换增益来生成以多个增益放大的信号，但是这些可以以任意方式组合。

[0332] 另外，虽然在第三实施例中从像素100并行地输出以多个增益放大的信号，但是可以以时分方式输出以多个增益放大的信号。在这种情况下，与第四实施例的情况一样，可以通过使用分离的控制信号来控制选择晶体管M51和M52。

[0333] 类似地,虽然在第四实施例中以时分方式输出以多个增益放大的信号,但是可以从像素100并行地输出以多个增益放大的信号。在这种情况下,与第三实施例的情况一样,与选择晶体管M51和M52中的每一个相关联地提供垂直输出线106和117,并且选择晶体管M51和M52可以通过使用公共控制信号来控制。

[0334] 另外,在上述第九和第十实施例中所示的成像系统是可以向其应用本发明的成像设备的成像系统示例,并且可以向其应用本发明的成像设备的成像系统不限于图28和图30A中所示的配置。

[0335] 虽然已经参考示例性实施例描述了本发明,但是应该理解的是,本发明不限于所公开的示例性实施例。所附权利要求的范围应被赋予最宽泛的解释,以涵盖所有这些修改以及等同的结构和功能。

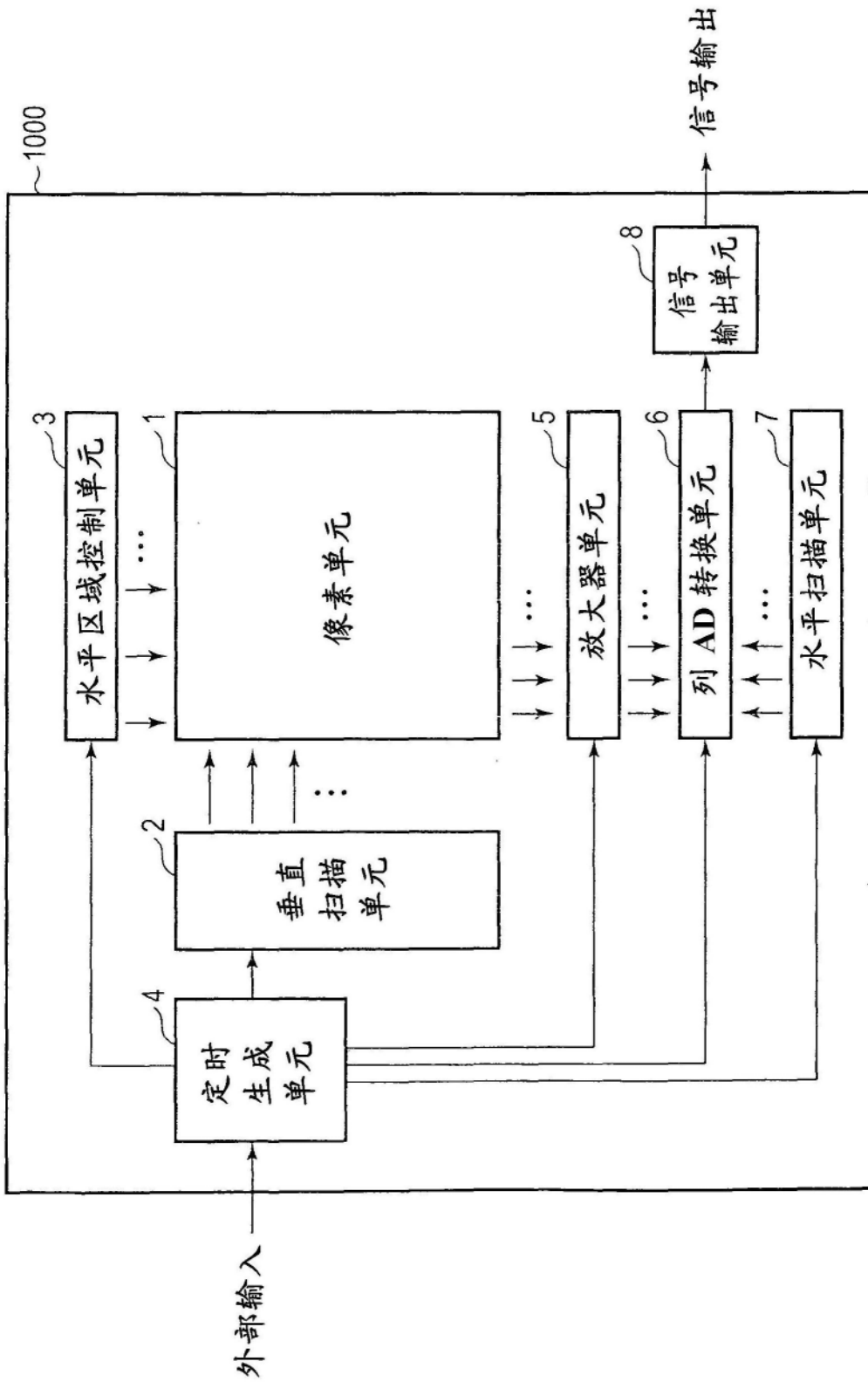


图1

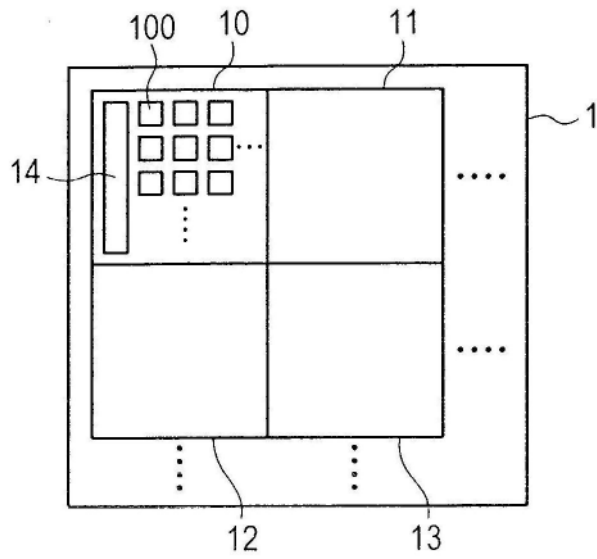


图2

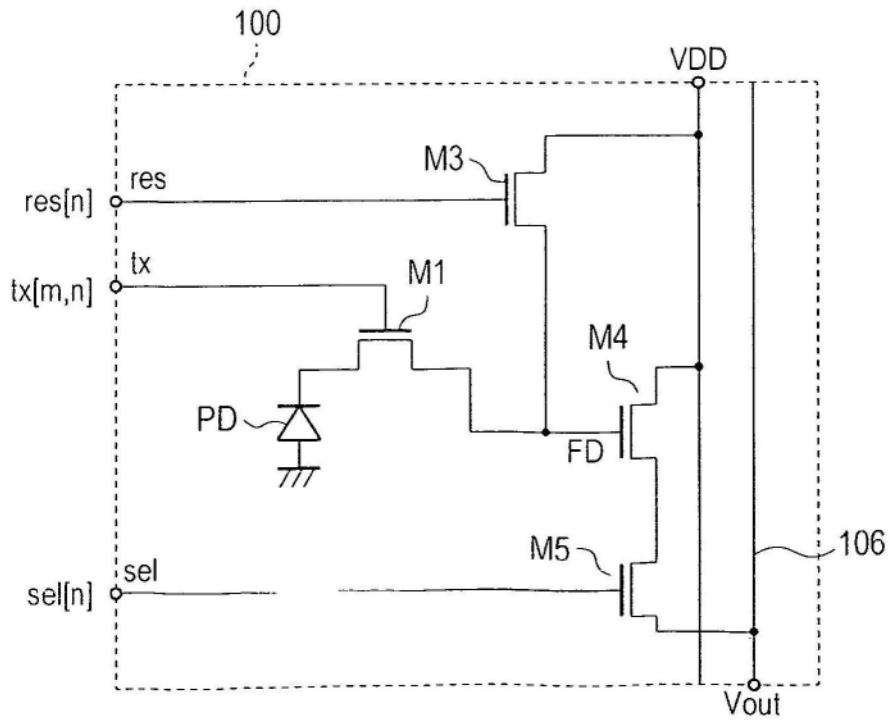


图3

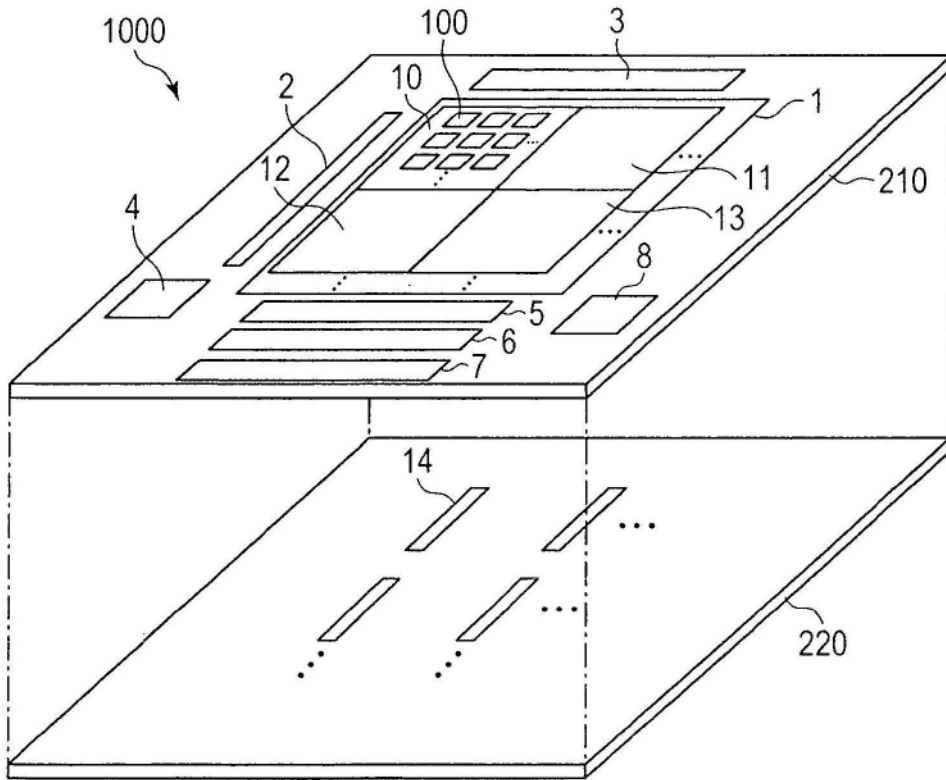


图4A

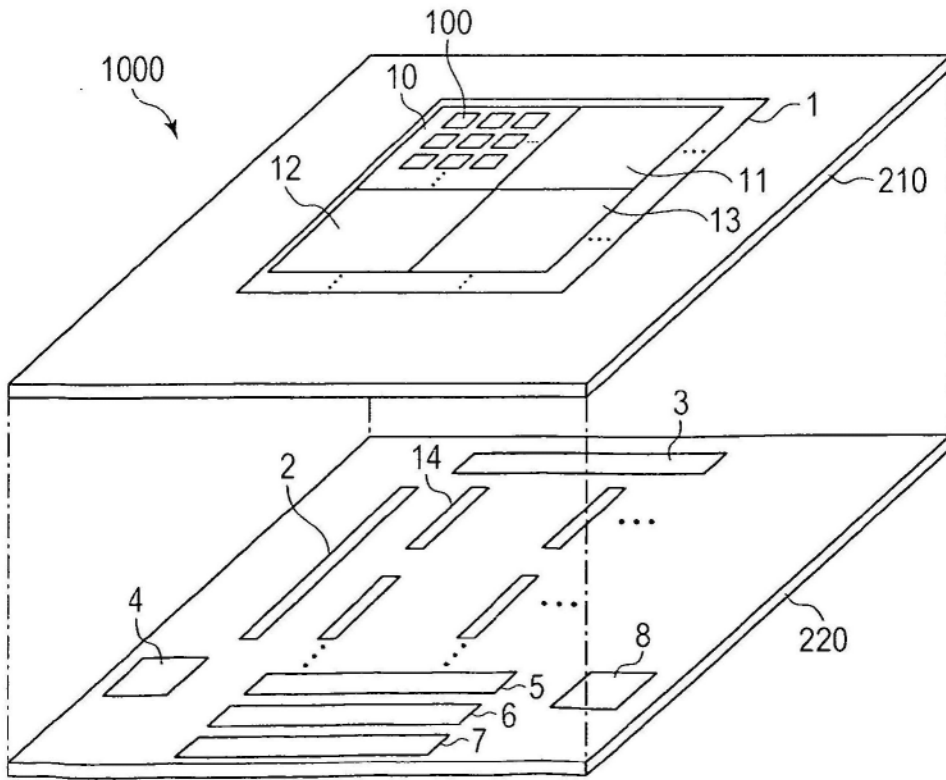


图4B

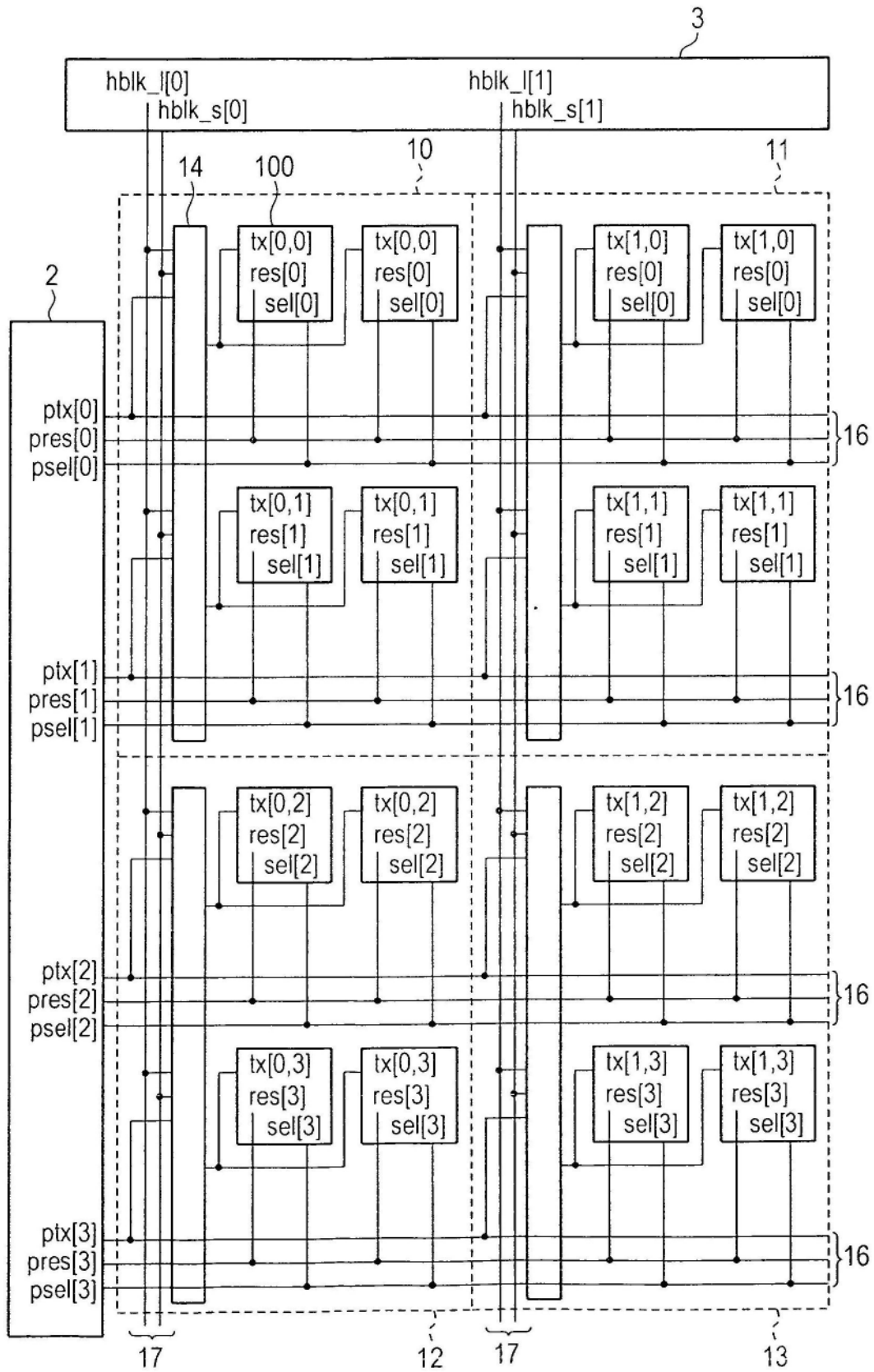


图5

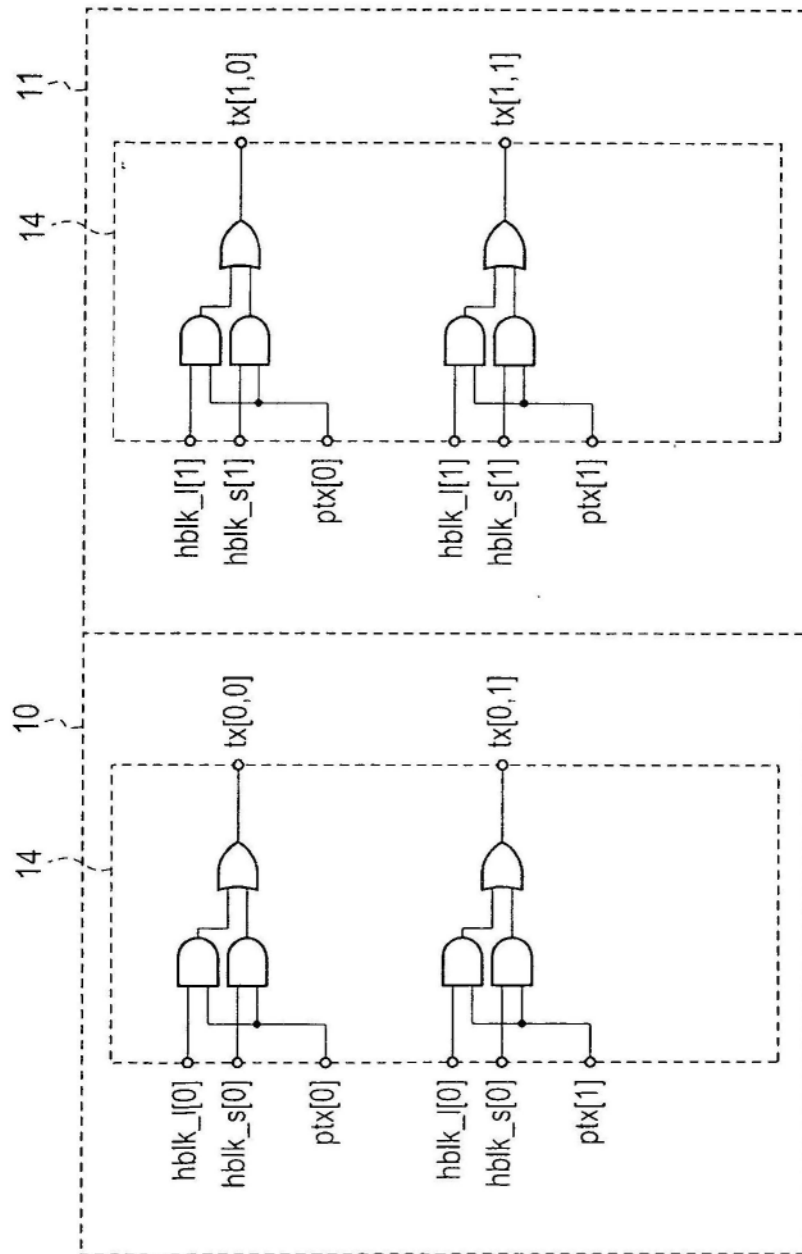


图6

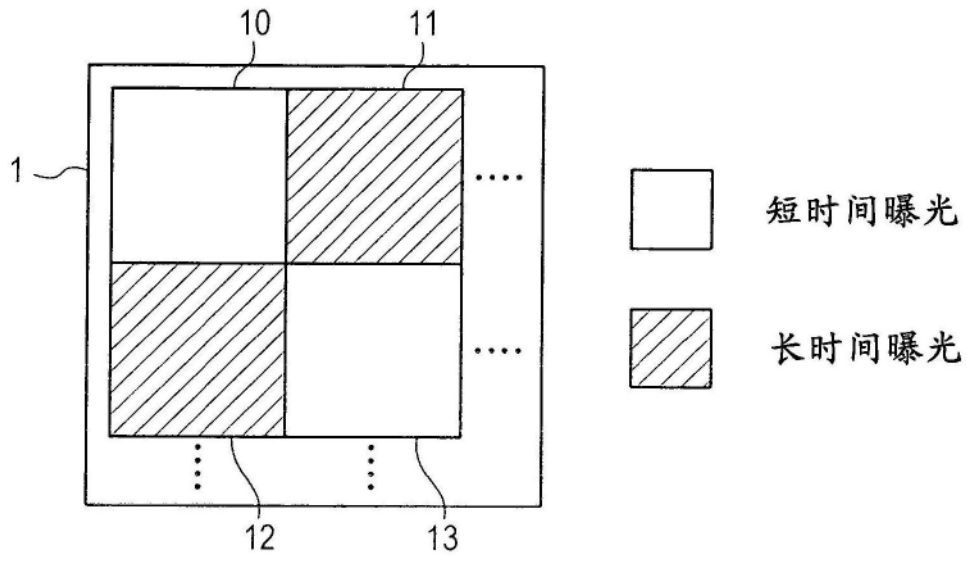


图7

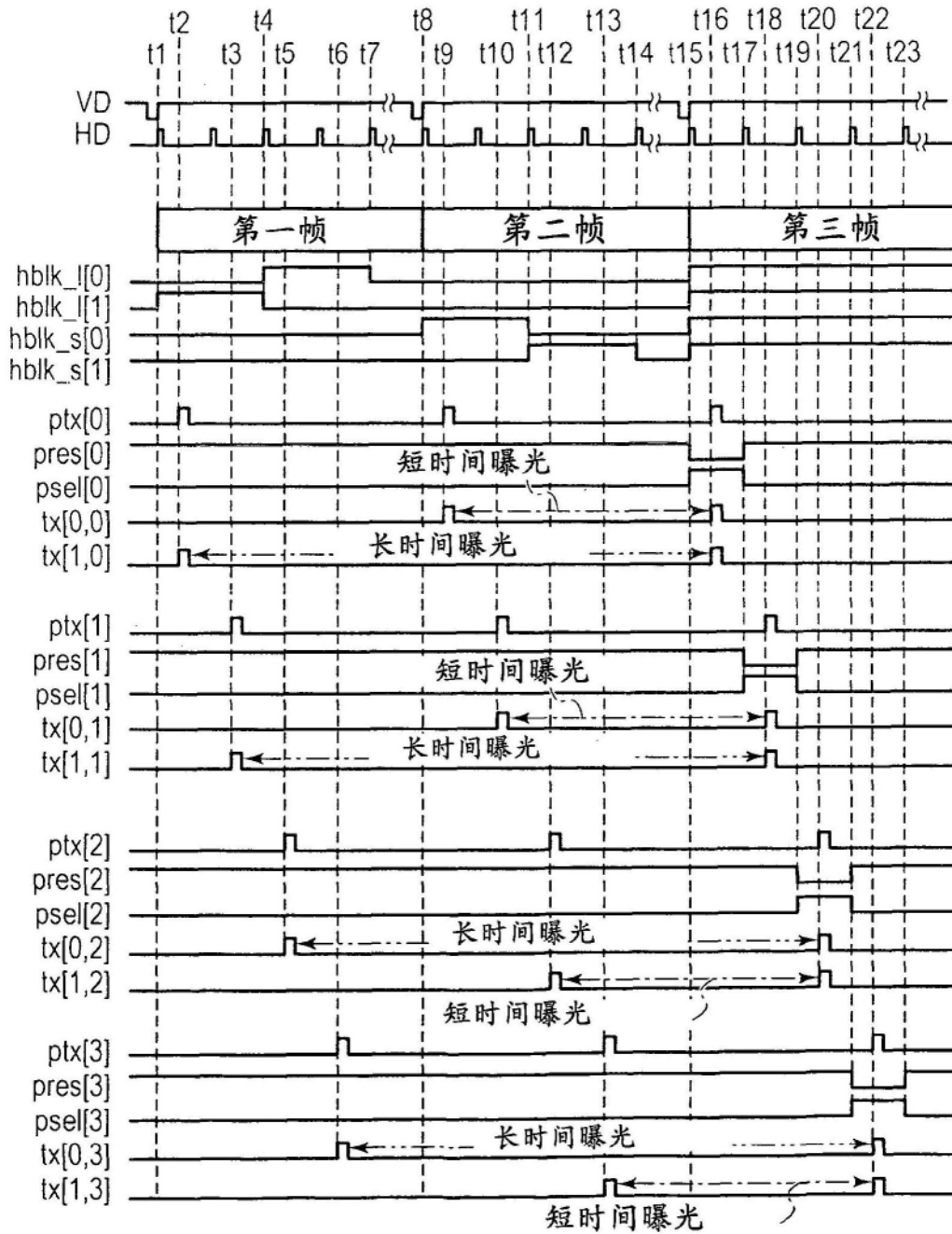


图8

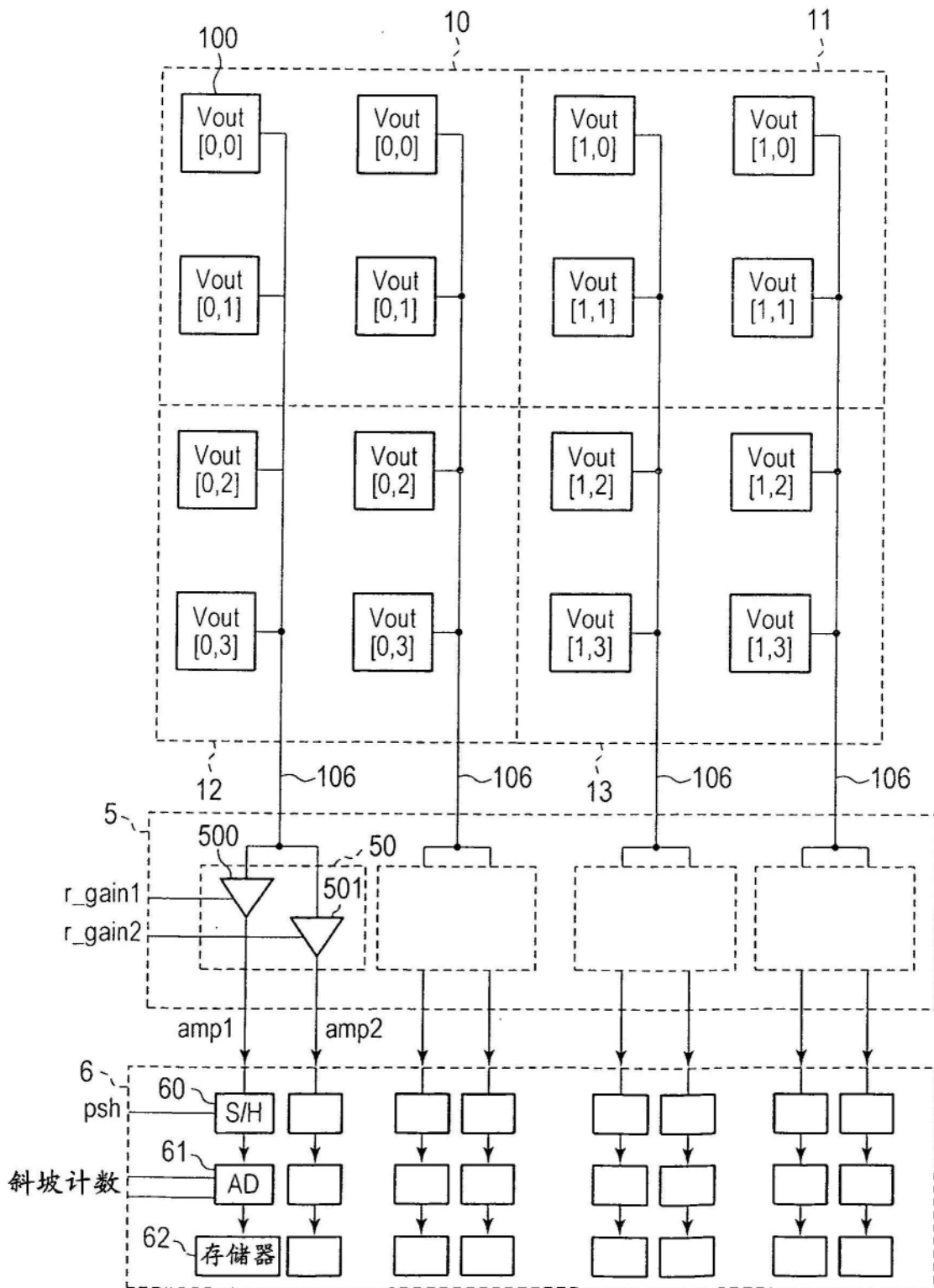


图9

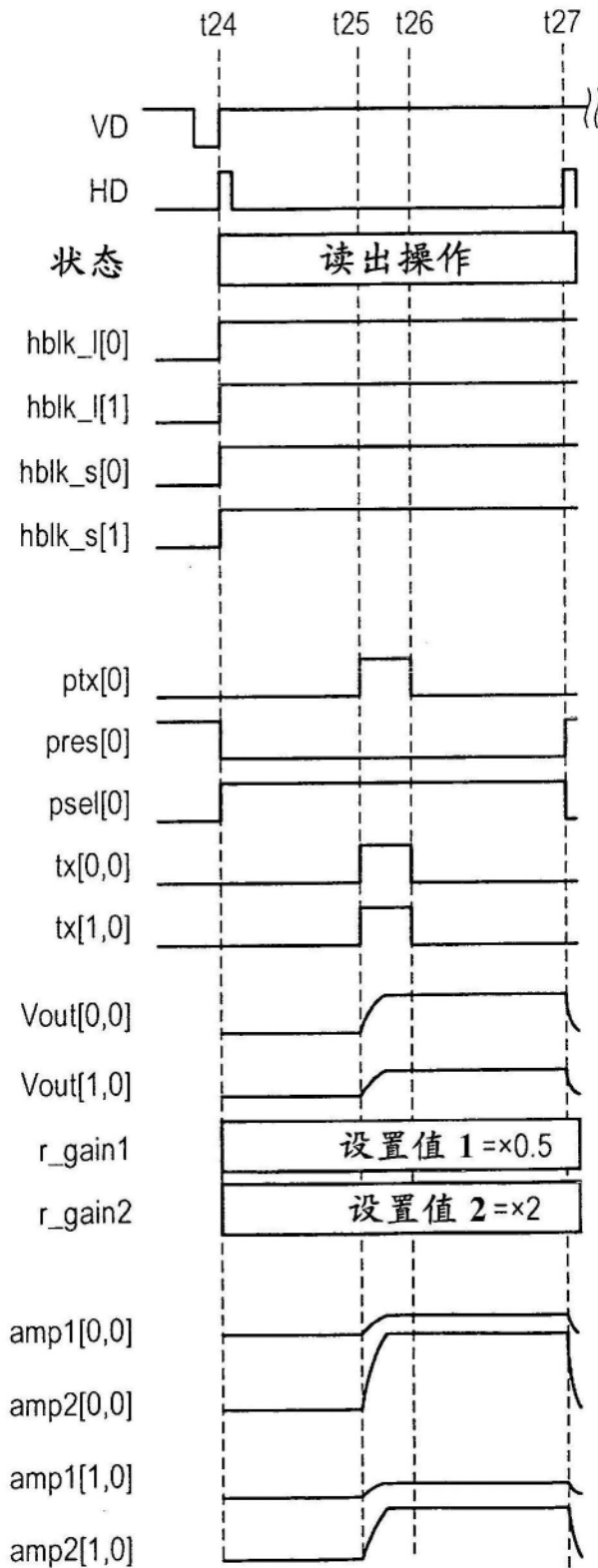


图10

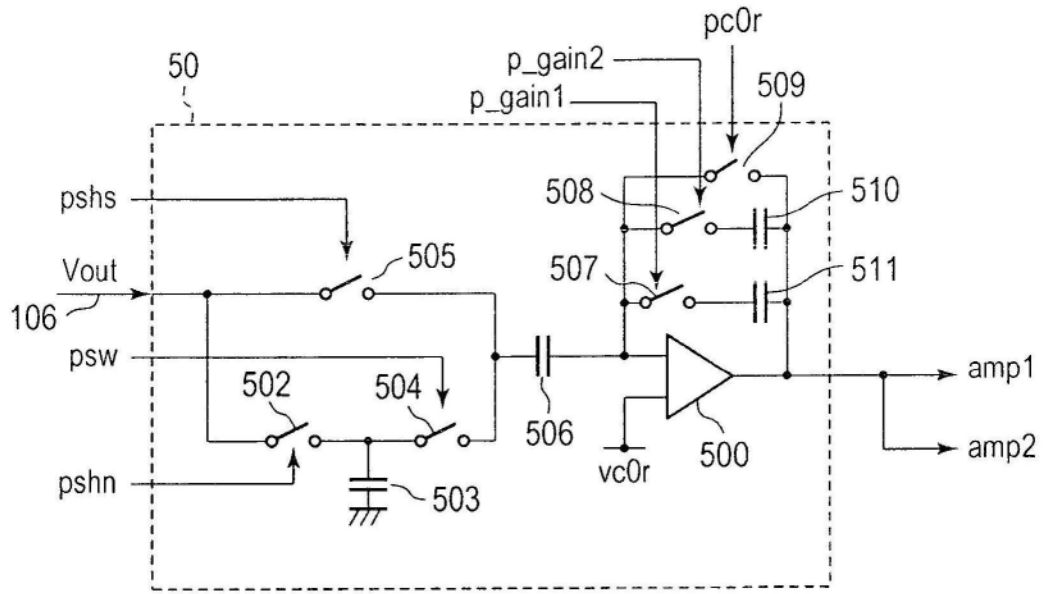


图11

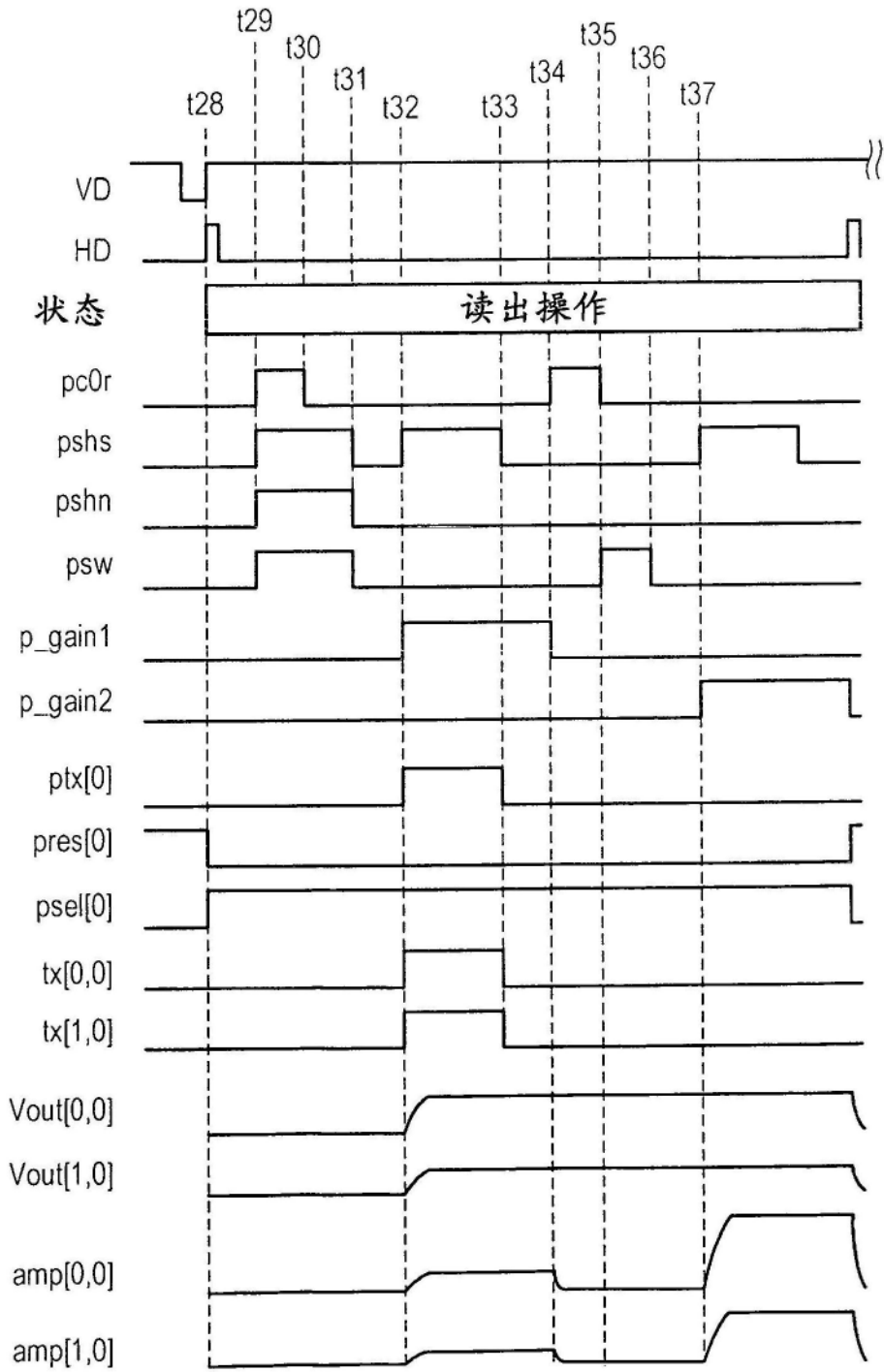


图12

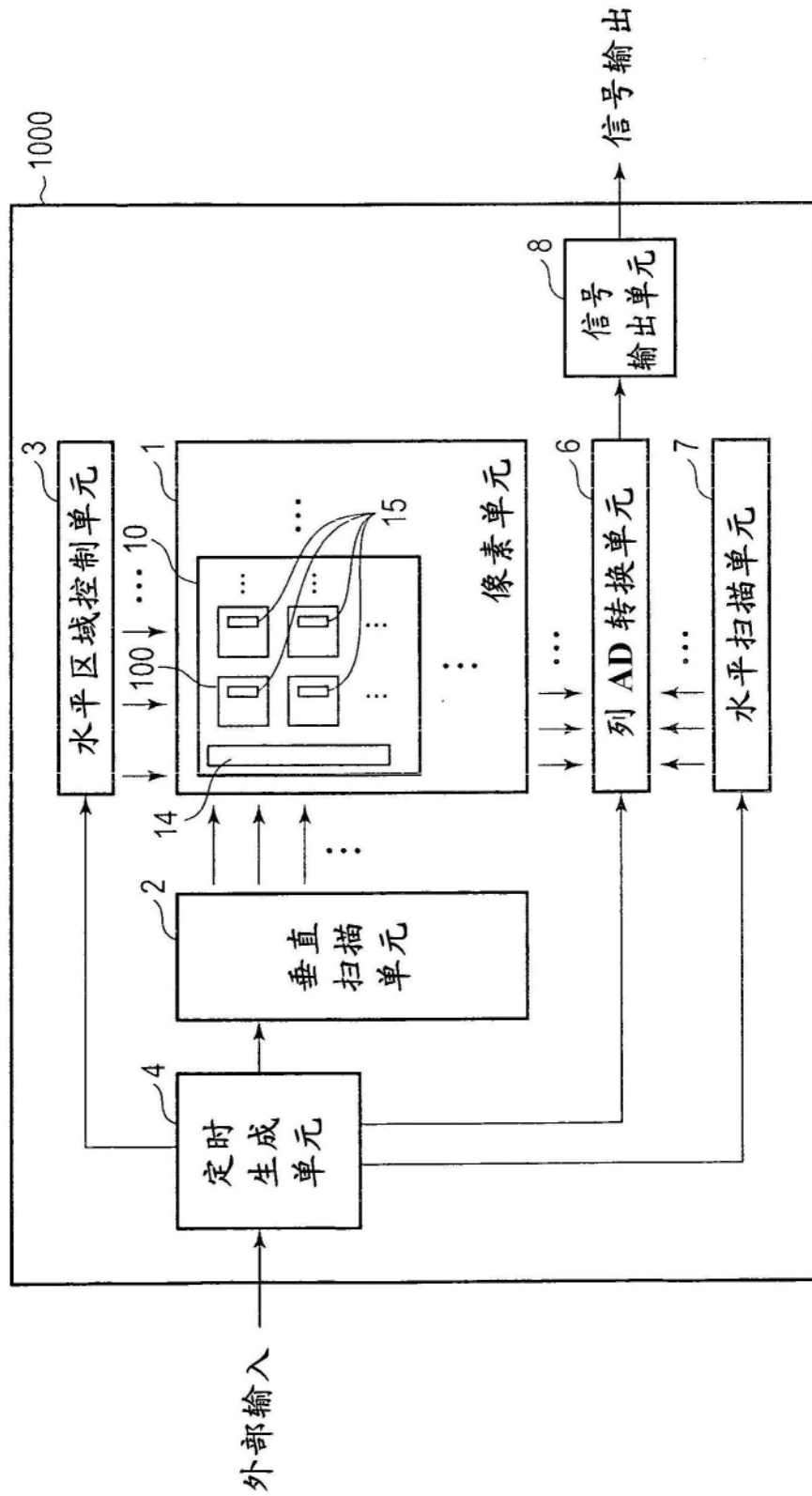


图13

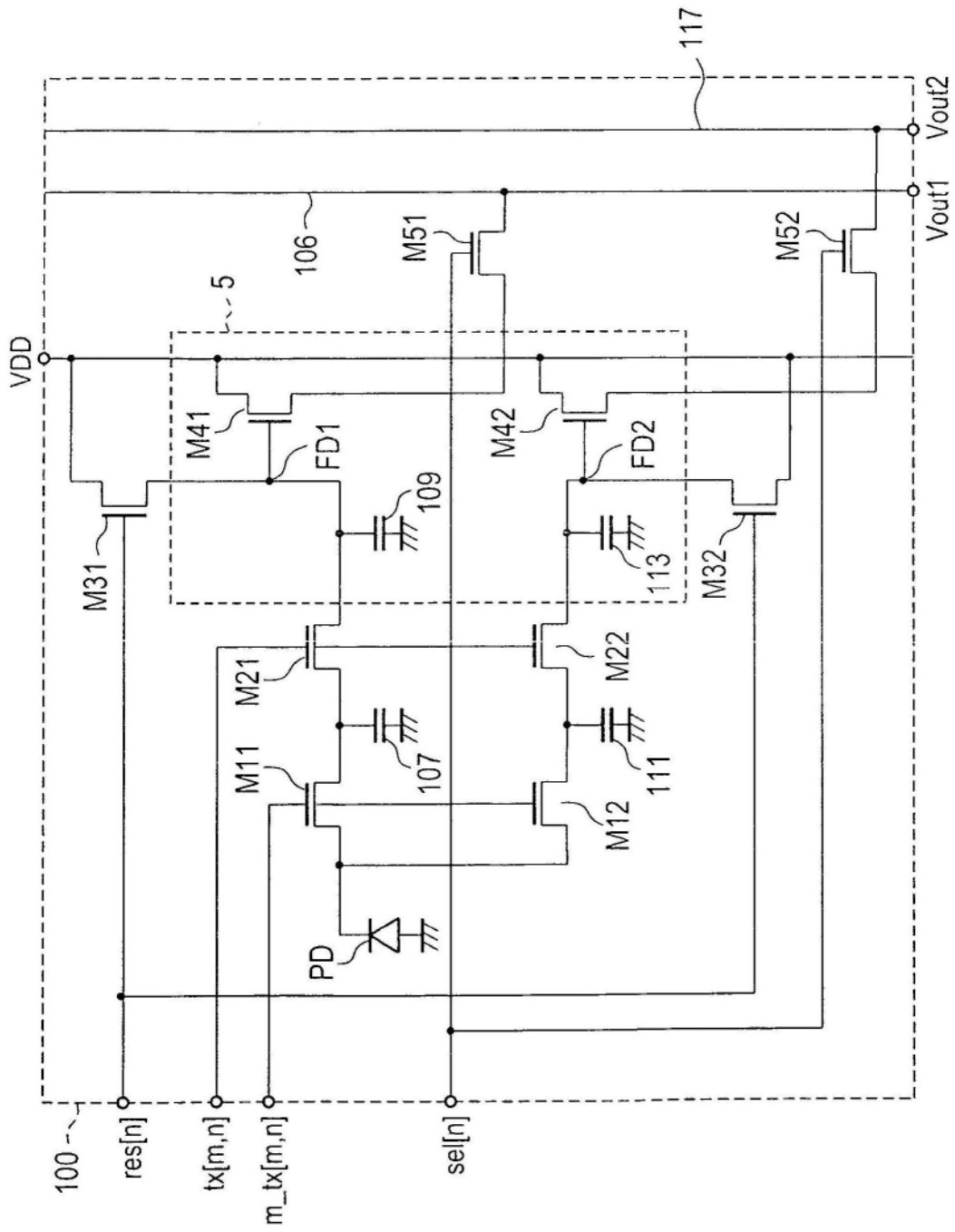


图14

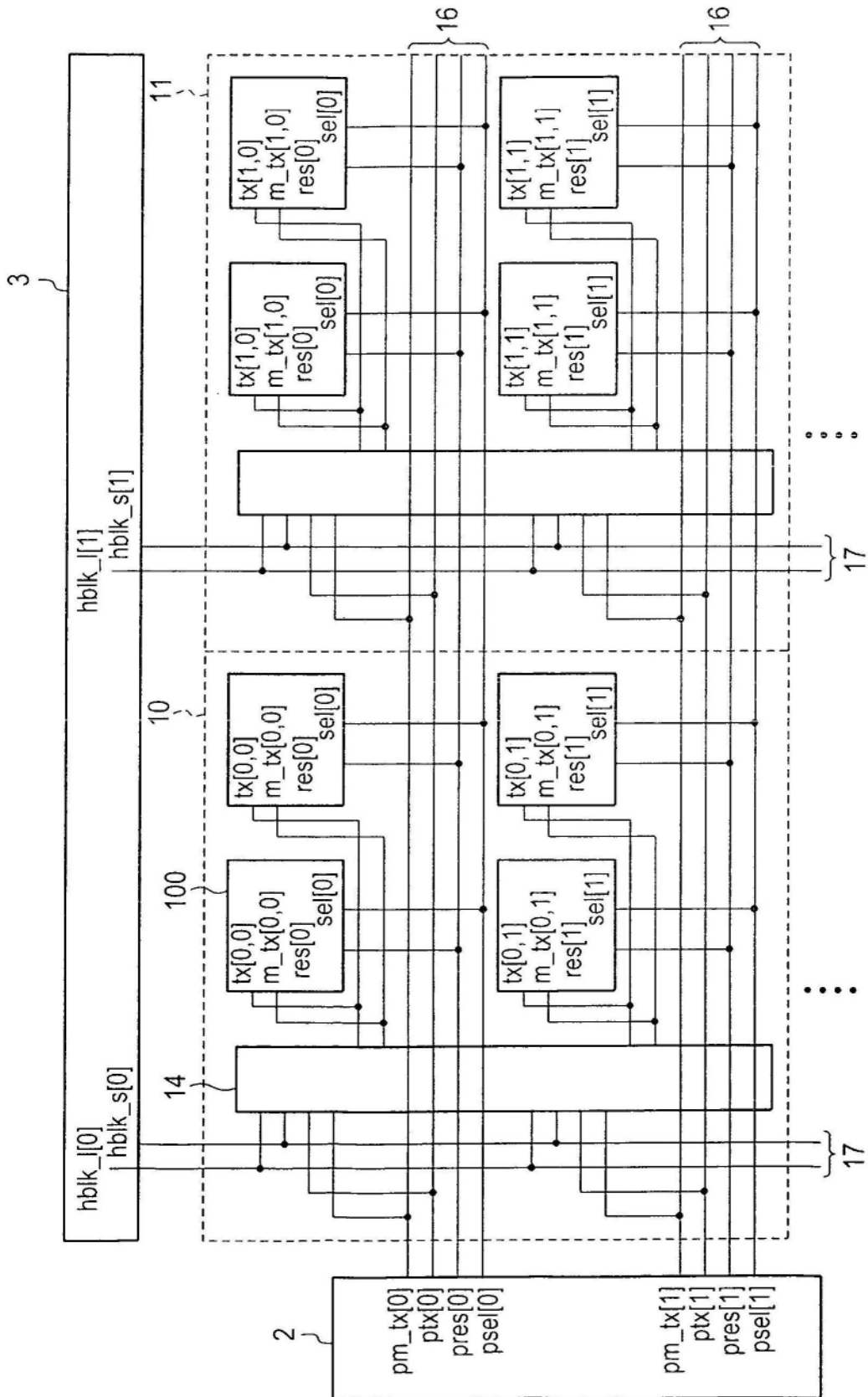


图15

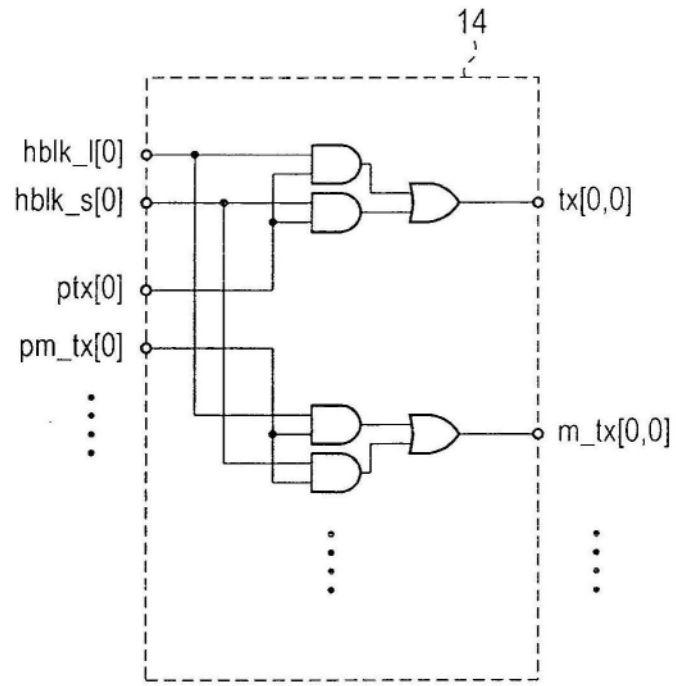


图16

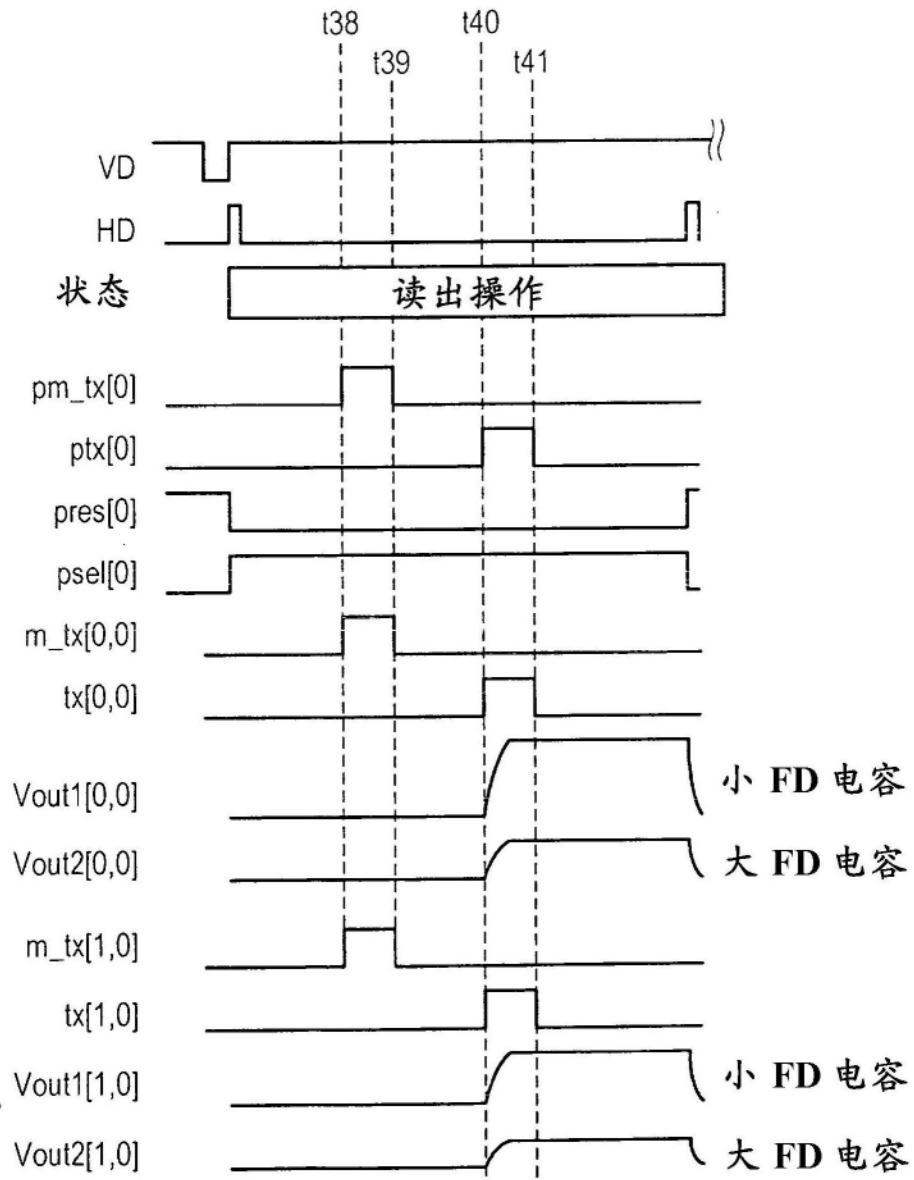


图17

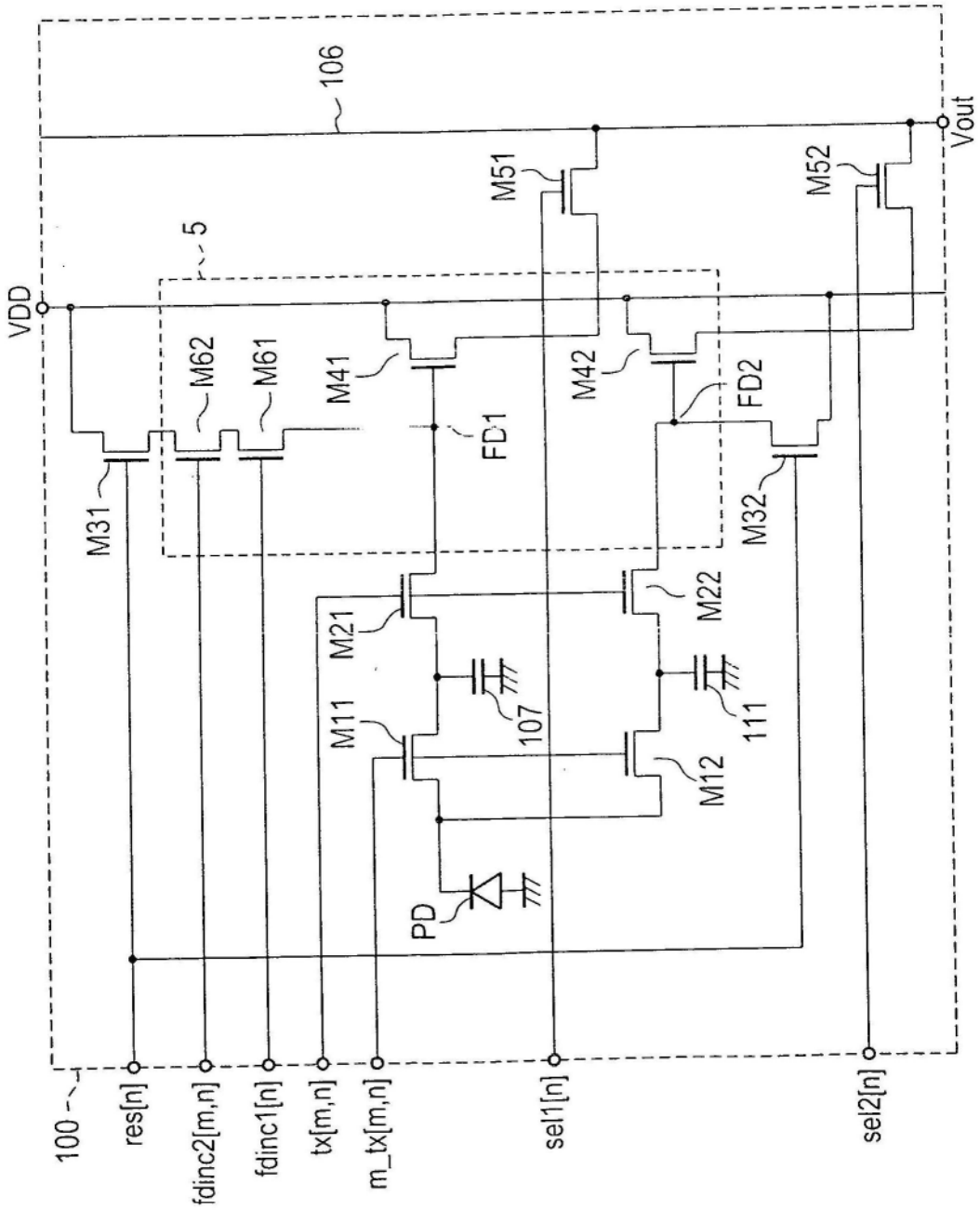


图18

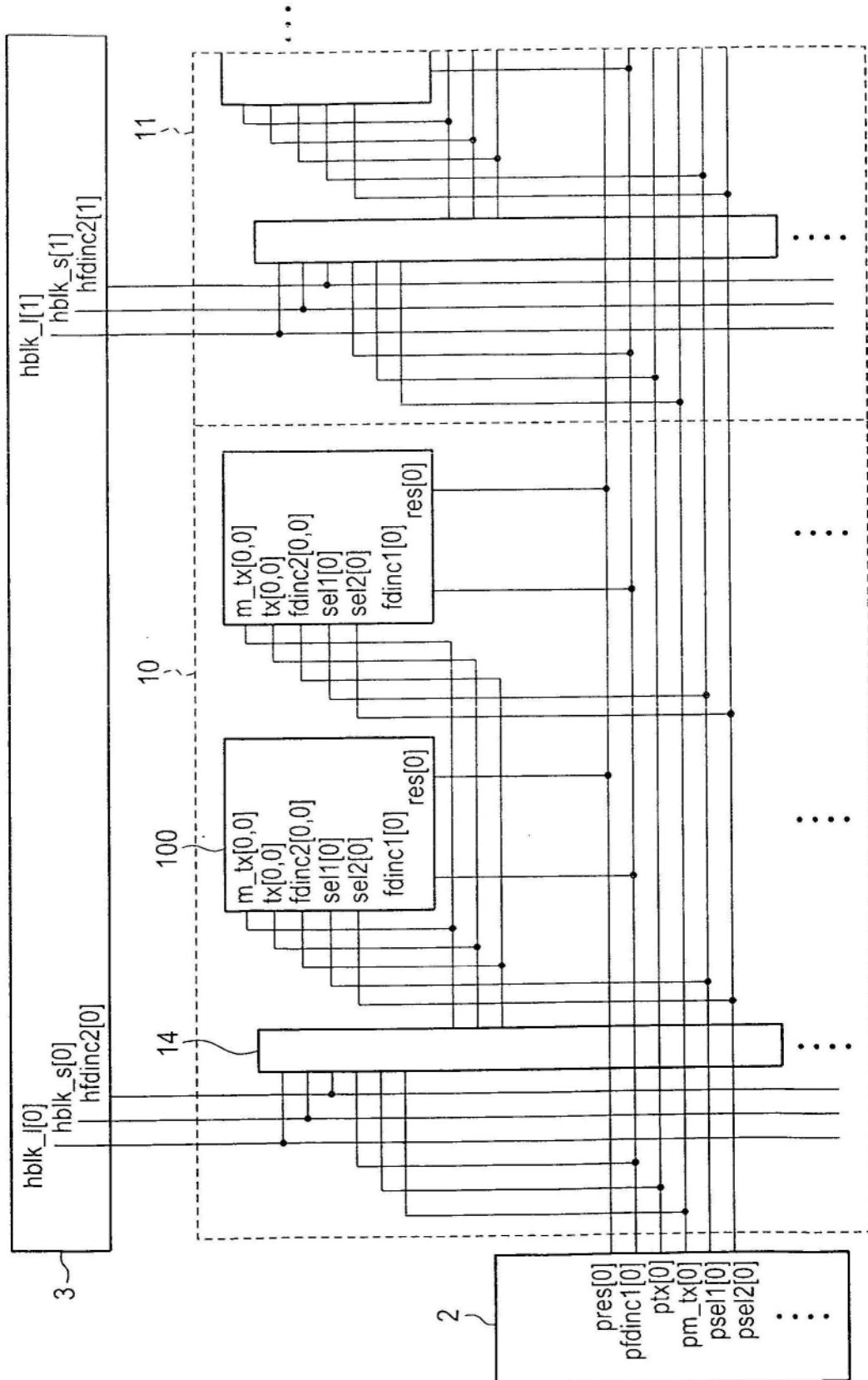


图19

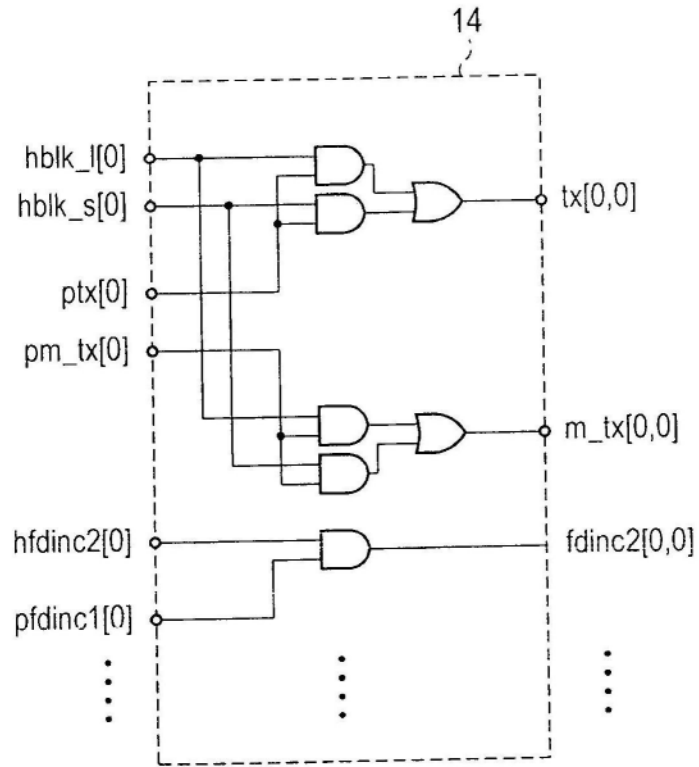


图20

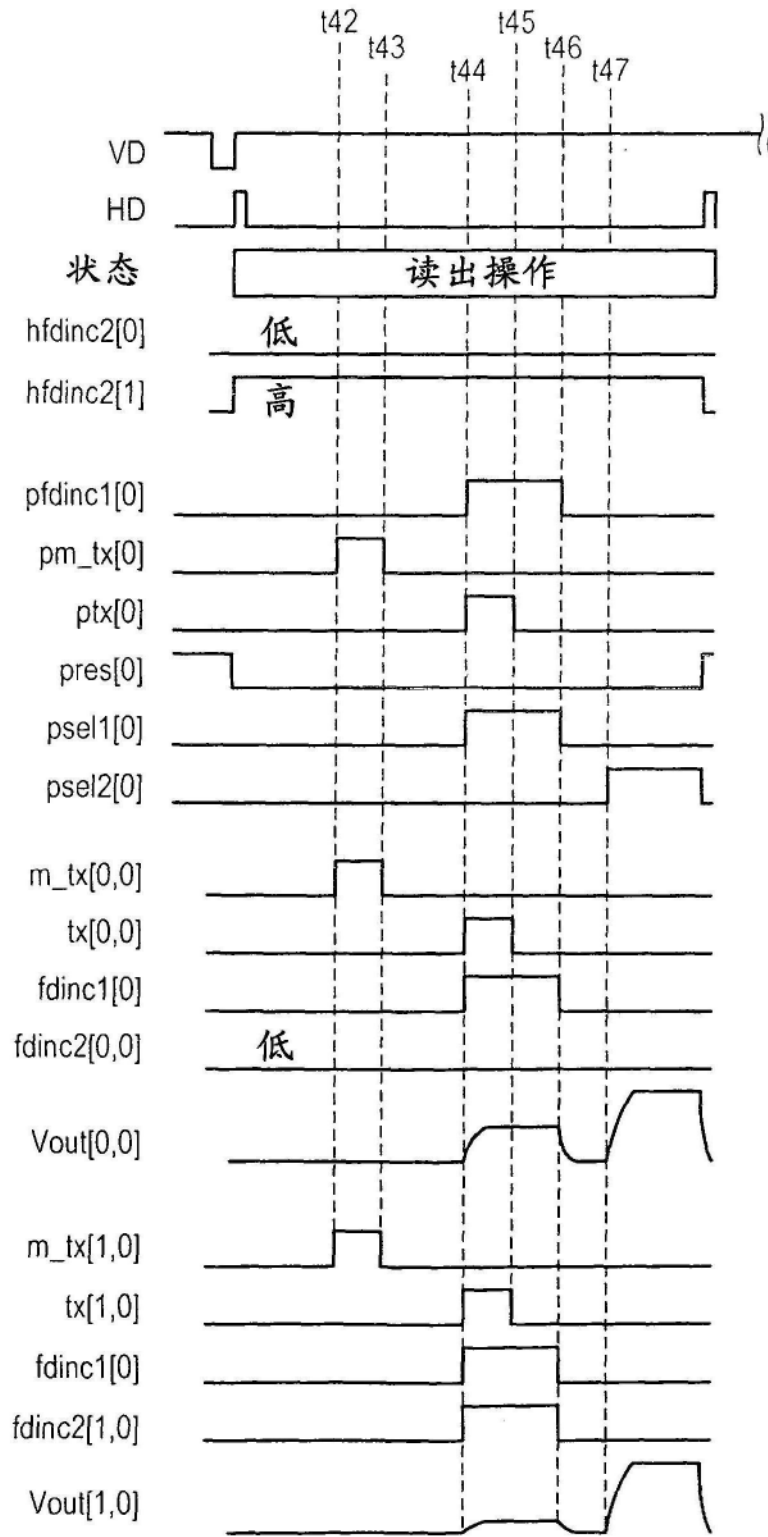


图21

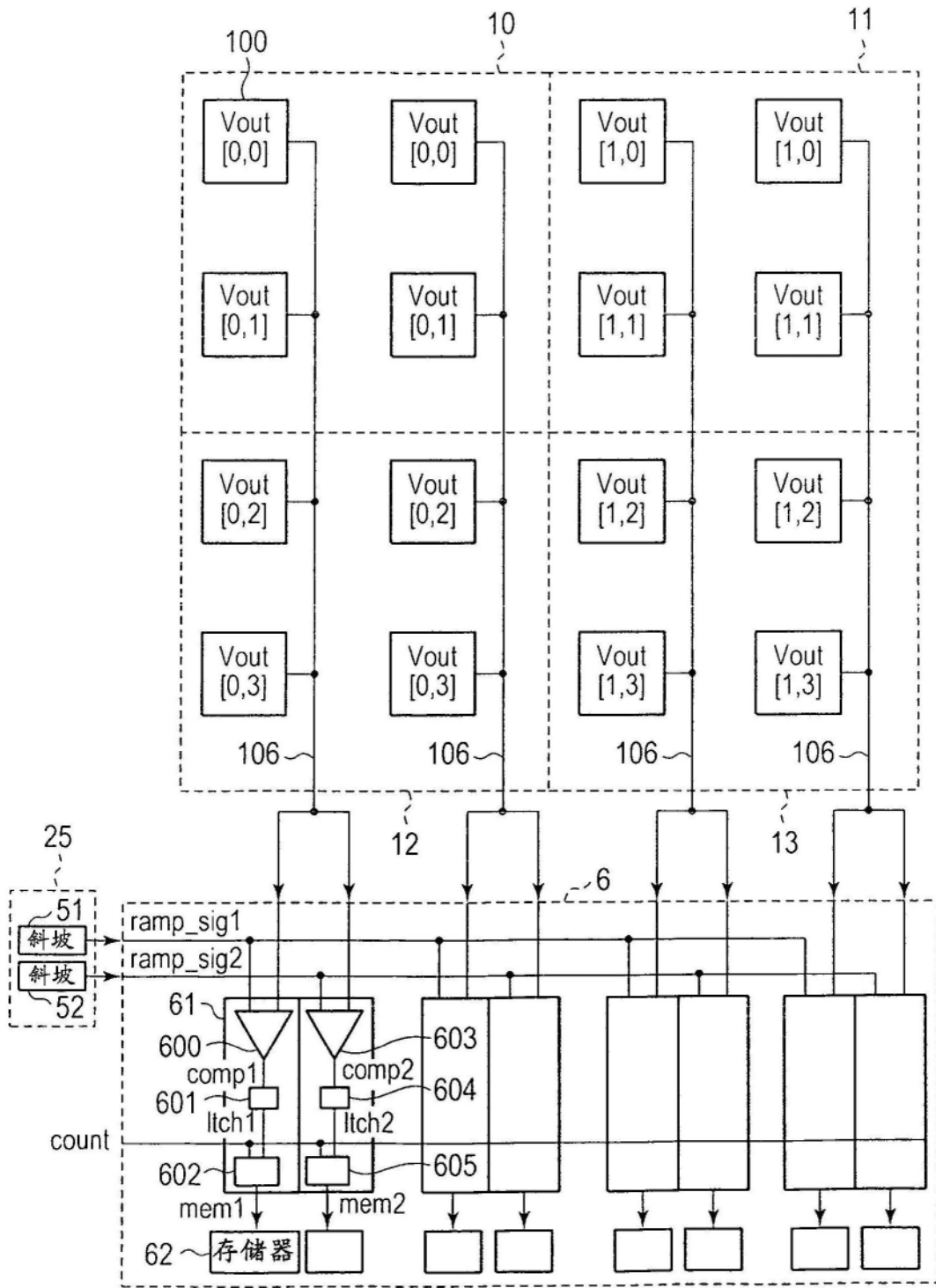


图22

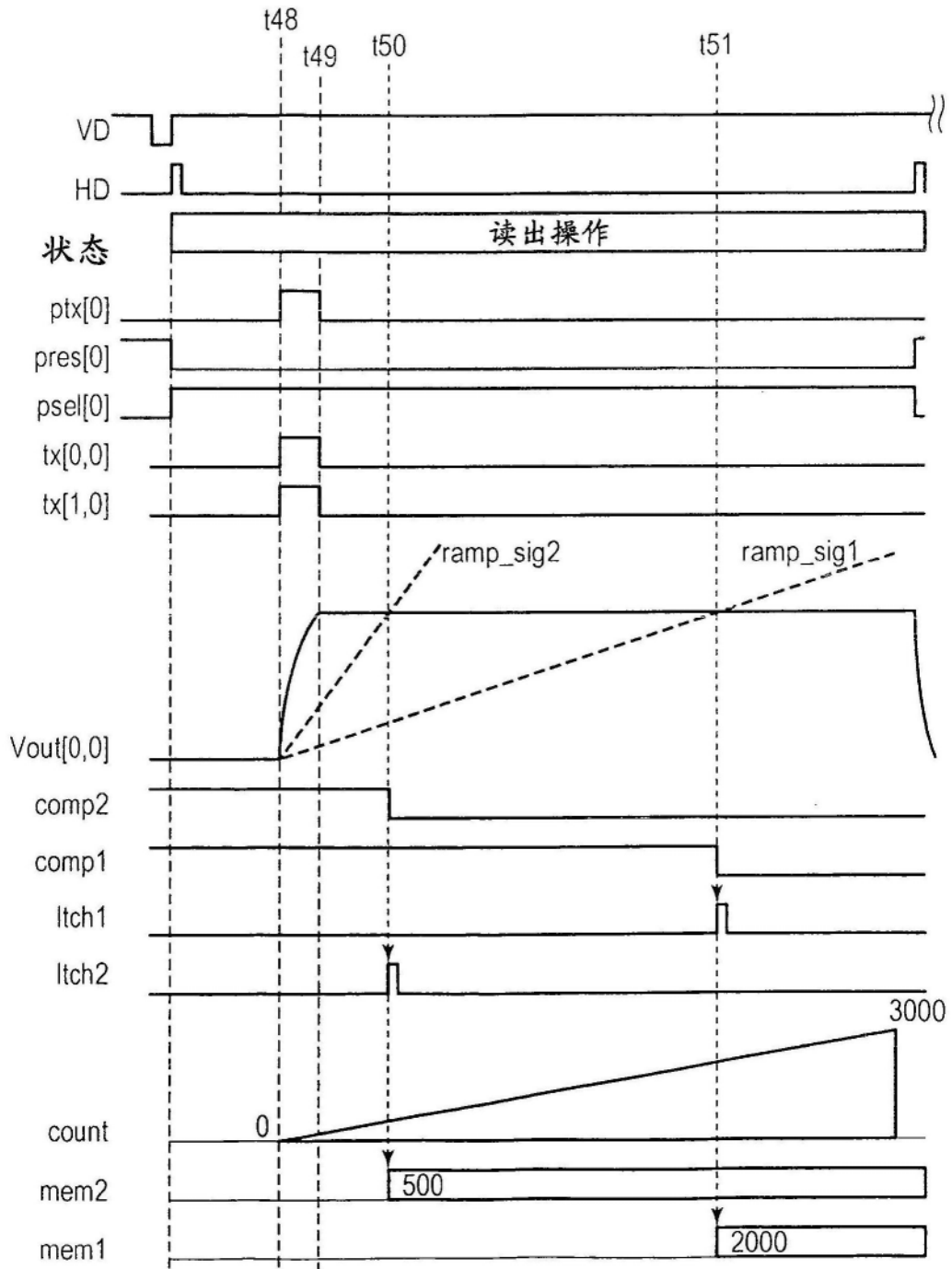


图23

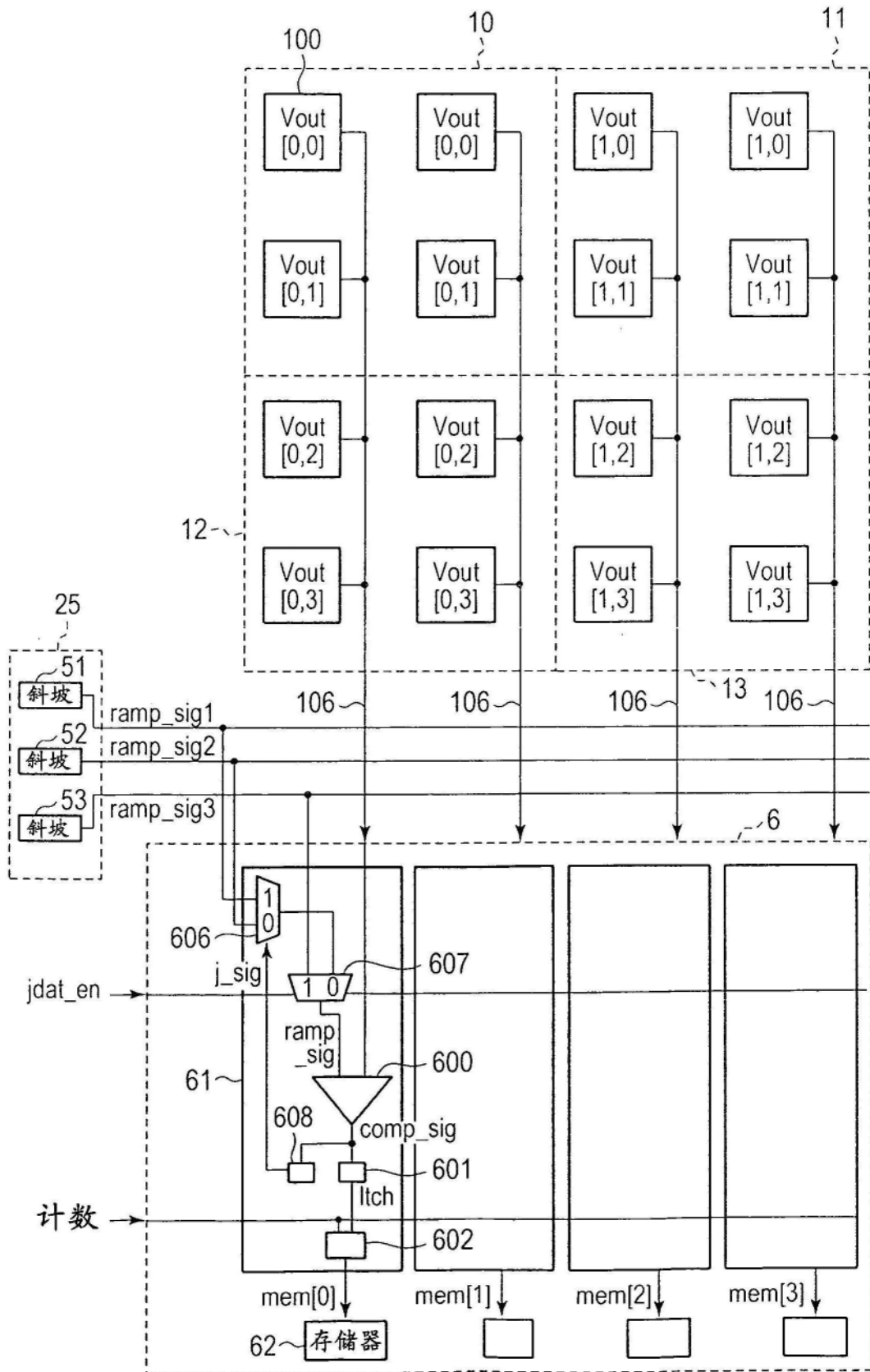


图24

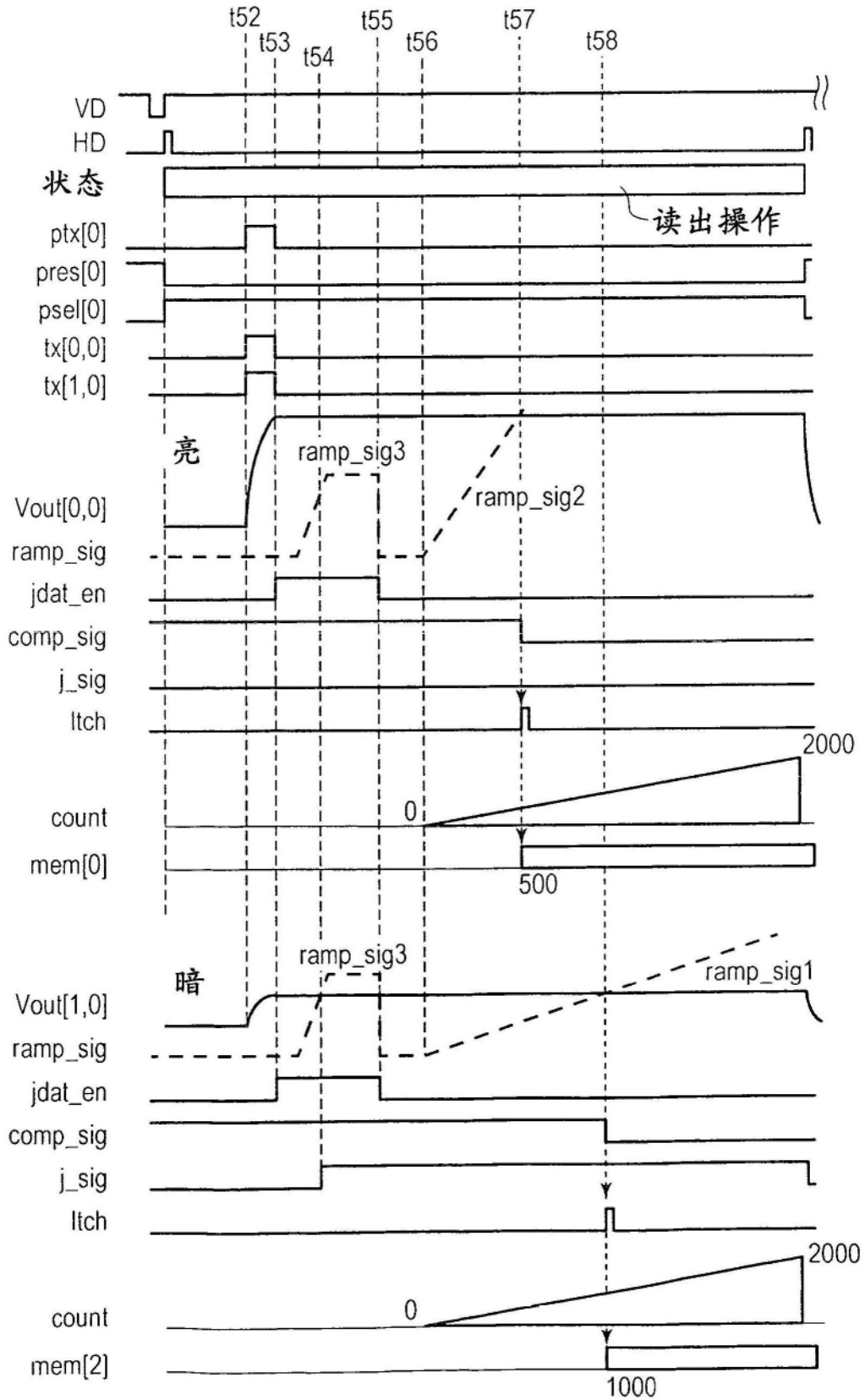


图25

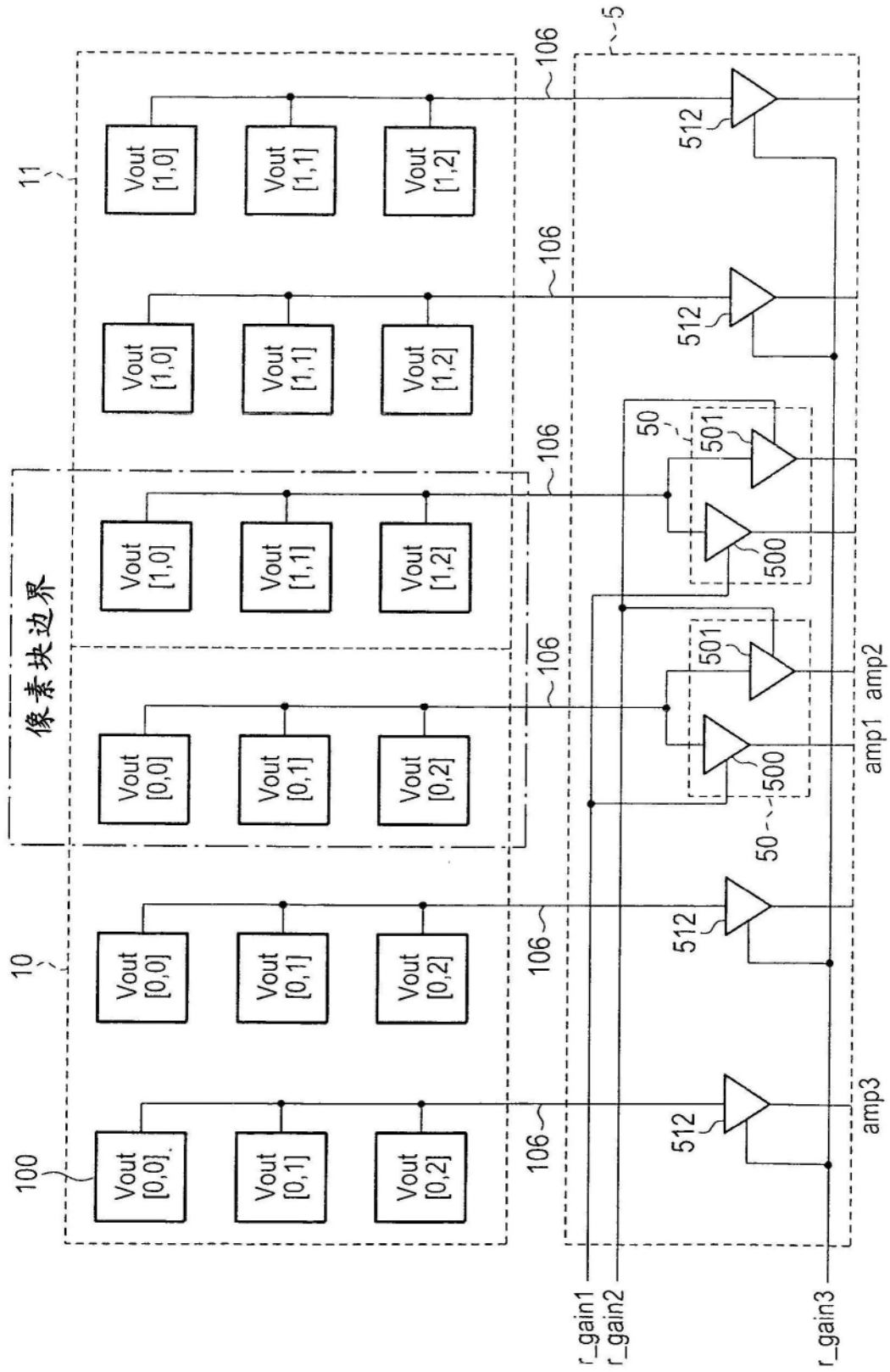


图26

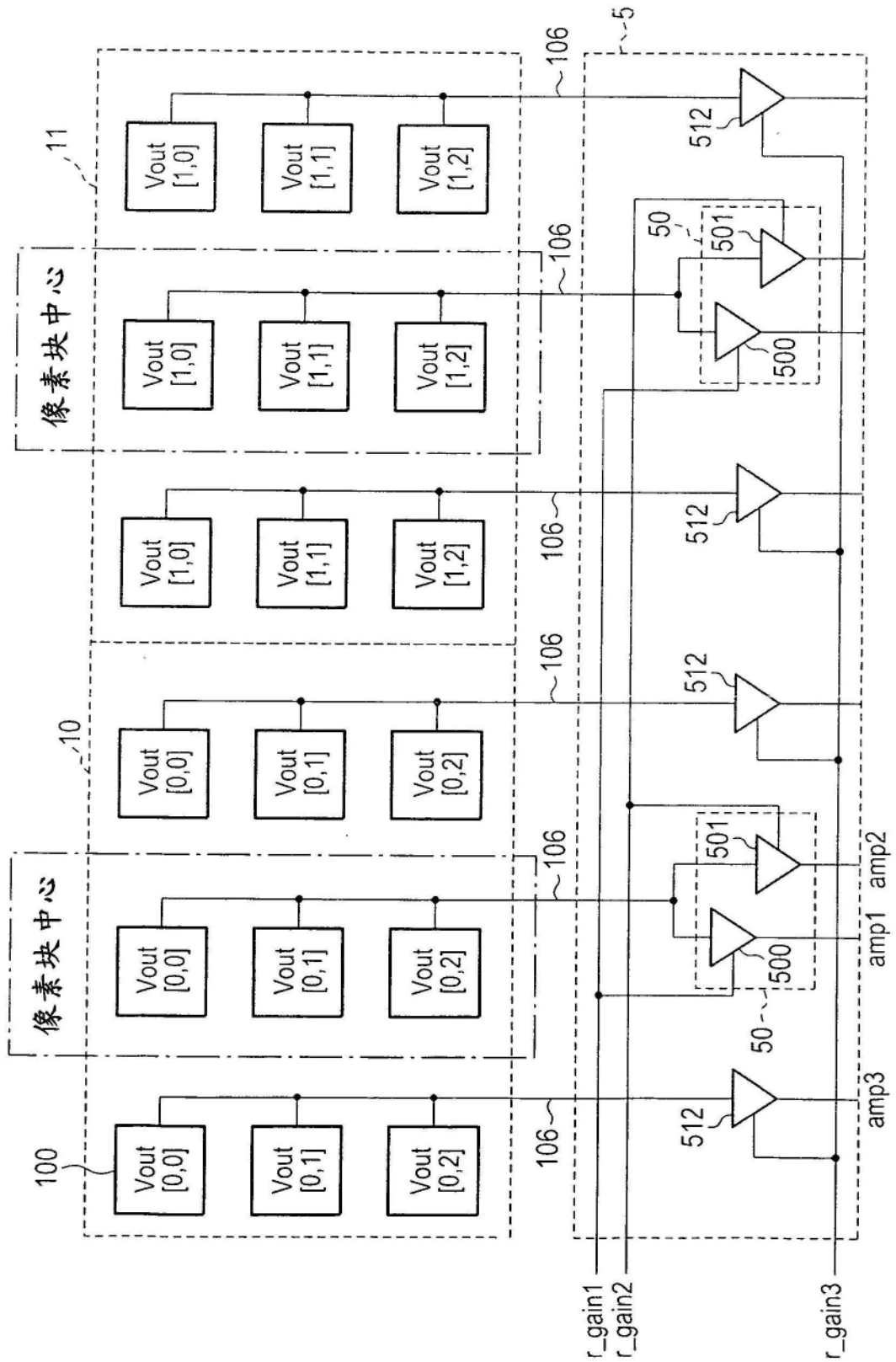


图27

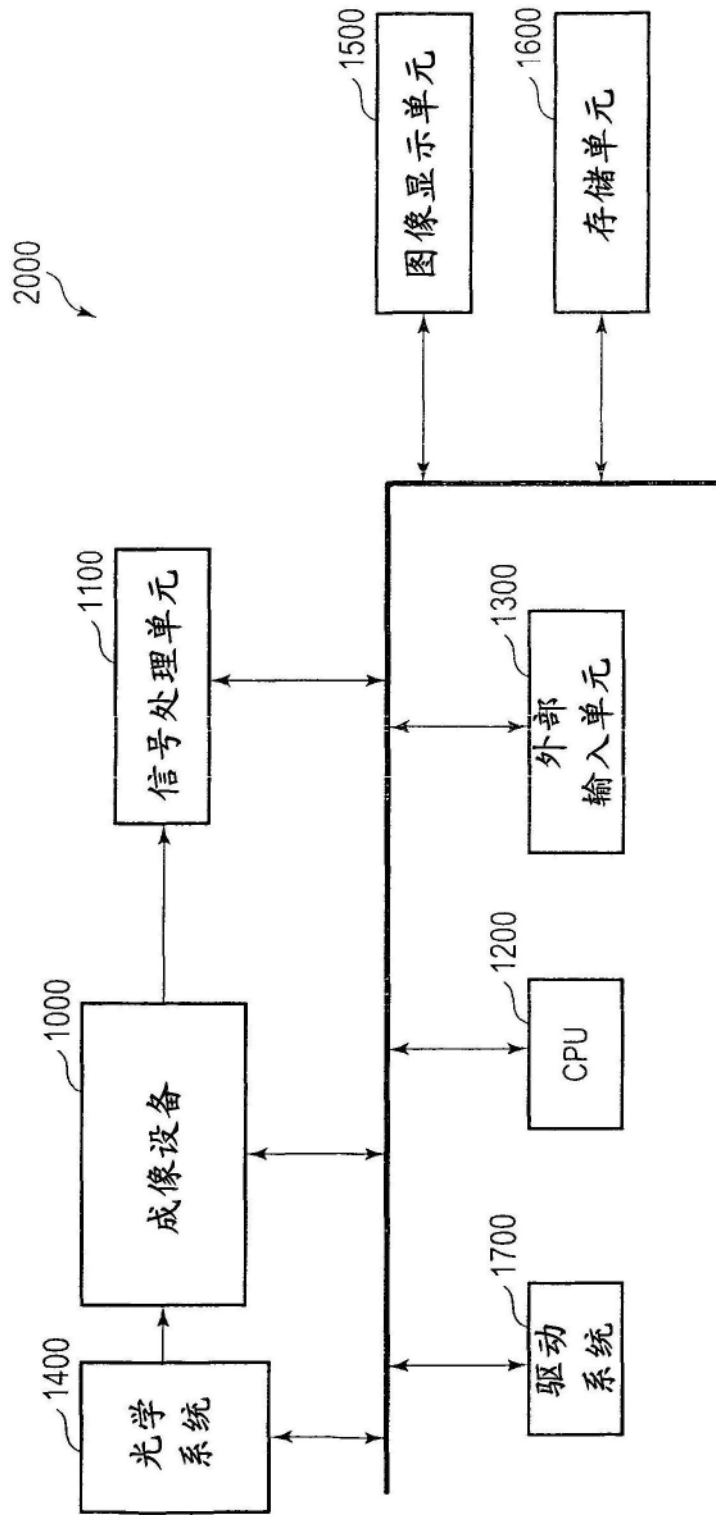


图28

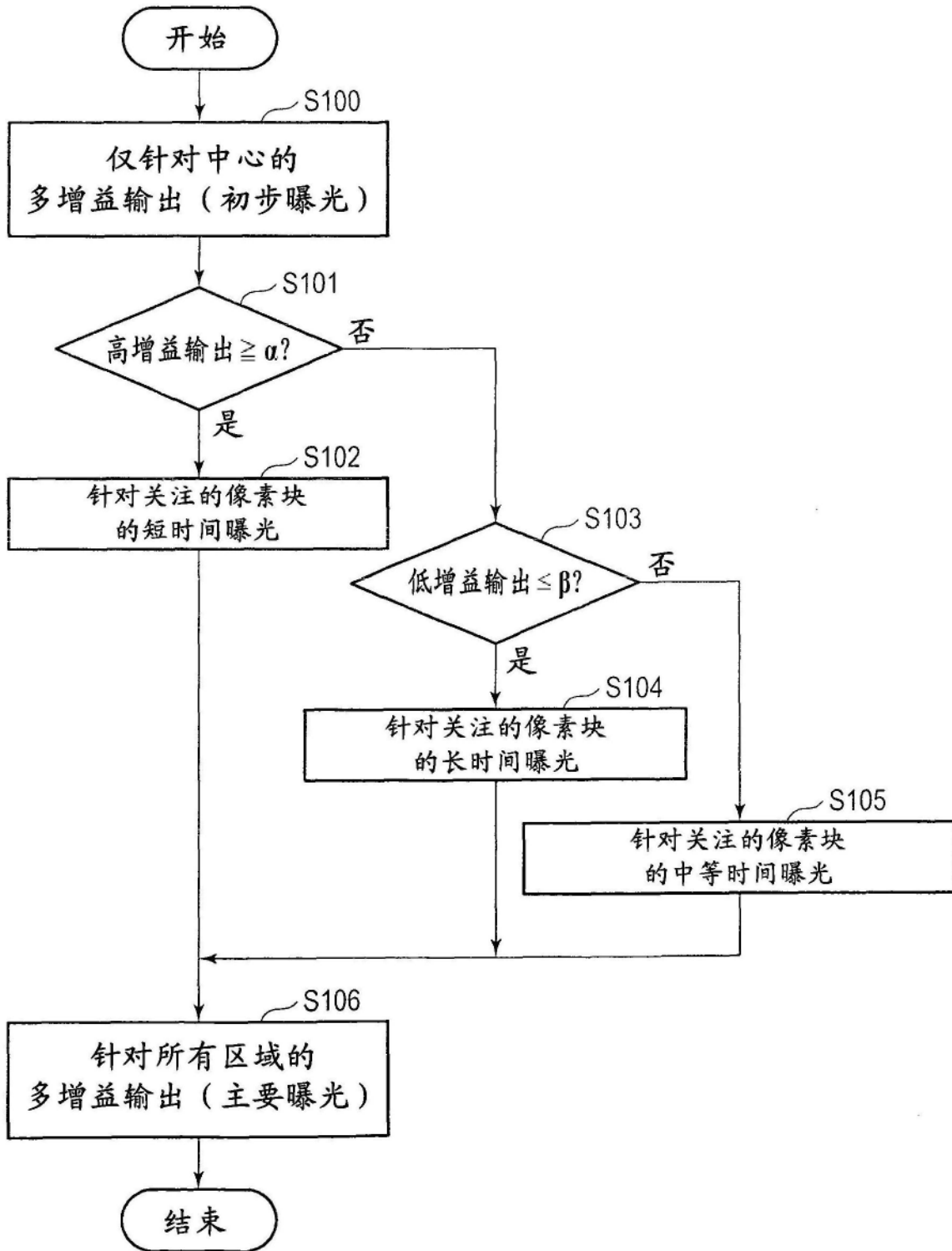


图29

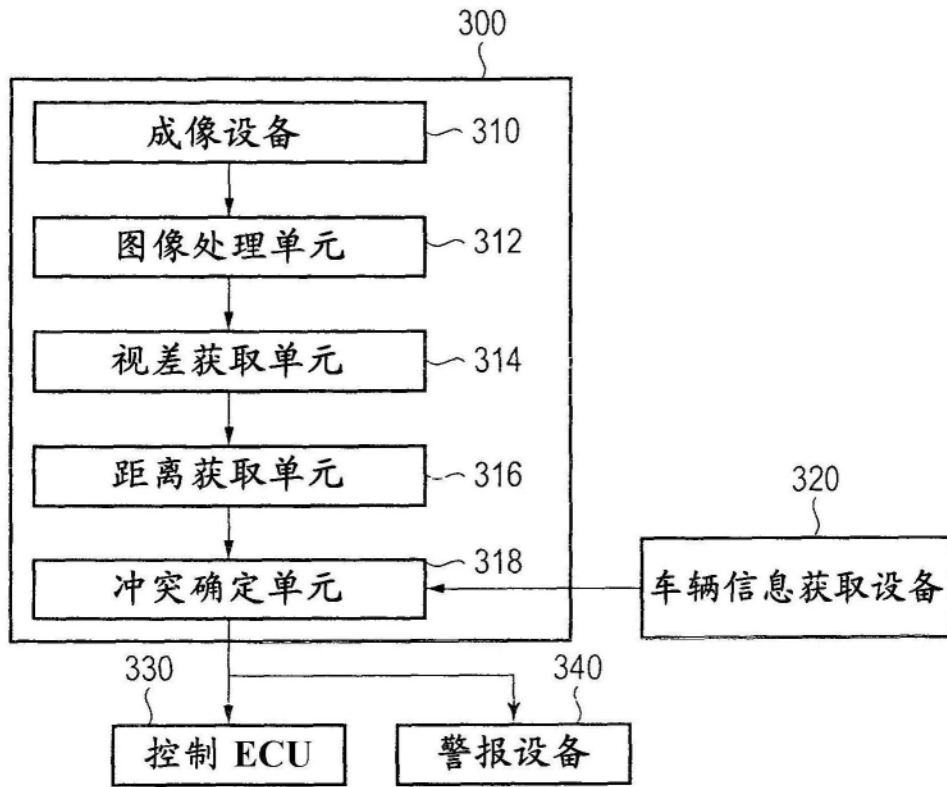


图30A

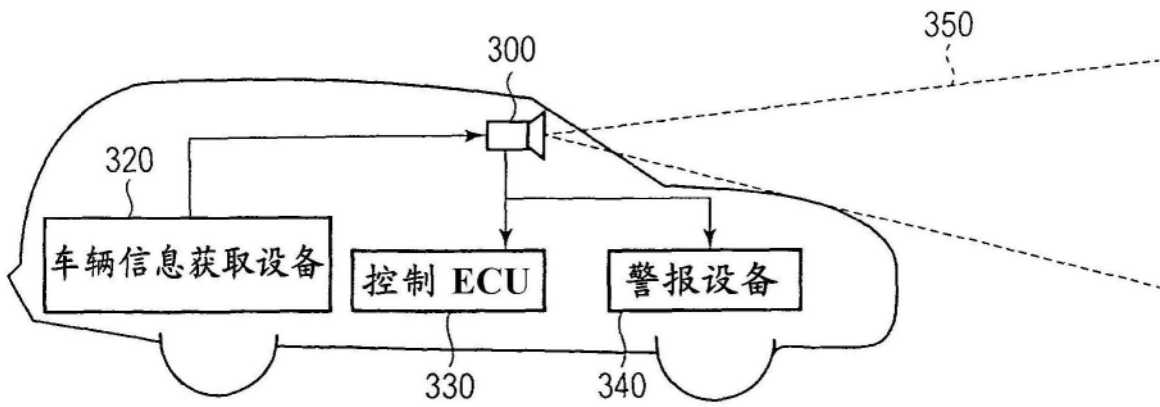


图30B