

公告本

382817

申請日期	87.7.23
案 號	87112003
類 別	Int. Cl. 6 H01L 27/12

A4
C4

382817

(以上各欄由本局填註)

發明專利說明書

一、發明 名稱	中 文	半導體裝置及其製造方法
	英 文	SEMICONDUCTOR DEVICE AND METHOD OF FABRICATING SAME
二、發明 人	姓 名	(1)前田茂伸 (2)西村正 (3)塘一仁 (4)前川繁登 (5)平野有一
	國 籍	日本國
	住、居所	(1)(2)(3)(4)(5)地址同 日本國東京都千代田區丸之內2丁目2番3號 三菱電機股份有限公司內
三、申請人	姓 名 (名稱)	三菱電機股份有限公司
	國 籍	日本國
	住、居所 (事務所)	日本國東京都千代田區丸之內2丁目2番3號
	代 表 人 姓 名	北岡隆

經濟部中央標準局員工消費合作社印製

裝

訂

線

(由本局填寫)

承辦人代碼：
大類：
I P C分類：

A6

B6

本案已向：

日本國(地區) 申請專利，申請日期： 案號： ，☐有 ☐無主張優先權

1998年2月26日 特願平10-045459(主張優先權)

有關微生物已寄存於：

，寄存日期：

，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部中央標準局員工消費合作社印製

五、發明說明(1)

發明的技術領域

本發明係有關半導體裝置，尤係有關以CSP(Chip Size Package)形態實裝的半導體裝置者。

習用技術

第9圖為表示習用CSP實機模式的剖面圖。半導體裝置1係為抑制該半導體裝置實裝於印刷基板2的必要面積，將以芯片(chip)狀態直接實裝於印刷基板2。芯片狀的半導體裝置1係具錫錫擋座(bump)11，介由該錫錫擋座連接於印刷基板2。

第10圖係表示習用CSP實裝的另一模式的剖面圖。如圖示，該芯片狀半導體裝置1係由允許曝露擋錫座11的模塑(mould)樹脂12覆蓋。

第11至第14圖係以製程順序表示習用半導體裝置製造方法的剖面圖。在第11圖中，作為源・汲機能的擴散層101a、101b，形成於由矽所成的半導體基板101上面，該半導體基板101上設有由矽氧化膜所成的層間絕緣膜102。閘極109係介由閘絕緣膜相對設於擴散層101a、101b所挾持之半導體基板101上面。鋁墊(alumi-pad)103係以未圖示的連接機構(如：接觸孔)，連接於擴散層101b。

第11圖所示構造，係由電漿CVD法，形成矽氮化膜104。再以照相製版技術及蝕刻，於鋁墊103上，選擇性地除去矽氮化膜104，以獲得第12圖所示的構造。

第12圖所示構造，係以濺鍍法(sputtering)形成鈦層105及鎳層106。然後，以照相製版技術及蝕刻，僅殘留由

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(2)

鋁墊 103 架於矽氮化膜 104 的部分，以獲得如第 13 圖所示構造。

第 13 圖所示構造，係於鋁墊 103、鈦層 105 及鎳層 106 的堆積構造上，設擋錫座 11，以獲得如第 14 圖所示構造。

另因 α 線 91 的飛來，可使生成於半導體中的電子 93 與電洞 92 導致半導體裝置的動作失誤。模塑樹脂係如第 10 圖所示，雖係以曝露擋錫座 11 方式包裝半導體裝置，但較一般模塑樹脂使用的材料難以透過 α 線，例如，係以聚亞醯胺 (polyimide) 樹脂遮罩 α 線保護半導體。

發明所欲解決的問題

然而，於使用習用 CSP 實裝的芯片狀半導體裝置，即較難以實行由該聚亞醯胺樹脂的遮罩，保護。例如，代替矽氮化膜 104，或於矽氮化膜 104 上生成聚亞醯胺時，有可能導致鈦層 105 及鎳層 106 的剝離、或凹凸的發生。

該狀況係起因於，由濺鍍法形成該鈦層 105 及鎳層 106 時，成膜溫度超過 300℃ 的關係。通常，聚亞醯胺的生成，係將聚亞醯胺羧酸 (polyimide carboxylic acid) 加熱至 300℃ ~ 350℃，使之脫水後，實行再聚合。唯完全去除聚亞醯胺羧酸中的水分相當困難，故於實行鈦層 105 及鎳層 106 的濺鍍時，殘留於聚亞醯胺的水分釋出，有導致發生上述剝離、或凹凸的可能性。

又因，印刷基板的熱膨脹較半導體芯片大，故於兩者間有一應力。而於 CSP 實裝方式，不如引線框方式的實機，因無緩和應力的線框存在，有實裝後應力之緩和困難的

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(3)

問題。故有因應力緩和的困難，於半導體基板101發生裂紋(crack)現象的可能性，又因，擴散層101a、101b通常係形成於所謂電井的摻質擴散領域，若於電井發生裂紋，將使電晶體的特性劣化。

本願係為解決上述問題，以提供回避因 α 線的失誤，或對應力耐性較大的實裝用半導體裝置為目的。

解決問題的手段

有關本發明申請的第1項，為具備：設於絕緣層中，形成呈SOI構造電晶體的半導體層，及設於上述絕緣層上的電極，以及設於上述電極上的導電性擋座(bump)的半導體裝置者。

有關本發明申請的第2項，係如記載於第1項之半導體裝置，該半導體裝置係以電場遮蔽互相分離，且在同一的上述半導體層，形成複數個上述電晶體者。

有關本發明申請的第3項，為具備：(a)於半導體基板上形成電極的製程；(b)於上述電極形成擋座的製程，及(c)回避上述電極，形成為阻止 α 線而覆蓋於上述半導體基板上面的絕緣膜製程之半導體裝置製造方法。但上述製程(a)係先行於製程(c)者。

有關本發明申請的第4項，係如記載於第3項之半導體裝置製造方法，唯上述製程(c)係先行於上述製程(b)之：(c')至少曝露上述電極的一部分，形成為阻止 α 線而覆蓋於上述半導體基板上面的絕緣膜之製程。而上述製程(b)即為：(b')於上述被曝露電極形成導電性擋座的製程者

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(4)

。

有關本發明申請的第5項，係如記載於第3項之半導體裝置製造方法，唯上述製程(c)為後續於上述製程(b)之：(c')回避上述電極，於上述半導體基板上，滴下阻止 α 線的絕緣膜材料的製程者。

有關本發明申請的第6項，為具備：半導體基板；於上述半導體基板上形成的電極；設於上述電極上的導電性擋座；回避上述擋座覆蓋上述半導體基板，以阻止 α 線的薄膜；於上述半導體基板上，不介由上述薄膜，將擋座形成於預定領域的第1元件及於上述半導體基板上，形成於上述領域外，對 α 線耐性較上述第1元件為低的第2元件的半導體裝置者。

有關本發明申請的第7項，係如記載於第6項之半導體裝置，該半導體裝置的上述第1元件為，具有固定電位本體的MOS電晶體者。

發明的實施形態實施形態1

第1圖為表示本發明實施形態1有關半導體裝置構造的剖面圖。例示，於矽所成的半導體基板101上形成填充氧化膜107，再於填充氧化膜107上形成呈SOI(Semiconductor On Insulator)構造的MOS電晶體。該MOS電晶體係於矽所成的半導體層120，形成源・汲領域120a、120b，及閘電極110構成之。半導體層120及閘電極110係由設於填充氧化膜107上的BPTEOS(Boro Phospho Tetra Ethyl Ortho

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(5)

Silicate)或NSG(Non-doped Silicate glass)所成的層間絕緣膜108覆蓋。

於層間絕緣膜108上形成有：由未圖示的連接機構，與源・汲領域120a、120b任一方連接的鋁墊103，及使一鋁墊103上部開口的矽氮化膜104。又於鋁墊103到矽氮化膜104，形成鈦層105及鎳層106，再於鎳層106設鉅錫擋座11。

如上，含層間絕緣膜108的下側(半導體基板101側)構造，能以形成習用SOI電晶體的手法完成，唯層間絕緣膜108上側(鉅錫擋座11側)的構造，即可使用如第11~14圖所示的習用手法形成。

於如上構造中， α 線飛來時，即在半導體層120、半導體基板101產生電子93及電洞92。然而，因半導體層120係供為SOI電晶體使用，該厚度可作形成通道所必須的薄度。由此，於半導體層120產生的電子93及電洞92，較產生於半導體基板101者為少。因此，如第14圖所示，與所謂批量型(bulk type)電晶體比較，較不容易接受 α 線91的不良影響。

於上述構造，能於實行加熱鉅錫擋座11以作CSP實裝後的冷卻時，可在較半導體芯片熱膨脹係數為高的印刷基板方產生大幅收縮應力。唯因半導體層120的厚度極薄，半導體層120的延伸短，故在半導體層120發生裂紋的或然率即較半導體基板101為小。因而，可獲得較第14圖所示構成對耐力為高的半導體芯片，而不失CSP特徵的尺寸抑

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(6)

制。

第2圖係表示有關實施形態1以外的半導體裝置的構造剖面圖。半導體層120延設於未圖示通道長方向的垂直方。FS閘111具閘電極110，係於通道的寬度方向，為對設置的複數電晶體予以FS分離而設。如上，延設長半導體層120時，亦因半導體層120較半導體基板101為薄，故應力容易緩和，幾乎無產生裂紋現象。或於半導體基板101產生裂紋，但與形成在半導體層120之電晶體特性完全沒有影響。因此，為FS分離擴大半導體層120的延設，其與第1圖構造比較，不致於損失本發明效果。

實施形態2

第3至第5圖為表示有關本發明實施形態2的半導體裝置製造方法之製程順序的剖面圖。

如第3圖所示，於半導體基板101上形成層間絕緣膜102，再形成鋁墊103、鈦層105及鎳層106。此時，鋁墊103係與未圖示的源・汲領域成電氣連接。第3圖內所示的3個金屬堆積層構造，可由習知的半導體製造技術實現。

之後，沈積矽氮化膜104及聚亞醯胺(polyimide)層203，使鎳層106向上開口(如第4圖)。由矽氮化膜104及聚亞醯胺層203堆積所成的薄膜201即為阻止 α 線的擋阻膜。設錫錫擋座11於上述開口部，獲得芯片狀的半導體裝置(如第5圖)。於如上構造，聚亞醯胺層203可防止 α 線進入半導體基板101，即使於半導體基板101形成批量型電晶體，亦可回避由 α 線引發的失誤。又，由半導體基板101背

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(7)

面(無層間絕緣膜102的一方)飛來的 α 線,通常不致於到達擴散層101a、101b,故無須考慮。

形成鈦層105及鎳層106後,形成聚亞醯胺層203。又於設置銲錫擋座11的製程中的溫度上升為約200℃。可回避由既形成的聚亞醯胺層203釋出水分的習用問題。

實施形態3

第6圖為表示有關本發明實施形態3的半導體裝置製造方法之剖面圖。對第14圖所示的習用構成,以回避銲錫擋座11將聚亞醯胺羧酸(polyimide carboxylic acid)予以滴下。於後實行加熱處理,即如第6圖所示,可回避銲錫擋座11形成聚亞醯胺層203,得以不妨害銲錫擋座11與印刷基板的連接,以防止 α 線。

當然不限於聚亞醯胺羧酸,凡可防止 α 線的物質材料,且可為滴下的物質即可使用上述手法。

實施形態4

第7圖為表示有關本發明實施形態4的半導體裝置構造的剖面圖。在半導體基板101上面,形成含領域AR的分離氧化膜400,又形成有作為限・汲領域的擴散層101a、101b。再於半導體基板101上,形成圍繞開電極的層間絕緣膜102。於層間絕緣膜102上,形成有由鋁墊103、鈦層105及鎳層106形成的局部沈積構造,於該沈積構造上設銲錫擋座11。再以避開銲錫擋座11,將薄膜201形成在層間絕緣膜102上。該薄膜201的形成可採用揭示於實施形態3或實施形態4的製程實現。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(8)

由上述薄膜 201 及鐳錫擋座 11 的存在，可抑制由空中飛來的 α 線進入半導體基板 101。唯因鐳錫通常係以鉛為成分，含有不少放射性同位元素等雜質，有由鐳錫擋座 11 α 線進入半導體基板 101 的可能性。

因此，於半導體基板 101 上面，設定可不介由薄膜 201 即可觀看鐳錫擋座 11 的領域 AR。在該領域 AR 內，或許有由鐳錫擋座 11 來的 α 線進入，唯不形成接受電晶體或電容器等之微小電荷增量的動作影響之元件，例如：於採用為 CSP 實裝的半導體裝置中，形成的電容有數十 fC，其微小電子，電洞對的生成，對動作亦產生影響。

例如於領域 AR 形成分離氧化膜 400。或如於實施形態 1 所示，形成對 α 線具高耐性的 SOI 電晶體或電阻元件亦可。相反地，由避開領域 AR 形成的電晶體，因將由空中飛來的 α 線及由錫擋座 11 來的 α 線由薄膜 201 的阻擋，得以回避由 α 線的失誤產生。

也就是說：可由形成較設於領域 AR 外元件對 α 線耐性為高元件於領域 AR，得以不損害半導體裝置全體的 α 線耐性，有效利用其面積。

實施形態 5

第 8 圖為表示有關本發明實施形態 5 的半導體裝置構造的剖面圖。係與實施形態 1 一樣，形成有複數 SOI 電晶體 121~123。該 SOI 電晶體 121 係由源・汲領域 121a、121b，及本體部 121c、閘電極 121d 構成。SOI 電晶體 122 即由源・汲領域 122a、122b 及本體部 122c、閘電極 122d 構成。而

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(9)

SOI電晶體123即由源・汲領域123a、123b及本體部123c、閘電極123d構成。唯本體部121c、122c係於浮置狀態，而本體部123c即以未圖示的習知技術固定該電位。

於上述領域AR，形成MOS型SOI電晶體時，將該本體部電位以習知技術固定，可不致由 α 線發生電子・電洞，招致寄生雙極(bipolar)效應，更提高對 α 線的耐性，以有效利用該面積。

其他

為回避由錐錫擋座11發生 α 線，錐錫擋座的材料排除鉛金屬，但得採用金與錫的合金。

發明的效果

若依本發明申請專利範圍第1及2項有關的半導體裝置，可將導電性擋座連接於印刷基板實施所謂的CSP實裝。又因，電晶體呈SOI構造，於形成電晶體的半導體層，起因於 α 線發生的電子・電洞之量，不達對電晶體重作發生影響的程度。且對起因於CSP實裝，成為問題的印刷基板與半導體裝置的熱膨脹率的差值的應力，在半導體層發生裂紋的可能性甚低。

若依本發明申請專利範圍第3至5項有關的半導體裝置製造方法，採用對形成後的加熱極不利的聚亞醯胺等的 α 線阻擋膜為絕緣膜，亦因作為擋座基質的電極形成係先行於絕緣膜的形成，故得以回避於電極形成時的溫度上昇影響絕緣膜。

若依本發明申請專利範圍第6項有關的半導體裝置，

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(10)

係於不能以薄膜阻止由擋座飛來 α 線的領埋，形成對 α 線高耐性的第1元件，因而，可有效利用該面積，且可回避起因於 α 線的不良影響。

若依本發明申請專利範圍第7項有關的半導體裝置，作為該第1元件的MOS電晶體之本體部電位固定，故得以抑制寄生雙極效應，更提高對 α 線的耐性。

圖面的簡單說明

第1圖表示本發明實施形態1有關半導體裝置構造的剖面圖。

第2圖表示有關實施形態1以外的半導體裝置的構造剖面圖。

第3圖表示有關本發明實施形態2的半導體裝置製造方法之製程順序的剖面圖。

第4圖表示有關本發明實施形態2的半導體裝置製造方法之製程順序的剖面圖。

第5圖表示有關本發明實施形態2的半導體裝置製造方法之製程順序的剖面圖。

第6圖表示有關本發明實施形態3的半導體裝置製造方法之剖面圖。

第7圖表示有關本發明實施形態4的半導體裝置製造的剖面圖。

第8圖表示有關本發明實施形態5的半導體裝置製造的剖面圖。

第9圖表示習用CSP實裝模式的剖面圖。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (11)

第 10 圖表示習用 CSP 實裝的另一模式的剖面圖。

第 11 圖表示習用半導體裝置製造方法的製程順序剖面圖。

第 12 圖表示習用半導體裝置製造方法的製程順序剖面圖。

第 13 圖表示習用半導體裝置製造方法的製程順序剖面圖。

第 14 圖表示習用半導體裝置製造方法的製程順序剖面圖。

符號的簡單說明

- 1 半導體裝置
- 2 印刷基板
- 11 鉅錫擋座
- 12 模塑樹脂
- 91 α 線
- 92 電洞
- 93 電子
- 101 半導體基板
- 101a、101b 擴散層
- 102 層間絕緣膜
- 103 鋁墊
- 104 矽氮化膜
- 105 鈦層
- 106 鎳層

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (12)

- 107 填充氧化膜
- 108 層間絕緣膜
- 109 閘極絕緣膜
- 110 閘電極
- 111 FS閘
- 120 半導體層
- 121 SOI電晶體
- 122 SOI電晶體
- 123 SOI電晶體
- 201 薄膜
- 203 聚亞醯胺層
- 400 分離氧化膜

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

四、中文發明摘要(發明之名稱： 半導體裝置及其製造方法)

本發明提供一種能回避 α 線失誤，且對應力具較大耐性的CSP實裝用半導體裝置。係於半導體基板101上形成有填充氧化膜107，又於填充氧化膜107上形成呈SOI構造之MOS電晶體。該MOS電晶體係於半導體層120由形成之源・汲領域120a、120b及閘電極110構成。又於層間絕緣膜108上，形成以未圖示的連接機構，將與源・汲領域120a、120b任何方連接的鋁墊103，及使鋁墊103上部開口的矽氮化膜104。且於鋁墊103到矽氮化膜104，形成有鈦層105及鎳層106，於鎳層106設銲錫擋座11。

英文發明摘要(發明之名稱：)

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

六、申請專利範圍

1. 一種半導體裝置，具有：

設於絕緣層中，形成呈 SOI 構造電晶體的半導體層，及

設於上述絕緣層上的電極，以及

設於上述電極上的導電性擋座 (bump) 者。

2. 如申請專利範圍第 1 項記載的半導體裝置，其中之該半導體裝置半導體層的上述電晶體，為 MOS 電晶體者。

3. 如申請專利範圍第 1 項記載的半導體裝置，該半導體裝置半導體層的上述電晶體，係以電場遮蔽互相分離，且在同一的上述半導體層，形成複數個上述電晶體者。

4. 如申請專利範圍第 1、2 或 3 項記載的半導體裝置，其中之該設於上述絕緣層上的電極，係包含鈦層及鎳層的堆積構造者。

5. 一種半導體裝置的製造方法，具備：

(a) 於半導體基板上形成電極的製程；

(b) 於上述電極形成導電性擋座，及回避上述電極，形成為阻止 α 線而覆蓋於上述半導體基板上面的絕緣膜製程者。

6. 如申請專利範圍第 5 項記載的半導體裝置的製造方法，係於上述製程 (b) 具有：

(b-1) 至少曝露上述電極的一部分，形成為阻止 α 線而覆蓋於上述半導體基板上面的絕緣膜之製程，

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

及

(b-2) 於上述被曝露電極形成導電性擋座的製程者。

7. 如申請專利範圍第5項記載的半導體裝置的製造方法，係於上述製程(b)具有：

(b-1) 於上述電極形成上述擋座的製程，及

(b-2) 回避上述電極於上述半導體基板上，滴下阻止 α 線的絕緣膜材料的製程者。

8. 如申請專利範圍第5、6或7項記載的半導體裝置的製造方法，係於上述電極包含鈦層及鎳層的堆積構造，而上述絕緣膜為聚亞醞胺膜者。

9. 一種半導體裝置，具有：

半導體基板，及

形成於上述半導體基板上的電極，及

設於上述電極上的導電性擋座，及

回避上述擋座，覆蓋上述半導體基板以阻止 α 線的薄膜，及

於上述半導體基板，不介由上述薄膜於上述擋座預定領域，形成第1元件，以及

形成於上述半導體基板的上述領域以外，對 α 線具有較低於上述第1的元件之耐性的第2元件者。

10. 如申請專利範圍第10項記載的半導體裝置，其中，上述第1元件，具有固定電位的本體部之MOS電晶體者。

11. 一種半導體裝置，具備：

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

半導體基板，及
形成於上述半導體基板上的電極，及
設於上述電極上的導電性擋座，及
回避上述擋座，覆蓋上述半導體基板以阻止 α 線的薄膜，及
於上述半導體基板不介由上述薄膜，於上述擋座預定領域形成分離氧化膜，以及
於上述半導體基板的上述領域以外地方形成元件者。

12. 如申請專利範圍第9、10或11項記載的半導體裝置，其中，上述擋座為鐳錫者。

13. 如申請專利範圍第9、10或11項記載的半導體裝置，其中，上述電極係包含鈦層及鎳層的堆積構造，而上述絕緣膜為聚亞醞胺膜者。

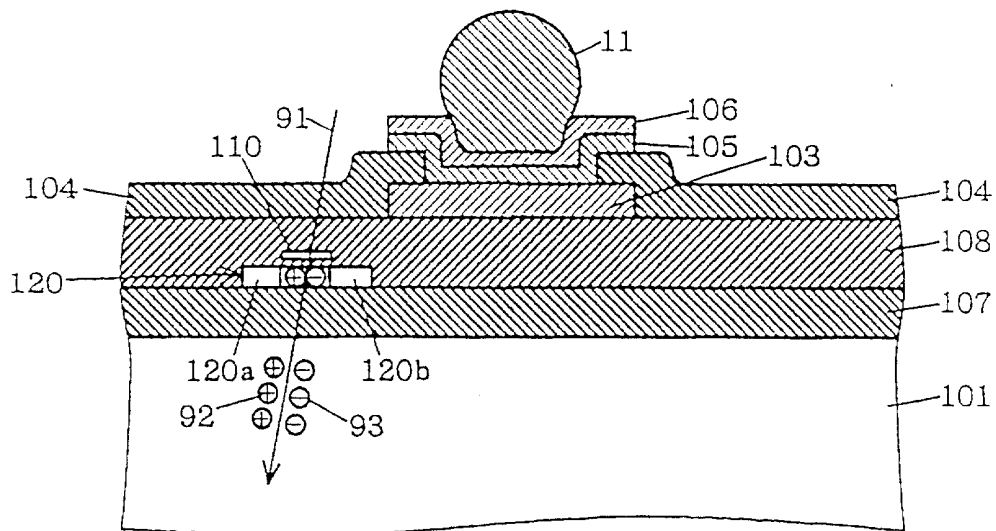
14. 如申請專利範圍第12項記載的半導體裝置，其中，上述電極係包含鈦層及鎳層的堆積構造，而上述絕緣膜為聚亞醞胺膜者。

(請先閱讀背面之注意事項再填寫本頁)

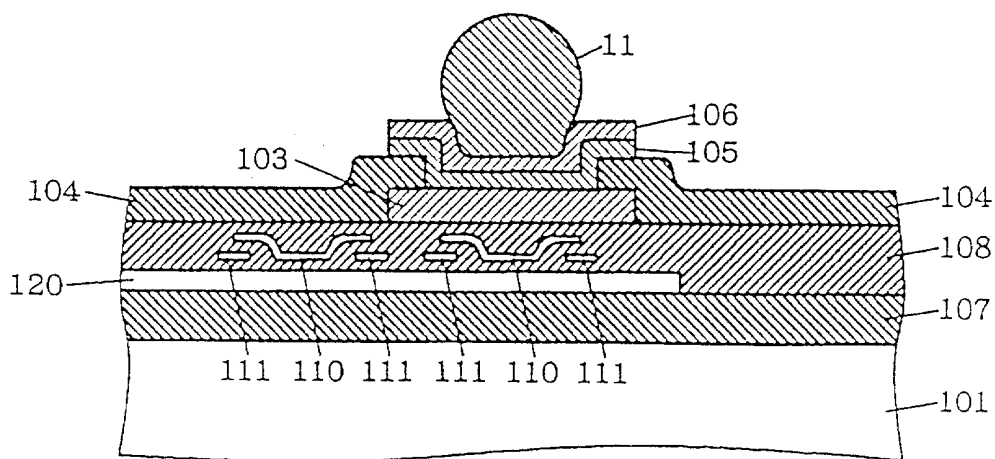
裝

訂

線

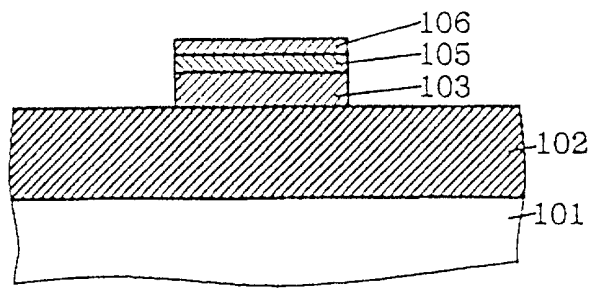


第 1 圖

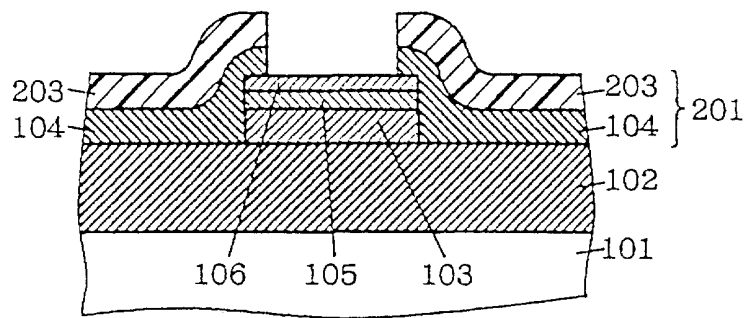


第 2 圖

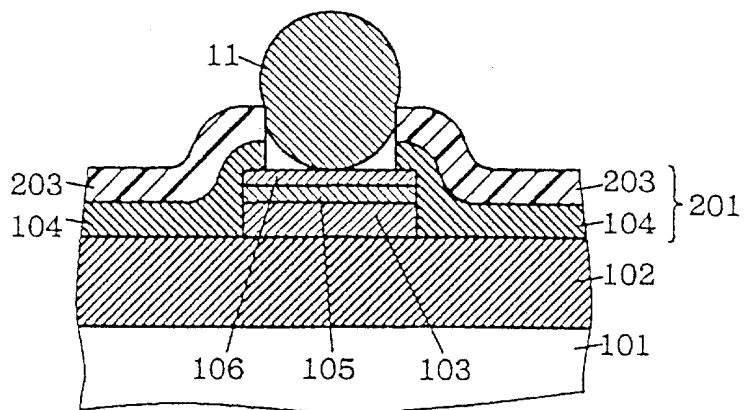
382817



第 3 圖

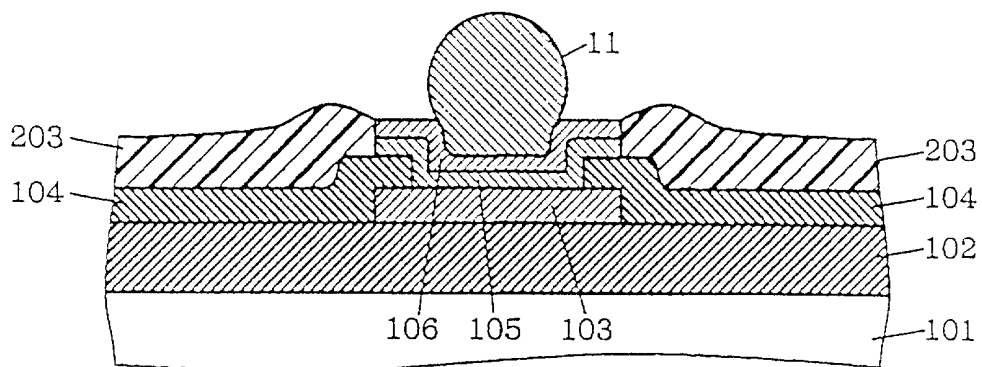


第 4 圖

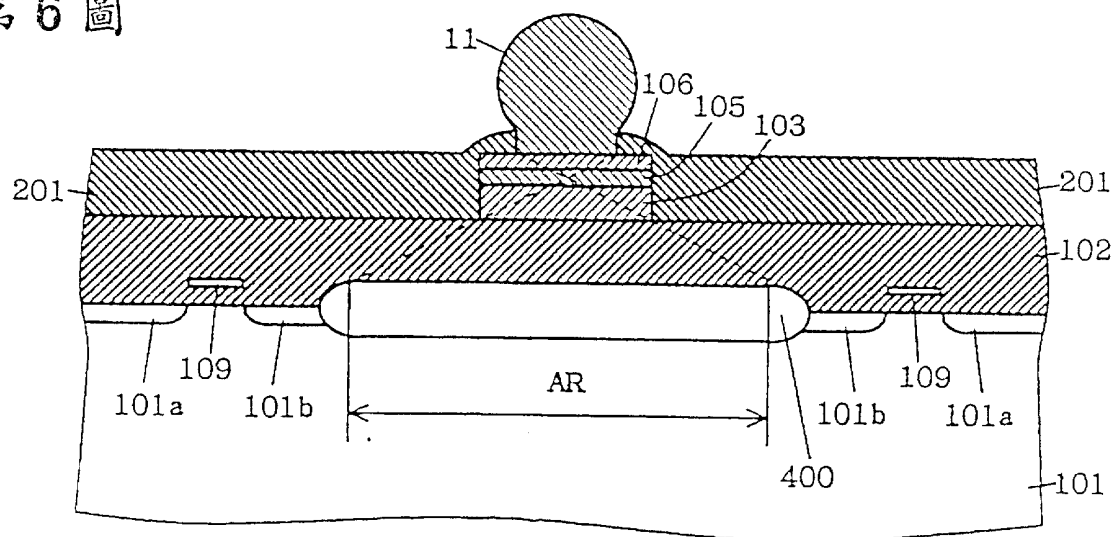


第 5 圖

382817

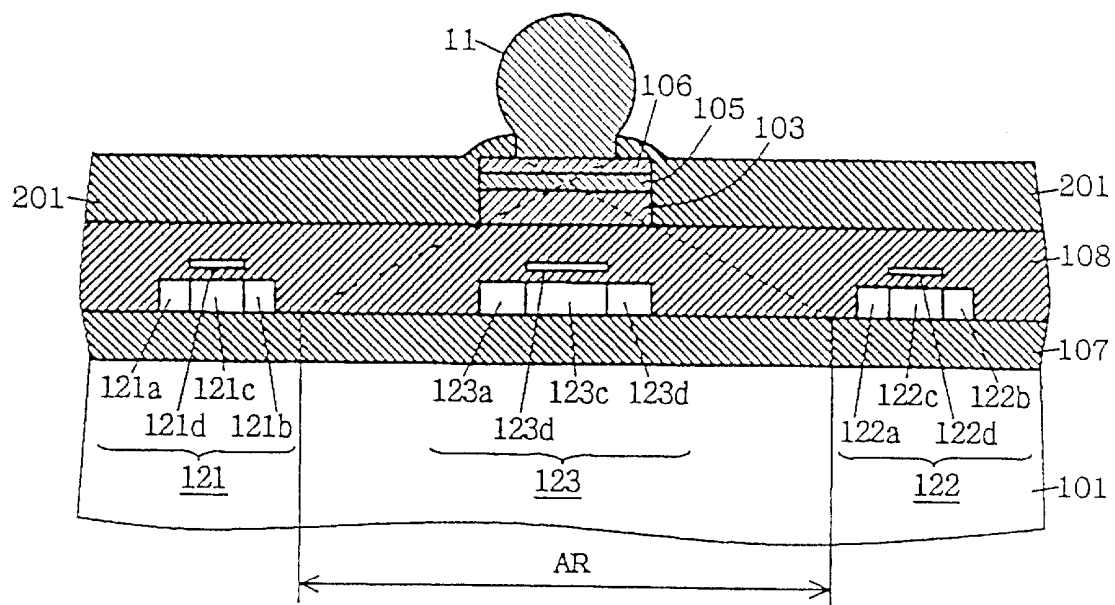


第 6 圖

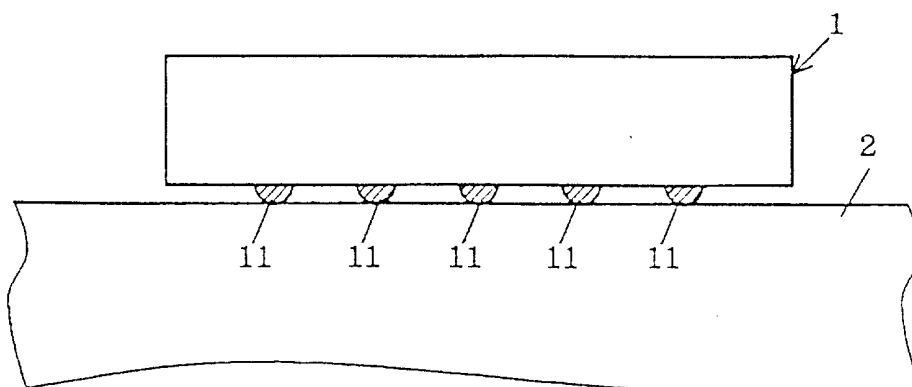


第 7 圖

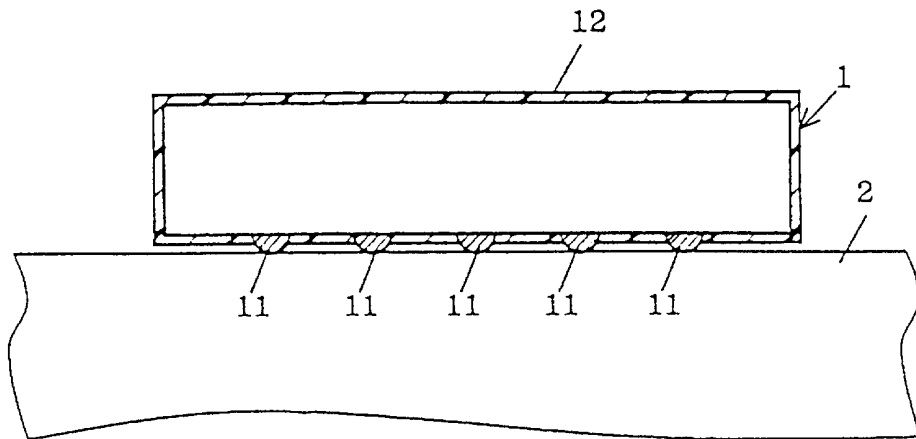
382817



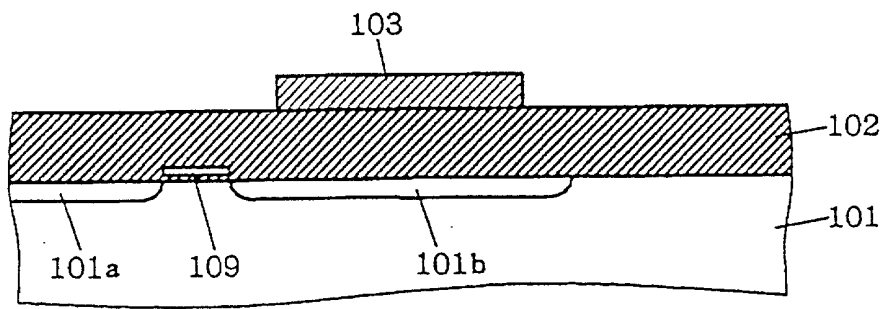
第 8 圖



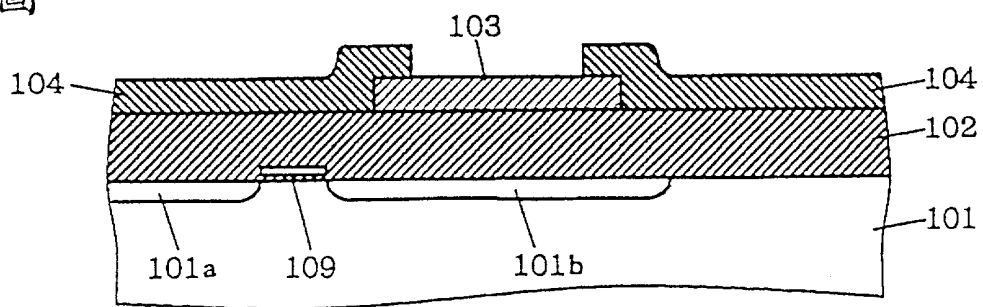
第 9 圖



第10圖

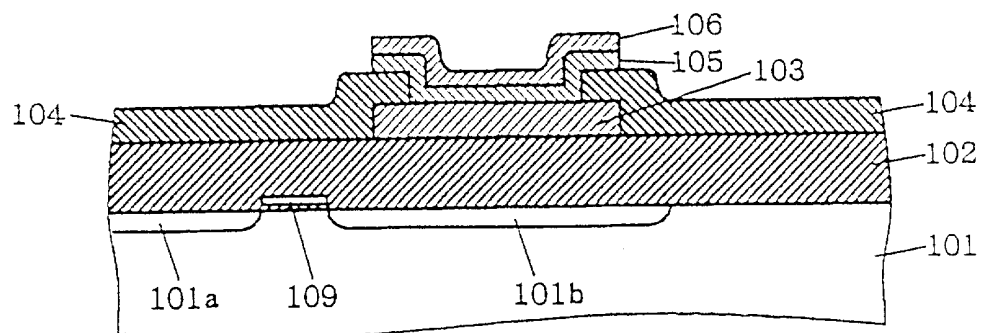


第11圖

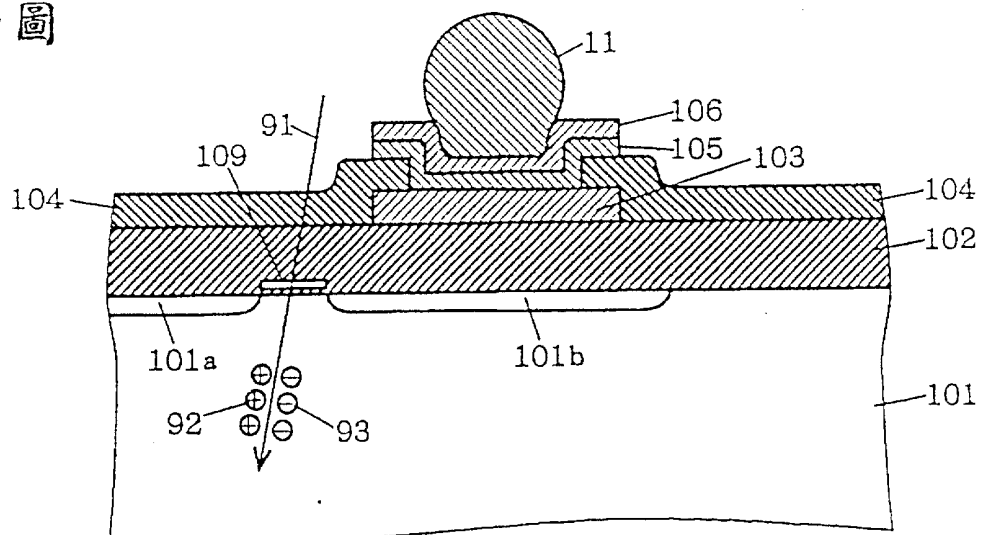


第12圖

382817



第13圖



第14圖