

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2012-142571

(P2012-142571A)

(43) 公開日 平成24年7月26日(2012.7.26)

(51) Int.Cl.	F I	テーマコード(参考)
HO 1 L 29/786 (2006.01)	HO 1 L 29/78 6 1 7 K	2H048
HO 1 L 21/3205 (2006.01)	HO 1 L 21/88 F	2H092
HO 1 L 21/768 (2006.01)	GO 2 F 1/1368	3K107
GO 2 F 1/1368 (2006.01)	HO 1 L 29/78 6 1 2 C	4M104
HO 1 L 21/336 (2006.01)	HO 1 L 29/78 6 1 9 A	5C094
審査請求 有 請求項の数 10 O L (全 37 頁) 最終頁に続く		

(21) 出願番号 特願2011-282753 (P2011-282753)
 (22) 出願日 平成23年12月26日(2011.12.26)
 (62) 分割の表示 特願2001-227047 (P2001-227047) の分割
 原出願日 平成13年7月27日(2001.7.27)

(71) 出願人 000153878
 株式会社半導体エネルギー研究所
 神奈川県厚木市長谷398番地
 (72) 発明者 小野 幸治
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 須澤 英臣
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 Fターム(参考) 2H048 BA11 BB01 BB02 BB03 BB42
 2H092 JA25 JA33 JA35 JA40 JA46
 JB57 JB58 JB64 JB68 KA03
 KA04 KA05 KA12 KA19 KA22
 KB05 KB14 KB22 KB24 KB25
 MA07 MA13 MA30
 最終頁に続く

(54) 【発明の名称】 半導体装置

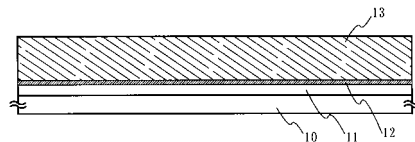
(57) 【要約】 (修正有)

【課題】 基板の大型化に対応し得る金属配線を作製する。

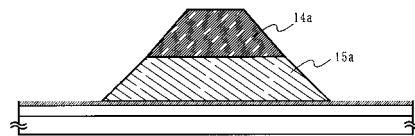
【解決手段】 絶縁表面上に少なくとも一層の導電膜12, 13を形成し、前記導電膜12, 13上にレジストパターンを形成し、前記レジストパターンを有する導電膜にエッチングを行い、バイアス電力密度、ICP電力密度、下部電極の温度、圧力、エッチングガスの総流量、エッチングガスにおける酸素または塩素の割合に応じてテーパ角が制御された金属配線を形成する。このようにして形成された金属配線は、幅や長さのばらつきが低減されており、基板10の大型化にも十分対応し得る。

【選択図】 図8

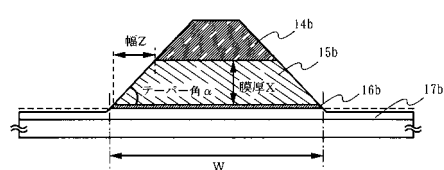
(A) 絶縁膜の形成/第1の導電膜と第2の導電膜の形成



(B) 第1のエッチング処理



(C) 第2のエッチング処理



【特許請求の範囲】**【請求項 1】**

基板上に形成されたソース領域及びドレイン領域を含む第 1 の半導体膜、前記第 1 の半導体膜上に形成された第 1 の絶縁膜、並びに前記第 1 の絶縁膜上に形成された第 1 の導電層を有するトランジスタと、

前記第 1 の半導体膜と同じ層に形成された第 2 の半導体膜、前記第 1 の絶縁膜と同じ層に形成された第 2 の絶縁膜、及び前記第 1 の導電層と同じ層に形成された第 2 の導電層を有する保持容量と、

前記第 1 の半導体膜のソース領域及びドレイン領域の一方と電気的に接続されたソース配線と、

前記第 1 の半導体膜のソース領域及びドレイン領域の他方、並びに前記第 2 の半導体膜と電気的に接続された画素電極と、を有し、

前記第 1 の導電層及び前記第 2 の導電層は、共に端部にテーパ部を有し、

前記画素電極の端部の一部は、前記ソース配線と重なっていることを特徴とする半導体装置。

10

【請求項 2】

基板上に形成されたソース領域及びドレイン領域を含む第 1 の半導体膜、前記第 1 の半導体膜上に形成された第 1 の絶縁膜、並びに前記第 1 の絶縁膜上に形成された第 1 の導電層を有するトランジスタと、

前記第 1 の半導体膜と同じ層に形成された第 2 の半導体膜、前記第 1 の絶縁膜と同じ層に形成された第 2 の絶縁膜、及び前記第 1 の導電層と同じ層に形成された第 2 の導電層を有する保持容量と、

前記第 1 の半導体膜のソース領域及びドレイン領域の一方と電気的に接続されたソース配線と、

前記第 1 の半導体膜のソース領域及びドレイン領域の他方、並びに前記第 2 の半導体膜と電気的に接続された画素電極と、を有し、

前記第 1 の導電層、前記第 2 の導電層及び前記ソース配線は、共に端部にテーパ部を有し、

前記画素電極の端部の一部は、前記ソース配線と重なっていることを特徴とする半導体装置。

20

30

【請求項 3】

基板上に形成されたソース領域及びドレイン領域を含む第 1 の半導体膜、前記第 1 の半導体膜上に形成された第 1 の絶縁膜、並びに前記第 1 の絶縁膜上に形成された第 1 の導電層を有するトランジスタと、

前記第 1 の半導体膜と同じ層に形成された第 2 の半導体膜、前記第 1 の絶縁膜と同じ層に形成された第 2 の絶縁膜、及び前記第 1 の導電層と同じ層に形成された第 2 の導電層を有する保持容量と、

前記第 1 の半導体膜のソース領域及びドレイン領域の一方と電気的に接続されたソース配線と、

前記第 1 の導電層及び前記第 2 の導電層上に形成された第 3 の絶縁膜と、

前記第 3 の絶縁膜上に形成された、前記第 1 の半導体膜のソース領域及びドレイン領域の他方、並びに前記第 2 の半導体膜と電気的に接続された画素電極と、を有し、

前記第 1 の導電層及び前記第 2 の導電層は、共に端部にテーパ部を有し、

前記画素電極の端部の一部は、前記ソース配線と重なっていることを特徴とする半導体装置。

40

【請求項 4】

基板上に形成されたソース領域及びドレイン領域を含む第 1 の半導体膜、前記第 1 の半導体膜上に形成された第 1 の絶縁膜、並びに前記第 1 の絶縁膜上に形成された第 1 の導電層を有するトランジスタと、

前記第 1 の半導体膜と同じ層に形成された第 2 の半導体膜、前記第 1 の絶縁膜と同じ層

50

に形成された第 2 の絶縁膜、及び前記第 1 の導電層と同じ層に形成された第 2 の導電層を有する保持容量と、

前記第 1 の半導体膜のソース領域及びドレイン領域の一方と電氣的に接続されたソース配線と、

前記第 1 の導電層及び前記第 2 の導電層上に形成された第 3 の絶縁膜と、

前記第 3 の絶縁膜上に形成された、前記第 1 の半導体膜のソース領域及びドレイン領域の他方、並びに前記第 2 の半導体膜と電氣的に接続された画素電極と、を有し、

前記第 1 の導電層、前記第 2 の導電層及び前記ソース配線は、共に端部にテーパ部を有し、

前記画素電極の端部の一部は、前記ソース配線と重なっていることを特徴とする半導体装置。

10

【請求項 5】

基板上に形成されたソース領域及びドレイン領域を含む第 1 の半導体膜、前記第 1 の半導体膜上に形成された第 1 の絶縁膜、並びに前記第 1 の絶縁膜上に形成された第 1 の導電層を有するトランジスタと、

前記第 1 の半導体膜と同じ層に形成された第 2 の半導体膜、前記第 1 の絶縁膜と同じ層に形成された第 2 の絶縁膜、及び前記第 1 の導電層と同じ層に形成された第 2 の導電層を有する保持容量と、

前記第 1 の半導体膜のソース領域及びドレイン領域の一方と電氣的に接続されたソース配線と、

20

前記第 1 の導電層及び前記第 2 の導電層上に形成された第 3 の絶縁膜と、

前記第 3 の絶縁膜上に形成された、前記第 1 の半導体膜のソース領域及びドレイン領域の他方と電氣的に接続された電極と、

前記電極上に形成された第 4 の絶縁膜と、

前記第 4 の絶縁膜上に形成された、前記電極及び前記第 2 の半導体膜と電氣的に接続された画素電極と、を有し、

前記第 1 の導電層及び前記第 2 の導電層は、共に端部にテーパ部を有し、

前記画素電極の端部の一部は、前記ソース配線と重なっていることを特徴とする半導体装置。

【請求項 6】

30

基板上に形成されたソース領域及びドレイン領域を含む第 1 の半導体膜、前記第 1 の半導体膜上に形成された第 1 の絶縁膜、並びに前記第 1 の絶縁膜上に形成された第 1 の導電層を有するトランジスタと、

前記第 1 の半導体膜と同じ層に形成された第 2 の半導体膜、前記第 1 の絶縁膜と同じ層に形成された第 2 の絶縁膜、及び前記第 1 の導電層と同じ層に形成された第 2 の導電層を有する保持容量と、

前記第 1 の半導体膜のソース領域及びドレイン領域の一方と電氣的に接続されたソース配線と、

前記第 1 の導電層及び前記第 2 の導電層上に形成された第 3 の絶縁膜と、

前記第 3 の絶縁膜上に形成された前記第 1 の半導体膜のソース領域及びドレイン領域の他方と電氣的に接続された電極と、

40

前記電極上に形成された第 4 の絶縁膜と、

前記第 4 の絶縁膜上に形成された、前記電極及び前記第 2 の半導体膜と電氣的に接続された画素電極と、を有し、

前記第 1 の導電層、前記第 2 の導電層及び前記ソース配線は、共に端部にテーパ部を有し、

前記画素電極の端部の一部は、前記ソース配線と重なっていることを特徴とする半導体装置。

【請求項 7】

請求項 3 乃至請求項 6 のいずれか一項において、

50

前記第3の絶縁膜は、表面に凹凸を有することを特徴とする半導体装置。

【請求項8】

請求項1乃至請求項7のいずれか一項において、
前記画素電極は、前記第2の導電層の一部と重なっていることを特徴とする半導体装置。

【請求項9】

請求項1乃至請求項8のいずれか一項において、
前記基板に貼り合わされた対向基板を有し、
前記対向基板には、赤色の着色層、青色の着色層及び緑色の着色層が形成され、且つブラックマトリクスが形成されていないことを特徴とする半導体装置。

10

【請求項10】

請求項9において、
前記赤色の着色層の一部と前記青色の着色層の一部とが重なっており、
前記赤色の着色層の一部と前記緑色の着色層の一部とが重なっていることを特徴とする半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、薄膜技術を用いて形成される金属配線およびその作製方法に関する。また、金属配線基板およびその作製方法に関する。なお、本明細書中において金属配線基板とは、薄膜技術を用いて形成される金属配線を有するガラス等の絶縁基板、あるいは各種基板を指す。

20

【背景技術】

【0002】

近年、絶縁表面を有する基板上に形成された半導体薄膜（厚さ数～数百nm程度）を用いて薄膜トランジスタ（TFT）を構成し、このTFTで形成した大面積集積回路を有する半導体装置の開発が進んでいる。アクティブマトリクス型液晶表示装置、発光装置、および密着型イメージセンサはその代表例として知られている。特に、結晶性珪素膜（典型的にはポリシリコン膜）を活性領域としたTFT（以下、ポリシリコンTFTと記す）は電界効果移動度が高いことから、いろいろな機能回路を形成することも可能である。

30

【0003】

例えば、アクティブマトリクス型液晶表示装置には、機能ブロックごとに画像表示を行う画素回路や、CMOS回路を基本としたシフトレジスタ回路、レベルシフト回路、バッファ回路、サンプリング回路などの画素回路を制御するための駆動回路が一枚の基板上に形成される。

【0004】

アクティブマトリクス型液晶表示装置の画素回路には、数十から数百万個の各画素にTFT（画素TFT）が配置され、その画素TFTのそれぞれには画素電極が設けられている。液晶を挟んだ対向基板側には対向電極が設けられており、液晶を誘電体とした一種のコンデンサを形成している。そして、各画素に印加する電圧をTFTのスイッチング機能により制御して、このコンデンサへの電荷を制御することで液晶を駆動し、透過光量を制御して画像を表示する仕組みになっている。

40

【0005】

画素TFTは一般にnチャンネル型TFTから成り、スイッチング素子として液晶に電圧を印加して駆動させるものである。液晶は交流で駆動させるので、フレーム反転駆動と呼ばれる方式が多く採用されている。この方式では消費電力を低く抑えるために、画素TFTに要求される特性はオフ電流値（TFTがオフ動作時に流れるドレイン電流）を十分低くすることが重要である。

【0006】

オフ電流値を低減するためのTFTの構造として、低濃度ドレイン（LDD：Lightly

50

Doped Drain) 構造が知られている。この構造はチャネル形成領域と、高濃度に不純物元素を添加して形成するソース領域またはドレイン領域との間に低濃度に不純物元素を添加した領域を設けたものであり、この領域をLDD領域と呼んでいる。また、ホットキャリアによるオン電流値の劣化を防ぐための手段として、ゲート絶縁膜を介してLDD領域をゲート電極と重ねて配置させた、いわゆるGOLD (Gate-drain Overlapped LDD) 構造が知られている。このような構造とすることで、ドレイン近傍の高電界が緩和されてホットキャリア注入を防ぎ、劣化現象の防止に有効であることが知られている。

【0007】

GOLD構造を形成するための一例について図を用いて説明する。基板上に下地絶縁膜を形成し、前記下地絶縁膜上に半導体膜を形成し、前記半導体膜上に絶縁膜を形成し、前記絶縁膜上に導電膜を形成する。なお、図1(A)において、前記下地絶縁膜は積層構造としているが、単層構造でも良いし、形成しなくてもよい。また、前記導電膜を単層構造としているが、2層以上の積層構造としても良い。続いて、レジストを形成し、導電膜の端部をテーパ形状とするためにエッチングを行う。(図1(B))このエッチング方法としては、高密度プラズマを用いたドライエッチング法が望ましい。高密度プラズマを得る手法にはマイクロ波や誘導結合プラズマ(Inductively Coupled Plasma: ICP)を用いたエッチング装置が適している。そして、第1のドーピング処理および第2のドーピング処理により半導体膜に、ゲート電極と重なる低濃度不純物領域と、ソース領域またはドレイン領域として機能する高濃度不純物領域を形成する。以上のような処理により、GOLD構造が実現できる。

10

20

【発明の概要】

【発明が解決しようとする課題】

【0008】

ICPエッチング装置におけるエッチング条件は、バイアス電力密度、ICP電力密度、圧力、エッチングガスの総流量および下部電極の温度である。また、エッチングガスにおいて酸素を添加すると、エッチングが促進されることから、エッチングガスにおける酸素添加率も条件の1つとする。

【0009】

しかしながら、エッチング条件によってレジストと導電膜との選択比が変わり、基板面内で導電膜の幅がばらつく場合がある。前記導電膜をゲート電極として用いる場合、前記導電膜は不純物元素の導入の際にマスクとなるため、前記導電膜の幅のばらつきは、チャネル形成領域の長さ、前記導電膜とLDD領域との重なる領域の長さのばらつきの原因となる。このような半導体膜を用いてTFTを作製すると、電気的特性のばらつきの要因となり、さらには半導体装置の動作特性を低下させる要因となる。また、前記導電膜を配線として用いる場合、前記導電膜の幅のばらつきは、配線抵抗のばらつきの要因となり、TFTの電気的特性を低下させる。このように、導電膜の幅や長さのばらつきは基板が大型化するなかでますます深刻な問題となっており、導電膜の幅や長さのばらつきを抑えて均一性を高めることは非常に重要である。

30

【0010】

本発明はこのような問題点を解決するための技術であり、基板の大型化に対応でき得る金属配線およびその作製方法、並びに金属配線基板およびその作製方法を提供することを課題とする。

40

【課題を解決するための手段】

【0011】

本明細書で開示する金属配線に関する発明の構成は、タングステン膜、または、タングステン化合物を主成分とする金属化合物膜、または、タングステン合金を主成分とする金属合金膜により形成された導電層であって、前記導電層の端部におけるテーパ角が 5° ~ 85° の範囲であることを特徴としている。

【0012】

上記構成において、前記金属合金膜は、Ta、Ti、Mo、Cr、Nb、Si、Sc、

50

Ndから選ばれた一種の元素または複数種の元素とタングステンとの合金膜であることを特徴としている。

【0013】

また、上記構成において、前記金属化合物膜は、タングステンの窒化物膜であることを特徴としている。

【0014】

また、金属配線に関する他の発明の構成は、アルミニウム膜、または、アルミニウム化合物を主成分とする金属化合物膜、または、アルミニウム合金を主成分とする金属合金膜により形成された導電層であって、前記導電層の端部におけるテーパ角が $5^{\circ} \sim 85^{\circ}$ の範囲であることを特徴としている。

10

【0015】

上記構成において、前記金属合金膜は、Ta、Ti、Mo、Cr、Nb、Si、Sc、Ndから選ばれた一種の元素または複数種の元素とアルミニウムとの合金膜であることを特徴としている。

【0016】

また、上記構成において、前記金属化合物膜は、アルミニウムの窒化物膜であることを特徴としている。

【0017】

また、上記各構成において、密着性を向上させるために導電性を有する珪素膜（例えばリンドープシリコン膜、ボロンドープシリコン膜等）を最下層に設ける構成としてもよい。

20

【0018】

また、本明細書で開示する金属配線基板に関する発明の構成は、絶縁基板と、金属配線とを有する金属配線基板において、前記金属配線は、タングステン膜、または、タングステン化合物を主成分とする金属化合物膜、または、タングステン合金を主成分とする金属合金膜により形成された導電層であって、前記導電層の端部におけるテーパ角が $5^{\circ} \sim 85^{\circ}$ の範囲であることを特徴としている。

【0019】

また、金属配線基板に関する他の発明の構成は、絶縁基板と、金属配線とを有する金属配線基板において、前記金属配線は、アルミニウム膜、または、アルミニウム化合物を主成分とする金属化合物膜、または、アルミニウム合金を主成分とする金属合金膜により形成された導電層であって、前記導電層の端部におけるテーパ角が $5^{\circ} \sim 85^{\circ}$ の範囲であることを特徴としている。

30

【0020】

また、本明細書で開示する金属配線の作製方法に関する発明の構成は、絶縁表面上に少なくとも一層の導電膜を形成し、前記導電膜上にレジストパターンを形成し、前記レジストパターンを有する導電膜にエッチングを行い、バイアス電力密度に応じてテーパ角が制御された金属配線を形成することを特徴としている。

【0021】

また、金属配線の作製方法に関する他の発明の構成は、絶縁表面上に少なくとも一層の導電膜を形成し、前記導電膜上にレジストパターンを形成し、前記レジストパターンを有する導電膜にエッチングを行い、ICP電力密度に応じてテーパ角が制御された金属配線を形成することを特徴としている。

40

【0022】

また、金属配線の作製方法に関する他の発明の構成は、絶縁表面上に少なくとも一層の導電膜を形成し、前記導電膜上にレジストパターンを形成し、前記レジストパターンを有する導電膜にエッチングを行い、下部電極の温度に応じてテーパ角が制御された金属配線を形成することを特徴としている。

【0023】

上記金属配線の作製方法に関する構成において、前記下部電極の温度は、 $85 \sim 120$

50

とすることを特徴としている。

【0024】

また、金属配線の作製方法に関する他の発明の構成は、絶縁表面上に少なくとも一層の導電膜を形成し、前記導電膜上にレジストパターンを形成し、前記レジストパターンを有する導電膜にエッチングを行い、圧力に応じてテーパ角が制御された金属配線を形成することを特徴としている。

【0025】

上記金属配線の作製方法に関する構成において、前記圧力は、 $2.0 \sim 13 \text{ Pa}$ とすることを特徴としている。

【0026】

また、金属配線の作製方法に関する他の発明の構成は、絶縁表面上に少なくとも一層の導電膜を形成し、前記導電膜上にレジストパターンを形成し、前記レジストパターンを有する導電膜にエッチングを行い、反応ガスの流量に応じてテーパ角が制御された金属配線を形成することを特徴としている。

【0027】

また、上記金属配線の作製方法に関する構成において、前記反応ガスの総流量は、 $2.61 \times 10^3 \sim 10.87 \times 10^3 \text{ sccm/m}^3$ とすることを特徴としている。

【0028】

また、金属配線の作製方法に関する他の発明の構成は、絶縁表面上に少なくとも一層の導電膜を形成し、前記導電膜上にレジストパターンを形成し、前記レジストパターンを有する導電膜にエッチングを行い、反応ガスにおける酸素の割合に応じてテーパ角が制御された金属配線を形成することを特徴としている。

【0029】

上記金属配線の作製方法に関する構成において、前記反応ガスにおける酸素の割合は、 $17 \sim 50\%$ とすることを特徴としている。

【0030】

また、金属配線の作製方法に関する他の発明の構成は、絶縁表面上に少なくとも一層の導電膜を形成し、前記導電膜上にレジストパターンを形成し、前記レジストパターンを有する導電膜にエッチングを行い、反応ガスにおける塩素の割合に応じてテーパ角が制御された金属配線を形成することを特徴としている。

【0031】

また、上記金属配線の作製方法に関する各構成において、前記金属薄膜は、タングステン膜、タングステン化合物を主成分とする金属化合物膜、タングステン合金を主成分とする金属合金膜から選ばれた薄膜、アルミニウム膜、アルミニウム化合物を主成分とする金属化合物膜、および、アルミニウム合金を主成分とする金属合金膜から選ばれた薄膜であることを特徴としている。

【0032】

また、本明細書で開示する金属配線基板の作製方法に関する発明の構成は、絶縁基板と、金属配線とを有する金属配線基板の作製方法において、絶縁表面上に少なくとも一層の導電膜を形成し、前記導電膜上にレジストパターンを形成し、前記レジストパターンを有する導電膜にエッチングを行い、バイアス電力密度に応じてテーパ角が制御された金属配線を形成することを特徴としている。

【0033】

また、金属配線基板の作製方法に関する他の発明の構成は、絶縁基板と、金属配線とを有する金属配線基板の作製方法において、絶縁表面上に少なくとも一層の導電膜を形成し、前記導電膜上にレジストパターンを形成し、前記レジストパターンを有する導電膜にエッチングを行い、ICP電力密度に応じてテーパ角が制御された金属配線を形成することを特徴としている。

【0034】

また、金属配線基板の作製方法に関する他の発明の構成は、絶縁基板と、金属配線とを有

10

20

30

40

50

する金属配線基板の作製方法において、絶縁表面上に少なくとも一層の導電膜を形成し、前記導電膜上にレジストパターンを形成し、前記レジストパターンを有する導電膜にエッチングを行い、下部電極の温度に応じてテーパ角が制御された金属配線を形成することを特徴としている。

【0035】

上記金属配線基板の作製方法に関する構成において、前記下部電極の温度は、85～120とすることを特徴としている。

【0036】

また、金属配線基板の作製方法に関する他の発明の構成は、絶縁基板と、金属配線とを有する金属配線基板の作製方法において、絶縁表面上に少なくとも一層の導電膜を形成し、前記導電膜上にレジストパターンを形成し、前記レジストパターンを有する導電膜にエッチングを行い、圧力に応じてテーパ角が制御された金属配線を形成することを特徴としている。

10

【0037】

上記金属配線基板の作製方法に関する構成において、前記圧力は、2.0～13Paとすることを特徴としている。

【0038】

また、金属配線基板の作製方法に関する他の発明の構成は、絶縁基板と、金属配線とを有する金属配線基板の作製方法において、絶縁表面上に少なくとも一層の導電膜を形成し、前記導電膜上にレジストパターンを形成し、前記レジストパターンを有する導電膜にエッチングを行い、反応ガスの総流量に応じてテーパ角が制御された金属配線を形成することを特徴としている。

20

【0039】

上記金属配線基板の作製方法に関する構成において、前記反応ガスの総流量は、 $2.61 \times 10^3 \sim 10.87 \times 10^3 \text{ sccm} / \text{m}^3$ とすることを特徴としている。

【0040】

また、金属配線基板の作製方法に関する他の発明の構成は、絶縁基板と、金属配線とを有する金属配線基板の作製方法において、絶縁表面上に少なくとも一層の導電膜を形成し、前記導電膜上にレジストパターンを形成し、前記レジストパターンを有する導電膜にエッチングを行い、反応ガスにおける酸素の割合に応じてテーパ角が制御された金属配線を形成することを特徴としている。

30

【0041】

上記金属配線基板の作製方法に関する構成において、前記反応ガスにおける酸素の割合は、17～50%とすることを特徴としている。

【0042】

また、金属配線基板の作製方法に関する他の発明の構成は、絶縁基板と、金属配線とを有する金属配線基板の作製方法において、絶縁表面上に少なくとも一層の導電膜を形成し、前記導電膜上にレジストパターンを形成し、前記レジストパターンを有する導電膜にエッチングを行い、反応ガスにおける塩素の割合に応じてテーパ角が制御された金属配線を形成することを特徴としている。

40

【0043】

また、上記金属配線基板の作製方法に関する各構成において、前記金属薄膜は、タングステン膜、タングステン化合物を主成分とする金属化合物膜、タングステン合金を主成分とする金属合金膜から選ばれた薄膜、アルミニウム膜、アルミニウム化合物を主成分とする金属化合物膜、および、アルミニウム合金を主成分とする金属合金膜から選ばれた薄膜であることを特徴としている。

【発明の効果】

【0044】

本発明の構成を採用することにより、以下に示すような基本的有意性を得ることが出来る。

50

(a) 従来の配線または配線基板の作製プロセスに適合した、簡単な方法である。

(b) バイアス電力密度、ICP電力密度、下部電極の温度またはエッチングガスにおける塩素の割合を変えることで、所望のテーパ角を有する配線を形成することが可能となる。

(c) 圧力、エッチングガスの総流量、エッチングガスにおける酸素の割合、下部電極の温度を所定の値にすることで、基板面内におけるばらつきを低減することを可能とする。

(d) 以上の利点を満たした上で、金属配線または金属配線基板において、基板が大型化しても十分に対応することが可能となる。

【図面の簡単な説明】

【0045】

10

【図1】(A) バイアス電力密度に対するWとレジストのエッチングレートの関係を示す図。(B) バイアス電力密度に対するWとレジストの選択比の関係を示す図。

【図2】(A) ICP電力密度に対するWとレジストのエッチングレートの関係を示す図。(B) ICP電力密度に対するWとレジストの選択比の関係を示す図。

【図3】(A) 圧力に対するWとレジストのエッチングレートの関係を示す図。(B) 圧力に対するWとレジストの選択比の関係を示す図。

【図4】(A) エッチングガスにおける酸素添加率に対するWとレジストのエッチングレートの関係を示す図。(B) エッチングガスにおける酸素添加率に対するWとレジストの選択比の関係を示す図。

20

【図5】(A) エッチングガスの総流量に対するWとレジストのエッチングレートの関係を示す図。(B) エッチングガスの総流量に対するWとレジストの選択比の関係を示す図。

【図6】(A) 下部電極の温度に対するWとレジストのエッチングレートの関係を示す図。(B) 下部電極の温度に対するWとレジストの選択比の関係を示す図。

【図7】ICPエッチング装置の例を示す図。

【図8】本発明の概念の例を示す図。

【図9】(A) バイアス電力密度をパラメータとしたときのレジスト/Wの選択比に対するテーパ角の関係を示す図。(B) ICP電力密度をパラメータとしたときのレジスト/Wの選択比に対するテーパ角の関係を示す図。

30

【図10】(A) 圧力をパラメータとしたときのレジスト/Wの選択比に対するテーパ角の関係を示す図。(B) エッチングガスにおける酸素添加率をパラメータとしたときのレジスト/Wの選択比に対するテーパ角の関係を示す図。

【図11】(A) エッチングガスの総流量をパラメータとしたときのレジスト/Wの選択比に対するテーパ角の関係を示す図。(B) 下部電極の温度をパラメータとしたときのレジスト/Wの選択比に対するテーパ角の関係を示す図。

【図12】(A) バイアス電力密度に対するAl-Siとレジストのエッチングレートの関係を示す図。(B) バイアス電力密度に対するAl-Siとレジストの選択比の関係を示す図。

40

【図13】(A) ICP電力密度に対するAl-Siとレジストのエッチングレートの関係を示す図。(B) ICP電力密度に対するAl-Siとレジストの選択比の関係を示す図。

【図14】(A) エッチングガスにおける塩素添加率に対するAl-Siとレジストのエッチングレートの関係を示す図。(B) エッチングガスにおける塩素添加率に対するAl-Siとレジストの選択比の関係を示す図。

【図15】本発明を適用して作製した配線の形状の例を示す図。

【図16】本発明を適用して作製した配線の例を示す図。

【図17】本発明を適用して作製した配線の例を示す図。

【図18】本発明を適用して作製した配線の例を示す図。

【図19】画素TF T、駆動回路のTF Tの作製工程を示す断面図。

【図20】画素TF T、駆動回路のTF Tの作製工程を示す断面図。

50

【図 2 1】画素 T F T、駆動回路の T F T の作製工程を示す断面図。

【図 2 2】画素 T F T の構成を示す上面図。

【図 2 3】アクティブマトリクス型液晶表示装置の作製工程を示す断面図。

【図 2 4】発光装置の駆動回路及び画素部の断面構造図。

【図 2 5】(A) 発光装置の上面図。(B) 発光装置の駆動回路及び画素部の断面構造図

。

【図 2 6】半導体装置の例を示す図。

【図 2 7】半導体装置の例を示す図。

【図 2 8】半導体装置の例を示す図。

【発明を実施するための形態】

10

【 0 0 4 6 】

[実施の形態 1]

本発明では、高密度プラズマを使用する I C P エッチング装置を使用している。I C P エッチング装置は、低圧力で R F 電力を誘導的にプラズマ中に結合させることで、 10^{11} 個 / cm^3 以上のプラズマ密度を達成して、高選択比かつ高エッチングレートの加工を行うものである。

【 0 0 4 7 】

まず、I C P ドライエッチング装置プラズマ生成機構について図 7 (A) を用いて詳細に説明する。

【 0 0 4 8 】

20

図 7 (A) にエッチングチャンバーの簡略構造図を示す。チャンバー上部の石英板 3 1 上にアンテナコイル 3 2 を配置し、マッチングボックス 3 3 を介して R F 電源 3 4 に接続されている。また、対向に配置された基板側の下部電極 3 5 にもマッチングボックス 3 6 を介して R F 電源 3 7 が接続されている。

【 0 0 4 9 】

基板上方のアンテナコイル 3 2 に R F 電流が印加されると、アンテナコイル 3 2 に R F 電流 J が θ 方向に流れ、 Z 方向に磁界 B が発生する。

【 0 0 5 0 】

【 数 1 】

30

$$\mu_0 J = \text{rot } B$$

【 0 0 5 1 】

ファラデーの電磁誘導の法則に従い、 θ 方向に誘導電界 E が生じる。

【 0 0 5 2 】

【 数 2 】

$$-\frac{\partial B}{\partial t} = \text{rot } E$$

40

【 0 0 5 3 】

この誘導電界 E で電子が θ 方向に加速されガス分子と衝突し、プラズマが生成される。誘導電界の方向が θ 方向なので、荷電粒子がエッチングチャンバー壁や、基板に衝突して電荷を消失する確率が低くなる。従って、 1 Pa 程度の低圧力でも高密度のプラズマを発生させることができる。また、下流へは、磁界 B がほとんどないので、シート状に広がっ

50

た高密度プラズマ領域となる。

【0054】

アンテナコイル32（ICP電力が印加される）と基板側の下部電極35（バイアス電力が印加される）のそれぞれに印加するRFパワーを調節することによってプラズマ密度と自己バイアス電圧を独立に制御することが可能である。また、被処理物の材料に応じて印加するRFパワーの周波数を異ならせることも可能となる。

【0055】

ICPエッチング装置で高密度プラズマを得るためには、アンテナコイル32に流れるRF電流Jを低損失で流す必要があり、大面積化するためには、アンテナコイル32のインダクタンスを低下させなければならない。そのためにアンテナを分割したマルチスパイラルコイル38のICPエッチング装置が開発され、その構造図を図7（B）に示す。なお、ここでは石英板以外の部分（チャンバーの構造や下部電極の構造など）は同じであるので省略している。このようなマルチスパイラルコイル38を適用したICPを用いたエッチング装置を用いると、前記耐熱性導電性材料のエッチングを良好に行うことができる。

10

【0056】

本発明者等はこのマルチスパイラルコイル方式のICPエッチング装置（松下電器産業製：E645）を用いてエッチング条件を振り、以下で述べる実験を行った。

【0057】

まず、試料としてガラス基板上に、スパッタ法により、膜厚500nmのW膜からなる導電膜を形成した。そしてレジストを形成し、エッチング条件であるバイアス電力密度、ICP電力密度、圧力、エッチングにおける酸素添加率、エッチングガスの総流量および下部電極の温度についてそれぞれ条件を振って、W膜のエッチングを行った。各条件の振り方は表1に示す通りである。また、ある条件について条件を振って評価する場合における、他の条件については表2に示す値を用いた。なお、表1および表2において、バイアス電力密度およびICP電力密度の単位は $[W/cm^2]$ としているが、実際には電力 $[W]$ を掛けている。表1および表2に記載のバイアス電力およびICP電力は、それぞれバイアス電力の掛かる面積 $12.5cm \times 12.5cm$ とICP電力の掛かる面積 $12.5cm \times 12.5cm \times$ で割った値を記載している。また、チャンバーの体積は $18.4 \times 10^{-3}m^3$ であるため、エッチングガスの総流量はチャンバーの体積で割った値で示している。

20

30

【0058】

【表 1】

バイアス電力密度[W/cm ²]	0.128、0.256、0.512、0.96、1.6	
ICP電力密度[W/cm ²]	0.14、0.42、0.71、0.99	
圧力[Pa]	1.0、1.5、2.0、5.0	
酸素添加率[%] (CF ₄ :Cl ₂ :O ₂ [sccm/m ³])	10(1.47×10 ³ :1.47×10 ³ :0.33×10 ³)、 17(1.36×10 ³ :1.36×10 ³ :0.54×10 ³)、 23(1.25×10 ³ :1.25×10 ³ :0.76×10 ³)、 33(1.09×10 ³ :1.09×10 ³ :1.09×10 ³)	10
ガス総流量[sccm/m ³] (CF ₄ :Cl ₂ :O ₂ [sccm/m ³])	1.30×10 ³ (0.54×10 ³ :0.54×10 ³ :0.22×10 ³)、 1.96×10 ³ (0.82×10 ³ :0.82×10 ³ :0.33×10 ³)、 2.61×10 ³ (1.09×10 ³ :1.09×10 ³ :0.43×10 ³)、 3.26×10 ³ (1.36×10 ³ :1.36×10 ³ :0.54×10 ³)	20
下部電極温度[°C]	40、55、70、85	

【0059】

【表 2】

バイアス電力密度[W/cm ²]	0.96	
ICP電力密度[W/cm ²]	0.71	
圧力[Pa]	1.0	
酸素添加率[%] ガス総流量[sccm/m ³] (CF ₄ :Cl ₂ :O ₂ [sccm/m ³])	17% 3.26×10 ³ sccm/m ³ (1.36×10 ³ :1.36×10 ³ :0.54×10 ³)	30
下部電極温度[°C]	70	

【0060】

図1～図6に各条件を振って得られた結果を示す。各図(A)にWとレジストのエッチングレートについて示し、各図(B)にレジストに対するWの選択比について示す。それぞれ、基板面内において測定点数を16とし、基板面内におけるばらつきをエラーバーで示している。図1はバイアス電力密度の条件を振った結果であり、図2はICP電力密度の条件を振った結果であり、図3は圧力の条件を振った結果であり、図4は酸素添加率の条件を振った結果であり、図5はガス総流量の条件を振った結果であり、図6は下部電極の温度条件を振った結果である。

【0061】

まず、基板面内におけるばらつきについて考察する。図1(A)より、バイアス電力密度が0.256～0.512W/cm²ではばらつきが最小となり、0.96W/cm²以上で大きくなっている。また、図2(A)より、ICP電力密度においては条件振りによる傾向は特に見られない。図3(A)～図6(A)より、圧力、酸素添加率、ガス総流量および下部電極の温度においては高い方がばらつきが小さかった。

10

20

30

40

50

【0062】

続いて、レジストに対するWの選択比について考察する。図1(B)～図6(B)より、レジストに対するWの選択比は、条件が変化するにつれて、バイアス電力密度、ICP電力密度および下部電極の温度において大きく変化している。

つまり、レジストに対するWの選択比に影響を与える条件はバイアス電力密度、ICP電力密度および下部電極の温度であることが分かる。

【0063】

以上の実験から、バイアス電力密度、ICP電力密度および下部電極の温度がレジストに対するW膜の選択比に大きな影響を与えることが分かった。また、圧力、酸素添加率、ガス総流量および下部電極の温度を高く設定すれば、基板面内におけるばらつきを低減することがわかった。

10

【0064】

また、レジスト/Wの選択比と、テーパ角との相関を調べるため、次のような実験を行った。図8を用いて説明する。なお、本明細書中において、テーパ角とは図8(C)に示すように、導電層15bの断面形状のテーパ部(傾斜部)と下地膜17bの表面がなす角をいう。また、テーパ角はテーパ部の幅Zと、膜厚Xを用いて、 $\tan = X/Z$ と定義できる。

【0065】

まず、ガラス基板10上に絶縁膜11としてプラズマCVD法により膜厚50nmの酸化窒化珪素膜(組成比Si=32%、O=27%、N=24%、H=17%) (組成比Si=32%、O=59%、N=7%、H=2%)を形成した。

20

前記絶縁膜11上に第1の導電膜11として膜厚50nmのTa₂N膜を、前記第1の導電膜12上に第2の導電膜13として膜厚370nmのW膜をスパッタ法により形成した。そしてレジストを形成し、エッチング条件であるバイアス電力密度、ICP電力密度、圧力、エッチングにおける酸素添加率、エッチングガスの総流量および下部電極の温度についてそれぞれ条件を振って、W膜のエッチングを行った。各条件の振り方は表1に示す通りである。また、ある条件について条件を振って評価する場合における、他の条件については表2に示す値を用いた。続いて、Ta₂N膜のエッチング条件として、エッチング用ガスにCF₄とCl₂とを用い、それぞれのガス流量比を30:30(sccm)とし、1Paの圧力でコイル型の電極に0.71W/cm²のRF(13.56MHz)電力を投入してプラズマを生成してエッチングを行った。基板側(試料ステージ)にも0.128W/cm²のRF(13.56MHz)電力を投入し、実質的に負の自己バイアス電圧を印加した。

30

【0066】

このようにして第1の導電膜および第2の導電膜にエッチング処理を行った後、その断面形状をSEMにより5万倍にて観察し、テーパ角を求め、レジスト/Wの選択比との関係を調べた。その結果を図9～図11に示す。図9(A)にバイアス電力密度を変化させたときのレジスト/W選択比とテーパ角の関係を示し、図9(B)にICP電力密度を変化させたときのレジスト/W選択比とテーパ角の関係を示し、図10(A)に圧力を変化させたときのレジスト/W選択比とテーパ角の関係を示し、図10(B)にエッチングガスにおける酸素添加率を変化させたときのレジスト/W選択比とテーパ角の関係を示し、図11(A)にエッチングガスの総流量を変化させたときのレジスト/W選択比とテーパ角の関係を示し、図11(B)に下部電極の温度を変化させたときのレジスト/W選択比とテーパ角の関係を示す。図9～図11より、テーパ角に大きな影響を与える条件は、バイアス電力密度、ICP電力密度および下部電極の温度であることが分かる。

40

【0067】

そこで、本発明は、ICPエッチング装置を用いてW膜のエッチングを行う際に、バイアス電力密度、ICP電力密度および下部電極の温度を制御することで、所望のテーパ角を有する配線を形成し、また、大面積基板においても均一性の高いエッチングを行うことを可能とする。さらに、圧力、酸素添加率、ガス総流量および下部電極の温度を高く設

50

定すれば、基板面内における配線の形状のばらつきを低減することを可能とする。特に、本発明を用いて形成されたW膜からなるゲート電極は基板面内において形状のばらつきが低減されていることから、該ゲート電極をマスクとして不純物元素を導入する場合、不純物領域の幅や長さのばらつきが生じることを低減することを可能とする。すなわち、チャネル形成領域の幅や長さのばらつきを低減することが可能となり、このような半導体膜を用いて作製されたTFTの電気的特性のばらつきを低減することを可能とする。

さらに半導体装置の動作特性および信頼性を向上することを可能とする。

【0068】

なお、本発明はW膜だけでなく、Mo-W膜、WSi膜、TiW膜などWを主成分としたさまざまな膜に適用することができる。

【0069】

[実施の形態2]

本発明者等は、実施形態1で説明したマルチスパイラルコイル方式のICPエッチング装置（松下電器産業製：E645）を用いて、実施形態とは異なる導電膜に対してエッチング条件を振り、以下で述べる実験も行った。

【0070】

まず、試料としてガラス基板上に、スパッタ法により、膜厚500nmのAl-Si（2wt%）膜からなる導電膜を形成した。そしてレジストを形成し、エッチング条件であるバイアス電力密度、ICP電力密度、エッチングにおけるCl₂添加率についてそれぞれ条件を振って、Al-Si膜のエッチングを行った。各条件の振り方は表3に示す通りである。また、ある条件について条件を振って評価する場合における、他の条件については表4に示す値を用いた。なお、表1および表2において、バイアス電力密度およびICP電力密度の単位は[W/cm²]としているが、実際には電力[W]を掛けている。表1および表2に記載のバイアス電力およびICP電力は、それぞれバイアス電力の掛かる面積12.5cm×12.5cmとICP電力の掛かる面積12.5cm×12.5cmで割った値を記載している。また、チャンバーの体積は18.4×10⁻³m³であるため、エッチングガスの総流量はチャンバーの体積で割った値で示している。

【0071】

【表3】

バイアス電力密度[W/cm ²]	0.64、1.28、1.92、2.56
ICP電力密度[W/cm ²]	0.20、0.61、1.02、1.43
Cl ₂ 添加率[%] (BCl ₃ :Cl ₂ [sccm/m ³])	12.5(3.80×10 ³ :0.54×10 ³)、 15(3.26×10 ³ :1.09×10 ³)、 50(2.17×10 ³ :2.17×10 ³)、 75(1.09×10 ³ :3.26×10 ³)

【0072】

【表 4】

バイアス電力密度[W/cm ²]	1.92
ICP電力密度[W/cm ²]	1.02
圧力[Pa]	1.2
Cl ₂ 添加率[%]	15%
ガス総流量[sccm/m ³] (BCl ₃ :Cl ₂ [sccm/m ³])	4.35×10 ³ sccm/m ³ (3.26×10 ³ :1.09×10 ³)
下部電極温度[°C]	70

10

【0073】

図12～図14に各条件を振って得られた結果を示す。各図(A)にAl-Siとレジストのエッチングレートについて示し、各図(B)にレジストに対するAl-Siの選択比について示す。それぞれ、基板面内において測定点数を16とし、基板面内におけるばらつきをエラーバーで示している。図12はバイアス電力密度の条件を振った結果であり、図13はICP電力密度の条件を振った結果であり、図14はCl₂添加率の条件を振った結果である。

【0074】

レジストに対するAl-Siの選択比について考察する。図12(B)～図14(B)より、レジストに対するAl-Siの選択比は、条件が変化につれて、大きく変化している。つまり、レジストに対するAl-Siの選択比に影響を与える条件はバイアス電力密度、ICP電力密度およびCl₂添加率であることが分かる。

20

【0075】

そこで、本発明は、ICPエッチング装置を用いてAl-Si膜のエッチングを行う際に、バイアス電力密度、ICP電力密度およびCl₂添加率を制御することで、所望のテーパ角を有する配線を形成することを可能とする。特に、本発明を用いて形成されたAl-Si膜からなるゲート電極は、所望のテーパ角を有することを可能としていることから、該ゲート電極をマスクとして不純物元素を導入する場合、所望の幅や長さを有する不純物領域を形成することを可能とする。すなわち、所望の幅や長さを有するチャンネル形成領域を形成することが可能となり、このような半導体膜を用いて作製されたTFETの電気的特性のばらつきを低減することを可能とする。さらに半導体装置の動作特性および信頼性を向上することを可能とする。

30

【0076】

なお、本発明はW膜だけでなく、Al-Ti膜、Al-Sc膜、Al-Nd膜などAlを主成分としたさまざまな膜に適用することができる。

【0077】

以下に本発明の実施例を説明するが、特にこれらの実施例に限定されないことはもちろんである。

40

【実施例1】

【0078】

本実施例では、エッチングに関するパラメータを制御して、テーパ部を有する金属配線を形成した例を示す。

【0079】

まず、ガラス基板10上に絶縁膜11としてプラズマCVD法により膜厚50nmの酸化窒化珪素膜(組成比Si=32%、O=27%、N=24%、H=17%)(組成比Si=32%、O=59%、N=7%、H=2%)を形成した。

前記絶縁膜11上に第1の導電膜11として膜厚50nmのTa₂N膜を、前記第1の導電膜12上に第2の導電膜13として膜厚370nmのW膜をスパッタ法により形成した。

50

そしてレジストを形成し、エッチング条件であるバイアス電力密度 0.96 W/cm^2 、ICP電力密度 0.71 W/cm^2 、圧力 1.0 Pa 、下部電極の温度を 70°C 、エッチング用ガスに CF_4 と Cl_2 と O_2 を用い、それぞれのガス流量比を $25:25:10$ (sccm) (エッチングガスにおける酸素添加率は 17% であり、体積に換算する $1.36 \times 10^3:1.36 \times 10^3:0.54 \times 10^3$ (sccm/m^3)) として、W膜のエッチングを行った。続いて、TaN膜のエッチング条件として、エッチング用ガスに CF_4 と Cl_2 とを用い、それぞれのガス流量比を $30:30$ (sccm) (体積に換算するとそれぞれ $1.63 \times 10^3 \text{ sccm/m}^3$) とし、 1 Pa の圧力でコイル型の電極に 500 W のRF (13.56 MHz)電力 (電力密度に換算すると 0.71 W/cm^2) を投入してプラズマを生成してエッチングを行った。基板側 (試料ステージ) にも 20 W のRF (13.56 MHz)電力 (電力密度に換算すると 0.128 W/cm^2) を投入し、実質的に負の自己バイアス電圧を印加した。

10

【0080】

このようにして第1の導電膜および第2の導電膜にエッチング処理を行った後、その断面形状をSEMにより5万倍にて観察した結果を図15に示す。このときのテーパ角は 20° であった。

【実施例2】

【0081】

本実施例では、本発明を絶縁ゲート型電界効果トランジスタ (MOSFETまたはIGFET) に適用してCMOS回路を構成した場合の例について図16~図18を用いて説明する。

20

【0082】

まず、単結晶シリコン基板301を用意し、不純物元素を注入してP型ウェル302、N型ウェル303を形成する。単結晶シリコン基板はP型であってもN型であっても良い。この様な構成はいわゆるツインタブ構造であり、ウェル濃度は $1 \times 10^{18} / \text{cm}^3$ 以下 (代表的には $1 \times 10^{16} \sim 5 \times 10^{17} / \text{cm}^3$) で形成される。

【0083】

次に、公知のLOCOS法などにより選択酸化を行い、フィールド酸化膜304を形成した後、熱酸化工程によってシリコン表面に 30 nm 厚の酸化膜 (後のゲート絶縁膜) 305を形成する。(図16(A))

30

【0084】

次に、第1のゲート電極306および第2のゲート電極307を形成する。本実施例ではゲート電極を構成する材料として導電性を有するシリコン膜を用いるが、他にもTa、W、Ti、Mo、Al、Cu、Cr、Ndから選ばれた元素、または前記元素を主成分とする合金材料若しくは化合物材料を用いることができる。

【0085】

前記第1のゲート電極306および前記第2のゲート電極307の形成後、pチャネル型MOSFETとなる領域 (図面向かって右側) をレジストマスク308で覆い、単結晶シリコン基板301に対してn型を付与する不純物元素を導入する。(図16(B)) 不純物元素の導入の方法は、レーザドーピング法、プラズマドーピング法、イオン注入法およびイオンシャワードーピング法のいずれかの方法を用い、濃度が $5 \times 10^{18} \sim 1 \times 10^{19} / \text{cm}^3$ となる様に導入する。本実施例では、n型を付与する不純物元素として、Asを用いる。こうして形成される不純物領域310、311の一部 (チャネル形成領域と接する側の端部) は後にnチャネル型MOSFETのLDD領域として機能する。

40

【0086】

次に、nチャネル型MOSFETとなる領域をレジストマスク312で覆う。そして、単結晶シリコン基板301に対してp型を付与する不純物元素を導入する。(図16(C)) 本実施例では、n型を付与する不純物元素として、B (ボロン) を用いる。このようにして、後にpチャネル型MOSFETのLDD領域として機能する不純物領域314、315を形成する。

50

【0087】

図16(C)の状態が得られたら、次に酸化珪素膜(図示せず)を堆積してエッチバックを行い、サイドウォール316、317を形成する。(図17(A))

【0088】

次に、再びpチャネル型MOSFETとなる領域をレジストマスク318で覆い、n型を付与する不純物元素を $1 \times 10^{20} / \text{cm}^3$ の濃度で導入する。こうしてソース領域319、ドレイン領域320が形成され、サイドウォール316の下にはLDD領域321が形成される。(図17(B))

【0089】

同様に、nチャネル型MOSFETとなる領域をレジストマスク322で覆い、p型を付与する不純物元素を $1 \times 10^{20} / \text{cm}^3$ の濃度で導入する。こうしてドレイン領域323、ソース領域324が形成され、サイドウォール317の下にはLDD領域325が形成される。(図17(C))さらに、レジストマスク322で覆ったまま、希ガス元素から選ばれた一種または複数種の元素を導入する。このようにして、第2のゲート電極307に第1のゲート電極306よりも不純物元素を多量に導入する。これにより、前記第2のゲート電極307の圧縮応力は前記第1のゲート電極306より強く、pチャネル型MOSFETにおけるチャネル形成領域が受ける圧縮応力も、nチャネル型MOSFETにおけるチャネル形成領域が受ける応力よりも強くなる。

【0090】

図17(C)の状態が得られたら、第1の熱処理を行い、導入した不純物元素の活性化を行う。

【0091】

続いて、チタン膜を成膜して第2の熱処理を行い、ソース領域、ドレイン領域およびゲート電極の表面にチタンシリサイド層326を形成する。勿論、他の金属膜を用いた金属シリサイドを形成することもできる。シリサイド層を形成した後、チタン膜は除去する。

【0092】

次に、層間絶縁膜327を形成し、コンタクトホールを開けてソース電極328、329、ドレイン電極330を形成する。勿論、電極形成後に水素化を行うことも有効である。本実施例では、W膜を形成し、ICPエッチング装置を用いて、ソース電極328、329、ドレイン電極330を形成する。このようにして形成することで、金属配線の幅や長さのばらつきの低減される。

【0093】

以上の様な工程によって、図18に示す様なCMOS回路を得ることができる。本発明を適用することにより、金属配線の形状のばらつきが低減され、また前記金属配線の端部にテーパ部を有することにより、カパレッジが良好なものとなる。さらには、半導体装置の動作特性も大幅に向上し得る。

【0094】

なお、本実施例は実施例1と組み合わせることが可能である。

【実施例3】

【0095】

本実施例ではアクティブマトリクス基板の作製方法について図19~図22を用いて説明する。本明細書ではCMOS回路、及び駆動回路と、画素TFT、保持容量とを有する画素部を同一基板上に形成された基板を、便宜上アクティブマトリクス基板と呼ぶ。

【0096】

まず、本実施例ではコーニング社の#7059ガラスや#1737ガラスなどに代表されるバリウムホウケイ酸ガラス、またはアルミノホウケイ酸ガラスなどのガラスからなる基板400を用いる。なお、基板400としては、石英基板やシリコン基板、金属基板またはステンレス基板の表面に絶縁膜を形成したものを用いても良い。また、本実施例の処理温度に耐えうる耐熱性が有するプラスチック基板を用いてもよい。

10

20

30

40

50

【0097】

次いで、基板400上に酸化珪素膜、窒化珪素膜または酸化窒化珪素膜などの絶縁膜から成る下地膜401を形成する。本実施例では下地膜401として2層構造を用いるが、前記絶縁膜の単層膜または2層以上積層させた構造を用いても良い。下地膜401の一層目としては、プラズマCVD法を用い、 SiH_4 、 NH_3 、及び N_2O を反応ガスとして成膜される酸化窒化珪素膜401aを10~200nm(好ましくは50~100nm)形成する。本実施例では、膜厚50nmの酸化窒化珪素膜401a(組成比 $\text{Si}=32\%$ 、 $\text{O}=27\%$ 、 $\text{N}=24\%$ 、 $\text{H}=17\%$)を形成した。次いで、下地膜401の2層目としては、プラズマCVD法を用い、 SiH_4 、及び N_2O を反応ガスとして成膜される酸化窒化珪素膜401bを50~200nm(好ましくは100~150nm)の厚さに積層形成する。本実施例では、膜厚100nmの酸化窒化珪素膜401b(組成比 $\text{Si}=32\%$ 、 $\text{O}=59\%$ 、 $\text{N}=7\%$ 、 $\text{H}=2\%$)を形成する。

10

【0098】

次いで、下地膜上に半導体層402~406を形成する。半導体層402~406は公知の手段(スパッタ法、LPCVD法、またはプラズマCVD法等)により25~80nm(好ましくは30~60nm)の厚さで半導体膜を成膜し、公知の結晶化法(レーザ結晶化法、RTAやファーネスアニール炉を用いた熱結晶化法、結晶化を助長する金属元素を用いた熱結晶化法等)により結晶化させる。そして、得られた結晶質半導体膜を所望の形状にパターニングして半導体層402~406を形成する。前記半導体膜としては、非晶質半導体膜や微結晶半導体膜、結晶質半導体膜などがあり、非晶質珪素ゲルマニウム膜などの非晶質構造を有する化合物半導体膜を適用しても良い。本実施例では、プラズマCVD法を用い、55nmの非晶質珪素膜を成膜する。そして、ニッケルを含む溶液を非晶質珪素膜上に保持させ、この非晶質珪素膜に脱水素化(500、1時間)を行った後、熱結晶化(550、4時間)を行って結晶質珪素膜を形成する。そして、フォトリソグラフィ法を用いたパターニング処理によって半導体層402~406を形成する。

20

【0099】

また、レーザ結晶化法で結晶質半導体膜を作製する場合には、パルス発振型または連続発光型のエキシマレーザ、YAGレーザ、 YVO_4 レーザ、YLFレーザ、 YAlO_3 レーザ、ガラスレーザ、ルビーレーザ、Ti:サファイアレーザ等を用いることができる。これらのレーザを用いる場合には、レーザ発振器から放射されたレーザビームを光学系で線状に集光し半導体膜に照射する方法を用いると良い。結晶化の条件は実施者が適宜選択するものであるが、エキシマレーザを用いる場合はパルス発振周波数300Hzとし、レーザエネルギー密度を100~700mJ/cm²(代表的には200~300mJ/cm²)とする。また、パルス発振型のYAGレーザを用いる場合にはその第2高調波を用いパルス発振周波数1~300Hzとし、レーザエネルギー密度を300~1000mJ/cm²(代表的には350~800mJ/cm²)とすると良い。そして幅100~1000μm、例えば400μmで線状に集光したレーザ光を基板全面に渡って照射し、この時の線状ビームの重ね合わせ率(オーバーラップ率)を50~98%として行ってもよい。

30

【0100】

しかしながら、本実施例では、結晶化を助長する金属元素を用いて非晶質珪素膜の結晶化を行ったため、前記金属元素が結晶質珪素膜中に残留している。そのため、前記結晶質珪素膜上に50~100nmの非晶質珪素膜を形成し、加熱処理(RTA法やファーネスアニール炉を用いた熱アニール等)を行って、該非晶質珪素膜中に前記金属元素を拡散させ、前記非晶質珪素膜は加熱処理後にエッチングを行って除去する。このようにすることで、前記結晶質珪素膜中の金属元素の含有量を低減または除去することができる。

40

【0101】

また、半導体層402~406を形成した後、TFTのしきい値を制御するために微量な不純物元素(ボロンまたはリン)のドーピングを行ってもよい。

【0102】

次いで、半導体層402~406を覆うゲート絶縁膜407を形成する。ゲート絶縁膜

50

407はプラズマCVD法またはスパッタ法を用い、厚さを40~150nmとして珪素を含む絶縁膜で形成する。本実施例では、プラズマCVD法により110nmの厚さで酸化窒化珪素膜(組成比Si=32%、O=59%、N=7%、H=2%)で形成した。勿論、ゲート絶縁膜は酸化窒化珪素膜に限定されるものでなく、他の珪素を含む絶縁膜を単層または積層構造として用いても良い。

【0103】

また、酸化珪素膜を用いる場合には、プラズマCVD法でTEOS(Tetraethyl Orthosilicate)とO₂とを混合し、反応圧力40Pa、基板温度300~400とし、高周波(13.56MHz)電力密度0.5~0.8W/cm²で放電させて形成することができる。このようにして作製される酸化珪素膜は、その後400~500の熱アニールによりゲート絶縁膜として良好な特性を得ることができる。

10

【0104】

次いで、ゲート絶縁膜407上に膜厚20~100nmの第1の導電膜408と、膜厚100~400nmの第2の導電膜409とを積層形成する。本実施例では、膜厚30nmのTa₂N膜からなる第1の導電膜408と、膜厚370nmのW膜からなる第2の導電膜409を積層形成する。Ta₂N膜はスパッタ法で形成し、Taのターゲットを用い、窒素を含む雰囲気内でスパッタする。また、W膜は、Wのターゲットを用いたスパッタ法で形成する。その他に6フッ化タングステン(WF₆)を用いる熱CVD法で形成することもできる。いずれにしてもゲート電極として使用するためには低抵抗化を図る必要がある、W膜の抵抗率は20μΩ/cm以下にすることが望ましい。

20

【0105】

なお、本実施例では、第1の導電膜408をTa₂N、第2の導電膜409をWとしているが、第2の導電膜はWまたはWを主成分とする合金材料若しくは化合物材料、または、AlまたはAlを主成分とする合金材料若しくは化合物材料で形成し、第1の導電膜としてはエッチングの際に第1の導電膜と第2の導電膜との選択比が高いものであれば、特に限定されない。例えば、Ta、Ti、Mo、Cu、Cr、Ndから選ばれた元素、または前記元素を主成分とする合金材料若しくは化合物材料で形成してもよい。また、リン等の不純物元素をドーピングした多結晶珪素膜に代表される半導体膜を用いてもよい。また、AgPdCu合金を用いてもよい。

【0106】

次に、フォトリソグラフィ法を用いてレジストからなるマスク410~415を形成し、電極及び配線を形成するための第1のエッチング処理を行う。第1のエッチング処理では第1及び第2のエッチング条件で行う。(図19(B))本実施例では第1のエッチング条件として、ICP(Inductively Coupled Plasma:誘導結合型プラズマ)エッチング法を用い、エッチング用ガスにCF₄とCl₂とO₂とを用い、それぞれのガス流量比を25:25:10(sccm)とし、1Paの圧力でコイル型の電極に500WのRF(13.56MHz)電力を投入してプラズマを生成してエッチングを行う。基板側(試料ステージ)にも150WのRF(13.56MHz)電力を投入し、実質的に負の自己バイアス電圧を印加する。この第1のエッチング条件によりW膜をエッチングして第1の導電層の端部をテーパ形状とする。

40

【0107】

この後、レジストからなるマスク410~415を除去せずに第2のエッチング条件に変え、エッチング用ガスにCF₄とCl₂とを用い、それぞれのガス流量比を30:30(sccm)とし、1Paの圧力でコイル型の電極に500WのRF(13.56MHz)電力を投入してプラズマを生成して約30秒程度のエッチングを行った。基板側(試料ステージ)にも20WのRF(13.56MHz)電力を投入し、実質的に負の自己バイアス電圧を印加する。CF₄とCl₂を混合した第2のエッチング条件ではW膜及びTa₂N膜とも同程度にエッチングされる。なお、ゲート絶縁膜上に残渣を残すことなくエッチングするためには、10~20%程度の割合でエッチング時間を増加させると良い。

【0108】

50

上記第1のエッチング処理では、レジストからなるマスクの形状を適したものとすることにより、基板側に印加するバイアス電圧の効果により第1の導電層及び第2の導電層の端部がテーパ形状となる。このテーパ部の角度は15～45°となる。こうして、第1のエッチング処理により第1の導電層と第2の導電層から成る第1の形状の導電層417～422（第1の導電層417a～422aと第2の導電層417b～422b）を形成する。416はゲート絶縁膜であり、第1の形状の導電層417～422で覆われない領域は20～50nm程度エッチングされ薄くなった領域が形成される。

【0109】

次いで、レジストからなるマスクを除去せずに第2のエッチング処理を行う。

（図19（C））ここでは、エッチングガスに CF_4 と Cl_2 と O_2 とを用い、W膜を選択的にエッチングする。この時、第2のエッチング処理により第2の導電層428b～433bを形成する。一方、第1の導電層417a～422aは、ほとんどエッチングされず、第2の形状の導電層428～433を形成する。

10

【0110】

このようにして形成された導電層428～433は、基板面内における形状のばらつきが低減されている。

【0111】

そして、レジストからなるマスクを除去せずに第1のドーピング処理を行い、半導体層にn型を付与する不純物元素を低濃度に添加する。ドーピング処理はイオンドープ法、若しくはイオン注入法で行えば良い。イオンドープ法の条件はドーズ量を $1 \times 10^{13} \sim 5 \times 10^{14}/cm^2$ とし、加速電圧を40～80keVとして行う。本実施例ではドーズ量を $1.5 \times 10^{13}/cm^2$ とし、加速電圧を60keVとして行う。n型を付与する不純物元素として15族に属する元素、典型的にはリン（P）または砒素（As）を用いるが、ここではリン（P）を用いる。この場合、導電層428～433がn型を付与する不純物元素に対するマスクとなり、自己整合的に不純物領域423～427が形成される。不純物領域423～427には $1 \times 10^{18} \sim 1 \times 10^{20}/cm^3$ の濃度範囲でn型を付与する不純物元素を添加する。

20

【0112】

レジストからなるマスクを除去した後、新たにレジストからなるマスク434a～434cを形成して第1のドーピング処理よりも高い加速電圧で第2のドーピング処理を行う。イオンドープ法の条件はドーズ量を $1 \times 10^{13} \sim 1 \times 10^{15}/cm^2$ とし、加速電圧を60～120keVとして行う。ドーピング処理は第2の導電層428b～432bを不純物元素に対するマスクとして用い、第1の導電層のテーパ部の下方の半導体層に不純物元素が添加されるようにドーピングする。続いて、第2のドーピング処理より加速電圧を下げて第3のドーピング処理を行って図20（A）の状態を得る。イオンドープ法の条件はドーズ量を $1 \times 10^{15} \sim 1 \times 10^{17}/cm^2$ とし、加速電圧を50～100keVとして行う。第2のドーピング処理および第3のドーピング処理により、第1の導電層と重なる低濃度不純物領域436、442、448には $1 \times 10^{18} \sim 5 \times 10^{19}/cm^3$ の濃度範囲でn型を付与する不純物元素を添加され、高濃度不純物領域435、438、441、444、447には $1 \times 10^{19} \sim 5 \times 10^{21}/cm^3$ の濃度範囲でn型を付与する不純物元素を添加される。

30

40

【0113】

もちろん、適当な加速電圧にすることで、第2のドーピング処理および第3のドーピング処理は1回のドーピング処理で、低濃度不純物領域および高濃度不純物領域を形成することも可能である。

【0114】

次いで、レジストからなるマスクを除去した後、新たにレジストからなるマスク450a～450cを形成して第4のドーピング処理を行う。この第4のドーピング処理により、pチャネル型TFTの活性層となる半導体層に前記一導電型とは逆の導電型を付与する不純物元素が添加された不純物領域453～456、459、460を形成する。第2の

50

導電層 4 2 8 a ~ 4 3 2 a を不純物元素に対するマスクとして用い、p 型を付与する不純物元素を添加して自己整合的に不純物領域を形成する。本実施例では、不純物領域 4 5 3 ~ 4 5 6、4 5 9、4 6 0 はジボラン (B_2H_6) を用いたイオンドープ法で形成する。(図 2 0 (B)) この第 4 のドーピング処理の際には、n チャネル型 T F T を形成する半導体層はレジストからなるマスク 4 5 0 a ~ 4 5 0 c で覆われている。第 1 乃至 3 のドーピング処理によって、不純物領域 4 3 8、4 3 9 にはそれぞれ異なる濃度でリンが添加されているが、そのいずれの領域においても p 型を付与する不純物元素の濃度を $1 \times 10^{19} \sim 5 \times 10^{21} \text{ atoms/cm}^3$ となるようにドーピング処理することにより、p チャネル型 T F T のソース領域およびドレイン領域として機能するために何ら問題は生じない。

【 0 1 1 5 】

以上までの工程で、それぞれの半導体層に不純物領域が形成される。導電膜の形状の基板面内におけるばらつきが低減されていることから、低濃度不純物領域やチャネル形成領域の長さおよび幅のばらつきも低減されている。

【 0 1 1 6 】

次いで、レジストからなるマスク 4 5 0 a ~ 4 5 0 c を除去して第 1 の層間絶縁膜 4 6 1 を形成する。この第 1 の層間絶縁膜 4 6 1 としては、プラズマ C V D 法またはスパッタ法を用い、厚さを 1 0 0 ~ 2 0 0 n m とし、珪素を含む絶縁膜で形成する。本実施例では、プラズマ C V D 法により膜厚 1 5 0 n m の酸化窒化珪素膜を形成した。勿論、第 1 の層間絶縁膜 4 6 1 は酸化窒化珪素膜に限定されるものでなく、他の珪素を含む絶縁膜を単層または積層構造として用いても良い。

【 0 1 1 7 】

次いで、図 2 0 (C) に示すように、加熱処理を行って、半導体層の結晶性の回復、それぞれの半導体層に添加された不純物元素の活性化を行う。この加熱処理はファーンズアニール炉を用いる熱アニール法で行う。熱アニール法としては、酸素濃度が 1 p p m 以下、好ましくは 0 . 1 p p m 以下の窒素雰囲気中で 4 0 0 ~ 7 0 0 、代表的には 5 0 0 ~ 5 5 0 で行えばよく、本実施例では 5 5 0 、4 時間の熱処理で活性化処理を行った。なお、熱アニール法の他に、レーザアニール法、またはラピッドサーマルアニール法 (R T A 法) を適用することができる。

【 0 1 1 8 】

また、第 1 の層間絶縁膜を形成する前に加熱処理を行っても良い。ただし、用いた配線材料が熱に弱い場合には、本実施例のように配線等を保護するため層間絶縁膜 (珪素を主成分とする絶縁膜、例えば窒化珪素膜) を形成した後で活性化処理を行うことが好ましい。

【 0 1 1 9 】

そして、加熱処理 (3 0 0 ~ 5 5 0 で 1 ~ 1 2 時間の熱処理) を行うと水素化を行うことができる。この工程は第 1 の層間絶縁膜 4 6 1 に含まれる水素により半導体層のダングリングボンドを終端する工程である。第 1 の層間絶縁膜の存在に関係なく半導体層を水素化することができる。水素化の他の手段として、プラズマ水素化 (プラズマにより励起された水素を用いる) や、3 ~ 1 0 0 % の水素を含む雰囲気中で 3 0 0 ~ 4 5 0 で 1 ~ 1 2 時間の加熱処理を行っても良い。

【 0 1 2 0 】

また、活性化処理としてレーザアニール法を用いる場合には、上記水素化を行った後、エキシマレーザや Y A G レーザ等のレーザビームを照射することが望ましい。

【 0 1 2 1 】

次いで、第 1 の層間絶縁膜 4 6 1 上に無機絶縁膜材料または有機絶縁物材料から成る第 2 の層間絶縁膜 4 6 2 を形成する。本実施例では、膜厚 1 . 6 μm のアクリル樹脂膜を形成したが、粘度が 1 0 ~ 1 0 0 0 c p、好ましくは 4 0 ~ 2 0 0 c p のものを用い、表面に凸凹が形成されるものを用いる。

【 0 1 2 2 】

本実施例では、鏡面反射を防ぐため、表面に凸凹が形成される第 2 の層間絶縁膜を形成

10

20

30

40

50

することによって画素電極の表面に凸凹を形成した。また、画素電極の表面に凹凸を持たせて光散乱性を図るため、画素電極の下方の領域に凸部を形成してもよい。その場合、凸部の形成は、TFTの形成と同じフォトリソグラフィで行うことができるため、工程数の増加なく形成することができる。なお、この凸部は配線及びTFT部以外の画素部領域の基板上に適宜設ければよい。こうして、凸部を覆う絶縁膜の表面に形成された凸凹に沿って画素電極の表面に凸凹が形成される。

【0123】

また、第2の層間絶縁膜462として表面が平坦化する膜を用いてもよい。その場合は、画素電極を形成した後、公知のサンドブラスト法やエッチング法等の工程を追加して表面を凹凸化させて、鏡面反射を防ぎ、反射光を散乱させることによって白色度を増加させることが好ましい。

10

【0124】

そして、駆動回路506において、各不純物領域とそれぞれ電氣的に接続する配線464～468を形成する。なお、これらの配線は、膜厚50nmのTi膜と、膜厚500nmの合金膜（AlとTiとの合金膜）との積層膜をパターンニングして形成する。もちろん、二層構造に限らず、単層構造でもよいし、三層以上の積層構造にしてもよい。また、配線の材料としては、AlとTiに限らない。

例えば、TaN膜上にAlやCuを形成し、さらにTi膜を形成した積層膜をパターンニングして配線を形成してもよい。（図21）

【0125】

また、画素部507においては、画素電極470、ゲート配線469、接続電極468を形成する。この接続電極468によりソース配線（443aと443bの積層）は、画素TFTと電氣的な接続が形成される。また、ゲート配線469は、画素TFTのゲート電極と電氣的な接続が形成される。また、画素電極470は、画素TFTのドレイン領域442と電氣的な接続が形成され、さらに保持容量を形成する一方の電極として機能する半導体層458と電氣的な接続が形成される。また、画素電極471としては、AlまたはAgを主成分とする膜、またはそれらの積層膜等の反射性の優れた材料を用いることが望ましい。

20

【0126】

以上の様にして、nチャネル型TFT501とpチャネル型TFT502からなるCMOS回路、及びnチャネル型TFT503を有する駆動回路506と、画素TFT504、保持容量505とを有する画素部507を同一基板上に形成することができる。こうして、アクティブマトリクス基板が完成する。

30

【0127】

駆動回路506のnチャネル型TFT501はチャネル形成領域437、ゲート電極の一部を構成する第1の導電層428aと重なる低濃度不純物領域436（GOLD領域）、ソース領域またはドレイン領域として機能する高濃度不純物領域452と、n型を付与する不純物元素およびp型を付与する不純物元素が導入された不純物領域451を有している。このnチャネル型TFT501と電極466で接続してCMOS回路を形成するpチャネル型TFT502にはチャネル形成領域440、ソース領域またはドレイン領域として機能する高濃度不純物領域454と、n型を付与する不純物元素およびp型を付与する不純物元素が導入された不純物領域453を有している。また、nチャネル型TFT503にはチャネル形成領域443、ゲート電極の一部を構成する第1の導電層430aと重なる低濃度不純物領域442（GOLD領域）、ソース領域またはドレイン領域として機能する高濃度不純物領域456と、n型を付与する不純物元素およびp型を付与する不純物元素が導入された不純物領域455を有している。

40

【0128】

画素部の画素TFT504にはチャネル形成領域446、ゲート電極の外側に形成される低濃度不純物領域445（LDD領域）、ソース領域またはドレイン領域として機能する高濃度不純物領域458と、n型を付与する不純物元素およびp型を付与する不純物元

50

素が導入された不純物領域 4 5 7 を有している。また、保持容量 5 0 5 の一方の電極として機能する半導体層には、n 型を付与する不純物元素および p 型を付与する不純物元素が添加されている。保持容量 5 0 5 は、絶縁膜 4 1 6 を誘電体として、電極 (4 3 2 a と 4 3 2 b の積層) と、半導体層とで形成している。

【 0 1 2 9 】

本実施例の画素構造は、ブラックマトリクスを用いることなく、画素電極間の隙間が遮光されるように、画素電極の端部をソース配線と重なるように配置形成する。

【 0 1 3 0 】

また、本実施例で作製するアクティブマトリクス基板の画素部の上面図を図 2 2 に示す。なお、図 1 9 ~ 図 2 2 に対応する部分には同じ符号を用いている。図 2 1 中の鎖線 A - A ' は図 2 2 中の鎖線 A A ' で切断した断面図に対応している。また、図 2 1 中の鎖線 B - B ' は図 2 2 中の鎖線 B B ' で切断した断面図に対応している。

10

【 0 1 3 1 】

なお、本実施例は実施例 1 と組み合わせることが可能である。

【 実施例 4 】

【 0 1 3 2 】

本実施例では、実施例 3 で作製したアクティブマトリクス基板から、反射型液晶表示装置を作製する工程を以下に説明する。説明には図 2 3 を用いる。

【 0 1 3 3 】

まず、実施例 3 に従い、図 2 1 の状態のアクティブマトリクス基板を得た後、図 2 1 のアクティブマトリクス基板上、少なくとも画素電極 4 7 0 上に配向膜 5 6 7 を形成しラビング処理を行う。なお、本実施例では配向膜 5 6 7 を形成する前に、アクリル樹脂膜等の有機樹脂膜をパターンングすることによって基板間隔を保持するための柱状のスペーサ 5 7 2 を所望の位置に形成した。また、柱状のスペーサに代えて、球状のスペーサを基板全面に散布してもよい。

20

【 0 1 3 4 】

次いで、対向基板 5 6 9 を用意する。次いで、対向基板 5 6 9 上に着色層 5 7 0、5 7 1、平坦化膜 5 7 3 を形成する。赤色の着色層 5 7 0 と青色の着色層 5 7 1 とを重ねて、遮光部を形成する。また、赤色の着色層と緑色の着色層とを一部重ねて、遮光部を形成してもよい。

30

【 0 1 3 5 】

本実施例では、実施例 3 に示す基板を用いている。従って、実施例 3 の画素部の上面図を示す図 2 2 では、少なくともゲート配線 4 6 9 と画素電極 4 7 0 の間隙と、ゲート配線 4 6 9 と接続電極 4 6 8 の間隙と、接続電極 4 6 8 と画素電極 4 7 0 の間隙を遮光する必要がある。本実施例では、それらの遮光すべき位置に着色層の積層からなる遮光部が重なるように各着色層を配置して、対向基板を貼り合わせた。

【 0 1 3 6 】

このように、ブラックマスク等の遮光層を形成することなく、各画素間の隙間を着色層の積層からなる遮光部で遮光することによって工程数の低減を可能とした。

【 0 1 3 7 】

次いで、平坦化膜 5 7 3 上に透明導電膜からなる対向電極 5 7 6 を少なくとも画素部に形成し、対向基板の全面に配向膜 5 7 4 を形成し、ラビング処理を施した。

40

【 0 1 3 8 】

そして、画素部と駆動回路が形成されたアクティブマトリクス基板と対向基板とをシール材 5 6 8 で貼り合わせる。シール材 5 6 8 にはフィラーが混入されていて、このフィラーと柱状スペーサによって均一な間隔を持って 2 枚の基板が貼り合わせられる。その後、両基板の間に液晶材料 5 7 5 を注入し、封止剤 (図示せず) によって完全に封止する。液晶材料 5 7 5 には公知の液晶材料を用いれば良い。このようにして図 2 3 に示す反射型液晶表示装置が完成する。そして、必要があれば、アクティブマトリクス基板または対向基板を所望の形状に分断する。さらに、対向基板のみに偏光板 (図示しない) を貼りつけた

50

。そして、公知の技術を用いてF P Cを貼りつけた。

【0139】

以上のようにして作製される液晶表示パネルは、導電層の形状のばらつきが低減されていることから、チャンネル形成領域および低濃度不純物領域の幅および長さのばらつきも低減されており、良好な動作特性を示すことが可能となる。そして、このような液晶表示パネルは各種電子機器の表示部として用いることができる。

【0140】

なお、本実施例は実施例1乃至3のいずれか一と自由に組み合わせることが可能である。

【実施例5】

【0141】

本実施例では、本発明を用いて発光装置を作製した例について説明する。本明細書において、発光装置とは、基板上に形成された発光素子を該基板とカバー材の間に封入した表示用パネルおよび該表示用パネルにICを実装した表示用モジュールを総称したものである。なお、発光素子は、電場を加えることで発生するルミネッセンス(Electro Luminescence)が得られる有機化合物を含む層(発光層)と陽極層と、陰極層とを有する。また、有機化合物におけるルミネッセンスには、一重項励起状態から基底状態に戻る際の発光(蛍光)と三重項励起状態から基底状態に戻る際の発光(リン光)があり、これらのうちどちらか、あるいは両方の発光を含む。

【0142】

なお、本明細書中では、発光素子において陽極と陰極の間に形成された全ての層を有機発光層と定義する。有機発光層には具体的に、発光層、正孔注入層、電子注入層、正孔輸送層、電子輸送層等が含まれる。基本的に発光素子は、陽極層、発光層、陰極層が順に積層された構造を有しており、この構造に加えて、陽極層、正孔注入層、発光層、陰極層や、陽極層、正孔注入層、発光層、電子輸送層、陰極層等の順に積層した構造を有していることもある。

【0143】

図24は本実施例の発光装置の断面図である。図24において、基板700上に設けられたスイッチングTFT603は図21のnチャンネル型TFT503を用いて形成される。したがって、構造の説明はnチャンネル型TFT503の説明を参照すれば良い。

【0144】

なお、本実施例ではチャンネル形成領域が二つ形成されるダブルゲート構造としているが、チャンネル形成領域が一つ形成されるシングルゲート構造もしくは三つ形成されるトリプルゲート構造であっても良い。

【0145】

基板700上に設けられた駆動回路は図21のCMOS回路を用いて形成される。従って、構造の説明はnチャンネル型TFT501とpチャンネル型TFT502の説明を参照すれば良い。なお、本実施例ではシングルゲート構造としているが、ダブルゲート構造もしくはトリプルゲート構造であっても良い。

【0146】

また、配線701、703はCMOS回路のソース配線、702はドレイン配線として機能する。また、配線704はソース配線708とスイッチングTFTのソース領域とを電氣的に接続する配線として機能し、配線705はドレイン配線709とスイッチングTFTのドレイン領域とを電氣的に接続する配線として機能する。

【0147】

なお、電流制御TFT604は図21のpチャンネル型TFT502を用いて形成される。従って、構造の説明はpチャンネル型TFT502の説明を参照すれば良い。なお、本実施例ではシングルゲート構造としているが、ダブルゲート構造もしくはトリプルゲート構造であっても良い。

【0148】

10

20

30

40

50

また、配線706は電流制御TF Tのソース配線（電流供給線に相当する）であり、707は電流制御TF Tの画素電極710上に重ねることで画素電極710と電氣的に接続する電極である。

【0149】

なお、710は、透明導電膜からなる画素電極（発光素子の陽極）である。透明導電膜としては、酸化インジウムと酸化スズとの化合物、酸化インジウムと酸化亜鉛との化合物、酸化亜鉛、酸化スズまたは酸化インジウムを用いることができる。また、前記透明導電膜にガリウムを添加したものをを用いても良い。画素電極710は、上記配線を形成する前に平坦な層間絶縁膜711上に形成する。本実施例においては、樹脂からなる平坦化膜711を用いてTF Tによる段差を平坦化することは非常に重要である。後に形成される発光層は非常に薄いため、段差が存在することによって発光不良を起こす場合がある。従って、発光層をできるだけ平坦面に形成しうるように画素電極を形成する前に平坦化しておくことが望ましい。

10

【0150】

配線701～707を形成後、図24に示すようにバンク712を形成する。バンク712は100～400nmの珪素を含む絶縁膜もしくは有機樹脂膜をパターンニングして形成すれば良い。

【0151】

なお、バンク712は絶縁膜であるため、成膜時における素子の静電破壊には注意が必要である。本実施例ではバンク712の材料となる絶縁膜中にカーボン粒子や金属粒子を添加して抵抗率を下げ、静電気の発生を抑制する。この際、抵抗率は $1 \times 10^6 \sim 1 \times 10^{12}$ m（好ましくは $1 \times 10^8 \sim 1 \times 10^{10}$ m）となるようにカーボン粒子や金属粒子の添加量を調節すれば良い。

20

【0152】

画素電極710の上には発光層713が形成される。なお、図24では一画素しか図示していないが、本実施例ではR（赤）、G（緑）、B（青）の各色に対応した発光層を作り分けている。また、本実施例では蒸着法により低分子系有機発光材料を形成している。具体的には、正孔注入層として20nm厚の銅フタロシアニン（CuPc）膜を設け、その上に発光層として70nm厚のトリス-8-キノリノラトアルミニウム錯体（Alq₃）膜を設けた積層構造としている。

30

Alq₃にキナクリドン、ペリレンもしくはDCM1といった蛍光色素を添加することで発光色を制御することができる。

【0153】

但し、以上の例は発光層として用いることのできる有機発光材料の一例であって、これに限定する必要はまったくない。発光層、電荷輸送層または電荷注入層を自由に組み合わせることで発光層（発光及びそのためのキャリアの移動を行わせるための層）を形成すれば良い。例えば、本実施例では低分子系有機発光材料を発光層として用いる例を示したが、中分子系有機発光材料や高分子系有機発光材料を用いても良い。なお、本明細書中において、昇華性を有さず、かつ、分子数が20以下または連鎖する分子の長さが10μm以下の有機発光材料を中分子系有機発光材料とする。また、高分子系有機発光材料を用いる例として、正孔注入層として20nmのポリチオフェン（PEDOT）膜をスピン塗布法により設け、その上に発光層として100nm程度のパラフェニレンビニレン（PPV）膜を設けた積層構造としても良い。なお、PPVの共役系高分子を用いると、赤色から青色まで発光波長を選択できる。また、電荷輸送層や電荷注入層として炭化珪素等の無機材料を用いることも可能である。これらの有機発光材料や無機材料は公知の材料を用いることができる。

40

【0154】

次に、発光層713の上には導電膜からなる陰極714が設けられる。本実施例の場合、導電膜としてアルミニウムとリチウムとの合金膜を用いる。勿論、公知のMgAg膜（マグネシウムと銀との合金膜）を用いても良い。陰極材料としては、周期表の1族もしくは

50

は 2 族に属する元素からなる導電膜もしくはそれらの元素を添加した導電膜を用いれば良い。

【 0 1 5 5 】

この陰極 7 1 4 まで形成された時点で発光素子 7 1 5 が完成する。なお、ここでいう発光素子 7 1 5 は、画素電極（陽極）7 1 0、発光層 7 1 3 及び陰極 7 1 4 で形成されたダイオードを指す。

【 0 1 5 6 】

発光素子 7 1 5 を完全に覆うようにしてパッシベーション膜 7 1 6 を設けることは有効である。パッシベーション膜 7 1 6 としては、炭素膜、窒化珪素膜もしくは窒化酸化珪素膜を含む絶縁膜からなり、該絶縁膜を単層もしくは組み合わせた積層で用いる。

10

【 0 1 5 7 】

この際、カバレッジの良い膜をパッシベーション膜として用いることが好ましく、炭素膜、特に DLC（ダイヤモンドライクカーボン）膜を用いることは有効である。DLC 膜は室温から 100 以下の温度範囲で成膜可能であるため、耐熱性の低い発光層 7 1 3 の上方にも容易に成膜することができる。また、DLC 膜は酸素に対するブロッキング効果が高く、発光層 7 1 3 の酸化を抑制することが可能である。そのため、この後に続く封止工程を行う間に発光層 7 1 3 が酸化するといった問題を防止できる。

【 0 1 5 8 】

さらに、パッシベーション膜 7 1 6 上に封止材 7 1 7 を設け、カバー材 7 1 8 を貼り合わせる。封止材 7 1 7 としては紫外線硬化樹脂を用いれば良く、内部に吸湿効果を有する物質もしくは酸化防止効果を有する物質を設けることは有効である。また、本実施例においてカバー材 7 1 8 はガラス基板や石英基板やプラスチック基板（プラスチックフィルムも含む）の両面に炭素膜（好ましくはダイヤモンドライクカーボン膜）を形成したものを

20

【 0 1 5 9 】

こうして図 2 4 に示すような構造の発光装置が完成する。なお、バンク 7 1 2 を形成した後、パッシベーション膜 7 1 6 を形成するまでの工程をマルチチャンバー方式（またはインライン方式）の成膜装置を用いて、大気解放せずに連続的に処理することは有効である。また、さらに発展させてカバー材 7 1 8 を貼り合わせる工程までを大気解放せずに連続的に処理することも可能である。

30

【 0 1 6 0 】

こうして、基板 7 0 0 上に n チャネル型 TFT 6 0 1、6 0 2、スイッチング TFT（n チャネル型 TFT）6 0 3 および電流制御 TFT（n チャネル型 TFT）6 0 4 が形成される。

【 0 1 6 1 】

さらに、図 2 4 を用いて説明したように、ゲート電極に絶縁膜を介して重なる不純物領域を設けることによりホットキャリア効果に起因する劣化に強い n チャネル型 TFT を形成することができる。そのため、信頼性の高い発光装置を実現できる。

【 0 1 6 2 】

また、本実施例では画素部と駆動回路の構成のみ示しているが、本実施例の製造工程に従えば、その他にも信号分割回路、D/A コンバータ、オペアンプ、補正回路などの論理回路を同一の絶縁体上に形成可能であり、さらにはメモリやマイクロプロセッサをも形成しうる。

40

【 0 1 6 3 】

さらに、発光素子を保護するための封止（または封入）工程まで行った後の本実施例の発光装置について図 2 5 を用いて説明する。なお、必要に応じて図 2 4 で用いた符号を引用する。

【 0 1 6 4 】

図 2 5（A）は、発光素子の封止までを行った状態を示す上面図、図 2 5（B）は図 2 5（A）を C - C' で切断した断面図である。点線で示された 8 0 1 はソース側駆動回路

50

、 806 は画素部、 807 はゲート側駆動回路である。また、 901 はカバー材、 902 は第 1 シール材、 903 は第 2 シール材であり、第 1 シール材 902 で囲まれた内側には封止材 907 が設けられる。

【 0 1 6 5 】

なお、 904 はソース側駆動回路 801 及びゲート側駆動回路 807 に入力される信号を伝送するための配線であり、外部入力端子となる F P C (フレキシブルプリントサーキット) 905 からビデオ信号やクロック信号を受け取る。なお、ここでは F P C しか図示されていないが、この F P C にはプリント配線基盤 (P W B) が取り付けられていても良い。本明細書における発光装置には、発光装置本体だけでなく、それに F P C もしくは P W B が取り付けられた状態をも含むものとする。

10

【 0 1 6 6 】

次に、断面構造について図 25 (B) を用いて説明する。基板 700 の上方には画素部 806、ゲート側駆動回路 807 が形成されており、画素部 806 は電流制御 T F T 604 とそのドレインに電氣的に接続された画素電極 710 を含む複数の画素により形成される。また、ゲート側駆動回路 807 は n チャネル型 T F T 601 と p チャネル型 T F T 602 とを組み合わせた C M O S 回路 (図 20 参照) を用いて形成される。

【 0 1 6 7 】

画素電極 710 は発光素子の陽極として機能する。また、画素電極 710 の両端にはバンク 712 が形成され、画素電極 710 上には発光層 713 および発光素子の陰極 714 が形成される。

20

【 0 1 6 8 】

陰極 714 は全画素に共通の配線としても機能し、接続配線 904 を経由して F P C 905 に電氣的に接続されている。さらに、画素部 806 及びゲート側駆動回路 807 に含まれる素子は全て陰極 714 およびパッシベーション膜 567 で覆われている。

【 0 1 6 9 】

また、第 1 シール材 902 によりカバー材 901 が貼り合わされている。なお、カバー材 901 と発光素子との間隔を確保するために樹脂膜からなるスペーサを設けても良い。そして、第 1 シール材 902 の内側には封止材 907 が充填されている。なお、第 1 シール材 902、封止材 907 としてはエポキシ系樹脂を用いるのが好ましい。また、第 1 シール材 902 はできるだけ水分や酸素を透過しない材料であることが望ましい。さらに、封止材 907 の内部に吸湿効果をもつ物質や酸化防止効果をもつ物質を含有させても良い。

30

【 0 1 7 0 】

発光素子を覆うようにして設けられた封止材 907 はカバー材 901 を接着するための接着剤としても機能する。また、本実施例ではカバー材 901 を構成するプラスチック基板 901a の材料として F R P (Fiberglass-Reinforced Plastics)、P V F (ポリビニルフロライド)、マイラー、ポリエステルまたはアクリルを用いることができる。

【 0 1 7 1 】

また、封止材 907 を用いてカバー材 901 を接着した後、封止材 907 の側面 (露呈面) を覆うように第 2 シール材 903 を設ける。第 2 シール材 903 は第 1 シール材 902 と同じ材料を用いることができる。

40

【 0 1 7 2 】

以上のような構造で発光素子を封止材 907 に封入することにより、発光素子を外部から完全に遮断することができ、外部から水分や酸素等の発光層の酸化による劣化を促す物質が侵入することを防ぐことができる。従って、信頼性の高い発光装置が得られる。

【 0 1 7 3 】

以上のようにして作製される発光装置は、導電層の形状のばらつきが低減されていることから、チャンネル形成領域および低濃度不純物領域の幅および長さのばらつきも低減されており、良好な動作特性を示すことが可能となる。そして、このような発光装置は各種電子機器の表示部として用いることができる。

50

【 0 1 7 4 】

なお、本実施例は実施例 1 乃至 3 のいずれか一と自由に組み合わせることが可能である。

【 実施例 6 】

【 0 1 7 5 】

本発明を適用して、様々な電気光学装置（アクティブマトリクス型液晶表示装置、アクティブマトリクス型発光装置、アクティブマトリクス型 EC 表示装置）を作製することができる。即ち、それら電気光学装置を表示部に組み込んだ様々な電子機器に本発明を適用できる。

【 0 1 7 6 】

その様な電子機器としては、ビデオカメラ、デジタルカメラ、プロジェクター、ヘッドマウントディスプレイ（ゴーグル型ディスプレイ）、カーナビゲーション、カーステレオ、パーソナルコンピュータ、携帯情報端末（モバイルコンピュータ、携帯電話または電子書籍等）などが挙げられる。それらの例を図 2 6、図 2 7 及び図 2 8 に示す。

10

【 0 1 7 7 】

図 2 6 (A) はパーソナルコンピュータであり、本体 3 0 0 1、画像入力部 3 0 0 2、表示部 3 0 0 3、キーボード 3 0 0 4 等を含む。本発明を表示部 3 0 0 3 に適用することができる。

【 0 1 7 8 】

図 2 6 (B) はビデオカメラであり、本体 3 1 0 1、表示部 3 1 0 2、音声入力部 3 1 0 3、操作スイッチ 3 1 0 4、バッテリー 3 1 0 5、受像部 3 1 0 6 等を含む。本発明を表示部 3 1 0 2 に適用することができる。

20

【 0 1 7 9 】

図 2 6 (C) はモバイルコンピュータ（モータールコンピュータ）であり、本体 3 2 0 1、カメラ部 3 2 0 2、受像部 3 2 0 3、操作スイッチ 3 2 0 4、表示部 3 2 0 5 等を含む。本発明は表示部 3 2 0 5 に適用できる。

【 0 1 8 0 】

図 2 6 (D) はゴーグル型ディスプレイであり、本体 3 3 0 1、表示部 3 3 0 2、アーム部 3 3 0 3 等を含む。本発明は表示部 3 3 0 2 に適用することができる。

【 0 1 8 1 】

図 2 6 (E) はプログラムを記録した記録媒体（以下、記録媒体と呼ぶ）を用いるプレーヤーであり、本体 3 4 0 1、表示部 3 4 0 2、スピーカ部 3 4 0 3、記録媒体 3 4 0 4、操作スイッチ 3 4 0 5 等を含む。なお、このプレーヤーは記録媒体として DVD (Digital Versatile Disc)、CD 等を用い、音楽鑑賞や映画鑑賞やゲームやインターネットを行うことができる。

30

本発明は表示部 3 4 0 2 に適用することができる。

【 0 1 8 2 】

図 2 6 (F) はデジタルカメラであり、本体 3 5 0 1、表示部 3 5 0 2、接眼部 3 5 0 3、操作スイッチ 3 5 0 4、受像部（図示しない）等を含む。本発明を表示部 3 5 0 2 に適用することができる。

40

【 0 1 8 3 】

図 2 7 (A) はフロント型プロジェクターであり、投射装置 3 6 0 1、スクリーン 3 6 0 2 等を含む。本発明は投射装置 3 6 0 1 の一部を構成する液晶表示装置 3 8 0 8 やその他の駆動回路に適用することができる。

【 0 1 8 4 】

図 2 7 (B) はリア型プロジェクターであり、本体 3 7 0 1、投射装置 3 7 0 2、ミラー 3 7 0 3、スクリーン 3 7 0 4 等を含む。本発明は投射装置 3 7 0 2 の一部を構成する液晶表示装置 3 8 0 8 やその他の駆動回路に適用することができる。

【 0 1 8 5 】

なお、図 2 7 (C) は、図 2 7 (A) 及び図 2 7 (B) 中における投射装置 3 6 0 1、

50

3702の構造の一例を示した図である。投射装置3601、3702は、光源光学系3801、ミラー3802、3804～3806、ダイクロイックミラー3803、プリズム3807、液晶表示装置3808、位相差板3809、投射光学系3810で構成される。投射光学系3810は、投射レンズを含む光学系で構成される。本実施例は三板式の例を示したが、特に限定されず、例えば単板式であってもよい。また、図27(C)中において矢印で示した光路に実施者が適宜、光学レンズや、偏光機能を有するフィルムや、位相差を調節するためのフィルム、IRフィルム等の光学系を設けてもよい。

【0186】

また、図27(D)は、図27(C)中における光源光学系3801の構造の一例を示した図である。本実施例では、光源光学系3801は、リフレクター3811、光源3812、レンズアレイ3813、3814、偏光変換素子3815、集光レンズ3816で構成される。なお、図27(D)に示した光源光学系は一例であって特に限定されない。例えば、光源光学系に実施者が適宜、光学レンズや、偏光機能を有するフィルムや、位相差を調節するフィルム、IRフィルム等の光学系を設けてもよい。

10

【0187】

ただし、図27に示したプロジェクターにおいては、透過型の電気光学装置を用いた場合を示しており、反射型の電気光学装置及び発光装置での適用例は図示していない。

【0188】

図28(A)は携帯電話であり、本体3901、音声出力部3902、音声入力部3903、表示部3904、操作スイッチ3905、アンテナ3906等を含む。本発明を表示部3904に適用することができる。

20

【0189】

図28(B)は携帯書籍(電子書籍)であり、本体4001、表示部4002、4003、記憶媒体4004、操作スイッチ4005、アンテナ4006等を含む。本発明は表示部4002、4003に適用することができる。

【0190】

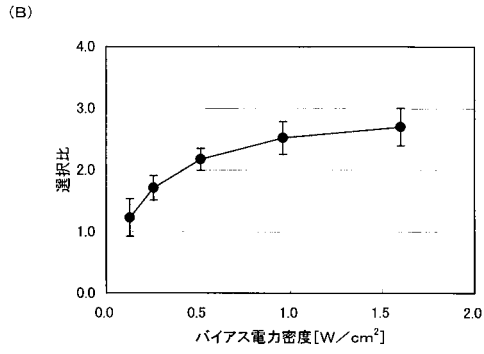
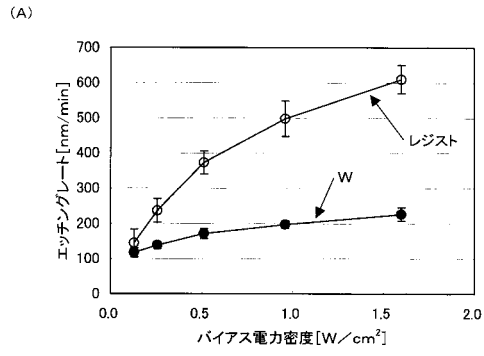
図28(C)はディスプレイであり、本体4101、支持台4102、表示部4103等を含む。本発明は表示部4103に適用することができる。本発明のディスプレイは特に大画面化した場合において有利であり、対角10インチ以上(特に30インチ以上)のディスプレイには有利である。

30

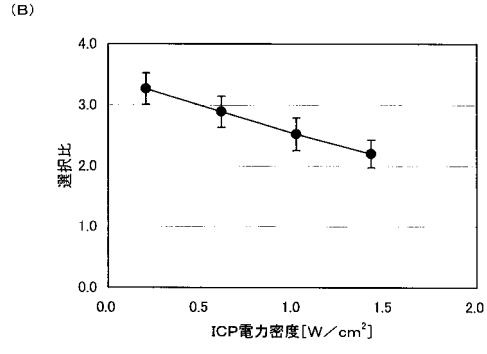
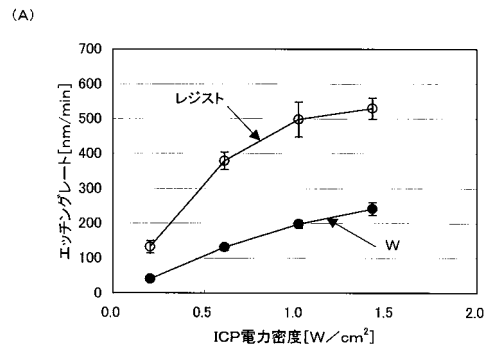
【0191】

以上の様に、本発明の適用範囲は極めて広く、さまざま分野の電子機器に適用することが可能である。また、本実施例の電子機器は実施形態1、実施形態2および実施例1～4、または実施例1～3および実施例5のどのような組み合わせからなる構成を用いても実現することができる。

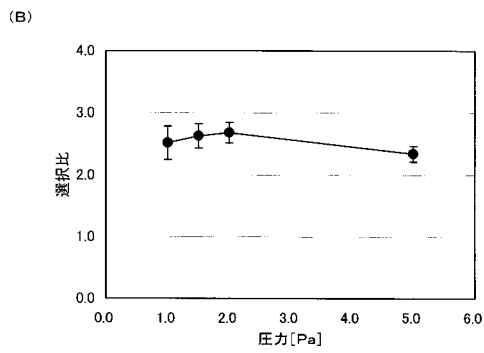
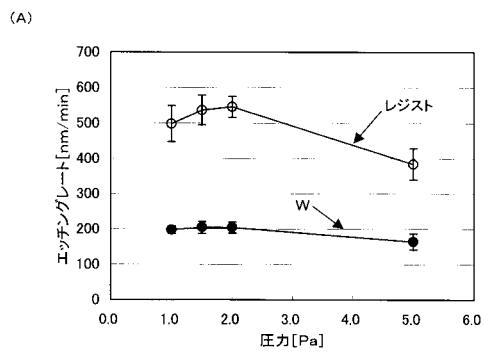
【 図 1 】



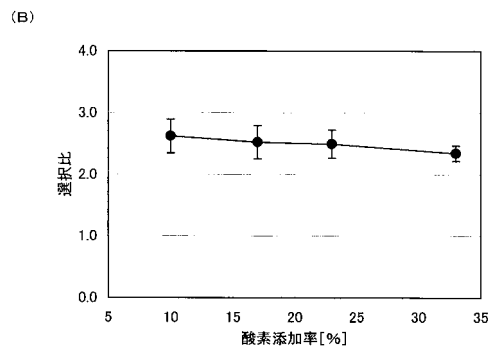
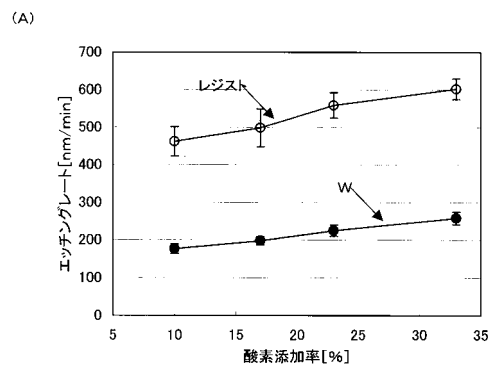
【 図 2 】



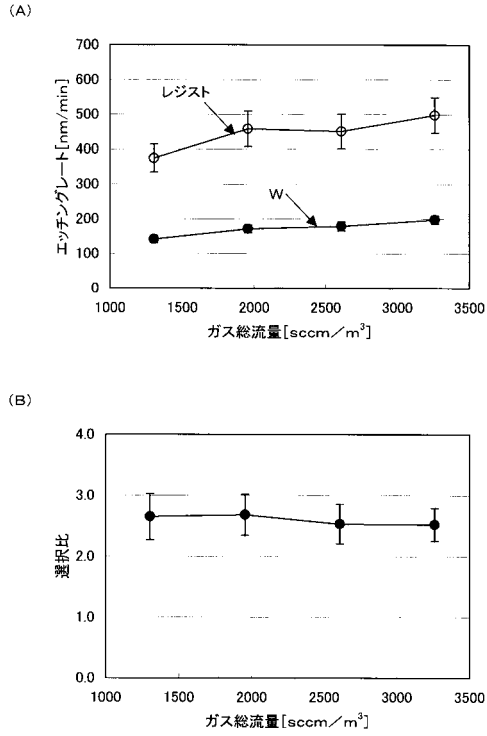
【 図 3 】



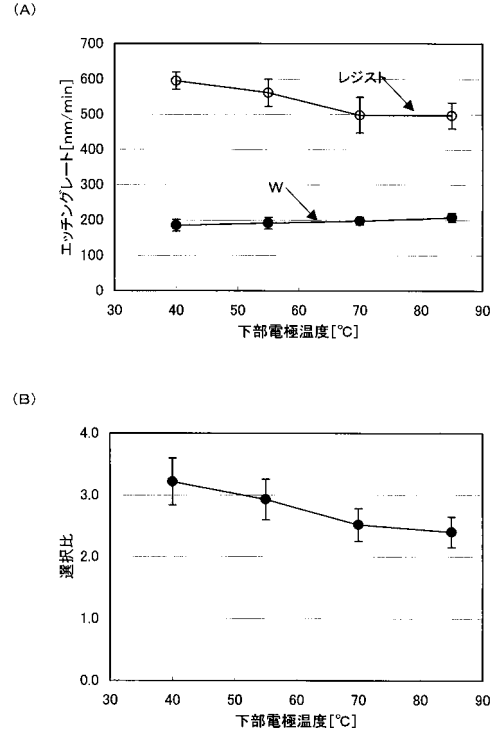
【 図 4 】



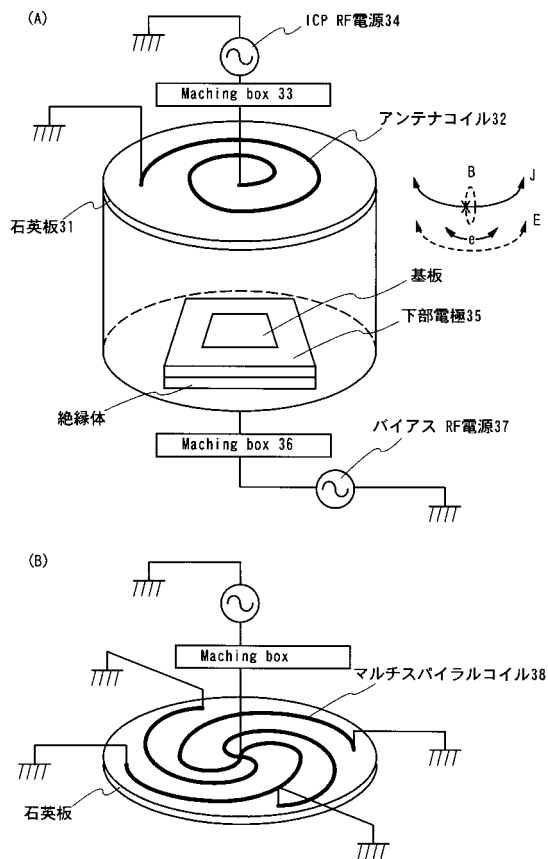
【 図 5 】



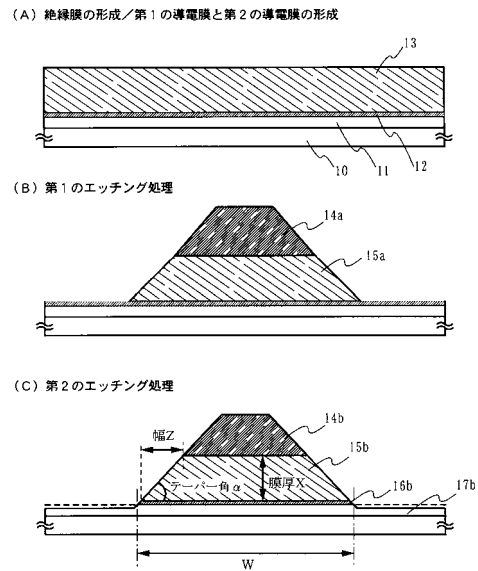
【 図 6 】



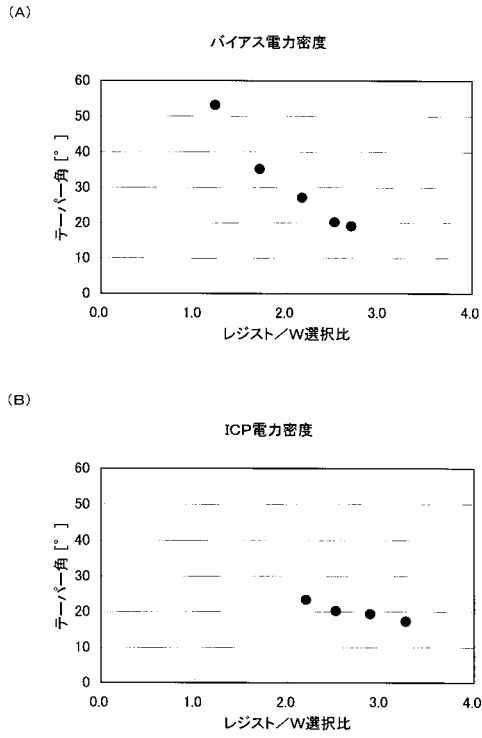
【 図 7 】



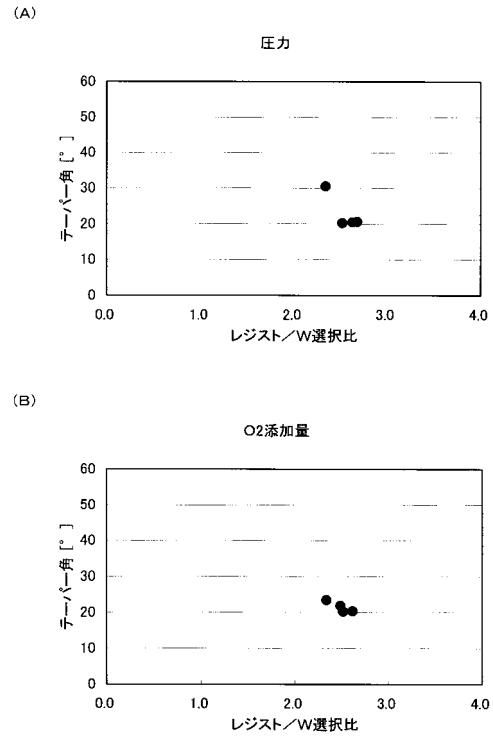
【 図 8 】



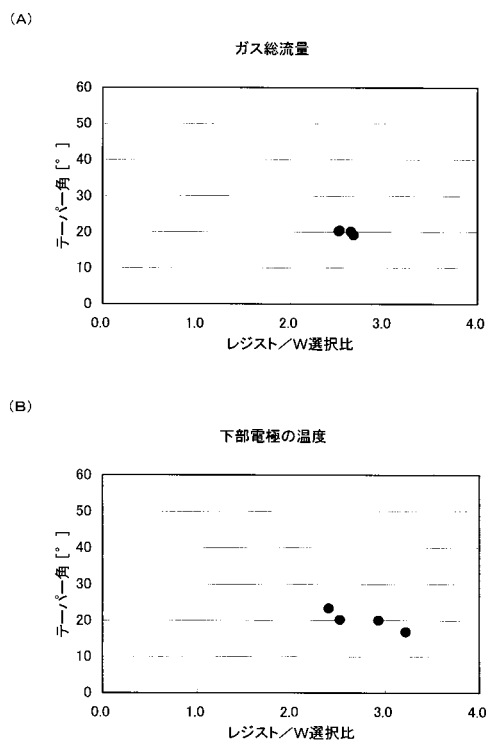
【 図 9 】



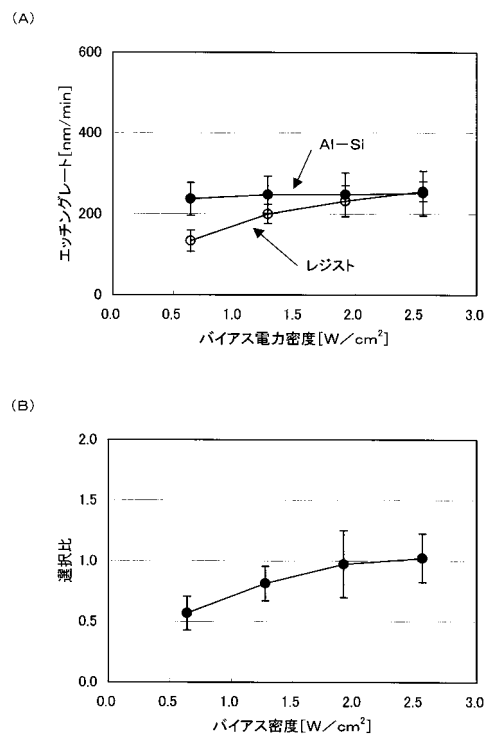
【 図 10 】



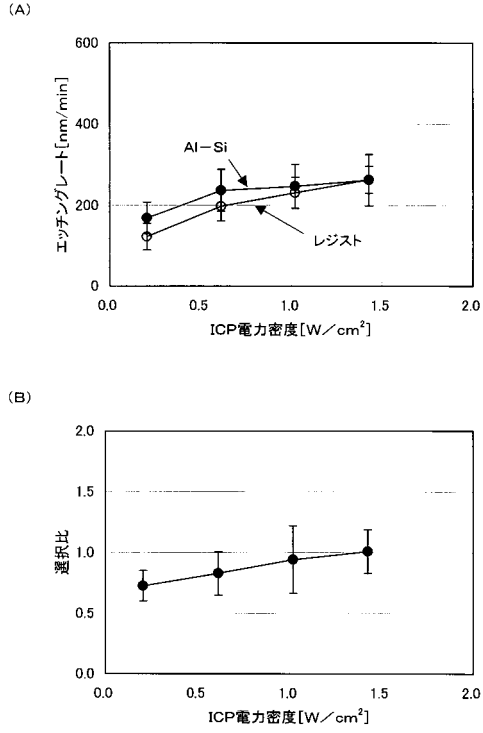
【 図 11 】



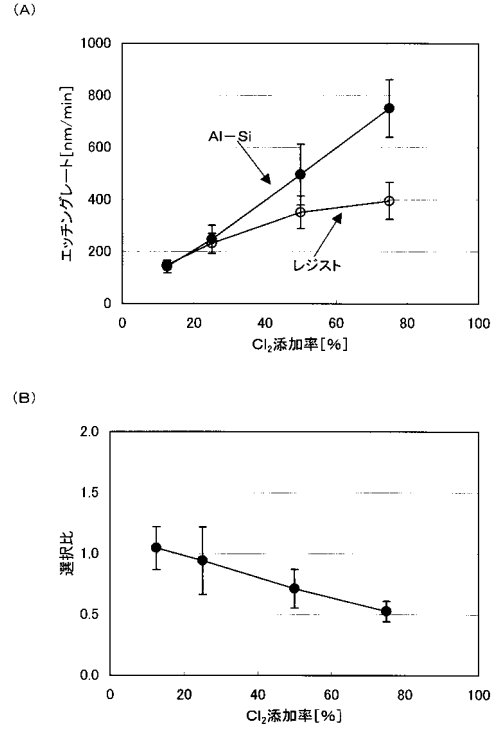
【 図 12 】



【 図 1 3 】



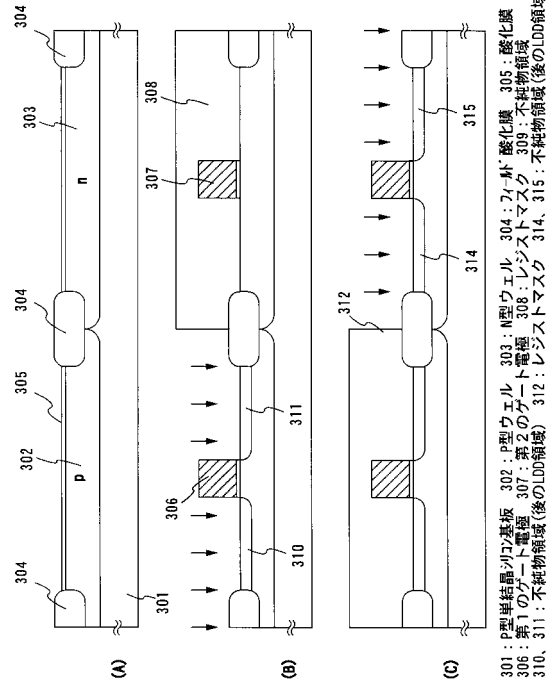
【 図 1 4 】



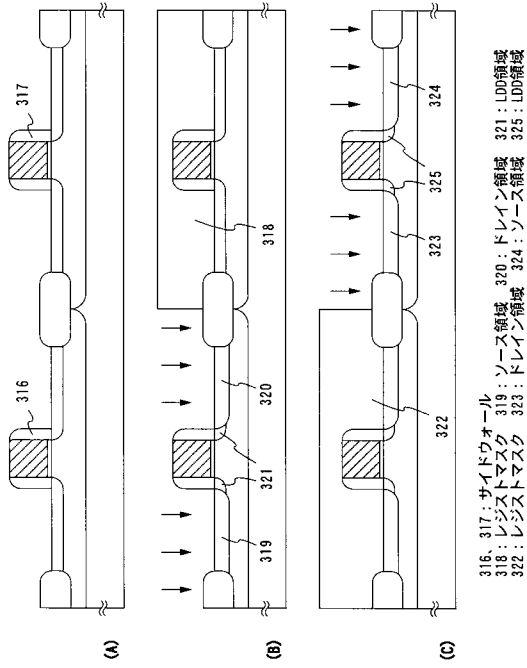
【 図 1 5 】



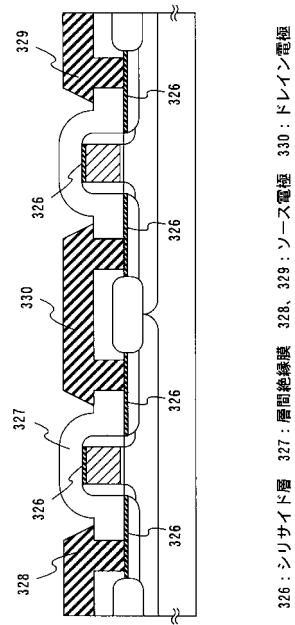
【 図 1 6 】



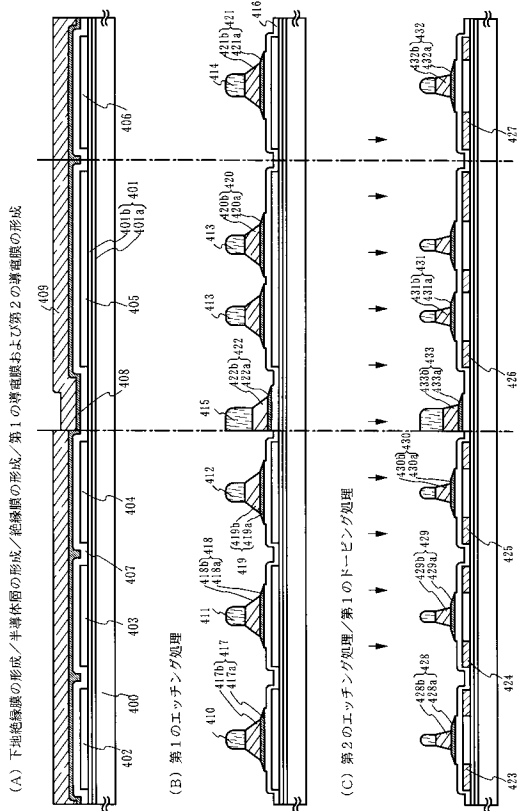
【図 17】



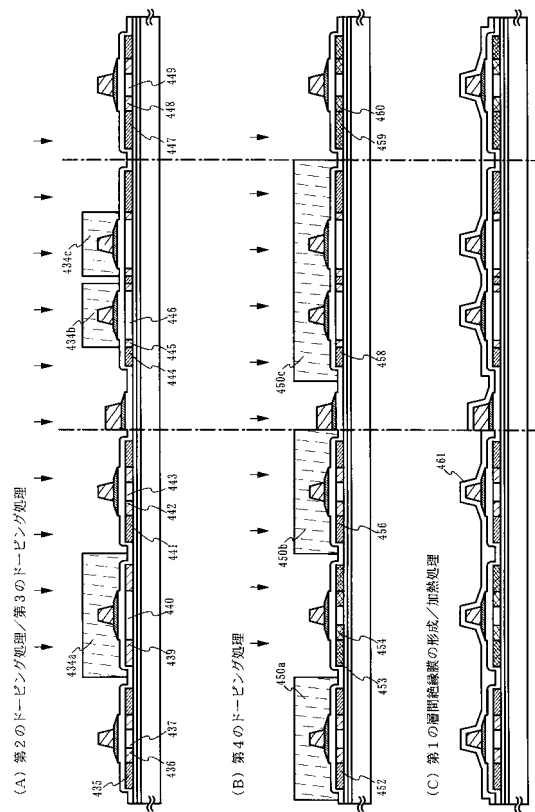
【図 18】



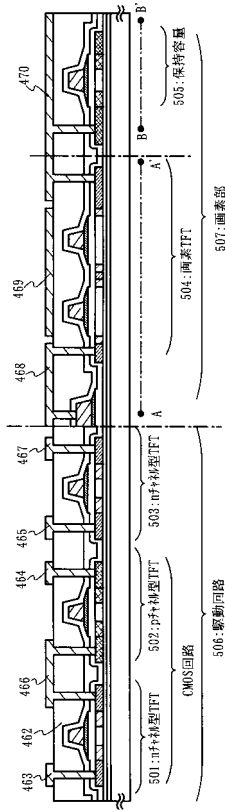
【図 19】



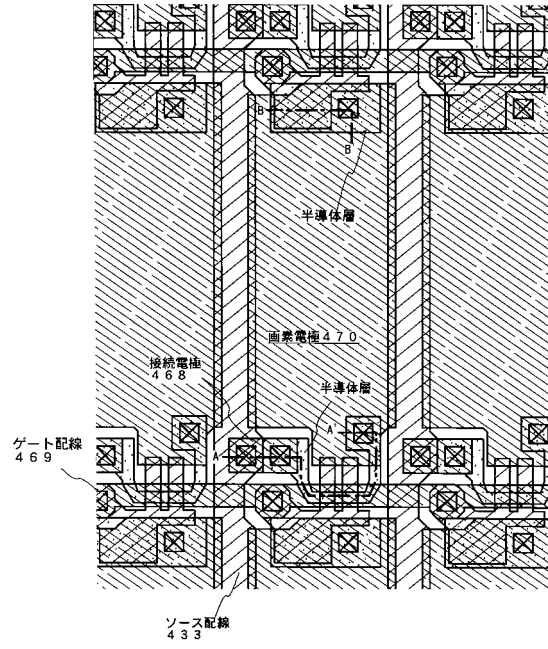
【図 20】



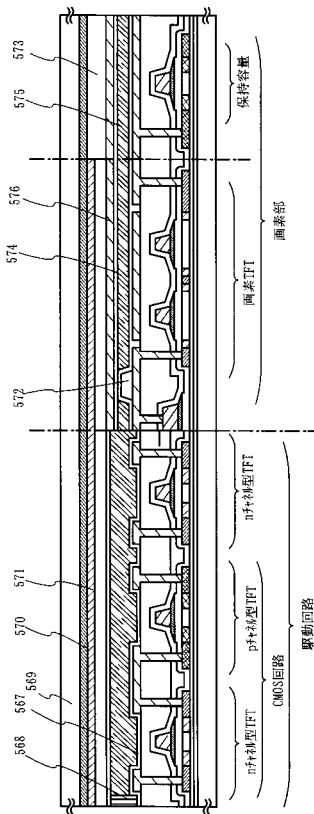
【図 2 1】



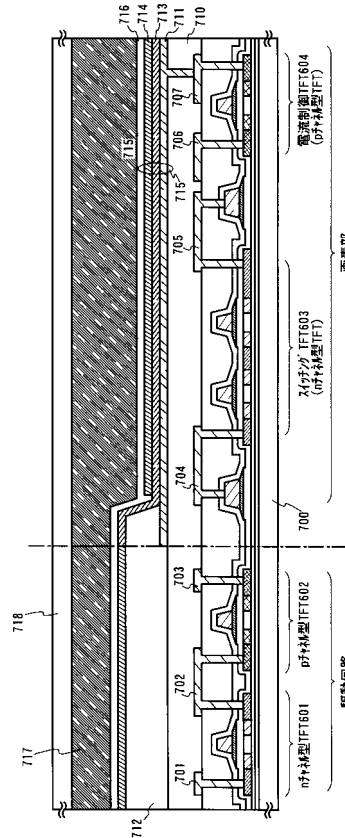
【図 2 2】



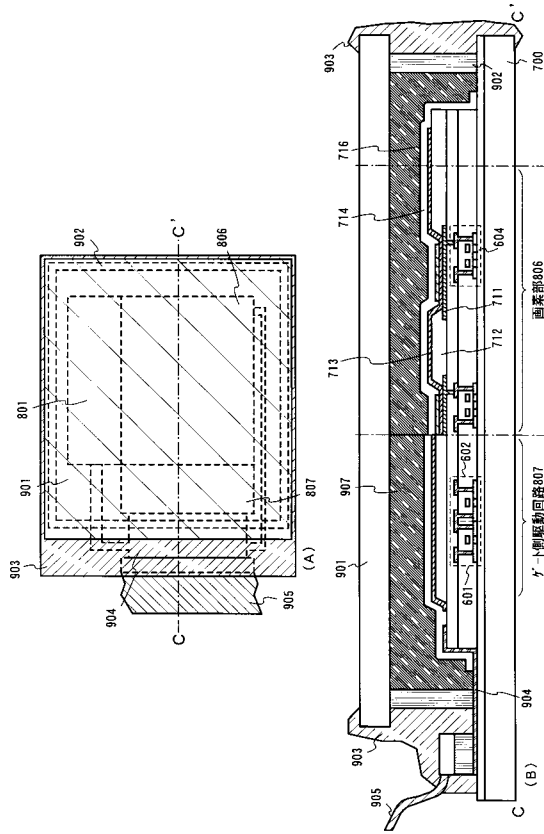
【図 2 3】



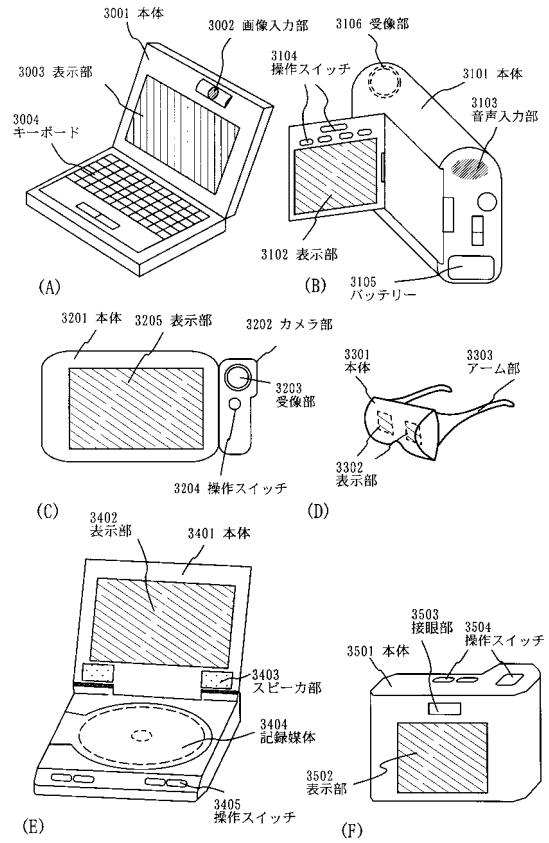
【図 2 4】



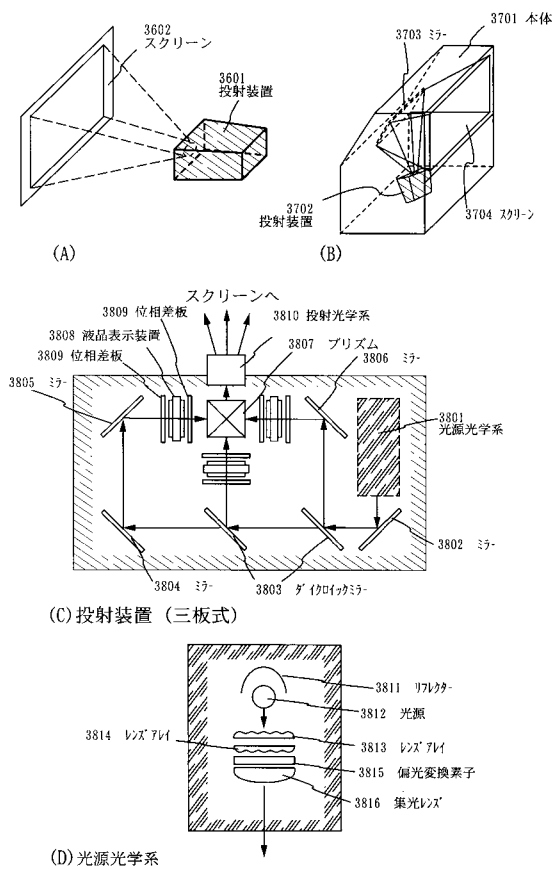
【図 25】



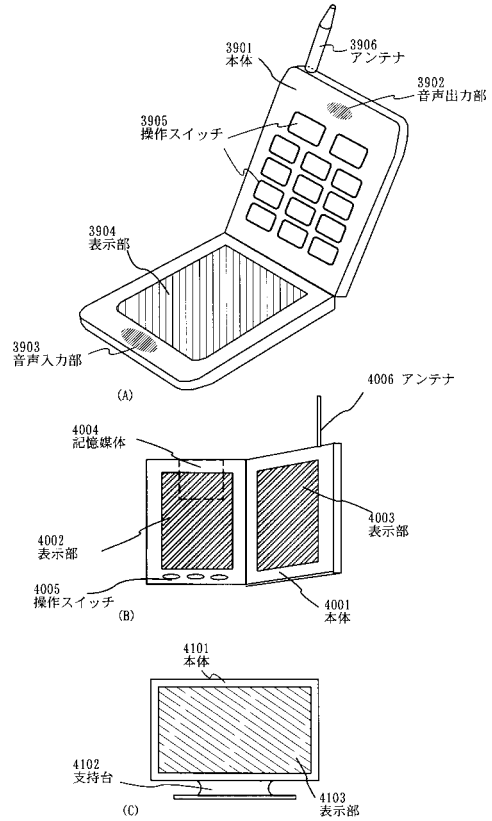
【図 26】



【図 27】



【図 28】



フロントページの続き

(51)Int.Cl.	F I	テーマコード(参考)
H 0 1 L 29/78 (2006.01)	H 0 1 L 29/78 3 0 1 G	5 F 0 0 4
H 0 1 L 21/8238 (2006.01)	H 0 1 L 27/08 3 2 1 F	5 F 0 3 3
H 0 1 L 27/092 (2006.01)	H 0 1 L 21/28 E	5 F 0 4 8
H 0 1 L 21/28 (2006.01)	H 0 1 L 29/44 S	5 F 1 1 0
H 0 1 L 29/41 (2006.01)	H 0 1 L 21/302 1 0 5 A	
H 0 1 L 21/3065 (2006.01)	G 0 9 F 9/30 3 3 8	
G 0 9 F 9/30 (2006.01)	H 0 5 B 33/14 A	
H 0 1 L 51/50 (2006.01)	H 0 5 B 33/22 Z	
H 0 5 B 33/22 (2006.01)	G 0 2 B 5/20 1 0 1	
G 0 2 B 5/20 (2006.01)	H 0 5 B 33/26 Z	
H 0 5 B 33/26 (2006.01)	H 0 5 B 33/12 E	
H 0 5 B 33/12 (2006.01)		

Fターム(参考)	3K107	AA01	BB01	BB02	BB08	CC23	CC32	CC33	CC42	CC45	DD11
		DD22	DD23	DD39	DD90	EE03	EE28	EE42	FF15		
	4M104	AA01	AA08	AA09	BB01	BB02	BB03	BB04	BB13	BB14	BB16
		BB17	BB18	BB28	BB32	BB33	BB36	BB39	BB40	CC01	CC05
		DD65	FF08	FF13	GG09	GG10	GG14	HH20			
	5C094	AA14	AA55	BA03	BA27	BA43	DA13	ED03	FA01	FA02	FB12
	5F004	AA05	AA09	CA03	CA06	DA04	DA11	DB10	DB12	DB15	EB02
	5F033	GG03	GG04	HH04	HH07	HH08	HH09	HH10	HH11	HH12	HH17
		HH18	HH19	HH20	HH21	HH23	HH28	HH32	JJ01	JJ08	JJ18
		JJ19	JJ32	KK01	KK04	KK27	LL02	LL04	MM05	MM08	MM13
		MM19	NN06	NN07	PP04	PP06	PP15	PP16	QQ08	QQ09	QQ10
		QQ12	QQ21	QQ31	QQ34	QQ37	QQ70	QQ73	RR04	RR08	RR21
		SS15	TT08	VV06	VV15	XX00	XX02				
	5F048	AC01	AC03	AC04	BA01	BA16	BB05	BB08	BB09	BB12	BC06
		BE03	BF06	BF07	BF16	BG12	DA25				
	5F110	AA26	AA28	BB02	BB04	CC02	DD01	DD02	DD03	DD05	DD13
		DD14	DD15	DD17	EE01	EE02	EE03	EE04	EE05	EE06	EE08
		EE09	EE11	EE14	EE23	EE27	EE28				