

公告本

申請日期	91. 6. 13
案 號	9 1 1 1 2 9 2 5
類 別	H01L 25/065, 07

A4  
C4

548826

(以上各欄由本局填註)

## 發 明 專 利 說 明 書

一、發明 名稱	中 文	半導體元件及其製造方法 (一)
	英 文	SEMICONDUCTOR DEVICE AND METHOD OF PRODUCTION OF SAME
二、發明 人	姓 名	1. 真篠直寬                      Naohiro Mashino 2. 東光敏                         Mitsutoshi Higashi
	國 籍	日 本                              Japan
	住、居所	1~2 日本國長野縣長野市大字栗田字舍利田711番地 711, Aza Shariden, Oaza Kurita, Nagano-shi, Nagano 380-0921, Japan
三、申請人	姓 名 (名稱)	日商・新光電氣工業股份有限公司 SHINKO ELECTRIC INDUSTRIES CO., LTD.
	國 籍	日 本                              Japan
	住、居所 (事務所)	日本國長野縣長野市大字栗田字舍利田711番地 711, Aza Shariden, Oaza Kurita, Nagano-shi, Nagano 380-0921, Japan
	代 表 人 姓 名	茂木淳一                         Junichi Mogi

裝

訂

線

(由本局填寫)

承辦人代碼：
大類：
IPC分類：

A6  
B6

本案已向：

日本 國(地區) 申請專利，申請日期： 案號： 有 無主張優先權  
 2001,6,14 特願2001-180891

有關微生物已寄存於： ，寄存日期： ，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

## 五、發明說明 ( 1 )

### 發明背景

#### 1.發明範疇

本發明有關於一種半導體元件及其製造方法；更特定言之係有關於一種有效減小半導體元件尺寸之技術。

#### 2.相關技藝描述

過去，一種安裝在一主板上的半導體元件已由安裝在一稱為“中介板(interposer)”的接線板上之一半導體晶片構成，咸認需要此中介板以對準半導體晶片與主板之電極端子。

但是若使用一中介板，半導體元件的厚度會增加該厚度的量值，所以較佳盡量不使用此中介板，以符合近來減小電子設備尺寸的需求。

因此，近年來已致力發展一種不需中介板的半導體元件，第12A圖顯示相關技藝之此半導體元件的剖視圖。

相關技藝的半導體元件101主要由一矽基材102構成並且不具有中介板。矽基材102的一表面102a上已形成有一電子元件形成層103，電子元件形成層103包括一電晶體或其他電子元件而與一通道孔電極墊110電性連接，一絕緣膜104可防止通道孔電極墊110或主電極墊105與矽基材102產生電性連接。

半導體構件形成層103及通道孔電極墊110上已堆疊有一SiO<sub>2</sub>膜106及一導線圖案107，SiO<sub>2</sub>膜106中開設有一通道孔106a。導線圖案107及通道孔電極墊110經由此開口電性連接。

(請先閱讀背面之注意事項再填寫本頁)

訂

## 五、發明說明 ( 2 )

通道孔電極墊110一體式設置有主電極墊105，並且，主電極墊105及其下的矽基材102中開設有一通孔102c。

通孔102c為此型半導體元件的特徵特性並導出導線圖案107外前往矽基材102的其他表面102b，導出其他表面102b的導線圖案107係設有作為外部連接端子之焊料凸塊108以對準主板(未圖示)端子的位置。

第12B圖為從第12A圖的箭頭A方向看到之半導體元件101的平面圖，為方便說明而省略導線圖案107。

通道孔106a為一寬直徑的圓形並在其底部暴露出通道孔電極墊110。

在第12C圖剖示的既有半導體元件(LSI等)109內建造一新結構，藉以製造半導體元件101。如同利用第12C圖的說明，主電極墊105亦設置於既有的半導體元件109上，此處係為原始可供焊線與打線成球(stud bump)等結合、可將訊號輸出及輸入且可供應電力之位置。

另一方面，通道孔電極墊110(第12B圖)係為一種新結構且不設置在既有的半導體元件109中。另外新提供通道孔電極墊110並在其上設置一寬直徑通道孔106a藉以增加與導線圖案107的接觸面積(第12A圖)，並防止因為應力與導線圖案107剝離而造成不良電性接觸。

利用此方式，相關技藝的半導體元件中，除了原來的本主電極墊105外，新提供一通道孔墊110作為與導線圖案107電性連接之一部份並確保可靠的電性連接，一寬直徑的圓形通道孔106a係開設在通道孔電極墊110上方。

(請先閱讀背面之注意事項再填寫本頁)

訂

## 五、發明說明 ( 3 )

但如果新提供此通道孔電極墊110，半導體元件10的平面尺寸將過度變大而抵觸半導體元件縮小尺寸之趨勢。

並且，若除了既有的主電極墊105之外另提供通道孔電極墊110，將需要改變既有的半導體元件設計，對於半導體元件製造廠(半導體製造廠)造成重大負擔。

### 發明概述

本發明之一目的係提供一種半導體元件及其製造方法，此半導體元件能夠在一電極墊與導線圖案之間可靠地電性連接而不需在既有的主電極墊之外分開提供一通道孔使用電極墊。

為達成此目的，根據本發明第一型態提供一種半導體元件，此半導體元件係包含一半導體基材；一電子元件，其形成於半導體基材的一表面上；一電極墊，其形成於該一表面上且與該元件呈電性連接；一通孔，其通過電極墊及半導體基材；一絕緣膜，其形成於半導體基材的至少另一表面、通孔的一內壁及電極墊上；一通道孔，其沿著通孔的一開口外緣設置於電極墊的絕緣膜中；及一導線圖案，其經由通孔及通道孔電性導出電極墊外前往半導體基材的另一表面。

通道孔較佳為環形。

或者，通道孔較佳為弓形且設置複數個通道孔。

或者，通道孔較佳為點形且設置複數個通道孔。

較佳，通孔的直徑在通過電極墊的一部份上係比通過半導體基材的一部份上更大。

(請先閱讀背面之注意事項再填寫本頁)

訂

## 五、發明說明 ( 4 )

較佳，電極墊具有由第一金屬構成之一底電極墊、以及由具有比第一金屬更高融點的第二金屬構成且形成於底電極墊上之一頂電極墊。更佳，第一金屬為鋁且第二金屬為銅。

較佳，導線圖案亦電性導出電極墊外前往半導體基材的一表面。可能將這些複數個半導體元件堆疊在一起，並經由外部連接端子將各底半導體元件與頂半導體元件之面對表面的導線圖案加以電性連接。

一項實施例中，藉由與導線圖案呈電性連接之一導體來充填通孔。可能堆疊複數個這些半導體元件，並經由外部連接端子將充填在各底半導體元件及頂半導體元件之對應通孔中的導體加以電性連接。

根據本發明之第二型態，提供一種半導體元件之製造方法，此方法包含以下步驟：在一半導體基材的一表面上形成一電子元件；形成在半導體基材的一表面上與元件呈電性連接之一電極墊；通過電極墊及半導體基材之一通孔；在半導體基材的至少另一表面、通孔的一內壁及電極墊上形成一絕緣膜；藉由絕緣膜的圖案化來形成一通道孔以沿著通孔的一開口外緣暴露出電極墊的一部份；在絕緣膜上及通道孔中形成一導電膜；藉由導電膜的圖案化形成經過通孔及通道孔從電極墊導往半導體基材另一表面之一導線圖案。

形成一通孔之步驟較佳包括以下步驟：藉由圖案化在電極墊中形成一第一開口，及藉由將具有比第一開口更小

(請先閱讀背面之注意事項再填寫本頁)

訂

## 五、發明說明 ( 5 )

的直徑之一雷射束發射通過第一開口以在半導體基材且包括元件中形成一第二開口。

更佳，在形成第一開口之步驟及形成第二開口之步驟之間係包括一拋光半導體基材的另一表面之步驟，以降低半導體基材的厚度。

較佳藉由一雷射束開啟絕緣膜以進行形成通孔之步驟。

更佳以環形在絕緣膜上發射雷射束藉以形成一環形通道孔。

更佳，形成電極墊之步驟包括以下步驟：形成由第一金屬構成之一底電極墊、以及形成在底電極墊上由具有比第一金屬更高融點的第二金屬構成之一頂電極墊。較佳使用鋁作為第一金屬，並使用銅作為第二金屬。

一項實施例中，藉由形成導線圖案的步驟來形成導線圖案而使電極墊亦電性導出到半導體基材的一面，可提供製備複數個半導體元件以及經過外部連接端子電性連接半導體元件的導線圖案以多層堆疊半導體元件之步驟。

一項實施例中，此方法包括在形成導電膜的步驟之後藉由電性連接至導電膜的一導體來充填通孔之一步驟。可提供製備複數個此等半導體元件以及經過外部連接端子電性連接自複數個半導體元件的對應通孔暴露出之導體以複數層堆疊半導體元件之步驟。

### 圖式簡單說明

可由較佳實施例的下列描述並參照圖式更清楚地得知

(請先閱讀背面之注意事項再填寫本頁)

訂

## 五、發明說明 ( 6 )

本發明之上述及其他目的與特性，其中：

第1A、1B、1C圖為根據本發明一較佳實施例之一半導體元件的剖視圖，其中第1B圖為第1A圖中圓形1B部份之放大圖，且第1C圖為第1B圖中圓形1C部份之放大圖；

第2A、2B、2C、2D圖為根據本發明之實施例的通道孔之各種形狀的平面圖；

第3圖為由第1A圖的A側觀察之第1A圖所示根據本發明之一實施例之一半導體元件的平面圖；

第4圖為複數個半導體元件堆疊成之一半導體模組的剖視圖，藉以獲得一立體性安裝結構；

第5A至5Q圖為製造根據本發明之一實施例之一半導體元件的步驟之剖視圖，其中第5P圖放大顯示第5O圖中圓形5P部份；

第6圖為根據本發明之一實施例之一半導體元件製造方法中穿鑿一雷射束的說明圖；

第7A及7B圖為顯示根據本發明之一實施例當一雷射束形成一通道孔時藉由一頂電極墊保護一底電極墊之剖視圖，其中第7B圖放大顯示第7A圖中圓形7B部份；

第8圖為製備根據本發明之一實施例進行堆疊之複數個半導體元件的狀態之剖視圖；

第9圖為根據本發明之一實施例在第5K圖的步驟與第5L圖的步驟之間形成一保護膜之一步驟的剖視圖；

第10圖為根據本發明之一實施例以一導體充填一通孔情形的放大剖視圖；

(請先閱讀背面之注意事項再填寫本頁)

訂

## 五、發明說明 ( 7 )

第11圖為如第10圖所示以一導體來充填通孔之複數個半導體元件堆疊成的一半導體模組之剖視圖，藉以形成一立體性安裝結構；及

第12A及12B圖為相關技藝之一半導體元件的剖視圖及平面圖，第12C圖為一習知既有的半導體元件之剖視圖。  
較佳實施例描述

下文參照圖式詳細描述本發明的較佳實施例。

根據本發明之一半導體元件係設有一半導體基材及形成於半導體基材的一表面上之一電子元件。一個與此元件呈電性連接之電極墊係形成於半導體基材的該表面上，電極墊及半導體基材貫穿設有一通孔，一絕緣膜形成於該通孔的內壁上，此絕緣膜進一步形成於半導體基材的另一表面上及電極墊上。

絕緣膜中，形成於電極墊上的部份係設有一通道孔，用於經由通道孔及通孔將電極墊電性導往半導體基材另一表面之一導線圖案係設置於半導體元件中。

特定言之，本發明中，藉由沿著通孔外緣將通道孔設置於絕緣膜中來確保通道孔的開啟區域並在導線圖案與電極墊之間達成可靠的電性連接。藉此，本發明中不再需要過去用於確保通道孔的開啟區域之通道孔電極墊，所以可使半導體元件具有比以前更小的平面尺寸。

並且，較佳使通孔直徑在穿過電極墊的部份(下文稱為“第一開口”)中比穿過半導體基材的部份(下文稱為“第二開口”)更大。

(請先閱讀背面之注意事項再填寫本頁)

訂

## 五、發明說明 ( 8 )

相較於無論任何位置均有固定通孔直徑之結構，根據此結構可以加長第一開口的近開端與第二開口之間的距離，藉以在通孔側壁處充份確保電極墊與半導體基材之間的絕緣。

並且，導線圖案可電性導出電極墊外前往半導體基材的一表面。

此情形中，在一垂直方向中製備複數個此等半導體元件並經由外部連接端子電性連接各底半導體元件與頂半導體元件的面對表面之導線圖案，藉以獲得一立體性安裝結構。因為各半導體元件的平面尺寸比過去更小，此立體性安裝結構比起過去可在橫向保持小的展幅。

依此方式堆疊元件時，可藉由與導線圖案呈電性連接之一導體來充填通孔。此情形中，位於從通孔露出位置之導體可執行導線圖案的功能，所以不再需要形成導線圖案，且可容易地堆疊頂與底半導體元件。

另一方面，根據本發明之一種半導體元件之製造方法係包含以下步驟：

- (a) 在一半導體基材的一表面上形成一電子元件；
- (b) 形成在半導體基材的一表面上與元件呈電性連接之一電極墊；
- (c) 形成通過電極墊及半導體基材之一通孔；
- (d) 在半導體基材的至少另一表面、通孔的一內壁及電極墊上形成一絕緣膜；
- (e) 藉由絕緣膜的圖案化形成一通道孔以沿著通孔的

(請先閱讀背面之注意事項再填寫本頁)

訂

## 五、發明說明 ( 9 )

一開口外緣暴露出電極墊的延伸部之一部份；

(f)在絕緣膜上及通道孔中形成一導電膜；及

(g)藉由導電膜的圖案化來形成經過通孔及通道孔將電極墊電性導往半導體基材的另一表面之一導線圖案。

這些步驟中藉由步驟(e)在電極墊上的絕緣膜中沿著通孔的開口外緣形成一通道孔。如上述，由於形成此通道孔，本發明不需使用通道孔電極墊。

並且，步驟(c)(形成一通孔之步驟)可進一步包括以下步驟：

(c1)藉由圖案化在電極墊中形成一第一開口及

(c2)將具有比第一開口更小的直徑之一雷射束發射通過第一開口藉以在在包括電子元件的半導體基材中形成一第二開口。

請注意可利用這些步驟藉由第一開口及第二開口來界定通孔。

根據步驟(c1)及(c2)，因為形成後將具有比第一開口直徑更小的直徑之一雷射束發射通過第一開口，可防止雷射束接觸第一開口及蒸發電極墊的材料，藉以減輕半導體基材及電極墊最後因為蒸發的材料而變成電性連接之危險。

此外，根據上述步驟，獲得一種使第一開口直徑大於第二開口直徑之結構。如上文所描述，此結構的優點為：可充分確保通孔側壁處電極墊與半導體基材之間的絕緣。

並且，步驟(c1)及(c2)之間可包括拋光半導體基材的另一表面之一步驟，藉以降低半導體基材的厚度。

(請先閱讀背面之注意事項再填寫本頁)

訂

## 五、發明說明 ( 10 )

為此，因為在形成第二開口之前降低了半導體基材的厚度，可藉由以一段短時間發射一雷射束來形成第二開口，並降低因為雷射束發射對於半導體基材造成之熱損害。並且，因為雷射束的工作深度變淺，使雷射束的材料蒸發量降低，並使材料蒸發與沉積在通孔中的量降低。因此可乾淨地形成通孔。

並且，可由一雷射束開啟絕緣膜藉以進行步驟(e)(在絕緣膜中形成通道孔之步驟)。

特定言之，當形成一環形通道孔時，較佳以一環形在絕緣膜上發射雷射束，理由在於：以一環形發射時在通孔上對準雷射束的旋轉軸線即足以完成雷射源及絕緣膜的定位，所以相較於將每點定位且雷射束一次發射一點的情形，可獲得縮短處理時間之優點。

並且，本發明不限於以一環形發射雷射束，藉由一雷射束發射通道孔時，步驟(b)(形成電極墊的步驟)可包括以下步驟：

(b1)形成由一第一金屬構成之一底電極墊，及

(b2)在底電極墊上形成由具有比第一金屬更高融點的一第二金屬構成之一頂電極墊。

根據這些步驟，電極墊變成一種包含一底電極墊與一頂電極墊之二層結構。並且，底電極墊受到具有較高融點的頂電極墊所保護。

藉由一雷射束在絕緣膜中形成一通道孔時，雷射束必須穿過絕緣膜，但因此如上述藉由高融點頂電極墊提供保

(請先閱讀背面之注意事項再填寫本頁)

訂

## 五、發明說明 ( 11 )

護，穿過絕緣膜的雷射束亦受到保護而不穿過電極墊。

第1A、1B、1C圖為根據本發明之一較佳實施例的一半導體元件的剖視圖，第1B圖為第1A圖的圓形1B區域之放大圖，第1C圖為第1B圖的圓形1C區域之放大圖。

如圖所示，半導體元件215設有一矽基材201(半導體基材)，此矽基材201的一表面201a設有一半導體構件形成層202並在其中建造有一電晶體或其他電子元件。並且，半導體構件形成層202上設有一電極墊211。雖然未圖示，電極墊211與半導體構件形成層202中的一構件呈電性連接，電極墊211及矽基材201之間具有構件形成層202，編號204代表保護半導體構件形成層202之一鈍化層，此層譬如由 $\text{SiO}_2$ 組成。

編號212代表穿過電極墊211及矽基材201之一通孔，一 $\text{SiO}_2$ 膜209(絕緣膜)形成於其內壁上， $\text{SiO}_2$ 膜209亦形成於矽基材201的另一表面201b上及電極墊211上。

電極墊211上之 $\text{SiO}_2$ 膜209係設有一個身為本發明的特徵特性之通道孔209a，電極墊211及 $\text{SiO}_2$ 膜上的一導線圖案214係經由此通道孔209a電性連接。

第2A至2D圖為從第1A圖的箭頭A方向(從矽基材201的一表面201a)觀察之第1A至1C圖所示的半導體元件215的平面圖並顯示通道孔209a的各種範例，請注意在這些圖中為便於觀看通道孔209而省略導線圖案214。

通道孔209a藉由導線圖案214電性導出底電極墊211外，所以自然形成於電極墊211上。電極墊211設有一既有

(請先閱讀背面之注意事項再填寫本頁)

訂

## 五、發明說明 ( 12 )

的半導體元件。亦即，本發明中，導線圖案214電性連接至一既有的電極墊211，並不像習知技藝般地提供及連接一個分離的通道孔電極墊。

如第2A圖所示，通道孔209a沿著通孔212的開口外緣以一環形設置，藉以確保有足夠的開啟區域將導線圖案214可靠地電性連接，因此不需像過去般地分開提供一通道孔電極墊。

利用此方式，本發明中，因為不需要通道孔電極墊，可令半導體元件215的平面尺寸比起過去減少該量值。

請注意，如第2A圖所示，電極墊211的平面形狀大致為正方形，且各側邊長度譬如約為100微米。但電極墊211的平面形狀及尺寸不限於此，可自由設定電極墊211的平面形狀及尺寸。環形通道孔209a的寬度譬如約為5至10微米，但本發明不限於此。

若不用第2A圖的環形通道孔209a，可能藉由第2B至2D圖所示的通道孔209a獲得相同的優點。

第2B圖為將通道孔209a設置為沿著通孔212的開口外緣的一弓形之範例，弓形通道孔209a不需為單孔，亦可能如第2C圖所示提供複數個孔。

第2D圖為沿著通孔212的開口外緣設置複數個點形通道孔209a之範例。

通道孔209不限於具有上述形狀，重要的是通道孔209a應沿著通孔212的開口外緣設置。若以此方式設置一通道孔209a，可獲得本發明的上述優點。

(請先閱讀背面之注意事項再填寫本頁)

訂

## 五、發明說明 ( 13 )

再度參照第1B圖，通孔212由第一開口208及第二開口201c所界定，其中第一開口208係為通過電極墊211之部份，而第二開口201c為通過基材201之部份。

本發明中，令第一開口208的直徑R1大於第二開口201c的直徑R2。具體言之，R1約為50至70微米，並令R2小於R1或約為25至50微米。重要的是使 $R1 > R2$ ，本發明不限於上述數值。

根據此結構，相較於具有相同直徑R1及R2的情形，可延長第一開口208及第二開口201c的近開端208a與201d之間的距離D1(第1C圖)，因此可確保通孔212側壁處電極墊211與矽基材201之間的充份絕緣。請注意若不特別重視絕緣時，亦可使直徑R1及R2相同。

圖示範例中，第二開口201c形成推拔狀，但如同後文說明，這是因為由一雷射束形成第二開口201c所致，形狀不限於推拔狀，譬如，即使形成直線狀的第二開口201c仍可獲得本發明的優點。

並且，圖示範例中，通孔212為中空狀，但如第10圖所示，亦可由與導線圖案214電性連接之一導體217來充填通孔212，此情形的導體217譬如可為銅。

另一方面，若注意第1A圖所示的導線圖案，其形成於SiO<sub>2</sub>膜209上並經由通孔212延伸至矽基材201的另一表面201b，導線圖案214的功能係使電極墊211經由通道孔209a及通孔212電性連接至另一表面201b。

以此方式導出的導線圖案214的預定位置係設有作為

(請先閱讀背面之注意事項再填寫本頁)

訂

## 五、發明說明 ( 14 )

外部連接端子的焊料凸塊210，但外部連接端子不限於焊料凸塊210，亦可採用打線成球或其他已知的外部連接端子。

藉由焊料凸塊210抵靠住主板端子墊(未圖示)的狀態造成焊料凸塊210回流，使得半導體元件215電性與機械性連接在主板上。

半導體元件215可以此方式單獨使用或可如上述方式堆疊使用。

第3圖為半導體元件215從第1A圖的A側觀看之平面圖。

形成於表面201a上的導線圖案214係設有一端子部份214a，將此端子部份214a設置為電性導出電極墊211前往矽基材201的表面201a。當垂直堆疊複數個半導體元件215時，係成為可使頂半導體元件215提供的一焊料凸塊210接合之部份。但在不需要堆疊時，則不需提供端子部份214a。

以此方式堆疊的半導體元件215之剖視圖顯示於第4圖，如第4圖所示，各頂與底半導體元件215的面對表面之導線圖案係經由焊料凸塊210電性連接，此結構為一種由複數個半導體元件堆疊成之立體性安裝結構。各半導體元件215的平面尺寸係比習知技藝更小，所以在此立體性結構中，可能相較於習知技藝保持小的橫向展幅。這有助於近來半導體封裝的增高密度及縮小尺寸之趨勢。

請注意當如第10圖所示以一導體217充填通孔212時，可使用從通孔212的開口212a暴露出部份之導體217a而非端子部份214a，所以並不需要位於設有焊料凸塊210的部份

(請先閱讀背面之注意事項再填寫本頁)

訂

## 五、發明說明 ( 15 )

上之導線圖案214以及端子部份214a，且可容易地堆疊半導體元件215。第11圖顯示依此方式堆疊半導體元件215情形之剖視圖。

接下來參照第5A至5Q圖說明上述半導體元件215的製造方法，第5A至5Q圖為不同製造步驟之半導體元件的剖視圖。

首先，如第5A圖所示，製備一矽基材201(半導體基材)，此矽基材201為用於產生大量半導體元件之一基材(晶圓)。

然後，如第5B圖所示，一電晶體或其他電子元件形成於矽基材201的一表面201a上。圖中，編號202顯示設有半導體構件的一半導體構件形成層。

然後，如第5C圖所示，一含鋁(第一金屬)的膜(未圖示)係形成於半導體構件形成層202上，且此膜係圖案化形成底電極墊203，底電極墊203的厚度約為1微米，請注意若不用鋁亦可以銅形成底電極墊203。

因為底電極墊203及矽基材201之間設有半導體構件形成層202，底電極墊203位於矽基材201上而不接觸矽基材201。並且，雖未特別顯示，底電極墊203形成為與半導體構件形成層202中的一導線層呈電性連接。

然後，如第5D圖所示，底電極墊203及半導體構件形成層202上已形成有由SiO<sub>2</sub>等構成之一鈍化層204。然後，此鈍化層204係經圖案化形成可暴露出底電極墊203之一開口204a。

(請先閱讀背面之注意事項再填寫本頁)

訂

## 五、發明說明 ( 16 )

請注意可從半導體製造商獲得處於第5D圖所示狀態之產品，如第5D圖所示，設有底半導體電極墊203或半導體構件形成層202及鈍化層204等之半導體基材201係為通常由半導體製造商生產之一般基材，底電極墊203原來僅作為一種用於打線接合或接合外部連接端子(凸塊等)之電極墊(相關技藝的範例中為主電極墊110)。

然後，如第5E圖所示，一含Cr(鉻)的電源供給層205a係形成於鈍化層204及底電極墊203的暴露表面上，譬如藉由噴濺形成電源供給層205a。

然後，如第5F圖所示，一第一光阻206塗覆在電源供給層205a上。適後，第一光阻206暴光及顯影以形成與鈍化層204的開口204a重疊之第一光阻開口206a。

然後，如第5G圖所示，以第一光阻開口206a中暴露出的電源供給層205a浸入一電鍍溶液(未圖示)的狀態將電流供應至電源供給層205a，以形成鍍銅層205b。

然後，如第5H圖所示，移除第一光阻206，然後進行選擇性蝕刻以移除已於第一光阻206下形成之電源供給層205a。以至今描述的步驟完成由電源供給層205a及鍍銅層205b構成之頂電極墊205，頂電極墊205的厚度約為1至25微米。

請注意頂電極墊205主要係由比用於構成底電極墊203的鋁(第一金屬)具有更高融點之銅(第二金屬)構成。

並且，本實施例中，底電極墊203及頂電極墊205形成電極墊21。

(請先閱讀背面之注意事項再填寫本頁)

訂

## 五、發明說明 ( 17 )

然後，如第5I圖所示，一第二光阻207形成於鈍化層204及電極墊211的暴露表面上，並且，光阻207暴光及顯影以形成使電極墊211暴露出之一第二開口207a。

然後，如第5J圖所示，使用光阻207作為一蝕刻遮罩以將電極墊211圖案化並在電極墊211中形成一第一開口208，此情形的蝕刻譬如為化學蝕刻或電漿蝕刻，請注意第一開口的直徑R1約為50至70微米，但應根據電極墊211直徑適當地設定。

然後，如第5K圖所示，矽基材201的另一表面201b進行拋光以將矽基材201降低到約50至150微米。藉由此步驟獲得可使較晚完成的半導體元件變薄之優點，但當半導體元件不必為薄型時則可省略此步驟。

然後，如第5L圖所示，具有比第一開口208直徑R1更小直徑的一雷射束係發射通過第一開口208。雷射的範例係包括UV雷射、YAG雷射或受激準分子雷射。雷射束打擊的部份將蒸發，因此一第二開口201c形成於矽基材中，此第二開口201c的直徑R2約為25至50微米。並且，通孔212係由第一開口208及第二開口201c所界定。

藉由在形成第一開口208之後發射一具有比直徑R1更小直徑的雷射束，可防止雷射束接觸第一開口208及蒸發電極墊211的材料(鋁或銅)，藉以降低蒸發材料沉積在通孔212的側壁上及使矽基材201與電極墊211電性連接之危險。

此外，獲得一種使第一開口208直徑R1大於第二開口201c直徑R2之結構。如上述，此結構具有在通孔212側壁

(請先閱讀背面之注意事項再填寫本頁)

訂

## 五、發明說明 ( 18 )

處電極墊211與矽基材201之間充份確保絕緣之優點。

並且，因為形成第二開口201c前在第5K圖步驟將矽基材201降低厚度，可在一段短時間發射雷射束藉以形成第二開口201c，故可降低矽基材201因雷射束所造成的熱損害。

並且，因為雷射束的工作深度變淺，使得雷射束蒸發的矽量減少且蒸發與沉積在通孔212中的矽量亦減少，因此可乾淨地形成通孔212。

請注意當通孔212中的矽沉積或熱損害並不重要時，可省略第5K圖的步驟(降低矽基材201厚度之步驟)。

並且，雖然圖示的第二開口201c為推拔狀，這是因為使用藉由一聚焦鏡片(未圖示)聚焦至一點的一雷射束而非平行光的雷射束所致。第二開口201c不必為推拔狀，譬如，即使第二開口201c形成直線狀時仍可獲得本發明的優點。

並且，如第5L圖所示，可從矽基材201的另一表面201b發射雷射束而非經由第一開口208發射雷射束藉以形成第二開口201c，即使進行此作用時，仍同樣可防止雷射蒸發的矽沉積在電極墊211上。

尚且，可在第5K圖與第5L圖的步驟之間進行第9圖所示的步驟，此步驟中，在鈍化層204上、電極墊211上、第一開口208的側壁上及自第一開口208暴露出之半導體構件形成層202上形成一SiO<sub>2</sub>膜或其他保護膜216。在第5L圖的雷射處理時間中，若因雷射束而發生雜屑或毛邊則予以清除(電漿清理或化學清洗)。若如上述形成保護膜216，可在清理期間防止損傷電極墊211或鈍化層204。

(請先閱讀背面之注意事項再填寫本頁)

訂

## 五、發明說明 ( 19 )

形成通孔212之後，進行第5M圖所示的步驟，此步驟中，一SiO<sub>2</sub>膜209(絕緣膜)至少形成於半導體基材201的另一表面201b上、通孔212的內壁上及電極墊211上。譬如由化學氣相沉積(CVD)形成SiO<sub>2</sub>膜209。

請注意為了如圖示將SiO<sub>2</sub>膜209形成於半導體基材201的兩主表面上，譬如，首先可將一SiO<sub>2</sub>膜209只形成於半導體基材201的表面201a及通孔212的側壁上，然後SiO<sub>2</sub>膜209形成於另一表面201b上。

然後，如第5N圖所示，SiO<sub>2</sub>膜209係圖案化形成通道孔209a而沿著通孔212的開口外緣暴露出電極墊211之一部份。通道孔209a的形狀已如第2A至2D圖顯示。

至於如第2A至2D圖所示形成通道孔209a之方法，譬如可形成一阻劑(未圖示)，此阻劑具有與SiO<sub>2</sub>膜209上形狀對應之一開口，並經由該開口選擇性蝕刻SiO<sub>2</sub>膜，此時使用的蝕刻技術譬如為化學蝕刻或電漿蝕刻。

另一方法中，可能在應設有通道孔209a之位置於SiO<sub>2</sub>膜209上發射一雷射束，以使該部份蒸發藉以如第2A至2D圖中任一者形成通道孔209a。

特定言之，為了如第2A圖所示形成一環形通道孔209a，適於使用雷射束的穿鑿，如第6圖所示，此“穿鑿”係為從一雷射源發射一雷射束並令該雷射束沿其軸線旋轉使雷射束在通道孔209上畫出一環形之方法。

依此，只藉由通孔212發射環形雷射束時將旋轉軸線對準，雷射源及通道孔209a即結束定位工作，所以相較於每

(請先閱讀背面之注意事項再填寫本頁)

訂

## 五、發明說明 ( 20 )

點皆定位及逐點發射雷射束之情形係具有可縮短處理時間之優點。

請注意發射雷射束的方法不限於穿鑿，譬如亦可能放置一個可對抗雷射束且具有與通道孔209a對應的一形狀窗口之光遮罩(未圖示)，並藉由穿過該窗口的雷射束來開啟通道孔209a。

此處如先前第1B圖所示，因為電極墊211由一底電極墊203的一頂電極墊205之一種二層結構所製成，不論雷射束具有何種發射方法皆獲得以下優點。

通道孔209a係為使導線圖案213與電極墊211電性連接藉以確保可靠地連接之一部份並且完全貫穿。因此，當形成通道孔209a以完全貫穿時，係由可至少通過SiO<sub>2</sub>膜209之功率與時間長度來發射雷射束，在此段時間，如第7A及7B圖所示，頂電極墊205的部份205c結果亦受雷射束所蒸發，但底電極墊203受到頂電極墊205保護，所以雷射束不會穿過底電極墊203而抵達矽基材201。特定言之，一個主要為銅製的頂電極墊205係具有甚至比主由為鋁製的底電極墊203更高的融點，藉以有效地保護底電極墊203。

並且，即使當底電極墊203由銅形成，亦可藉由頂電極墊205的增大厚度來保護底電極墊203不受到雷射束。亦即，即使底電極墊203及頂電極墊205由相同材料製成時，藉由厚厚地形成頂電極墊205並使電極墊211作為此二層結構，仍可保護底電極墊203不受到雷射束。

當然，若調整雷射功率及發射時間而不穿過底電極墊

(請先閱讀背面之注意事項再填寫本頁)

訂

## 五、發明說明 ( 21 )

205，則不需要形成頂電極墊205的步驟(第5E至5H圖的步驟)。同樣地在藉由蝕刻形成通道孔209a時，不需要形成頂電極墊203之步驟。

形成通道孔209a之後，進行第5O圖所示的步驟，此步驟中，導電膜213形成於SiO<sub>2</sub>膜209上及通道孔209a中，導電膜213的厚度約為1至20微米。

如第5P圖所示，導電膜213包含：噴濺形成的一Cr(鉻)膜213a、亦由噴濺形成其上的一銅膜213b、及利用Cr(鉻)膜213a及銅膜213b作為電源供給層所形成的一鍍銅膜213c，但是導電膜213的結構不限於此。譬如，亦可以噴濺形成一鋁膜，並使用鋁膜作為一導電膜213。或者，可以噴濺形成一Cr(鉻)膜，然後利用無電極電鍍或電鍍在Cr(鉻)膜上形成一Cu(銅)、Ni(鎳)、Au(金)或其他膜作為導電膜213。

請注意在圖示範例中，通孔212為中空狀，但本發明不限於此，譬如，亦可能如第10圖的放大剖視所示厚厚地施加鍍銅膜213c藉以將一銅構成的導體217充填於通孔212內。

充填方法並不限於上述方法，譬如，導電膜213亦可形成約1至20微米的厚度，然後形成一鍍阻層，此鍍阻層設有只暴露出通孔212側壁之一開口，並將側壁電解性鍍銅以用銅充填通孔212。此方法中，導電膜213並未變厚，故可在一後續步驟中將導電層213細微地圖案化，請注意不論何種方法，導體217均應與導電膜213電性連接。

(請先閱讀背面之注意事項再填寫本頁)

訂

## 五、發明說明 ( 22 )

然後描述不充填一導體217的情形，但即使在充填導體217時仍可採用相同的步驟。

在形成導電層213之後，如第5Q圖所示，導電膜213圖案化以形成導線圖案214，導線圖案214形成於矽基材201的兩主要表面201a及201b上，兩主要表面201a及201b的導線圖案214經由通孔212電性連接。

然後，如第1A圖所示，矽基材201的另一表面201b上之導線圖案214的預定位置係設有作為外部連接端子之焊料凸塊210，然後將基材切割，藉以完成如第1A圖所示的半導體元件。

完成的半導體元件215可單獨安裝在一主板(未圖示)上或可加以堆疊。

在堆疊時，如第3圖所示，端子部份214a設置於導線圖案214上，如第8圖所示，製備複數個完成的半導體元件215。

然後，如第4圖所示，以焊料凸塊210抵靠住底半導體元件215的端子部份214a之狀態令焊料凸塊210回流。回流之後，焊料凸塊215的溫度降低，藉以完成由大量堆疊的半導體元件215構成之立體性安裝結構的一半導體模組。

並且，當以導體217充填通孔212時，如第11圖所示，自通孔212的開口212a暴露出之部份的導體217a係提供上述端子部份214a的功能，所以不需要提供焊料凸塊210位置處之導線圖案214及端子部份214a。

綜合本發明的效果，如上述，一通道孔沿著通孔的開口外緣設置於絕緣膜中以確保通道孔具有充足開啟面積並

(請先閱讀背面之注意事項再填寫本頁)

訂

## 五、發明說明 ( 23 )

可靠地電性連接導線圖案及電極墊。因此，本發明中，不再需要過去用來確保通道孔開啟面積之通道孔電極墊，所以可令半導體晶片具有比過去更小的平面尺寸。

並且，可使通孔直徑在通過電極墊之部份比起通過半導體基材之部份更大，若具有此作用，可在通孔側壁處充分確保電極墊與半導體基材之間的絕緣。

雖然已經參照圖示選用的特定實施例來描述本發明，熟悉此技藝者瞭解顯然應可作出多種修改而不脫離本發明之基本概念及範圍。

本揭示係有關於2001年6月14日之日本專利申請案2001-180891號的主體，其揭示以引用方式整體明確併入本文中。

(請先閱讀背面之注意事項再填寫本頁)

訂

## 五、發明說明 ( 24 )

## 元件標號對照

101：半導體元件	205a：電源供給層
102：矽基材	205b：鍍銅層
102a：表面	206：第一光阻
102b：表面	206a：第一光阻開口
102c：通孔	207：第二光阻
103：電子元件形成層	207a第二開口
104：絕緣膜	208：第一開口
105：主電極墊	209：SiO <sub>2</sub> 膜
106：SiO <sub>2</sub> 膜	209a：通道孔
106a：通道孔	210：焊料凸塊
107：導線圖案	211：電極墊
108：焊料凸塊	212：通孔
109：既有半導體元件	212a：開口
110：通道孔電極墊	213：導線圖案
201b：另一表面	213a：鉻膜
201：矽基材	213b：銅膜
201a,201b：主要表面	213c：鍍銅膜
201c：第二開口	214：導線圖案
201d,208a：近開端	214a：端子部份
202：半導體構件形成層	215：半導體元件
203：底電極墊	216：保護膜
204：鈍化層	217：導體
204a：開口	217a：導體
205：頂電極墊	


(請先閱讀背面之注意事項再填寫本頁)

訂

四、中文發明摘要（發明之名稱： 半導體元件及其製造方法(一) )

一種半導體元件能夠以一導線圖案可靠地連接一主電極而不需在既有的主電極墊外分開提供一通道使用電極墊，並且設有一矽基材(半導體基材)；一電子元件形成層，其形成於矽基材的一表面上；一電極墊，其電性連接至電子元件形成層；一通孔，其通過電極墊及矽基材；一SiO<sub>2</sub>膜(絕緣膜)；一通道孔，其沿著通孔的開口外緣設置於電極墊的延伸部上之SiO<sub>2</sub>膜中；及一導線圖案，其經由通孔及通道孔電性導出電極墊外前往矽基材的其他表面。

英文發明摘要（發明之名稱： SEMICONDUCTOR DEVICE AND METHOD OF PRODUCTION OF SAME )

 A semiconductor device, enabling reliable electrical connection of a main electrode pad with an interconnection pattern without separate provision of a via use electrode pad in addition to the existing main electrode pad, provided with a silicon substrate (semiconductor substrate), an electronic element formation layer formed on one surface of that silicon substrate, an electrode pad electrically connected to the electronic element formation layer, a through hole passing through the electrode pad and the silicon substrate, an SiO<sub>2</sub> film (insulating film), a via hole provided in the SiO<sub>2</sub> film on the electrode pad along the opening rim of the through hole, and an interconnection pattern electrically leading out the electrode pad to the other surface of the silicon substrate through the through hole and via hole.

## 六、申請專利範圍

1. 一種半導體元件，其包含：
  - 一半導體基材；
  - 一電子元件，其形成於該半導體基材的一表面上；
  - 一電極墊，其形成於該一表面上並與該電子元件電性連接；
  - 一通孔，其通過該電極墊及該半導體基材；
  - 一絕緣膜，其形成於該半導體基材的至少另一表面、該通孔的一內壁、及該電極墊上；
  - 一通道孔，其沿著該通孔的一開口外緣設置於該電極墊上之絕緣膜中；及
  - 一導線圖案，其經由該通孔及該通道孔電性導出該電極墊外前往該半導體基材的另一表面。
2. 如申請專利範圍第1項之半導體元件，其中該通道孔為環形。
3. 如申請專利範圍第1項之半導體元件，其中該通道孔為弓形。
4. 如申請專利範圍第3項之半導體元件，其中提供複數個該等通道孔。
5. 如申請專利範圍第1項之半導體元件，其中該通道孔為點形並提供複數個該等通道孔。
6. 如申請專利範圍第1項之半導體元件，其中該通孔的直徑在通過該電極墊之一部份係比通過該半導體基材之一部份更大。
7. 如申請專利範圍第1項之半導體元件，其中該電極墊具

(請先閱讀背面之注意事項再填寫本頁)

訂

## 六、申請專利範圍

有由一第一金屬構成之一底電極墊、以及由具有比該第一金屬更高的融點之一第二金屬構成且形成於該底電極墊上之一頂電極墊。

8. 如申請專利範圍第7項之半導體元件，其中該第一金屬為鋁且該第二金屬為銅。
9. 如申請專利範圍第1項之半導體元件，其中該導線圖案亦電性導出該電極墊外前往該半導體基材之一表面。
10. 一種半導體模組，其藉由複數個根據申請專利範圍第9項之半導體元件堆疊在一起所構成，該等複數個半導體元件係具有經由外部連接端子電性連接之各底半導體元件及頂半導體元件的面對表面之導線圖案。
11. 如申請專利範圍第1項之半導體元件，其中藉由與該導線圖案電性連接之一導體來充填該通孔。
12. 一種半導體模組，其藉由複數個根據申請專利範圍第11項之半導體元件堆疊在一起所構成，該等複數個半導體元件並具有充填在經由外部連接端子電性連接之各底半導體元件及頂半導體元件的對應通孔中之導體。
13. 一種半導體元件之製造方法，其包含以下步驟：
  - 在一半導體基材之一表面上形成一電子元件；
  - 形成一電極墊，其與該半導體基材之一表面上之電子元件呈電性連接；
  - 形成通過該電極墊及該半導體基材之一通孔；
  - 在該半導體基材的至少另一表面、該通孔之一內壁及該電極墊上形成一絕緣膜；

(請先閱讀背面之注意事項再填寫本頁)

訂

## 六、申請專利範圍

將該絕緣膜圖案化以沿著該通孔的一開口外緣形成一通道孔而暴露出該電極墊的一部份；

在該絕緣膜上及該通道孔中形成一導電膜；及

該導電膜圖案化藉以形成經過該通孔及該通道孔將該電極墊電性導往該半導體基材的另一表面之一導線圖案。

14. 如申請專利範圍第13項之半導體元件之製造方法，其中

在該電極墊中藉由圖案化形成一第一開口及

藉由將具有比該第一開口直徑更小的直徑之一雷射束發射通過該第一開口而在該半導體基材包括該電子元件中形成一第二開口，

該通孔係由該第一開口及該第二開口所界定。

15. 如申請專利範圍第14項之半導體元件之製造方法，其中

在該形成第一開口之步驟及該形成第二開口之步驟之間係包括拋光該半導體基材的另一表面以降低該半導體基材的厚度之一步驟。

16. 如申請專利範圍第13項之半導體元件之製造方法，其中

藉由一雷射束開啟該絕緣膜來進行該形成通道孔之步驟。

17. 如申請專利範圍第16項之半導體元件之製造方法，其中

藉由在該絕緣膜上以一環形發射該雷射束以形成一環形通道孔。

18. 如申請專利範圍第16或17項之半導體元件之製造方法，其中該形成一電極墊之步驟係包括形成由一第一金

(請先閱讀背面之注意事項再填寫本頁)

訂

## 六、申請專利範圍

屬構成的一底電極墊以及在該底電極墊上由具有比該第一金屬更高融點之一第二金屬所構成的一頂電極墊之步驟。

19. 如申請專利範圍第18項之半導體元件之製造方法，其使用鋁作為該第一金屬並使用銅作為該第二金屬。
20. 如申請專利範圍第13項之半導體元件之製造方法，其中藉由該形成導線圖案之步驟來形成該導線圖案，使該電極墊亦電性導往該半導體基材之一表面。
21. 一種半導體模組之製造方法，其包含以下步驟：

製備藉由根據申請專利範圍第20項之方法產生之複數個半導體元件及

經由外部連接端子電性連接該半導體元件的導線圖案而以複數個層堆疊該等半導體元件。

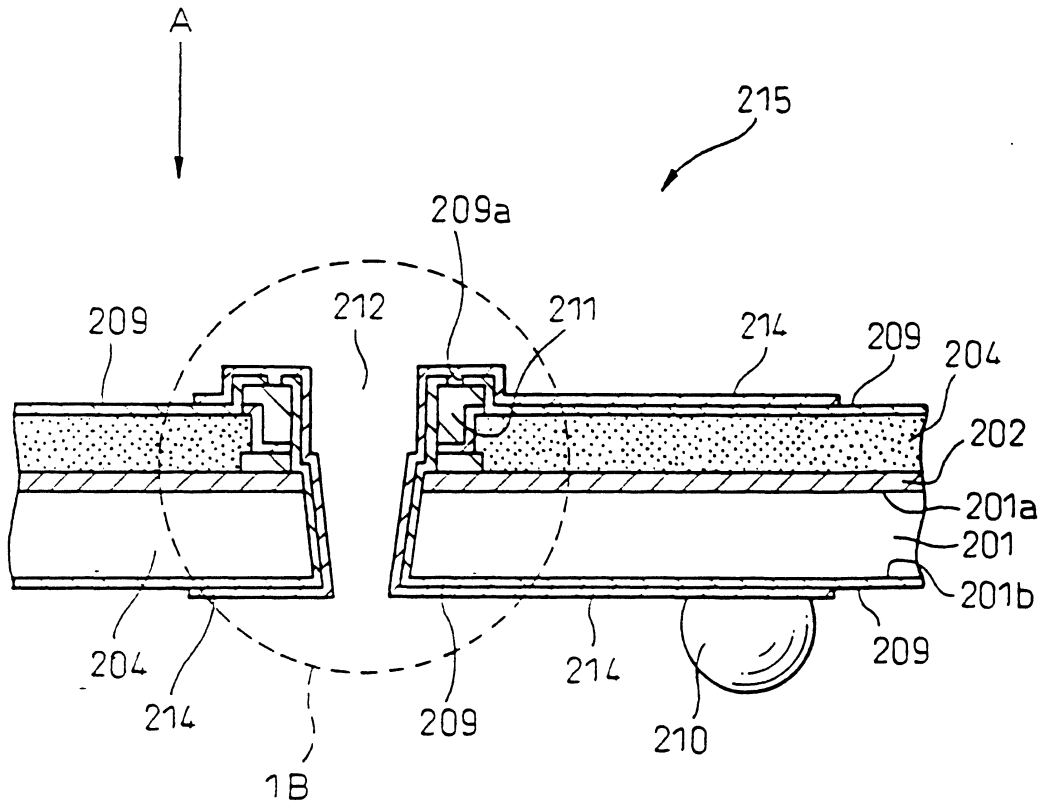
22. 如申請專利範圍第13項之半導體元件之製造方法，其包括在該形成導電膜之步驟後藉由電性連接至該導電膜之一導體來充填該通孔之一步驟。
23. 一種半導體模組之製造方法，其包含以下步驟：

製備藉由根據申請專利範圍第22項之方法產生的複數個半導體元件及

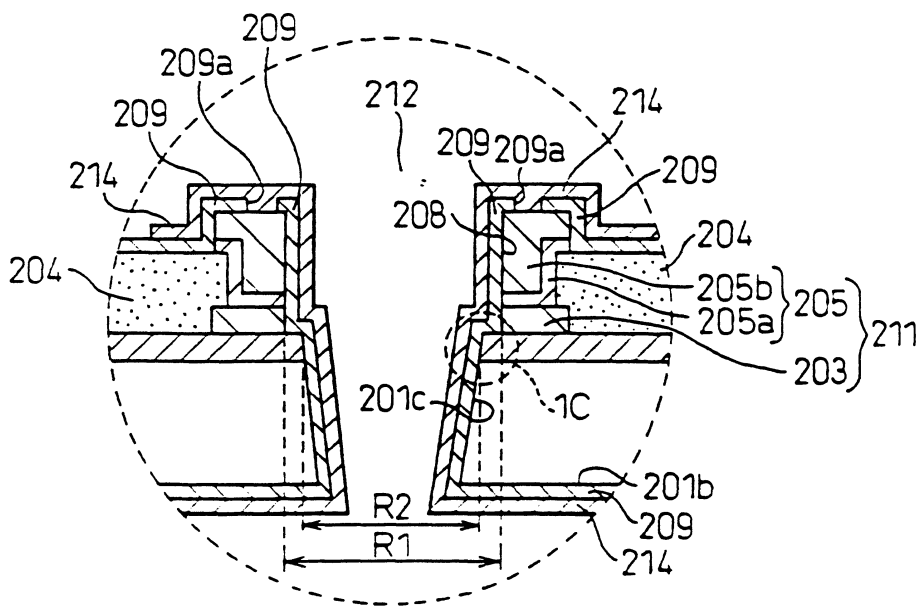
經由外部連接端子電性連接從該等複數個半導體元件的對應通孔的開口暴露出之導體而以複數個層堆疊該等半導體元件。

訂

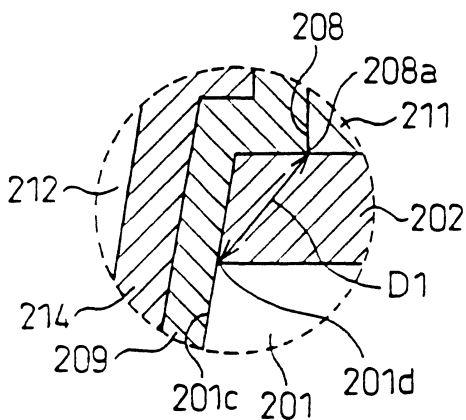
第1A圖



第 1B 圖

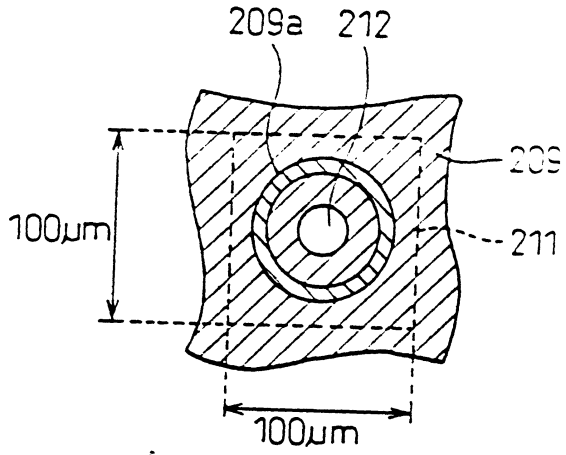


第 1C 圖

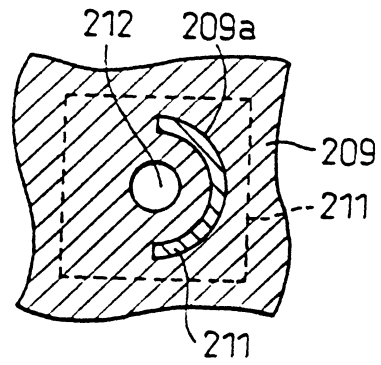


3/17

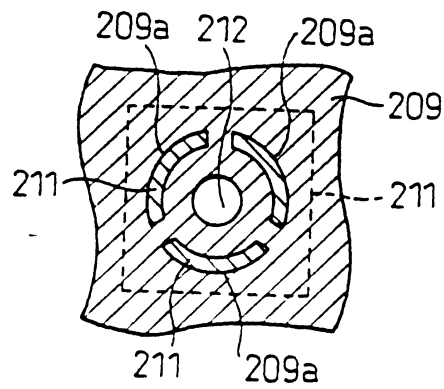
第 2A 圖



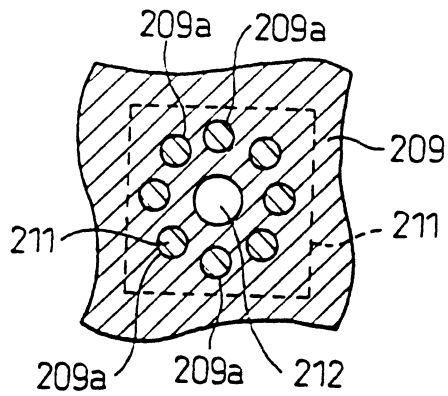
第 2B 圖



第 2C 圖

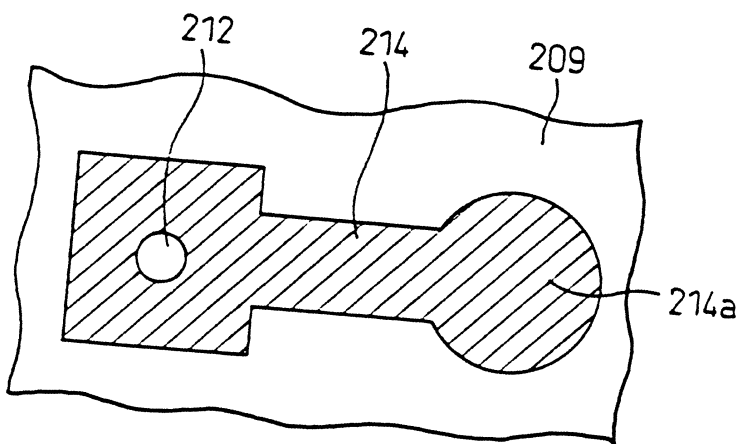


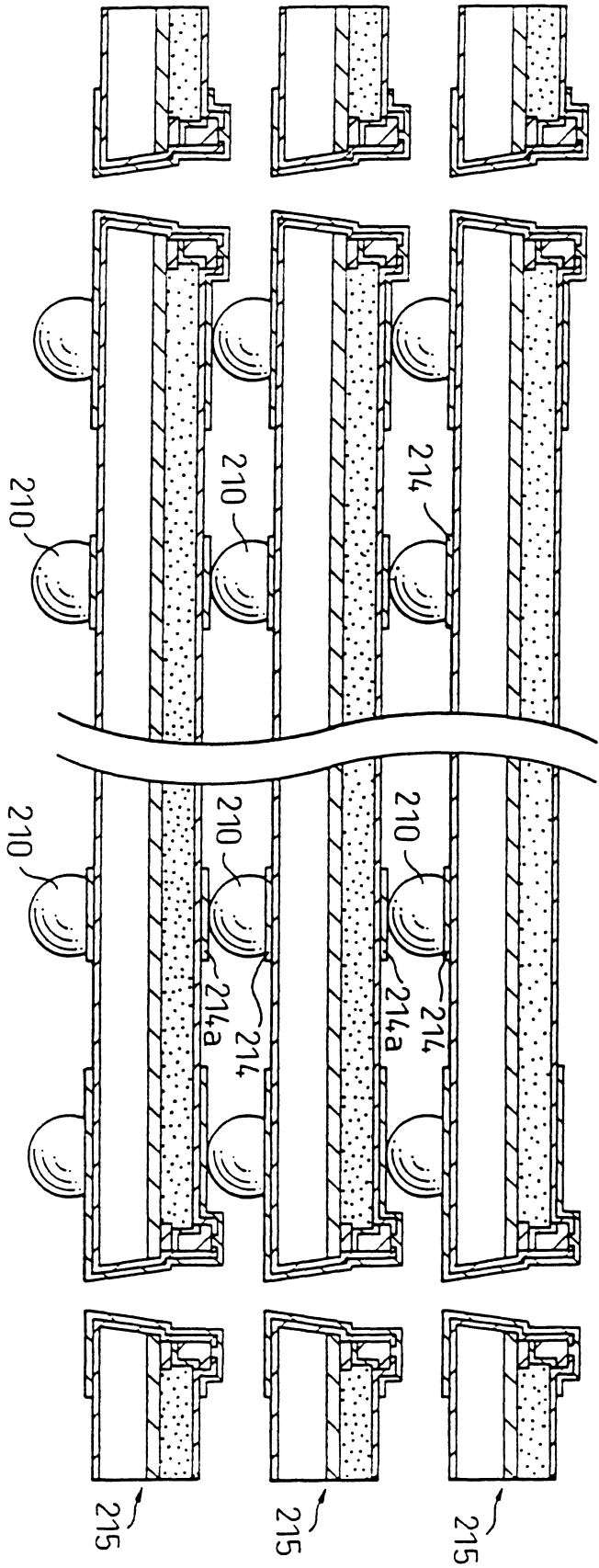
第 2D 圖



4/17

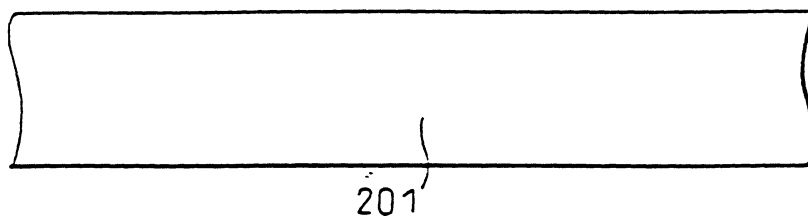
第 3 圖



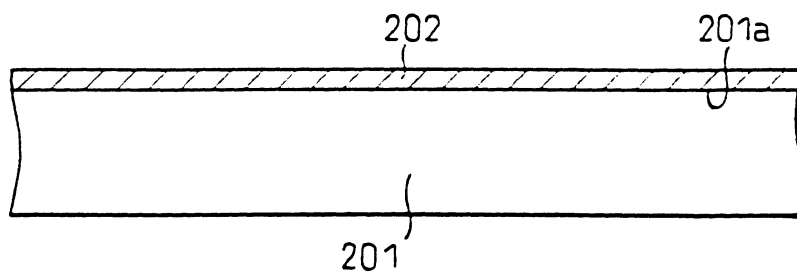


第 4 圖

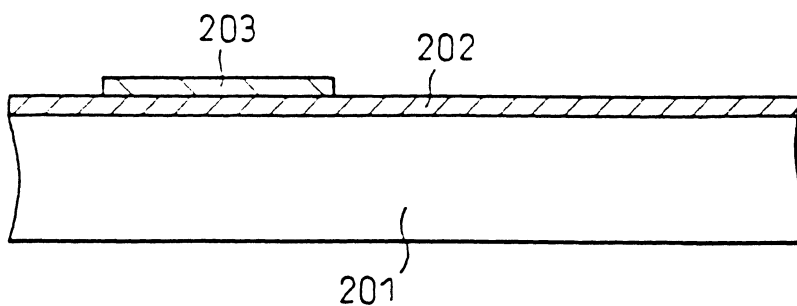
第 5A 圖



第 5B 圖

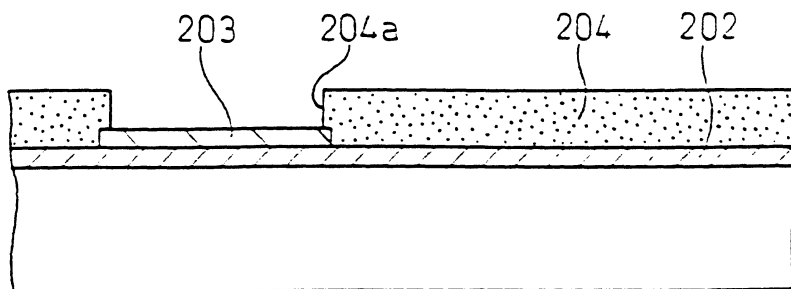


第 5C 圖

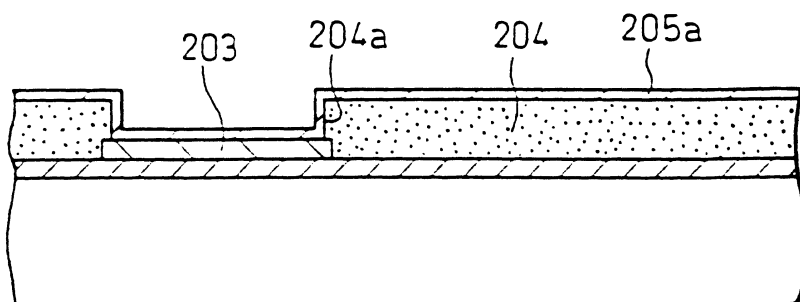


7/17

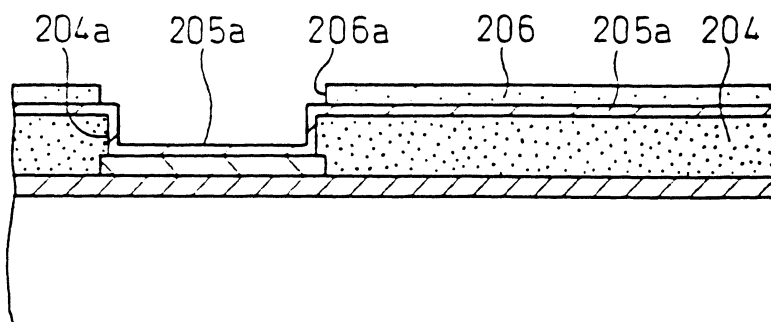
第5D圖



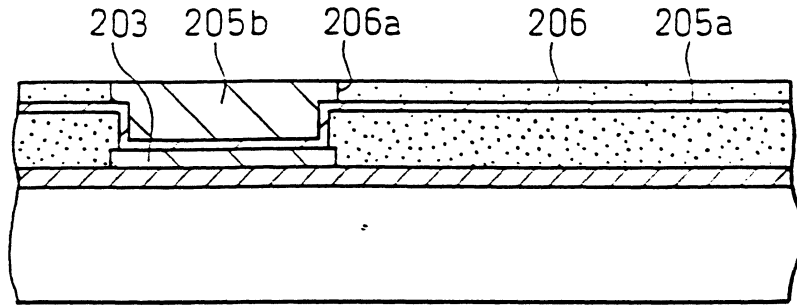
第5E圖



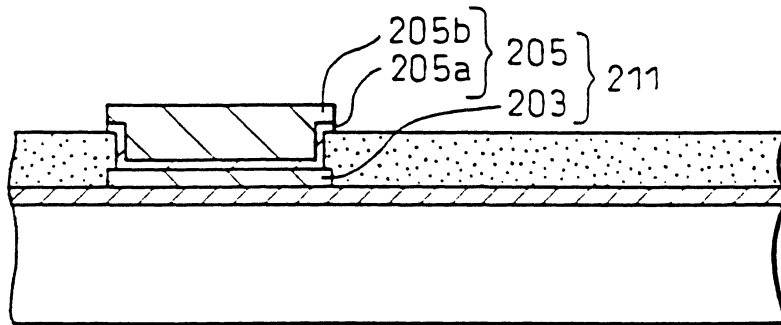
第5F圖



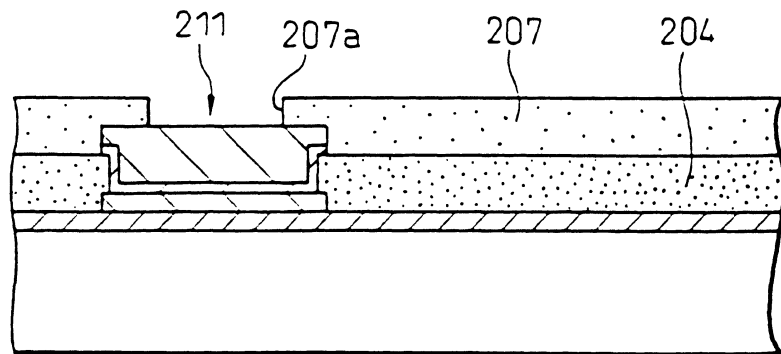
第5G圖



第5H圖

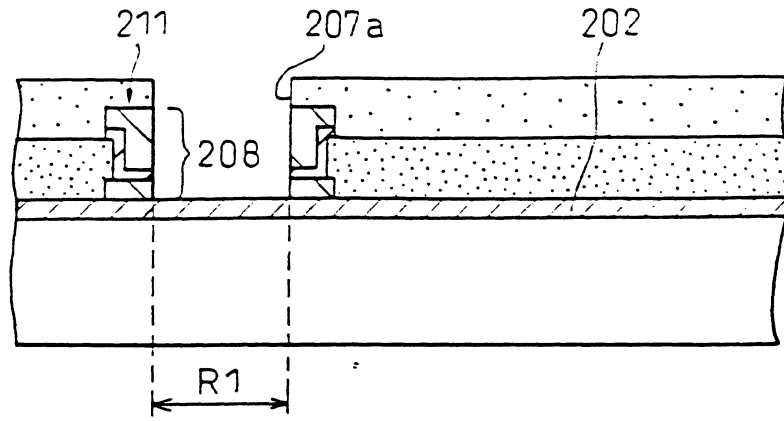


第5I圖

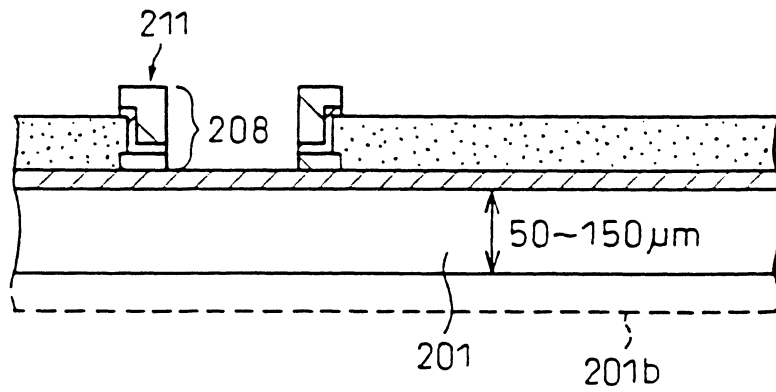


9/17

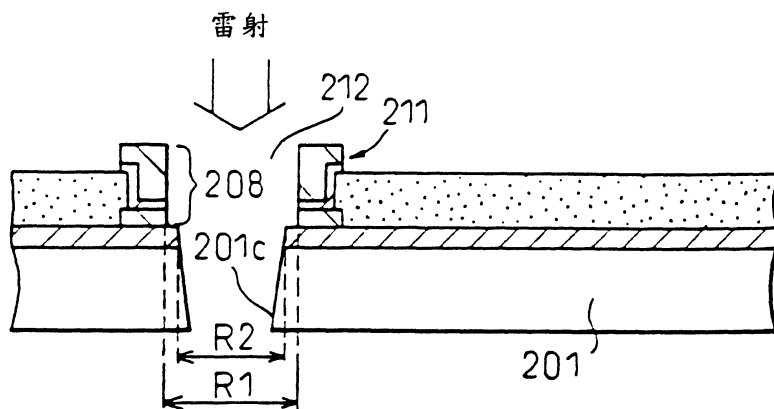
第5J圖



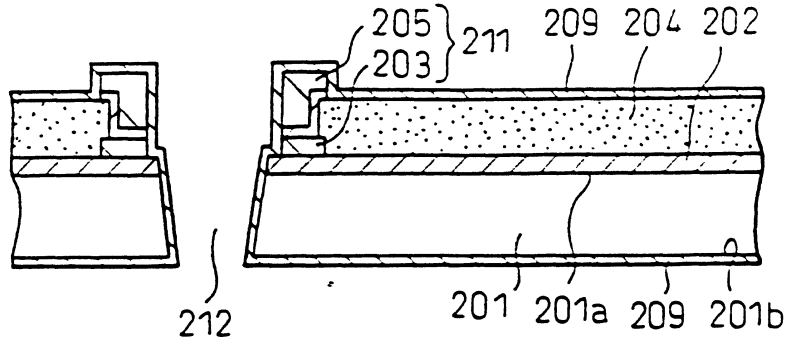
第5K圖



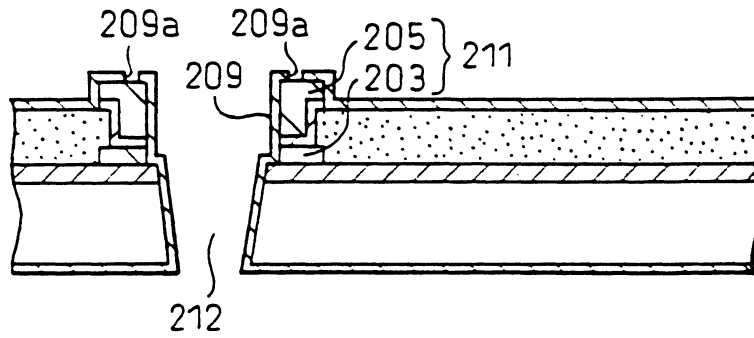
第5L圖



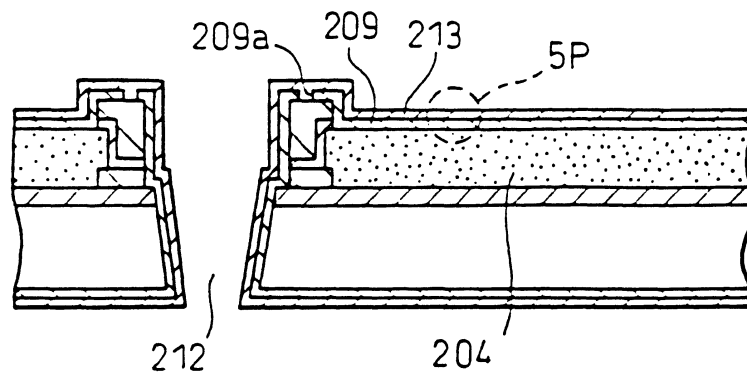
第5M圖



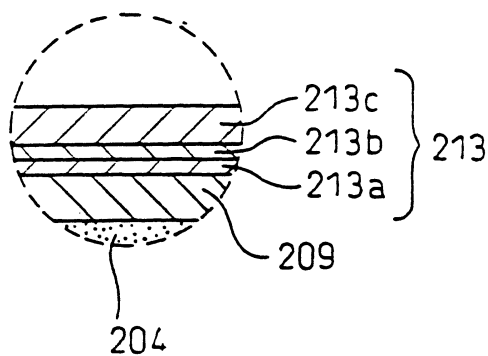
第5N圖



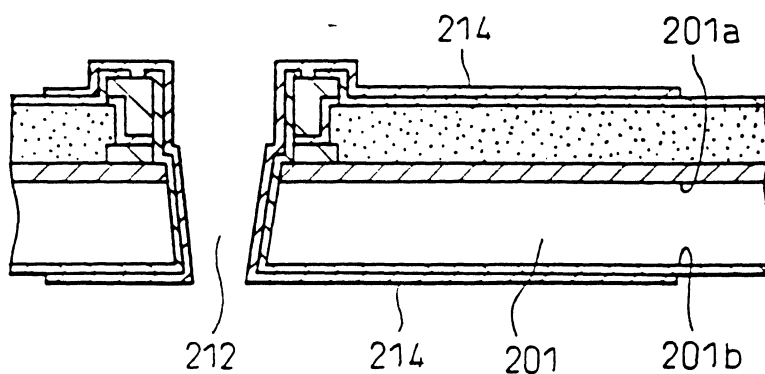
第5O圖



第5P圖

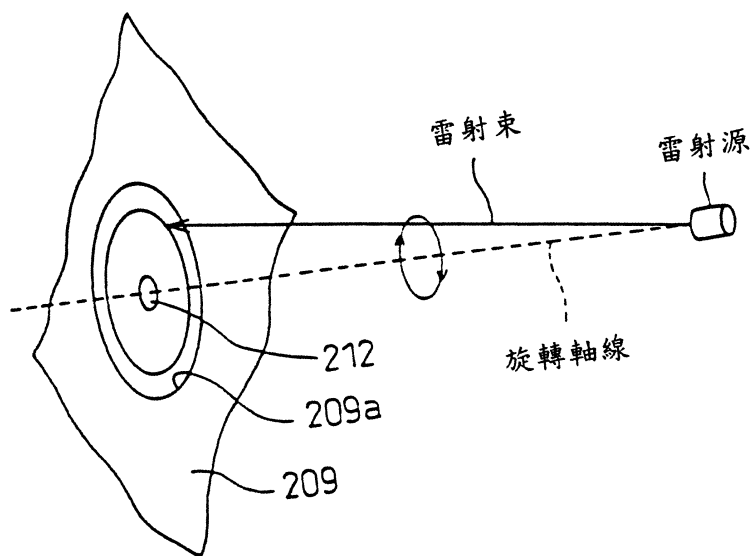


第5Q圖

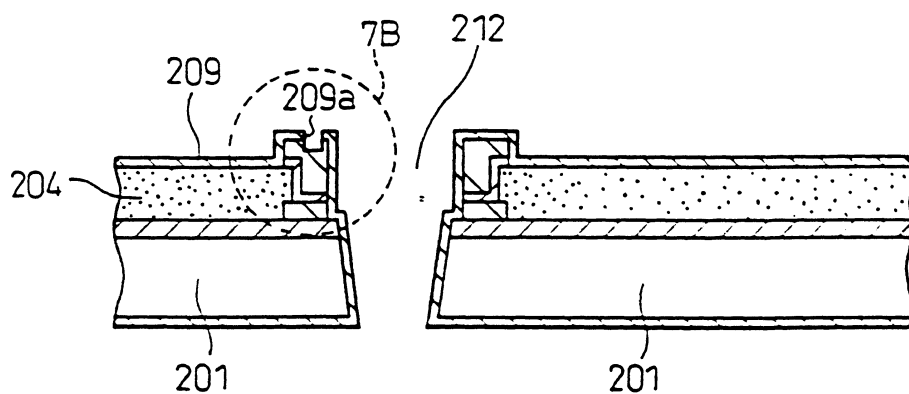


12/17

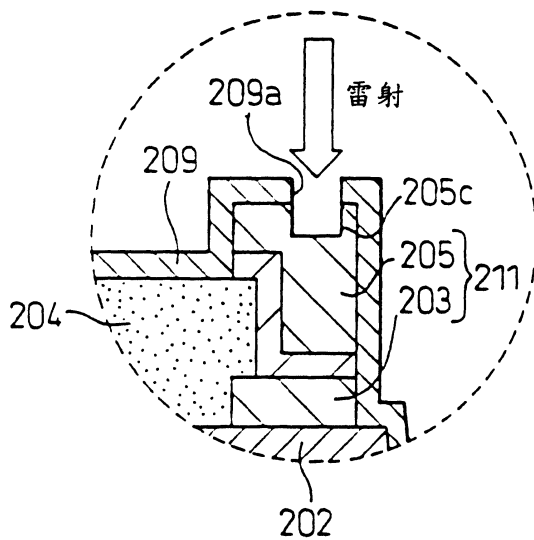
第 6 圖



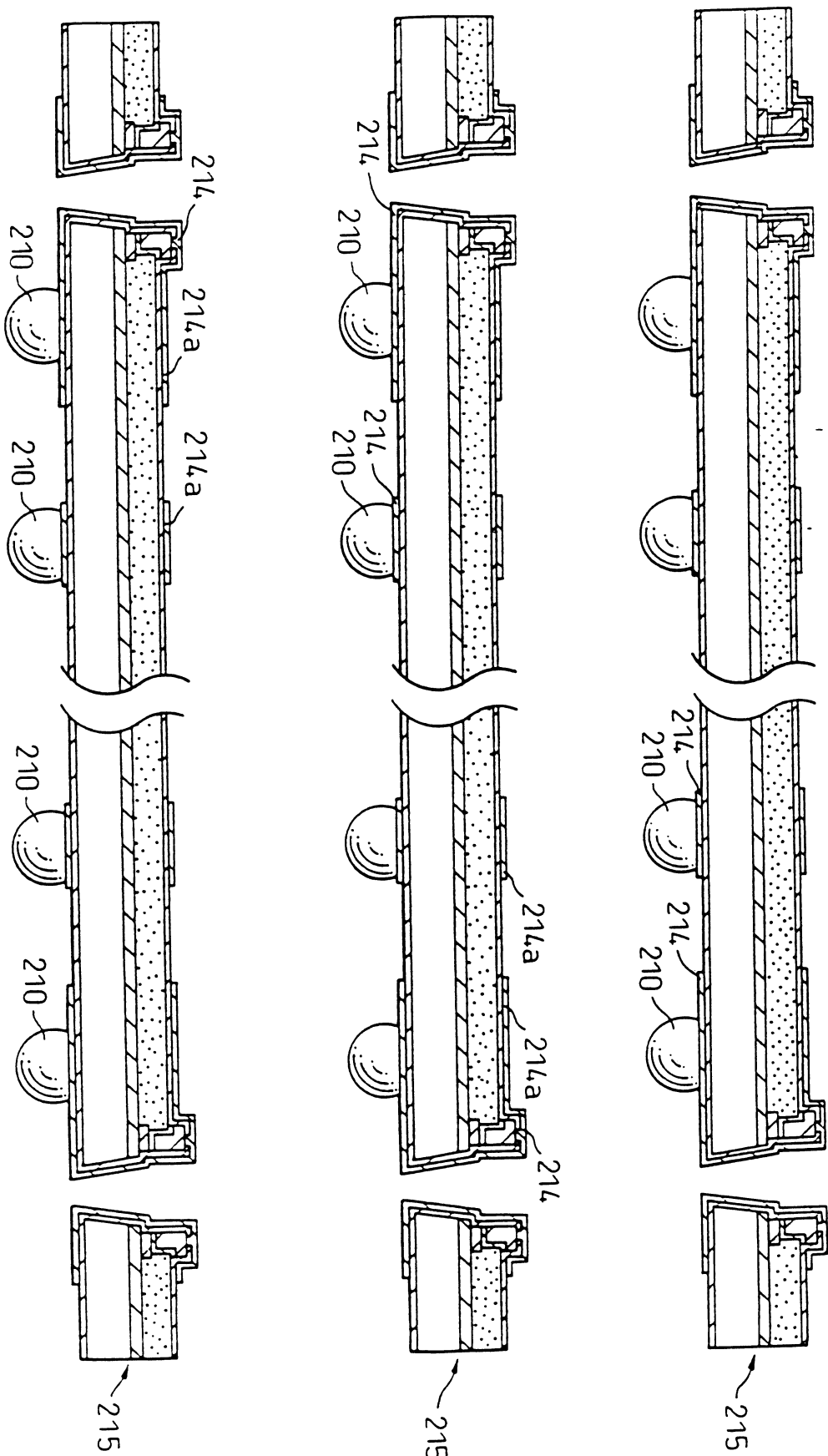
第 7A 圖



第 7B 圖

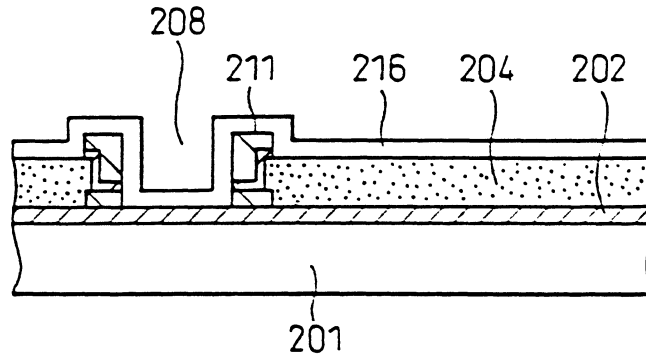


第 8 圖

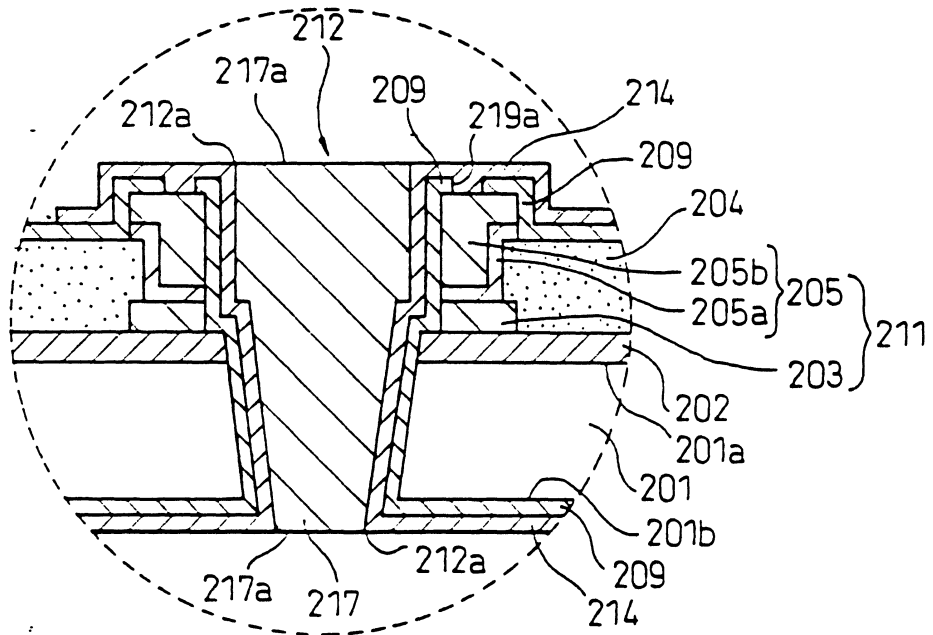


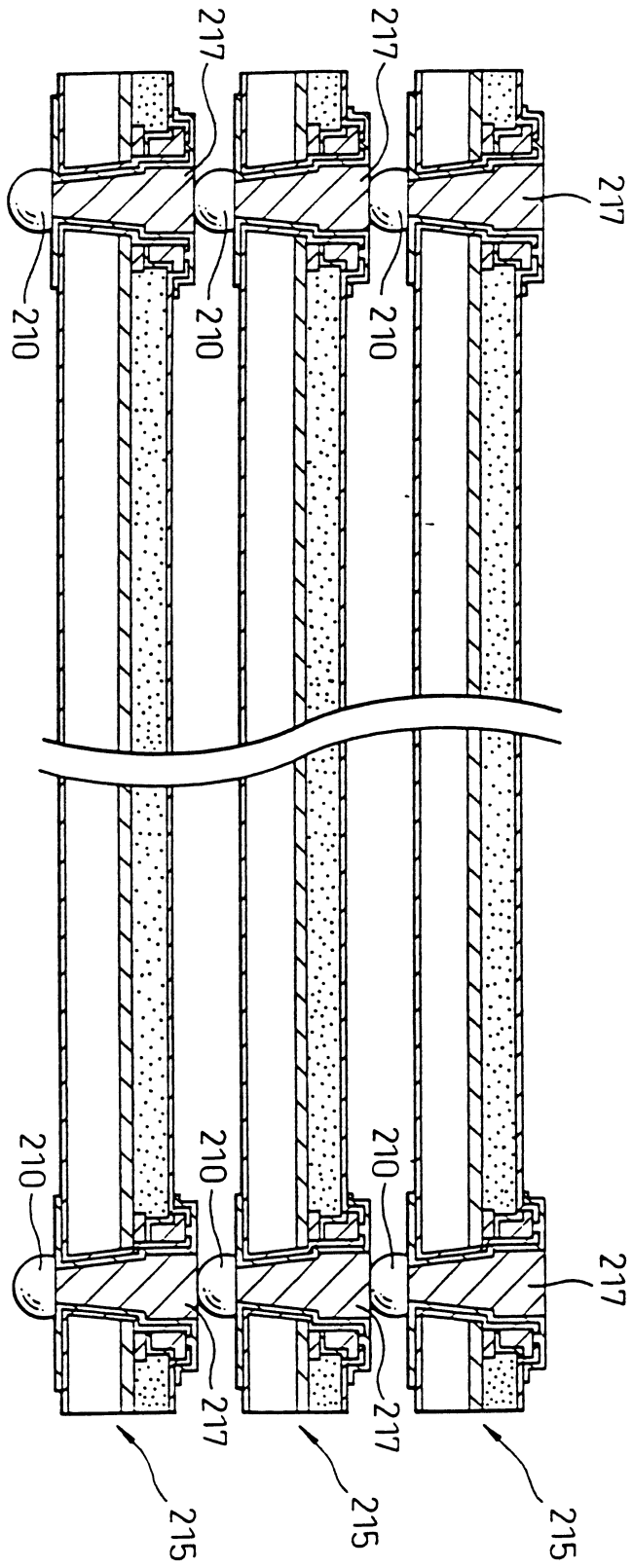
74/77

第 9 圖



第 10 圖

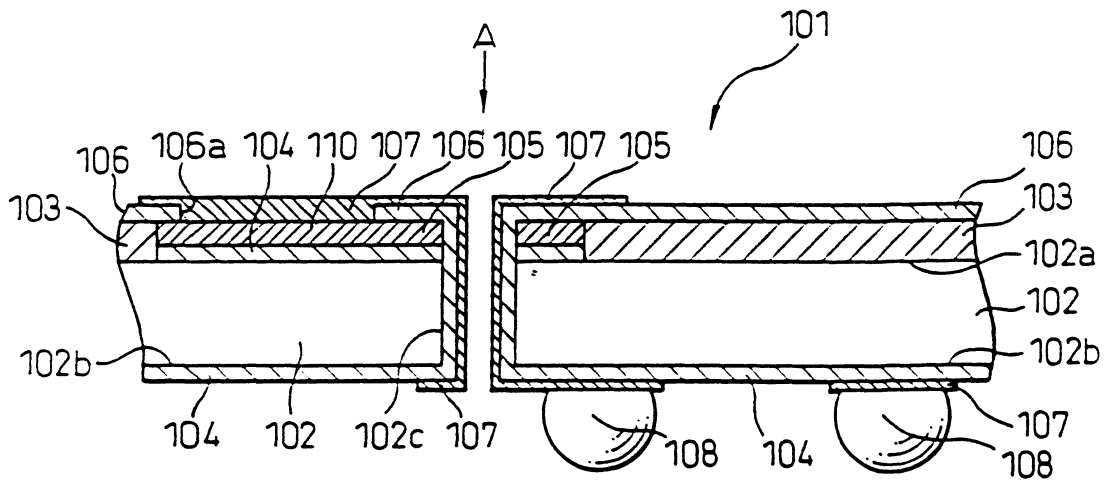




第 11 圖

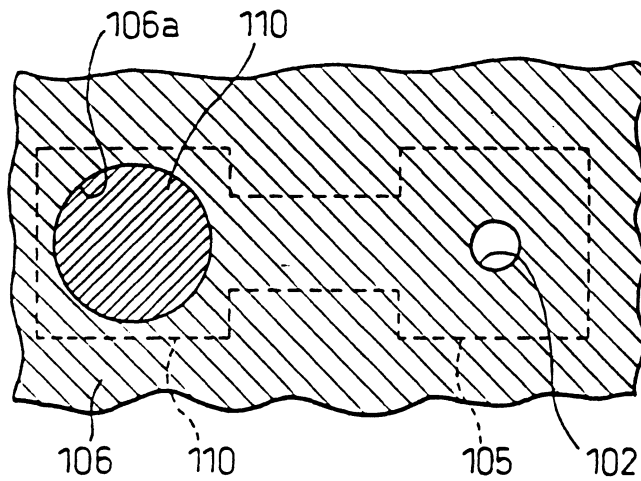
### 第12A圖

習知技藝



### 第12B圖

習知技藝



### 第12C圖

習知技藝

