

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号
特許第4246064号
(P4246064)

(45) 発行日 平成21年4月2日 (2009.4.2)

(24) 登録日 平成21年1月16日 (2009.1.16)

(51) Int. Cl.

F I

H O 3 F 3/45 (2006.01)

H O 3 F 3/45 B

H O 3 F 1/32 (2006.01)

H O 3 F 1/32

請求項の数 8 (全 11 頁)

(21) 出願番号	特願2003-539162 (P2003-539162)	(73) 特許権者	306043703
(86) (22) 出願日	平成14年10月1日 (2002.10.1)		エヌエックスピー ビー ヴィ
(65) 公表番号	特表2005-506790 (P2005-506790A)		N X P B. V.
(43) 公表日	平成17年3月3日 (2005.3.3)		オランダ国 5 6 5 6 エイジー アイン
(86) 国際出願番号	PCT/IB2002/004049		ドーフエン ハイ テク キャンパス 6
(87) 国際公開番号	W02003/036791		O
(87) 国際公開日	平成15年5月1日 (2003.5.1)	(74) 代理人	100075812
審査請求日	平成17年9月30日 (2005.9.30)		弁理士 吉武 賢次
(31) 優先権主張番号	01204076.2	(74) 代理人	100088889
(32) 優先日	平成13年10月25日 (2001.10.25)		弁理士 橋谷 英俊
(33) 優先権主張国	欧州特許庁 (EP)	(74) 代理人	100107582
			弁理士 関根 毅
		(74) 代理人	100112793
			弁理士 高橋 佳大

最終頁に続く

(54) 【発明の名称】 チョップト入力トランジスタ対を備えた演算増幅器

(57) 【特許請求の範囲】

【請求項 1】

演算増幅器であって、
該演算増幅器の入力に設けられ、チョップされたトランジスタ対を含む第1のトランジスタ増幅ステージと、
前記第1のトランジスタ増幅ステージと電圧供給源との間に接続され、前記第1の増幅ステージの前記トランジスタ対にそれぞれカスコード接続されたトランジスタ対を含む第2のトランジスタ増幅ステージと、
前記第2のトランジスタ増幅ステージを構成するトランジスタ対のそれぞれ一方側の主電極と該演算増幅器の出力との間の接続点と、前記電圧供給源との間に並列に接続された一対の抵抗と、を備え、
前記第1のトランジスタ増幅ステージを構成するトランジスタ対のゲインが、前記一対の抵抗の抵抗値 R_c について「 $g_{m1,2} * R_c$ 」で前記第2のトランジスタ増幅ステージを構成するトランジスタ対のゲインが前記抵抗値 R_c について「 $g_{m3,4} * R_c$ 」のとき、差動増幅器の入力ステージ全体のゲインは前記第1のトランジスタ増幅ステージを構成するトランジスタ対のゲインを前記第2のトランジスタ増幅ステージを構成するトランジスタ対のゲインで除した値である「 $g_{m1,2} / g_{m3,4}$ 」にまで低減された構成を備えていることを特徴とする演算増幅器。

【請求項 2】

前記第1のトランジスタ増幅ステージは、第1および第2のスイッチに接続された第1

および第 2 のトランジスタを備え、

前記第 2 のトランジスタ増幅ステージは、第 3 および第 4 のスイッチを通して前記第 1 のトランジスタ増幅ステージへ接続され、

前記第 1 から第 4 のスイッチは、前記第 1 および第 2 のトランジスタの入力 / 出力をチョッピングするためにチョッピング周波数を受け取ることを特徴とする請求項 1 に記載の演算増幅器。

【請求項 3】

メイン演算増幅器を備えた演算増幅回路であって、前記演算増幅器は、積分回路またはフィルタ回路を形成するために、入力と出力との間にキャパシタを含むフィードバックループを備えていることを特徴とする請求項 1 に記載の演算増幅回路。

10

【請求項 4】

2 つの対称的増幅器を備えた演算増幅回路であって、前記メイン演算増幅器は、積分回路またはフィルタ回路を形成するために、その入力と出力との間にキャパシタを含むフィードバックループを備えていることを特徴とする請求項 3 に記載の演算増幅回路。

【請求項 5】

電圧制御手段は、非線形キャパシタの容量がバイアス電圧に信号電圧を足した印加電圧にほとんど依存しないバイアス範囲内で前記非線形キャパシタを動作させるのに十分な DC バイアス電圧をその非線形キャパシタに印加するために、メイン演算増幅器の出力共通モード電圧と入力共通モード電圧との間の電圧差を供給するようにメイン演算増幅器に接続されていることを特徴とする請求項 3 または請求項 4 に記載の演算増幅回路。

20

【請求項 6】

前記電圧制御手段は、前記メイン演算増幅器の共通モード出力電圧を所定の出力共通モード電圧へ調整するための電圧レギュレータを備えていることを特徴とする請求項 5 に記載の演算増幅回路。

【請求項 7】

前記電圧制御手段は、一定の DC 共通モード電圧を前記演算増幅回路の入力へ供給するように適用された入力ステージを備えたことを特徴とする請求項 6 に記載の演算増幅回路。

【請求項 8】

前記入力ステージの入力トランジスタのソースは、グランドに接続されていることを特徴とする請求項 3 ないし請求項 7 のいずれかに記載の演算増幅回路。

30

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、チョップト入力トランジスタ対を備えた演算増幅器回路およびそのような演算増幅器を備えた演算増幅器回路に関する。

【関連技術】

【0002】

電気通信製品、コンピュータ等のような携帯機器に対する要求は、より高い集積レベルと相まって、結果的に、単一素子上に完全なシステムを載せることに対して継続的に向かっている。一般的に、混合信号チップは、大きなデジタル部分と、アナログ機能性を実行するために用いられるほんの小さな領域とを有する。従って、信号チップを製造する好適なプロセス技術は CMOS 技術である。現在、純粋なデジタル CMOS プロセスを備えた電気通信装置に対して、要求される性能を与えるためには問題がある。GSM (移動体通信のグローバルシステム (Global System for Mobile Communications)) や CMOS 技術におけるブルートゥースのような用途への解決手段を単一チップで得るためにも、この技術を改善する要求がある。

40

【0003】

CMOS 技術における基本的な問題の 1 つは、 $1/f$ ノイズである。基本的に、 $1/f$ ノイズに対処するには 3 つの方法がある。1 つは純粋な CMOS 技術の代わりに BICM

50

OSを用い得る、1つは非常に大きなトランジスタを用いてもよい、あるいは、1つはチョッピングを適用する。BICMOSは、CMOSよりも非常に高価であり、通常、最新のCMOSプロセスに遅れた世代にある。大きなトランジスタを用いることは、1/fノイズを低下させる結果をもたらすが、回路における大きな容量および電流消費の増加という欠点をも有する。この解決手段の結果は性能を劣化させ、コストを増加させることになるであろう。コスト的な欠点なしに、1/fノイズの問題を克服するための唯一の方法は明らかにチョッピングである。しかしながら、電気通信装置用の回路において、チョッピングはクロスモジュレーションという基本的な問題の原因となる。クロスモジュレーションによって、演算増幅器の出力における出力信号は増幅された入力信号のみから構成されず、付加的なエラー信号をも含む。このエラー信号は、チョッパスイッチを切り替えるときに見られるスパイクとチョッピング周波数によって周波数的にシフトした入力信号のイメージとの2つの部分から構成される。スイッチングスパイクが、入力信号全体に対して一定でないが、演算増幅器の入力において見られる入力信号レベルに依存している場合に、このイメージは現れる。このスパイク自体は、ほとんどの場合には有害ではないが、入力信号のイメージが電気通信回路の性能をひどく劣化させてしまう。

【0004】

従来の差動増幅器のチョッピング回路においては、増幅器ステージの入力トランジスタ対は、入力トランジスタの1/fノイズをチョッピングするために周波数 f_{chop} でチョッピングされる。クロスモジュレーションの問題は、入力トランジスタの出力での切り替えにおいて生じる。これは、差動増幅器へ入力される信号が、回路のそのポイントにおいて、 $g_{m1,2} * R_c$ のゲインで増幅され、このゲインが、入力信号に依存するディストーションをスイッチング(クロスモジュレーション)によって発生させるほど充分に大きいからである。従って、電気通信装置に適用される回路においてチョッピングを用いるためには、入力増幅ステージの出力における信号のクロスモジュレーションまたはディストーションを低減させる必要がある。

【0005】

上述の観点に鑑み、本実施形態の目的は、低ノイズおよび低電圧に最適化されたチョップト入力トランジスタを備えた演算増幅器を提供し、それによって、GSM、ブルートゥースまたはハイパーLAN製品のような電気通信装置に特に適用される。

【0006】

この目的のために、本発明による演算増幅器は、この演算増幅器の入力部にあり、チョップされたトランジスタ対を含む第1のトランジスタ増幅ステージと、第1のトランジスタ増幅ステージと電圧供給源との間に接続され、第1のトランジスタ増幅ステージの前記トランジスタ対にそれぞれカスコード接続されたトランジスタ対を含む第2のトランジスタ増幅ステージと、第2のトランジスタ増幅ステージを構成するトランジスタ対のそれぞれ一方側の主電極と該演算増幅器の出力との間の接続点と、前記電圧供給源との間に並列に接続された一対の抵抗と、を備え、前記第1のトランジスタ増幅ステージを構成するトランジスタ対のゲインが前記一対の抵抗の抵抗値 R_c について「 $g_{m1,2} * R_c$ 」で前記第2のトランジスタ増幅ステージを構成するトランジスタ対のゲインが、前記抵抗値 R_c について「 $g_{m3,4} * R_c$ 」のとき、差動増幅器の入力ステージ全体のゲインは前記第1のトランジスタ増幅ステージを構成するトランジスタ対のゲインを前記第2のトランジスタ増幅ステージを構成するトランジスタ対のゲインで除した値である「 $g_{m1,2} / g_{m3,4}$ 」にまで低減された構成を備えていることを特徴とする。

【0007】

カスコードされた増幅ステージにおいて、カスコードされた増幅ステージのトランジスタは1/fノイズに充分に寄与しない。これは、有用な信号の信号レベルが回路のそのポイントにおいてノイズレベルを充分に超えず、さらに、カスケードステージの1/fノイズに対する信号転送機能が入力トランジスタの高出力インピーダンスによって制限されてしまうからである。従って、入力増幅ステージの出力信号のゲインが現在 $g_{m1,2} / g_{m3,4}$ に低減されている、即ち、入力増幅ステージの出力および信号レベルがもはや相

10

20

30

40

50

当のクロスモジュレーションを発生するほどには大きくないので、 $1/f$ ノイズの残存は、クロスモジュレーションがもはや主要な問題となっていない入力増幅ステージにおけるトランジスタのみに因る。従って、チョッピング方式における入力信号のスイッチングに因る信号のクロスモジュレーションまたはディストーションは劇的に低減している。

【発明の要旨】

【0008】

本発明に係る好適な実施形態によれば、第1のトランジスタ増幅ステージは、第1および第2のスイッチに接続された第1および第2のトランジスタを備え、第2のトランジスタ増幅ステージは、第3および第4のスイッチを介して第1のトランジスタ増幅ステージに接続され、これらのスイッチは、第1および第2のトランジスタの入力/出力をチョッピングするためにチョッピング周波数 $f_{c h o p}$ を受け取る。この演算増幅回路において、第2のトランジスタ増幅ステージは、第1の増幅ステージの出力でそれらのスイッチに直接接続されている。これは、本発明を実施するために簡単かつ最も効果的な手法であるが、チョッピングされた第1の増幅ステージの出力スイッチにおけるクロスモジュレーションを確実に低減させる。

10

【0009】

本発明に係るさらに好適な実施形態によれば、第2のトランジスタ増幅ステージは、第3および第4のトランジスタを備え、この第2のトランジスタ増幅ステージの第3および第4のトランジスタは抵抗を介して電圧供給源に接続されている。高い共通モード抑制 (a common mode suppression) にとって、第1の増幅ステージの第1および第2のトランジスタのソース端子は、好ましくは、入力トランジスタソースとグランドとの間に電圧 $U_{c s}$ をもたらす電流源を介して接続されている。第1および第2の増幅ステージの両方の総合的な増幅は、クロスモジュレーションが第1の増幅ステージの出力において低減され、一方で、所望される総合的な増幅が第1および第2の増幅ステージの結合による影響によって達成されるようにバランスがとられている。

20

【0010】

本発明に係るさらに好適な実施形態によれば、第2の増幅ステージの第3および第4のトランジスタのベース端子は、電圧源 $U_{b i a s}$ を介してグランドへ接続されており、それは第2の増幅ステージにおけるトランジスタの動作を制御するために効果的な手法である。

30

【0011】

本発明に係るさらに好適な実施形態によれば、第2のトランジスタ増幅ステージは、電流源として作用する電圧供給源に接続された他のトランジスタを備えている。これは、第1の増幅ステージにおけるトランジスタのソースがグランドへ接続された入力増幅ステージの代替的な回路構成である。共通モード抑制は、共通モード出力電圧レギュレータを用いることによって達成される。従って、このトランジスタのソース端子およびバックゲート端子は、入力増幅ステージにおけるトランジスタの動作速度を上昇させるように同一の電圧レベルにある。

【0012】

本発明に係るさらに好適な実施形態によれば、カスコードトランジスタのベース端子は、バイアス電圧源 $U_{b i a s}$ を介してグランドへ接続されている。また、これは、2つの増幅ステージのゲインを適切に設計することに対して柔軟さを与える。

40

【0013】

上記目的のために、本発明は、メイン演算増幅器を備えた演算増幅器を提供し、このメイン演算増幅器は、積分回路またはフィルタ回路を形成するために入力と出力との間にキャパシタを含むフィードバックループを備えている。これは、上記したような1つの演算増幅器がメイン演算増幅器として用いられ、該演算増幅器が積分器またはフィルタを形成するために適切なフィードバックループへ接続された演算増幅回路である。この実施形態は、本発明による演算増幅器が積分器、フィルタ、シグマ・デルタ変換レギュレータなどの様々な回路に使用され得る。

50

【0014】

上記目的のために、本発明は、積分器またはフィルタ回路を形成するために入力と出力との間にキャパシタを含むフィードバックループ内で作用する対称的な2つの増幅器を備えている。

【0015】

本発明の好適な実施形態によれば、電圧制御手段は、非線形キャパシタの容量がバイアス電圧に信号電圧を足した電圧を含む印加電圧にほとんど依存しないバイアス範囲内において、非線形キャパシタを動作させるのに十分なDCバイアス電圧をその非線形キャパシタの両端に印加するために、メイン演算増幅器の出力共通モード電圧と入力共通モード電圧との間の電圧差を供給するようにメイン演算増幅器に接続されている。本発明によるこの実施形態は、半導体容量（例えば、ゲート酸化膜キャパシタ）が用いられている場合に、回路全体の線形性を改善し、それはまた、本発明が電気通信装置において用いられるような場合に回路を改善するのに貢献する。さらに、このような回路は、ピュアMOS、特に、CMOSのプロセス技術において、回路をコスト的に効率良く製造することの基礎となる。

10

【0016】

本発明によるさらに好適な実施形態によれば、電圧制御手段は、メイン演算増幅器の共通モード出力電圧を、予め設定された出力共通モード電圧へ調整する電圧レギュレータを備えている。好適には、電圧レギュレータはレギュレータ演算増幅器を備え、そのレギュレータ演算増幅器の1つの入力が入力共通モード出力電圧 C_{Mout} によって供給を受け、そのレギュレータ演算増幅器の他の入力が入力共通モード出力電圧 C_{Mout} によって供給を受け、そのレギュレータ演算増幅器の他の出力が第1の抵抗を介してメイン演算増幅器の1つの出力へ接続され、第2の抵抗を介してメイン演算増幅器の他の出力へ接続されており、レギュレータ演算増幅器の出力は、第3の抵抗を介してメイン演算増幅器の入力の1つへ接続され、かつ、第4の抵抗を介してメイン演算増幅器の他の入力へ接続されている。このような電圧レギュレータは、入力共通モード電圧を制御するための手段との組合せによって、所望されている線形性が確実に達成されると考えられる。

20

【0017】

本発明によるさらに好適な実施形態によれば、電圧制御手段は、所定のDC共通モード電圧を演算増幅回路の入力へ供給するように適合された入力ステージを備えている。これは、演算増幅回路の入力に適切な共通モード電圧を確実に与える1つの可能性例である。

30

【0018】

本発明によるさらに好適な実施形態によれば、入力ステージが演算増幅回路の入力に接続された電圧源 $U_{CM, DC}$ のように作用し、これは、演算増幅回路の入力において所定のDC共通モード電圧を供給する簡単かつ効果的な手法である。

【0019】

本発明によるさらに好適な実施形態によれば、入力ステージは、演算増幅回路の入力ステージにおいて内部電圧 V_T を設定する手段を備えている。内部電圧 V_T （ T = 閾値）を設定することによって、共通モード電圧を供給するために入力ステージを分離することが回避される。

【0020】

本発明によるさらに好適な実施形態によれば、入力ステージの入力トランジスタのソースは、グラウンドに接続され、トランジスタの動作速度をかなり上昇させる。入力ステージトランジスタのソースおよびバックゲート（またはバルク）が同じレベル（グラウンド）である、換言すると、バックゲートへ印加される制御電圧がないので、トランジスタの増幅係数が最大になる。ソース - バルク間電圧がゼロボルトよりも高い場合には、ゲインは低下する。従って、同じゲインを得るためには、トランジスタは、より大きな面積を占有するように、かつ、より多くの電流を消費するように再設計される必要があるであろう。従って、トランジスタのソースおよびバルクが同じレベルである本発明による回路は、低電圧 / 低電力の形態にとって重要な低消費電流という利点、チップ上でより小さい面積であるという利点、および、回路の新しい用途を可能とする比較的高速であるという利点を有

40

50

する。

【 0 0 2 1 】

本発明によるさらに好適な実施形態によれば、このような演算増幅回路を用いた回路は、ピュアデジタルCMOSプロセスによって形成されている。上述の演算増幅器およびこのような増幅器を用いることによって構成された回路は、上述の用途に用いられる半導体装置を製造するために現在最も汎用されているプロセスであるCMOSプロセスを用いることによって、デジタルおよびアナログ機能を含む単一のチップにデバイスを製造するための良い基礎となる。

【 好適な実施形態の詳細な説明 】

【 0 0 2 2 】

本発明による実施形態は、添付図面を参照しつつ以下に記述される。

【 0 0 2 3 】

図1によれば、演算増幅器2の入力ステージは、2つの入力IP（正入力信号）およびIN（負入力信号）および2つのON（負出力信号）およびOP（正出力信号）を備えている。入力IP、INは、スイッチS1およびS2を通して第1の増幅ステージの2つのトランジスタT1およびT2に接続されている。2つのトランジスタT1およびT2は、スイッチS3およびS4を通して第2の増幅ステージの他の2つのトランジスタT3およびT4に接続されている。スイッチS1からS4は、トランジスタT1およびT2の入力/出力をチョッピングするためにチョッピング周波数 $f_{c h o p}$ を受け取る。第2の増幅ステージの2つのトランジスタT3およびT4は、抵抗4、6を通して供給電圧VDDを供給する電圧源に接続されている。トランジスタT3およびT4の出力（ドレイン端子）は、それぞれ演算増幅器2の負出力ONおよび正出力OPである。トランジスタT1およびT2のソース端子は、電流源 $U_{c s}$ を介してグランドへ接続されており、トランジスタT3およびT4のベース端子は、バイアス電圧源 $U_{b i a s}$ を介してグランドへ接続されている。電流源 $U_{c s}$ は、所定の出力インピーダンス $R_{o u t}$ を有する。

【 0 0 2 4 】

図1に全体が示された演算増幅器2における、入力ステージは第1のトランジスタ T_1 と第2のトランジスタ T_2 よりなるトランジスタ対の増幅ステージを構成しており、第1のトランジスタ T_1 および第2のトランジスタ T_2 のゲインはそれぞれのトランジスタの相互コンダクタンス $g_{m 1, 2}$ に抵抗4、6の抵抗値 R_c を乗じた値となる。同様に、第2のトランジスタ T_3 および第4のトランジスタ T_4 のゲインはそれぞれのトランジスタの相互コンダクタンス $g_{m 3, 4}$ に抵抗4、6の抵抗値 R_c を乗じた値となる。このゲインの関係は、図1の回路構成より明らかである。

上記の回路構成において、チョッピングされるトランジスタ増幅ステージ全体の出力におけるゲインは、 $g_{m 1, 2} * R_c / g_{m 3, 4} * R_c$ すなわち $g_{m 1, 2} / g_{m 3, 4}$ に低減されており、ここで、 $g_{m 1, 2} * R_c$ は第1のトランジスタ対の増幅ステージのゲインであり、 $g_{m 3, 4} * R_c$ は第2のトランジスタ対の増幅ステージのゲインであり、 R_c は演算増幅器の出力ON、OPと電圧供給源VDDとの間にある抵抗器4、6の抵抗値である。

【 0 0 2 5 】

図2は、図1の演算増幅器2（OP1）を用いたアナログロウパスフィルタ回路の回路図である。共通モード抑制を制限した演算増幅器2は、2つのフィードバックループ1aおよび1bに接続され、フィードバックループ1bはフィードバック抵抗 $R_{1 f}$ およびフィードバックキャパシタ $C_{1 f}$ を備え、フィードバックループ1aはフィードバック抵抗 $R_{2 f}$ およびフィードバックキャパシタ $C_{2 f}$ を備えている。一方で、フィードバック抵抗 $R_{1 f}$ とキャパシタ $C_{1 f}$ 並びにフィードバック抵抗 $R_{2 f}$ とフィードバックキャパシタ $C_{2 f}$ は、それぞれ並列に接続されている。フィードバックキャパシタ $C_{1 f}$ および $C_{2 f}$ はゲート酸化膜キャパシタである。

【 0 0 2 6 】

電圧制御手段は、非線形ゲート酸化膜キャパシタ $C_{1 f}$ および $C_{2 f}$ の容量がバイアス

10

20

30

40

50

電圧に信号電圧を足した印加電圧（図3参照）にほとんど依存しないバイアス範囲内において非線形ゲート酸化膜キャパシタ C_{1f} および C_{2f} を動作させるのに十分なDCバイアス電圧をその非線形ゲート酸化膜キャパシタ C_{1f} および C_{2f} に印加するために、メイン演算増幅器2の出力共通モード電圧と入力共通モード電圧との間の電圧差を供給するように演算増幅器2に接続されている。電圧制御手段は、一定のDC共通モード電圧をメイン演算増幅器2の入力/出力へ供給するように適合されている。

【0027】

図2のロウパスフィルタ回路において、電圧制御手段は、ゲート酸化膜キャパシタ C_{1f} および C_{2f} に掛かる所定のDCバイアス電圧を保証するためにメイン演算増幅器2の周辺に設けられる。この構成は、結果的に、線形動作になり、さらに、与えられた領域に対してゲート酸化膜キャパシタ C_{1f} および C_{2f} が可能な限り大きな容量を示すことを確実にする。

【0028】

メイン演算増幅器2の入力および出力における異なる共通モード電圧は、結果的に、抵抗 R_{1f} 、 R_{2f} および R_{1IN} 、 R_{2IN} を通して一定のDC電流となる。一定のDCバイアス電圧 U_C は、図1のロウパスフィルタ回路のために設けられた低減出力電圧を防止する手法で生成され得る。

【0029】

図2の電圧制御手段は、メイン演算増幅器2の共通モード出力電圧を調整するために電圧レギュレータ10を備えている。電圧レギュレータは、レギュレータ演算増幅器12を備え、そのレギュレータ演算増幅器12の1つの入力が入力共通モード出力電圧 CM_{out} によって供給を受け、そのレギュレータ演算増幅器12の他の入力が入力抵抗 R_3 を介してメイン演算増幅器2の1つの出力OPへ接続され、第2の抵抗 R_4 を介してメイン演算増幅器2の他の出力ONへ接続されている。レギュレータ演算増幅器12(OP2)の出力は、第3の抵抗 R_5 を介してメイン演算増幅器2の1つの入力INへ接続され、かつ、第4の抵抗 R_6 を介してメイン演算増幅器2の他の入力IPへ接続されている。第1および第2の抵抗 R_3 、 R_4 は、同一の抵抗値を有し、第3および第4の抵抗 R_5 、 R_6 もまた同一の抵抗値を有する。

【0030】

共通モード出力電圧 CM_{out} はレギュレータ演算増幅器12の反転入力に設けられている。レギュレータ演算増幅器12の非反転入力は、2つの抵抗 R_3 と R_4 との間のノード14においてメイン演算増幅器2の測定済み共通モード出力電圧に接続されている。メイン演算増幅器2の測定済み共通モード出力電圧が CM_{out} と異なる場合には、レギュレータ演算増幅器12は、抵抗 R_5 および R_6 を介してメイン演算増幅器2の入力へ供給される電圧をその出力において発生し、メイン演算増幅器2の共通モード出力電圧を CM_{out} に適合させる（回路ループ1c）。メイン演算増幅器2の共通モード入力電圧は、抵抗 R_{1IN} 、 R_{2IN} ； R_{1f} 、 R_{2f} および抵抗 R_5 および R_6 から成る抵抗ネットワークで設定される。抵抗 R_5 、 R_6 は、図2のロウパスフィルタ回路の差動信号転送機能を決定しない。

【0031】

さらに、図2の電圧制御手段は、所定のDC共通モード電圧をロウパスフィルタ回路の入力へ供給するように適用された図3に示す入力ステージドライバに相当する。入力ステージドライバ回路16は、図1または図2のフィルタ回路の入力IN、IPにそれぞれ接続されたCM、DC電圧源18を備えている。入力信号は、電圧源20、22によって示されているように、CM、DC電圧源18と入力IN、IPとの間において入力ステージ16へ供給される。入力ステージ16は、供給電圧付近のレベルに入力共通電圧を調整する。

【0032】

図4は、本発明による他の実施形態に従ったアナログロウパスフィルタである。図4のメイン演算増幅器32は、チョッピング入力トランジスタ対を有する独立型の対称増幅器

10

20

30

40

50

対 3 2 A、3 2 B から成る。図 4 の実施形態は、キャパシタ C_{31f} および C_{32f} が非線形ゲート酸化膜キャパシタであるという事実にもかかわらず、フィルタ回路の線形性をもたらすメイン演算増幅器 3 2 の周辺に電圧制御手段を設けるというコンセプトを示している。

【 0 0 3 3 】

電圧制御手段は、演算増幅器の共通モード出力電圧を所定の出力共通モード電圧へ調整する電圧レギュレータを備えている。この電圧レギュレータは、レギュレータ演算増幅器 4 2 を備え、そのレギュレータ演算増幅器 4 2 の 1 つの入力が共通モード出力電圧 $C M_{out}$ によって供給を受け、そのレギュレータ演算増幅器 4 2 の他の入力が第 1 の抵抗 R_{33} を介して演算増幅器対 3 2 A、3 2 B の 1 つの出力へ接続され、第 2 の抵抗 R_{34} を介して演算増幅器対 3 2 A、3 2 B の他の出力へ接続されている。レギュレータ演算増幅器 4 2 の出力は、第 3 の抵抗 R_{35} を介して演算増幅器 3 2 A の入力へ接続され、かつ、第 4 の抵抗 R_{36} を介して他の演算増幅器 3 2 B の入力へ接続されている。

10

【 0 0 3 4 】

図 5 は、図 4 の対称的演算増幅器 3 2 A および 3 2 B のより詳細な回路図を示す。図 5 のフィルタ回路は、トランジスタ 5 0 に関するチョッパスイッチ S_{11} 、 S_{13} とトランジスタ 5 2 に関するチョッパスイッチ S_{12} 、 S_{14} を含む 2 つのチョップト入力トランジスタ 5 0、5 2 を備えている。チョッパスイッチ S_{11} 、 S_{12} 、 S_{13} および S_{14} は、周知のチョッパシステム構成でトランジスタ 5 0、5 2 へ接続されている。トランジスタ 5 0 のソースはグランドに接続され、トランジスタ 5 0 のドレインは、チョッパスイッチ S_{13} のゼロコンタクト、増幅トランジスタ 5 4 および電流源 5 6 を通して供給電圧へ接続されている。トランジスタ 5 2 のソースはグランドに接続され、トランジスタ 5 2 のドレインは、チョッパスイッチ S_{14} のゼロコンタクト、増幅トランジスタ 5 8 および電流源 6 0 を通して供給電圧へ接続されている。

20

【 0 0 3 5 】

電圧 V_T は、増幅器 3 2 A、3 2 B の高増幅およびレギュレータ演算増幅器 4 2 を有するフィードバックにより生成される。この電圧 V_T の値は、トランジスタ 5 6、5 2 を再設計することによって、あるいは、電流源 5 6、6 0 を変更することによってほんの僅か変更され得る。

【 0 0 3 6 】

トランジスタ 6 4 と電流源 5 6 との間のノード 6 2 は、増幅器 6 4 を通して増幅器 3 2 A の出力ステージ 6 6 へ接続され、その出力ステージ 6 6 は 2 つのトランジスタ 6 8、7 0 から成る。出力ステージ 6 6 もまた、グランドと供給電圧との間に接続されている。

30

【 0 0 3 7 】

トランジスタ 5 8 と電流源 6 0 との間のノード 8 2 は、増幅器 8 4 を通して演算増幅器 3 2 B の出力ステージ 8 6 へ接続され、その出力ステージ 8 6 は 2 つのトランジスタ 8 8、9 0 から成る。出力ステージ 8 6 もまた、グランドと供給電圧との間に接続される。

【 0 0 3 8 】

入力電圧が所定のレベルに調節された形態を実施化するために、トランジスタ 5 0、5 2 のソースは接地され、フィルタ回路の入力ステージにおける内部電圧 V_T が設けられる。

40

【 0 0 3 9 】

この回路構成によって、内部電圧 V_T およびレギュレータ演算増幅器 4 2 の調整機能は、回路装置を低コストで実施化し、特定の用途において要求される優れた線形性をもたらす。

【 0 0 4 0 】

図 4、図 5 の演算増幅回路は、CMOS 技術で達成され得る。この回路は、入力と出力との差分で一次ロウパス構成 (a first order low pass configuration) において動作し、例えば、GSM レシーバに用いられる多相チャネル選択フィルタ (polyphase channel selection filter) で動作するロウパスフィルタとして適用される。このチャネル選択フ

50

フィルタは、許容できないクロスモジュレーションを発生させることなく、ノイズ、線形性および電流消費に関して要求される性能を初めて達成することを可能としたものである。この有利な演算増幅回路の基礎となるのは、CMOS多相フィルタ回路がこのような好ましい特性を有するように設計され得なかったことなしに、本発明のチョッピング方式である。

【0041】

上記の記載から明らかなように、本発明に従って構成された演算増幅回路は、集積回路、または、一次、二次もしくは三次アクティブフィルタのようにフィルタ回路として使用され得る。集積回路は、非線形キャパシタの使用が所望される、シグマ・デルタコンバータ、レギュレータ、アナログフィルタバンクなどのようなより複雑な回路に使用され得る。

10

【図面の簡単な説明】

【0042】

【図1】本発明による実施形態としてチョッピングされた入力トランジスタ対を備えた演算増幅回路の図。

【図2】図1の演算増幅器を用いたアナログロウパスフィルタ回路の回路図。

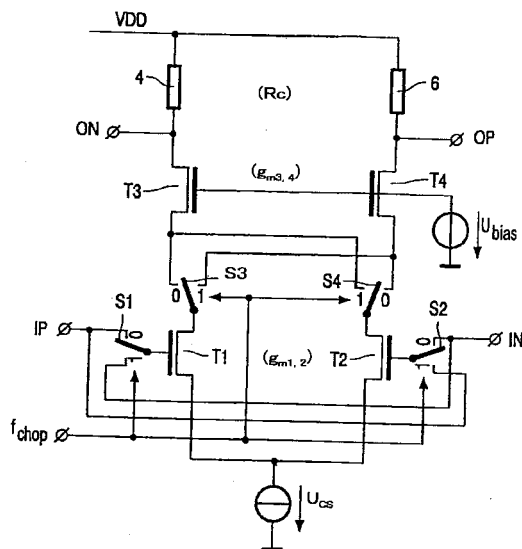
【図3】図2のフィルタ回路の入力ステージにおいてドライバの作用を説明した回路図。

【図4】チョッピングされた入力トランジスタ対を有する2つの独立した増幅器を備えたアナログロウパスフィルタ回路の図。

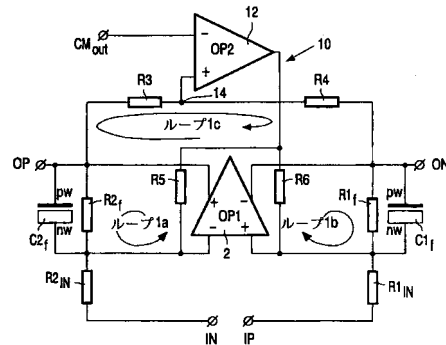
【図5】図4のフィルタ回路のより詳細な回路図。

20

【図1】



【図2】



【図 4】

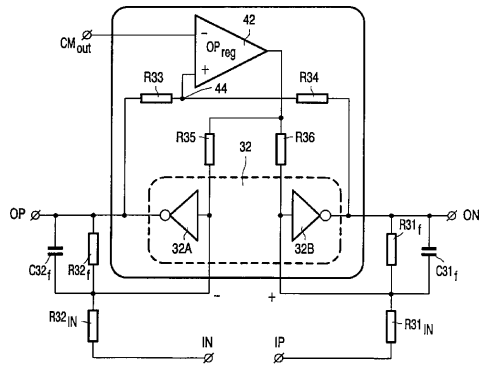


FIG. 4

【図 5】

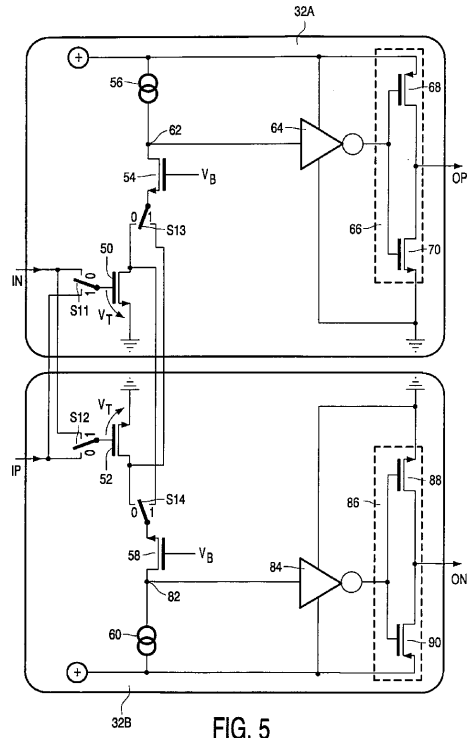


FIG. 5

フロントページの続き

(72)発明者 マーチン、レーベル

オランダ国 5 6 5 6、アーアー、アインドーフエン、プロフ . ホルストラーン、6

審査官 矢島 伸一

(56)参考文献 米国特許第 0 6 3 0 7 4 3 0 (U S , B 1)

米国特許第 0 4 9 4 7 1 3 5 (U S , A)

特開平 0 5 - 1 7 5 7 8 7 (J P , A)

西独国特許出願公開第 0 2 9 3 1 5 2 5 (D E , A)

(58)調査した分野(Int.Cl. , D B 名)

H03F 1/00- 3/45

H03F 3/50- 3/52

H03F 3/62- 3/64

H03F 3/68- 3/72