(19)国家知识产权局

(12)发明专利申请

(10)申请公布号 CN 119694993 A
(43)申请公布日 2025.03.25

(21)申请号 202411653853.5

(22)申请日 2020.06.19

(30)优先权数据
2019-115560 2019.06.21 JP
2020-040801 2020.03.10 JP

(62)分案原申请数据
202010564522.X 2020.06.19

(71)申请人 株式会社村田制作所
地址 日本

(72)发明人 青池将之

(74)专利代理机构 北京集佳知识产权代理有限公司 11227
专利代理师 王海奇

(51)Int.Cl.
H01L 23/367(2006.01)
H01L 23/373(2006.01)
H01L 23/498(2006.01)
H01L 21/48(2006.01)

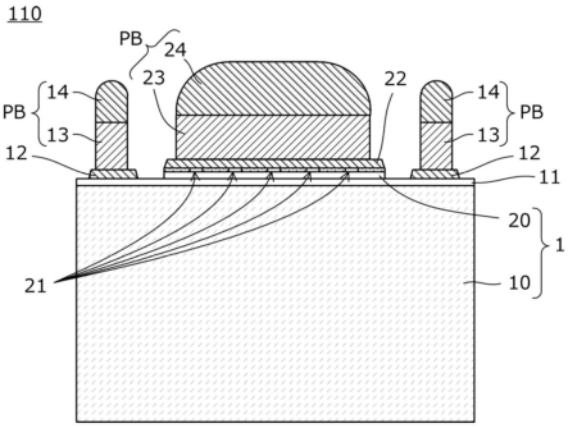
权利要求书1页 说明书12页 附图13页

(54)发明名称

半导体装置

(57)摘要

本发明提供一种适合高散热性、高输出、高集成化的半导体装置及其制造方法。半导体装置(110)具备:基板(1),在上表面具有电路元件以及与该电路元件连接的电极;以及外部连接用的导体柱凸块(PB),设置在该基板(1)上与电极或者电路元件(21)接触并电连接。基板(1)包含第一基材(10)、和配置在该第一基材(10)上的第二基材(20),电路元件(21)以及电极形成于第二基材(20),第一基材(10)的热阻比第二基材(20)的热阻低。



CN 119694993 A

1.一种半导体装置,具备:

基板,在表面具有电路元件以及第二基材侧电极;以及

外部连接用的导体突起部,设置在上述基板上,与上述第二基材侧电极接触并电连接,

上述基板包含:第一基材、以及配置在该第一基材上且材料与上述第一基材不同的第二基材,

上述第二基材具备直接配置在上述第一基材上的半导体基材、以及形成在上述半导体基材表面的外延层,

上述电路元件形成于上述外延层,上述第二基材侧电极形成于上述电路元件,

上述第一基材的热传导率比上述第二基材的热传导率高,

上述第一基材是元素半导体的基材,

上述第二基材是化合物半导体的基材。

2.根据权利要求1所述的半导体装置,其中,

上述电路元件配置在上述第二基材上。

3.根据权利要求1所述的半导体装置,其中,

上述电路元件埋入上述第二基材中而配置。

4.根据权利要求1~3中任意一项所述的半导体装置,其中,

上述第二基材不从上述第一基材的外边缘突出。

5.根据权利要求1~3中任意一项所述的半导体装置,其中,

上述导体突起部配置成在俯视时覆盖上述多个电路元件。

6.根据权利要求1~3中任意一项所述的半导体装置,其中,

具有将上述电路元件产生的热散热的多条散热路径。

半导体装置

[0001] 本申请是申请号为202010564522.X,申请日为2020年6月19,发明名称为“半导体装置及其制造方法”的发明专利申请的分案申请。

技术领域

[0002] 本发明涉及半导体装置,尤其涉及用于高频电路并具有发热部的半导体装置及其制造方法。

背景技术

[0003] 以往,已知有经由凸块将半导体装置安装于安装基板并将凸块作为散热路径来利用的半导体装置。

[0004] 例如在专利文献1中,示出了构成有在化合物半导体基板上并联连接多个单位晶体管而成的异质结双极晶体管(HBT)的化合物半导体装置。这多个单位晶体管排列于化合物半导体基板,凸块与这多个单位晶体管的发射极电连接。

[0005] 专利文献1:日本特开2016—103540号公报

[0006] 在形成有移动体通信、卫星通信等中使用的高频放大电路的MMIC(Monolithic Microwave Integrated Circuit:单片微波集成电路)中,随着近年来的进一步高速/高功能化,由RFFE(RF Front-End)的损失的增加以及功率放大器设备的自发热引起的特性极限成为课题。例如,在双极晶体管中,因其集电极损失而发热,且由于双极晶体管本身的升温,基极-发射极间电压Vbe降低,由此若施加集电极电流增大、Vbe进一步降低这样的正反馈则导致热失控。若MMIC的散热性不高,则在不发生热失控的范围内能够使用的电力受到限制,所以作为其结果,能够运用的电力与MMIC的尺寸处于权衡的关系。

[0007] 另外,由于在RFFE模块中,混合安装使用GaAs基板的功率放大器、使用$LiTaO_3$基板、$LiNbO_3$基板的SAW器件等基板材料不同的器件,所以随着进一步的高性能化/小型化/低成本化,需要不同种类设备的集成化。

发明内容

[0008] 因此,本发明的目的在于提供一种适合高散热性、高输出、高集成化的半导体装置及其制造方法。

[0009] 作为本公开的一个方式的半导体装置具备:基板,在表面具有电路元件以及与该电路元件连接的电极;以及外部连接用的导体突起部,设置在上述基板上,与上述电路元件或者上述电极连接,上述基板包含:第一基材以及配置在该第一基材上且材料与上述第一基材不同的第二基材,上述电路元件以及上述电极形成于上述第二基材,上述第一基材的热传导率比上述第二基材高。

[0010] 作为本公开的一个方式的半导体装置的制造方法,上述半导体装置具备:基板,在表面具有电路元件以及与该电路元件连接的电极;以及外部连接用的导体突起部,设置在该基板上,与上述电路元件或者上述电极接触并电连接,上述基板包含:第一基材以及配置

在该第一基材上的第二基材,上述电路元件以及上述电极形成于上述第二基材,

[0011] 上述半导体装置的制造方法具有:

[0012] 将在表面具有上述电路元件以及上述电极的半导体薄膜隔着剥离层形成于化合物半导体基材的工序;

[0013] 通过蚀刻除去上述剥离层而将上述半导体薄膜从上述化合物半导体基材剥离的工序;

[0014] 将构成上述第二基材的上述半导体薄膜接合在构成上述第一基材的元素半导体基材上的规定位置的工序;以及

[0015] 形成外部连接用的导体突起部的工序,其中上述外部连接用的导体突起部设置在上述第二基材上,并与上述电路元件或者上述电极连接。

[0016] 根据本发明,散热性较高,由此可获得小型并且高输出的半导体装置、或者高输出并且小尺寸的半导体装置。

附图说明

[0017] 图1是第一实施方式的半导体装置110的剖视图。

[0018] 图2的(A)、图2的(B)是表示半导体装置110针对安装基板的安装结构的剖视图。

[0019] 图3的(A)是表示半导体装置110的散热路径的剖视图,图3的(B)是表示比较例的半导体装置的散热路径的剖视图。

[0020] 图4是表示半导体装置110的制造方法的图。

[0021] 图5是作为第一实施方式的变形例的半导体装置111的剖视图。

[0022] 图6是第二实施方式的半导体装置120的剖视图。

[0023] 图7是将半导体装置120安装于安装基板90之后的剖视图。

[0024] 图8的(A)、图8的(B)是第三实施方式的半导体装置的剖视图。

[0025] 图9是第三实施方式的其它半导体装置的剖视图。

[0026] 图10是第四实施方式的半导体装置140的俯视图。

[0027] 图11的(A)是图10中的A—A部分的剖视图,图11的(B)是图10中的B—B部分的剖视图。

[0028] 图12是第五实施方式的半导体装置的制造方法的各工序中的立体图。

[0029] 图13是在半导体薄膜片转印后,通过针对第一基材10的处理形成的半导体装置的局部剖视图。

[0030] 图14是第六实施方式的半导体装置160的剖视图。

[0031] 图15的(A)、图15的(B)是表示半导体装置160的安装结构的剖视图。

[0032] 图16是第七实施方式的半导体装置170的剖视图。

[0033] 图17是作为比较例的将半导体装置安装于安装基板的状态下的剖视图。

[0034] 附图标记说明:PB…导体柱凸块;1…基板;10…第一基材;11…接合层;12…第一基材侧电极;15…平坦化树脂层;16…绝缘体层;20…第二基材;20D…外延层;20N…半导体基材;21…电路元件;22…第二基材侧电极;13、23…导体柱;14、24…焊料层;29…剥离层;30…GaAs基板;32、42…电极;33、43…导体柱;34、44…焊料层;51A、51B…异质结双极晶体管;52…螺旋电感器;53…MIMC;85…抗蚀剂膜;90…安装基板;91、92…安装基板侧电极;

110、111、120、130A、130B、131、140、160、170…半导体装置;200…母基板。

具体实施方式

[0035] 以下,参照附图举出一些具体的例子,示出用于实施本发明的多个方式。在各图中在相同位置标注有相同附图标记。考虑到要点的说明或者理解的容易性,为了便于实施方式的说明,分为多个实施方式来表示,但能够进行在不同的实施方式中示出的结构的局部置换或者组合。在第二实施方式以后,省略有关与第一实施方式共用的事项的描述,仅对不同点进行说明。特别是,对于由相同的结构起到的相同的作用效果不在每个实施方式中依次提及。

[0036] 《第一实施方式》

[0037] 图1是第一实施方式的半导体装置110的剖视图。该半导体装置110具备基板1、与设置在该基板1上的第二基材侧电极22接触并电连接的导体柱23、以及形成在该导体柱23上的焊料层24。该导体柱23以及焊料层24构成导体柱凸块PB。

[0038] 基板1包含第一基材10、和配置在该第一基材10上的第二基材20。在第二基材20形成有多个电路元件21以及对该多个电路元件21施加动作电压或者通电动作电流的电极。第二基材20如后面所示通过其他工序来形成,上述电路元件形成在其外延层上。外延层例如约为3μm,上述电极(布线层)约为10μm。在图1中,电路元件21部所示的突起是与电路元件导通的电极。

[0039] 另外,在本实施方式中,半导体装置110在第一基材10的表面,在不与第二基材20重叠的位置形成有第一基材侧电极12。而且,半导体装置110具备与第一基材侧电极12连接的导体柱13、和形成在该导体柱13上的焊料层14。该导体柱13以及焊料层14构成导体柱凸块PB。

[0040] 上述导体柱凸块PB相当于本发明的外部连接用的“导体突起部”。

[0041] 在本例中,第一基材10是包含GaAs、AlAs、InAs、InP、GaP、InSb、GaN、InN、AlN、Si、Ge、SiC、Ga_2O_3、DLC(Diamond-Like Carbon:类钻碳)、Graphite、Diamond、Glass、Sapphire、Al_2O_3中的任意一个的材料或者由这些材料中的多个材料构成的多组分混合晶体材料。另外,第二基材20是包含GaAs、AlAs、InAs、InP、GaP、InSb、GaN、InN、AlN、SiGe、SiC、Ga_2O_3、GaBi中的任意一个的材料或者由这些材料中的多个材料构成的多组分混合晶体材料。但是,为第一基材10选定的材料和为第二基材20选定的材料不同,第一基材10和第二基材20的制造工序不同。基本上,第二基材20例如为可获得放大率、截止频率等规定的电特性的材料,另外,第一基材10选定为热传导率比第二基材20高的关系。这些在以下所示的其它的实施方式中也相同。

[0042] 在本实施方式中,第一基材10是Si基材,第二基材20是GaAs基材。Si基材的热传导率为156,GaAs基材的热传导率为46。上述电路元件21例如是由多个单位晶体管并联连接而成的异质结双极晶体管(HBT),通过针对第二基材20亦即GaAs基材的工序而形成。上述导体柱凸块PB与多个单位晶体管的发射极电连接。多个单位晶体管在第一方向(图1中的左右方向)上排列,导体柱凸块PB沿第一方向延伸而配置。

[0043] 第二基材20经由接合层11与第一基材10接合。接合层11例如为Au膜。

[0044] 上述导体柱13、23是Cu镀膜,焊料层14、24是SnAg合金的膜。

[0045] 图2的(A)、图2的(B)是表示上述半导体装置110相对于安装基板的安装结构的剖视图。图2的(A)是对安装基板90安装半导体装置110的前阶段的剖视图,图2的(B)是将半导体装置110安装于安装基板90之后的剖视图。

[0046] 在安装基板90形成有安装基板侧电极91、92。半导体装置110通过将其焊料层14、24与安装基板侧电极91、92对准并加热加压,如图2的(B)所示,半导体装置110的焊料层14、24与安装基板侧电极91、92连接。

[0047] 在这里,示出作为比较例的半导体装置的结构。图17是将作为比较例的半导体装置安装于安装基板的状态下的剖视图。该比较例的半导体装置在GaAs基板30上形成有电路元件。在GaAs基板30的表面形成有电极32、42,并在电极42上形成有导体柱43以及焊料层44,并在电极32上形成有导体柱33以及焊料层34。而且,该半导体装置的焊料层34、44与安装基板侧电极91、92分别连接。

[0048] 此外,如图1所示,焊料层24和焊料层14的高度相差第二基材20的厚度的量,该程度的高度的差异被焊料层14、24吸收。

[0049] 参照图3的(A)、图3的(B),对上述比较例的半导体装置和第一实施方式的半导体装置110的散热性进行说明。

[0050] 在作为比较例的半导体装置中,如图3的(B)所示,如用虚线的箭头表示的那样,在电路元件中产生的热经由电极42、导体柱43、焊料层44散热(排热)至安装基板侧电极92以及安装基板90。

[0051] 另一方面,在本实施方式的半导体装置110中,如图3的(A)所示,如用虚线的箭头表示的那样,经由3个热传导路径来散热。第一热传导路径是将电路元件产生的热经由第二基材侧电极22、导体柱23、焊料层24而散热(排热)至安装基板侧电极92以及安装基板90的路径。第二热传导路径是将电路元件产生的热散热(排热)至第一基材10的路径。第一基材10是Si基材,其热传导率为156[W/cm K],GaAs基板30的热传导率为46[W/cm K],第一基材10的热传导率比第二基材20的热传导率高。因此,第一基材10作为高效率的热放射体发挥作用。第三热传导路径是将在电路元件中产生的热经由第一基材10、第一基材侧电极12、导体柱13、焊料层14而散热(排热)至安装基板侧电极91以及安装基板90的路径。像这样由于第一基材10作为热传导路径发挥作用,所以导体柱13、焊料层14以及安装基板侧电极91也作为热传导路径发挥作用。

[0052] 像这样构成的本实施方式的半导体装置110起到如下的效果。

[0053] 首先,通过形成3个散热路径来获得较高的散热性。如此,被上述HBT的自发热限制的RF特性(输出电力Pout、电力附加效率PAE)得到改善。换句话说,获得小型并且高输出的半导体装置。或者,获得高输出并且小尺寸的半导体装置。

[0054] 另外,第二基材是化合物半导体的基材,从而提高其电绝缘性,并且能够设置高频特性优异的电路。

[0055] 另外,由于第二基材20比第一基材10薄,所以可获得第一基材10的较高的散热效果。

[0056] 另外,由于形成于第二基材20的电路元件21是在动作时发热的发热体,导体柱凸块PB设置于作为发热体的电路元件21的附近,由导体柱凸块构成较短的热传导路径,电路元件21产生的热经由导体柱凸块PB高效地散热。

[0057] 另外,由于第二基材20不从第一基材10的外边缘突出(比第一基材10小面积),所以包含第一基材10和第二基材20的基板1整体的热阻较低,得到来自第一基材10的较高的散热效果。

[0058] 另外,由于在第一基材10的不与第二基材20重叠的位置的表面形成有第一基材侧电极12,导体柱凸块PB与第一基材侧电极12连接,所以获得来自与第一基材侧电极12连接的导体柱凸块PB的散热效果。另外,经由该导体柱凸块PB,朝向作为安装目的地的电路基板的热传导效率提高,电路基板上的散热性也提高。

[0059] 接下来,例示半导体装置110的制造方法。图4是表示半导体装置110的制造方法的图。图4中的(1)~(7)的图是半导体装置110的制造中途阶段中的剖视图,(8)是完成后的半导体装置110的剖视图。实际的制造以晶片为单位来进行,但在图4中,图示出单一的半导体装置。

[0060] 首先,如图4中的(1)所示,在由Si基材构成的第一基材10的表面,使用通常的半导体工序,形成作为接合层11的Au膜。

[0061] 接下来,如(2)所示,在接合层11上接合第二基材20。在第二基材20上已经通过其他工序形成有电路元件以及电极。

[0062] 接下来,如(3)所示,通过通常的半导体工序,在第二基材20上形成第二基材侧电极22,另外,在接合层11上形成第一基材侧电极12。

[0063] 接下来,如(4)所示,在应形成导体柱13以及焊料层14(图1、图2的(A))的区域形成具有开口的抗蚀剂膜85。电极12、22在抗蚀剂膜85的开口内露出。

[0064] 之后,如(5)(6)所示,在从抗蚀剂膜85的开口内露出的电极12、22上,通过电镀法堆积导体柱13、23以及焊料层14、24。导体柱13、23由Cu形成,其厚度例如为40μm。像这样,形成CPB(Copper Pillar Bump:铜柱凸块)。焊料层14、24由SnAg合金形成,其厚度例如为30μm。

[0065] 之后,如(7)所示,除去抗蚀剂膜85,最后,通过进行回流处理,使焊料层14、24熔融,之后使其固化,得到(8)所示的半导体装置110。

[0066] 根据上述制造方法,由于第二基材20是半导体薄膜,所以得到低背且散热性较高的(热传导率较高的)半导体装置。

[0067] 此外,在图1~图4所示的例子中,作为接合层11形成了Au膜,但例如也能够使用Pt膜、Pd膜等其他金属膜。优选该接合层11的热传导率比第二基材20的热传导率高。由此,第二基材20的热经由接合层11高效地排热至第一基材10。例如,作为第二基材20的GaAs基材的热传导率是46[W/mK],相对于此,Au膜的热传导率为319[W/m K]、Pt膜的热传导率为70[W/m K]、Pd膜的热传导率为70[W/mK],均比第二基材20的热传导率高。

[0068] 另外,更为优选接合层11的弹性率比第二基材20的弹性率低。在第一基材10与第二基材20的线膨胀系数上存在差,根据温度变化,产生由线膨胀系数的差引起的热应力。但是,通过接合层11的弹性率比第二基材20的弹性率低,上述热应力减少。由此,能够确保经由接合层11的第一基材10与第二基材20的实际的接合强度。例如,GaAs基材的弹性率为85.5[GPa],相对于此,Au膜的弹性率为78[GPa]、Al膜的弹性率为68.3[GPa]、In膜的弹性率为10.8[GPa],均比第二基材20的弹性率低。

[0069] 在接合层11为金属的情况下,优选在接合层11与第二基材20之间,形成接合层11

与第二基材20的合金化层。由此,得到更高的紧贴性和更高的热传导作用。

[0070] 上述接合层11例如可以是由聚酰亚胺(PI)膜、聚苯并恶唑(PBO)、苯并环丁烯(BCB)等有机材料构成的电介质。优选该接合层11的介电常数比第二基材20的介电常数低。作为形成于第二基材20的电路元件的高频特性,具有高频信号的传送损失特性,若接合层11的介电常数比第二基材20的介电常数高,则根据接合层11的接近,电路元件的高频信号的传送损失特性降低。若接合层11的介电常数比第二基材20的介电常数低,则避免该传送损失特性的降低。例如,作为第二基材20的GaAs基材的相对介电常数为12.9,相对于此,聚酰亚胺(PI)的介电常数为3.3、聚苯并恶唑(PBO)的介电常数为2.9、苯并环丁烯(BCB)的介电常数为2.7,均比第二基材20的介电常数低。

[0071] 此外,优选接合层11的介电损耗正切比第二基材20的介电损耗正切小。若接合层11的介电损耗正切较大,则接合层11的高频损失增大。若接合层11的介电损耗正切比第二基材20的介电损耗正切小,则避免该高频损失的增加。例如,作为第二基材20的GaAs基材的介电损耗正切为0.3,相对于此,聚酰亚胺(PI)的介电损耗正切为0.0020、聚苯并恶唑(PBO)的介电损耗正切为0.0100、苯并环丁烯(BCB)的介电损耗正切为0.0008,均比第二基材20的介电损耗正切小。

[0072] 另外,在接合层11为有机材料的情况下,也优选接合层11的弹性率比第二基材20的弹性率低。由此,能够确保经由接合层11的第一基材10与第二基材20的实际的接合强度。例如,GaAs基材的弹性率为85.5[GPa],相对于此,聚酰亚胺(PI)的弹性率为2.5、聚苯并恶唑(PBO)的弹性率为2.8、苯并环丁烯(BCB)的弹性率为2.1,均比第二基材20的弹性率低。

[0073] 进一步,上述接合层11可以是AlN、SiC、钻石等绝缘体。优选该接合层11的电阻率比第一基材10的电阻率高。若接合层11的电阻率比第一基材10的电阻率高,则可抑制在接合层11以及第一基材10中流动的感应电流、涡流,所以能够维持形成于第二基材20的电路元件的良好的高频特性。

[0074] 另外,在接合层11为绝缘体的情况下,也优选接合层11的热传导率比第一基材10的热传导率高。由此,第二基材20的热经由接合层11高效地排热至第一基材10。例如,作为第一基材10的Si基材的热传导率为156[W/cmK],相对于此,AlN膜的热传导率为170[W/cmK]、SiC膜的热传导率为270[W/cmK]、钻石膜的热传导率为2000[W/cmK],均比第一基材10的热传导率高。

[0075] 接下来,示出第一实施方式的变形例。图5是作为该变形例的半导体装置111的剖视图。该半导体装置111不具备图1所示的接合层11。第二基材20与第一基材10直接接合。该接合基于范德华键或者氢键。此外,也可以通过静电力、共价键、共晶合金键等接合。

[0076] 第一基材侧电极12直接形成于第一基材10的上表面,并在该第一基材侧电极12上,形成有由导体柱13以及焊料层14构成的导体柱凸块PB。

[0077] 像这样,也可以将第二基材20不经由接合层接合于第一基材10。

[0078] 《第二实施方式》

[0079] 在第二实施方式中,示出导体突起部的结构与第一实施方式不同的半导体装置。

[0080] 图6是第二实施方式的半导体装置120的剖视图。与图1所示的例子不同,不具备第一基材侧电极12、以及与该第一基材侧电极12连接的外部连接用的导体突起部(导体柱13以及焊料层14)。

[0081] 图7是将半导体装置120安装于安装基板90之后的剖视图。在安装基板90上,形成有安装基板侧电极92。半导体装置120通过将其导体柱凸块PB与安装基板侧电极92对准,并加热加压,从而焊料层24与安装基板侧电极92连接。

[0082] 即使是这样的结构,也如图中的虚线的箭头表示的那样,从发热部向两个方向散热(排热)。

[0083] 《第三实施方式》

[0084] 在第三实施方式中,例示具备平坦化树脂层的几个半导体装置。

[0085] 图8的(A)、图8的(B)是第三实施方式的半导体装置130A、130B的剖视图。这些半导体装置130A、130B具备第一基材10、和配置在该第一基材10上的第二基材20。第二基材20具备化合物半导体的半导体基材20N和形成于其表面的外延层20D。在外延层20D上形成有多个电路元件21。

[0086] 在外延层20D的上表面,形成有与电路元件21导通的第二基材侧电极22。在第一基材10以及第二基材20的表面形成有平坦化树脂层15。在第二基材侧电极22的上部,形成有基于导体柱23以及焊料层24的导体柱凸块PB。

[0087] 在图8的(B)所示的例子中,在第一基材10的上表面形成有接合层11,第二基材20经由接合层11与第一基材10接合。

[0088] 图9是第三实施方式的其它半导体装置131的剖视图。该半导体装置131具备第一基材10、和配置在该第一基材10上的第二基材20。在第二基材20上构成有多个电路元件。在第一基材10的上表面形成有接合层11。在接合层11以及第二基材20的表面形成有平坦化树脂层15。在第一基材侧电极12的上部,形成有由导体柱13以及焊料层14构成的导体柱凸块PB。

[0089] 上述平坦化树脂例如是聚酰亚胺(PI)膜、聚苯并恶唑(PBO)、苯并环丁烯(BCB)等。像这样,通过在第一基材10以及第二基材20的表面形成平坦化树脂层15,从而容易形成相对较厚的导体柱23以及焊料层24。另外,第一基材10以及第二基材20的表面被重新钝化。

[0090] 《第四实施方式》

[0091] 在第四实施方式中,例示在多个位置具备外部连接用的导体突起的一个半导体装置。

[0092] 图10是第四实施方式的半导体装置140的俯视图。另外,图11的(A)是图10中的A—A部分的剖视图,图11的(B)是图10中的B—B部分的剖视图。

[0093] 本实施方式的半导体装置140在多个导体柱上形成有焊料层14、24。如图10、图11的(A)所示,在半导体装置140的规定位置,形成有由多个单位晶体管分别排列在图10中的左右方向上且并联连接的异质结双极晶体管(HBT)51A、51B。在该HBT51A、51B的上部形成有基于导体柱23以及焊料层24的导体柱凸块PB。该HBT51A、51B、导体柱23以及焊料层24的结构如在第一实施方式中所示。

[0094] 在2个HBT51A、51B的两侧,形成有基于导体柱13以及焊料层14的导体柱凸块PB。

[0095] 如图10所示,上述导体柱凸块PB也形成于A—A剖面以外的部分。这些导体柱凸块PB配置于上述HBT51A、51B的附近。通过该结构,HBT51A、51B产生的热被高效地散热。

[0096] 在半导体装置140,除了上述HBT51A、51B以外,还通过由螺旋状导体图案构成的电感器、由隔着电介质层对置的电极构成的电容器以及由电阻器膜的图案构成的电阻元件等

构成LCR电路。

[0097] 如图10以及图11的(B)所示,在第一基材10的表面形成有接合层11,在该接合层11的表面的规定位置形成有绝缘体层16。在该绝缘体层16的表面形成有螺旋电感器52。在该螺旋电感器52的邻接位置,形成有由导体柱13以及焊料层14构成的导体柱凸块PB。另外,在图10、图11的(B)所示的半导体装置140的规定位置,形成有MIMC(Metal-Insulator-Metal-Capacitor:金属绝缘子金属电容器)53。而且,在该MIMC53的邻接位置,形成有基于导体柱13以及焊料层14的导体柱凸块PB。

[0098] 《第五实施方式》

[0099] 在第五实施方式中,示出第二基材的制造方法、以及针对第一基材的第二基材的接合方法。

[0100] 图12是第五实施方式的各工序中的立体图。实际的制造以晶片为单位来进行,但在图12中,图示出单一的半导体装置。

[0101] 如图12中(1)所示,首先,在作为化合物半导体基材的母基板200形成剥离层29,并在该剥离层29的上部通过外延生长法形成半导体薄膜,并在该半导体薄膜,形成多个电路元件以及与该电路元件连接的电极。该部分是后面的第二基材20。

[0102] 接下来,如(2)所示,通过进行选择性地仅蚀刻剥离层29的处理,将第二基材20(半导体薄膜片)从母基板200剥离。

[0103] 如(3)所示,通过单独工序,在第一基材10形成接合层11,如(4)所示,通过将第二基材20加压并紧贴于接合层11表面,将第二基材20接合(结合)于第一基材10。换句话说,将半导体薄膜片从母基板200转印至第一基材10。例如,接合层11的Au通过扩散至第二基材的GaAs并共晶化而接合。

[0104] 向上述第二基材20的电路元件以及电极的形成不光是(1)所示的阶段,也可以如(4)所示,在将第二基材20与第一基材10接合之后,通过针对第二基材20的工序(光刻/蚀刻工序)来进行。

[0105] 上述半导体薄膜片的剥离以及转印的方法能够应用在专利第5132725号中公开的方法。换句话说,如图12中(2)所示,在将第二基材20(半导体薄膜片)从母基板200剥离时,在第二基材20被支承体支承的状态下,从母基板200剥离。另外,如图12中(3)所示,在将第二基材20向第一基材10接合时,在被上述支承体支承的状态下进行。在图12中的(2)、(3)中,为了第二基材20的明确表示,省略了支承体的图示。

[0106] 图13是在转印上述半导体薄膜片之后,通过针对第一基材10的处理而形成的半导体装置的局部剖视图。第二基材20具备半导体基材20N、和形成于其表面的作为双极晶体管的电路元件21。在第二基材20的上部形成有第二基材侧电极22。在本例中,第二基材侧电极22是发射极布线。在第一基材的接合层11以及第二基材20的表面形成有平坦化树脂层15。

[0107] 在作为上述发射极布线的第二基材侧电极22,形成有由导体柱23以及焊料层24构成的导体柱凸块PB。

[0108] 半导体基材20N、外延层20D的厚度均为数μm。例如,半导体基材20N为1μm,外延层20D为3μm。以往,在引线键合至化合物半导体元件的情况下,作为半导体基材20N以及外延层20D的总厚度需要75μm以上,但在本实施方式中,由于附加在第一基材10的上部的第二基材20的厚度仅为数μm,所以能够构成整体上非常薄型(低背)的半导体装置。

[0109] 《第六实施方式》

[0110] 在第六实施方式中,示出在接合第一基材10和第二基材20的接合层的结构上具有特征的半导体装置。

[0111] 图14是第六实施方式的半导体装置160的剖视图。该半导体装置160具备第一基材10、和配置在该第一基材10上的第二基材20。第二基材20具备化合物半导体的半导体基材和形成于其表面的外延层,并在外延层形成有多个电路元件21。在本例中,第一基材10是Si基材,第二基材20是GaAs基材。

[0112] 在第一基材10与第二基材20之间设置有接合层19。换句话说,第一基材10与第二基材20经由接合层19接合。在接合层19的表面形成有第一基材侧电极12。在第二基材20的表面形成有第二基材侧电极22。在第一基材10以及第二基材20的表面形成有平坦化树脂层15。在第一基材侧电极12的上部,形成有由导体柱13以及焊料层14构成的导体柱凸块PB。在第二基材侧电极22的上部,形成有由导体柱23以及焊料层24构成的导体柱凸块PB。

[0113] 接合层19是包含绝缘体层17和金属层18的复合材料层。绝缘体层17例如是SiO_2膜、SiN膜等Si化合物层、或者聚酰亚胺(PI)膜等树脂的层。金属层18例如是Cu膜或者Al膜。接合层19是3层结构。

[0114] 该接合层19在第一基材10的表面形成有作为第一层的绝缘体层17,在该绝缘体层17的表面形成有作为第二层的金属层18,在该金属层18的表面形成有作为第三层的绝缘体层17。金属层18被图案化,并在第二基材20的附近、和第一基材侧电极12的附近分别形成有金属层18的图案。

[0115] 像这样,由于接合层19是包含绝缘体层17和金属层18的复合材料层,接合层19缓和根据第一基材10与第二基材20的线膨胀系数的差异而产生的应力。第一基材10、第二基材20以及接合层19的线膨胀系数如下。例如,作为第一基材10的Si基材的线膨胀系数为2.60[ppm/℃],作为第二基材20的GaAs基材的线膨胀系数为5.73[ppm/℃],相对于此,基于氮氧化硅膜(TEOS)的SiO_2膜的线膨胀系数为0.57[ppm/℃],SiN膜的线膨胀系数为2.30[ppm/℃],线膨胀系数比第一基材10、第二基材20低。另外,作为金属层18的Cu膜的线膨胀系数为17.0[ppm/℃],线膨胀系数比第一基材10、第二基材20高。因此,接合层19的线膨胀系数为第一基材10的线膨胀系数与第二基材20的线膨胀系数的中间的值,第二基材20与第一基材10的界面上的应力被缓和。

[0116] 若绝缘体层17为SiO_2膜、SiN膜等Si化合物层,则易于对第一基材10形成绝缘体层17,并且能够提高第一基材10与绝缘体层17的接合强度。

[0117] 也可以绝缘体层17中的仅最上层为树脂层。像这样,在绝缘体层17的至少一部分为基于树脂膜的层的情况下,不论上述线膨胀系数的大小关系如何,上述应力都会被绝缘体层17的柔软性吸收。另外,在接合层19内的金属层18与绝缘体层17之间产生的应力也能够被绝缘体层17缓和。

[0118] 此外,第二基材20因形成于该第二基材20的电路元件21的发热及停止而膨胀及收缩,但该膨胀及收缩比从电路元件21分离的第一基材10的膨胀及收缩严。即使第一基材10、第二基材20以及接合层19的线膨胀系数不是上述关系,该趋势也相同。根据本实施方式,由于存在接合层19,从而缓和了第二基材20与第一基材10的界面处的应力。

[0119] 图15的(A)、图15的(B)示出半导体装置160的安装结构的剖视图。图15的(A)是将

半导体装置160安装于安装基板90之前阶段的剖视图,图15的(B)是将半导体装置160安装于安装基板90之后的剖视图。

[0120] 在安装基板90形成有安装基板侧电极91、92。半导体装置160通过将其焊料层14、24与安装基板侧电极91、92对准,并加热加压,如图15的(B)所示,半导体装置160的焊料层14、24与安装基板侧电极91、92连接。

[0121] 像这样,形成于第二基材侧电极22的导体柱凸块PB作为将形成于第二基材20的电路元件21与安装基板的电路连接的端子发挥作用。另外,形成于该第二基材侧电极22的导体柱凸块PB也作为将形成于第二基材20的电路元件21产生的热向安装基板散热的散热用的凸块发挥作用。

[0122] 接合层19内的金属层18提高接合层19的热传导性。因此,形成于第二基材20的电路元件21产生的热也经由接合层19散热至第一基材10。另外,由于接合层19内的金属层18提高向接合层19的面方向(横向)的热传导性,所以电路元件21产生的热也经由第一基材侧电极12的附近的金属层18,并经由形成于第一基材侧电极12的导体柱凸块PB散热至安装基板90。另外,电路元件21产生的热也经由第一基材侧电极12的附近的金属层18散热至第一基材10。

[0123] 此外,在图14所示的剖面上,金属层18虽然是独立的存在,但也可以与第一基材侧电极12连接。另外,也可以与形成于第一基材10的电路连接。

[0124] 《第七实施方式》

[0125] 在第七实施方式中,示出在接合第一基材10和第二基材20的接合层的结构上具有特征的半导体装置。

[0126] 图16是第七实施方式的半导体装置170的剖视图。该半导体装置170具备第一基材10、和配置在该第一基材10上的第二基材20。接合层19的结构与在第六实施方式中在图14示出的例子不同。其他的结构如第六实施方式所示。

[0127] 接合层19是包含绝缘体层17和金属层18的复合材料层。绝缘体层17例如是SiO_2膜、SiN膜等Si化合物层、或者聚酰亚胺(PI)膜等树脂的层。金属层18例如是Cu膜或者Al膜。接合层19是5层结构。与图14所示的例子相同,金属层18的图案分别形成于第二基材20的附近、和第一基材侧电极12的附近。

[0128] 接合层19通过以下的工序而形成。

[0129] (1)在第一基材10的表面,形成作为第一层的绝缘体层17。

[0130] (2)在该绝缘体层17的表面形成作为第二层的金属层18A。

[0131] (3)在该金属层18的表面形成作为第三层的绝缘体层17。

[0132] (4)在该绝缘体层17的规定位置(下层的金属层18A的形成位置)形成开口。

[0133] (5)在绝缘体层17上形成金属层18C,并且在上述开口内形成金属层18B。

[0134] (6)形成作为最上层的绝缘体层17。

[0135] 根据本实施方式,由于金属层18为多层结构,所以即使加厚接合层19的厚度,也将接合层19的热阻保持得较低。因此,电路元件21的散热性较高。另外,由于接合层19的热容量增大,所以即使有电路元件21的突然的发热,其温度上升抑制效果也较高。

[0136] 此外,与在第六实施方式中叙述的相同,金属层18也可以与第一基材侧电极12连接。另外,金属层18也可以与形成于第一基材10的电路连接。

[0137] 对于每个实施方式的结构以及作用效果,如以上所示,若列举在实施方式中公开的方式,则如下:

[0138] 作为本公开的一个方式的半导体装置具备:基板1,在表面具有电路元件21以及与该电路元件连接的电极;以及外部连接用的导体柱凸块PB,设置在该基板1上并与电极或者电路元件21连接,基板1包含第一基材10、以及配置在该第一基材10上且材料与第一基材10不同的第二基材20,电路元件21以及电极形成于第二基材20,第一基材10的热传导率比第二基材20的热传导率高。

[0139] 通过上述结构,经由导体柱凸块PB以及第一基材10散热。换句话说通过形成从两个面的散热路径,可获得较高的散热性。另外,由于电路元件设置在形成于不受热传导率的高低的限制的第二基材20的半导体区域,所以构成有效地利用第二基材20的物理特性的电路,并且可维持第一基材10的较高的散热性。

[0140] 作为本公开的一个方式的半导体装置,第一基材10是元素半导体的基材,第二基材20是化合物半导体的基材。像这样,由于第一基材10是元素半导体的基材,所以通过经由第一基材10的散热,在整体上获得较高的散热性。另外,通过第二基材20是化合物半导体的基材,所以能够提高其电绝缘性,能够设置高频特性优异的电路。

[0141] 作为本公开的一个方式的半导体装置的第二基材20比第一基材10薄。由此,获得第一基材10的较高的散热效果。

[0142] 作为本公开的一个方式的半导体装置的电路元件21是在动作时发热的发热体,导体柱凸块PB设置在作为发热体的电路元件21的附近。通过该结构,通过导体柱凸块PB构成较短的热传导路径,在电路元件21中产生的热经由导体柱凸块PB被高效地散热。

[0143] 作为本公开的一个方式的半导体装置的第二基材20不从第一基材10的外边缘突出。通过该结构,包含第一基材10和第二基材20的基板的热阻变得更低,并获得从第一基材10的较高的散热效果。

[0144] 作为本公开的一个方式的半导体装置在第一基材10与第二基材20之间,具备接合第一基材10和第二基材20的接合层11,该接合层11是热传导率比第二基材20高的金属。通过该结构,确保从第二基材20向第一基材10的热传导性,并维持第一基材10的散热(排热)性。另外,确保从第一基材10经由接合层11的散热性。换句话说,从第一基材10的散热性不会被接合层11阻碍。

[0145] 作为本公开的一个方式的半导体装置的接合层11是金属,并且弹性率比第二基材20低。通过该结构,能够缓和由于第一基材10和第二基材20的线膨胀系数的差异而产生的热应力。

[0146] 作为本公开的一个方式的半导体装置的接合层11是金属,并在接合层11与第一基材10之间,形成该接合层11与第一基材10的合金化层。通过该结构,获得第一基材10与第二基材20的较高的紧贴性以及较高的热传导性。

[0147] 作为本公开的一个方式的半导体装置在第一基材10与第二基材20之间具备接合层11,该接合层11是介电常数比第二基材20低的电介质。通过该结构,能够抑制第一基材10的高频损失,并能够设置高频特性优异的电路。

[0148] 作为本公开的一个方式的半导体装置的接合层11是电介质,并且弹性率比第二基材20低。通过该结构,缓和由于第一基材10和第二基材20的线膨胀系数的差异而产生的热

应力。

[0149] 作为本公开的一个方式的半导体装置在第一基材10与第二基材20之间具备接合层11,该接合层11是电阻率比第一基材10高的绝缘体。由此,第一基材10与第二基材20之间的电绝缘性提高,并抑制基于第一基材10的高频损失,并能够设置高频特性优异的电路。

[0150] 作为本公开的一个方式的半导体装置的接合层11的热传导率比第一基材10高。由此,由接合层11和第一基材10构成的部分的实效上的热阻变低,并获得较高的散热性。

[0151] 作为本公开的一个方式的半导体装置在第一基材10与第二基材20之间具备接合层19,该接合层19是包含绝缘体层17和金属层18的复合材料层。由此,能够缓和由于第一基材10和第二基材20的线膨胀系数的差异而产生的第一基材10与第二基材20之间的应力。另外,由于形成于第二基材20的电路元件21的发热及停止,第二基材20的膨胀及收缩比第一基材10严重,但由此产生的第二基材20与第一基材10的界面处的应力被缓和。

[0152] 作为本公开的一个方式的半导体装置的第一基材10是Si基材,接合层19内的绝缘体层17是Si化合物层。由此,易于对第一基材10形成绝缘体层17,并且能够提高第一基材10与绝缘体层17的接合强度。

[0153] 作为本公开的一个方式的半导体装置的绝缘体层17的至少一部分为树脂。由此,能够通过绝缘体层17缓和在接合层19内的金属层18与绝缘体层17之间产生的应力。

[0154] 作为本公开的一个方式的半导体装置在第一基材10的不与第二基材20重叠的位置的表面形成第一基材侧电极12,导体柱凸块PB与第一基材侧电极12连接。通过该结构,获得从与第一基材侧电极12连接的导体柱凸块PB的散热效果。另外,经由该导体柱凸块PB,向作为安装目的地的电路基板的热传导效率提高,电路基板上的散热性也提高。

[0155] 作为本公开的一个方式的半导体装置的制造方法,上述半导体装置具备:基板1,在表面具有电路元件21以及与该电路元件21连接的电极;以及外部连接用的导体柱凸块PB,设置在该基板1上并与电极或者电路元件21接触并电连接,基板1包含第一基材10、和配置在该第一基材10上的第二基材20,电路元件21以及电极形成于第二基材20,半导体装置的制造方法具有:隔着剥离层29在化合物半导体的母基板200形成表面具有电路元件21以及电极的半导体薄膜的工序;通过蚀刻除去剥离层29来将半导体薄膜从化合物半导体基材的母基板200剥离的工序;将构成第二基材20的半导体薄膜接合在构成第一基材10的元素半导体基材亦即第一基材10上的规定位置的工序;以及形成设置在第二基材20上,与电极或者电路元件21连接的外部连接用的导体柱凸块PB的工序。

[0156] 根据上述制造方法,能够获得小型且高输出的半导体装置、或者高输出且小尺寸的半导体装置。

[0157] 最后,上述的实施方式的说明在全部的点是例示,并不是限制性的内容。对本领域技术人员来说能够适当地进行变形以及变更。本发明的范围不是通过上述的实施方式来表示,而是通过权利要求书来表示。进一步,在本发明的范围内,包含从与权利要求书等同的范围内的实施方式的变更。

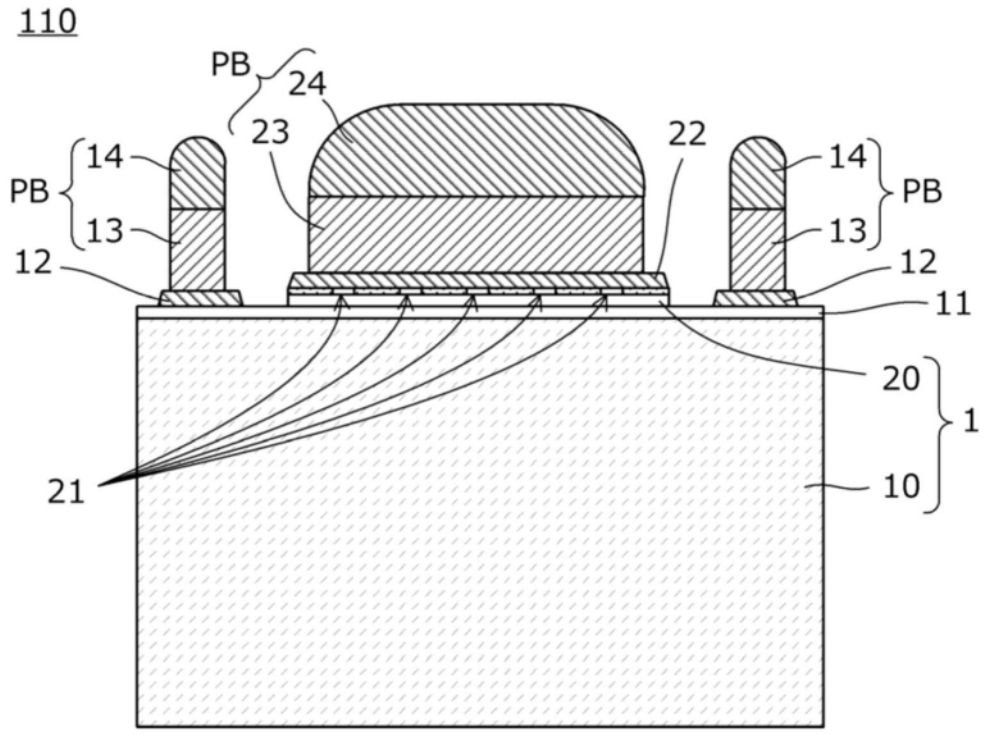


图1

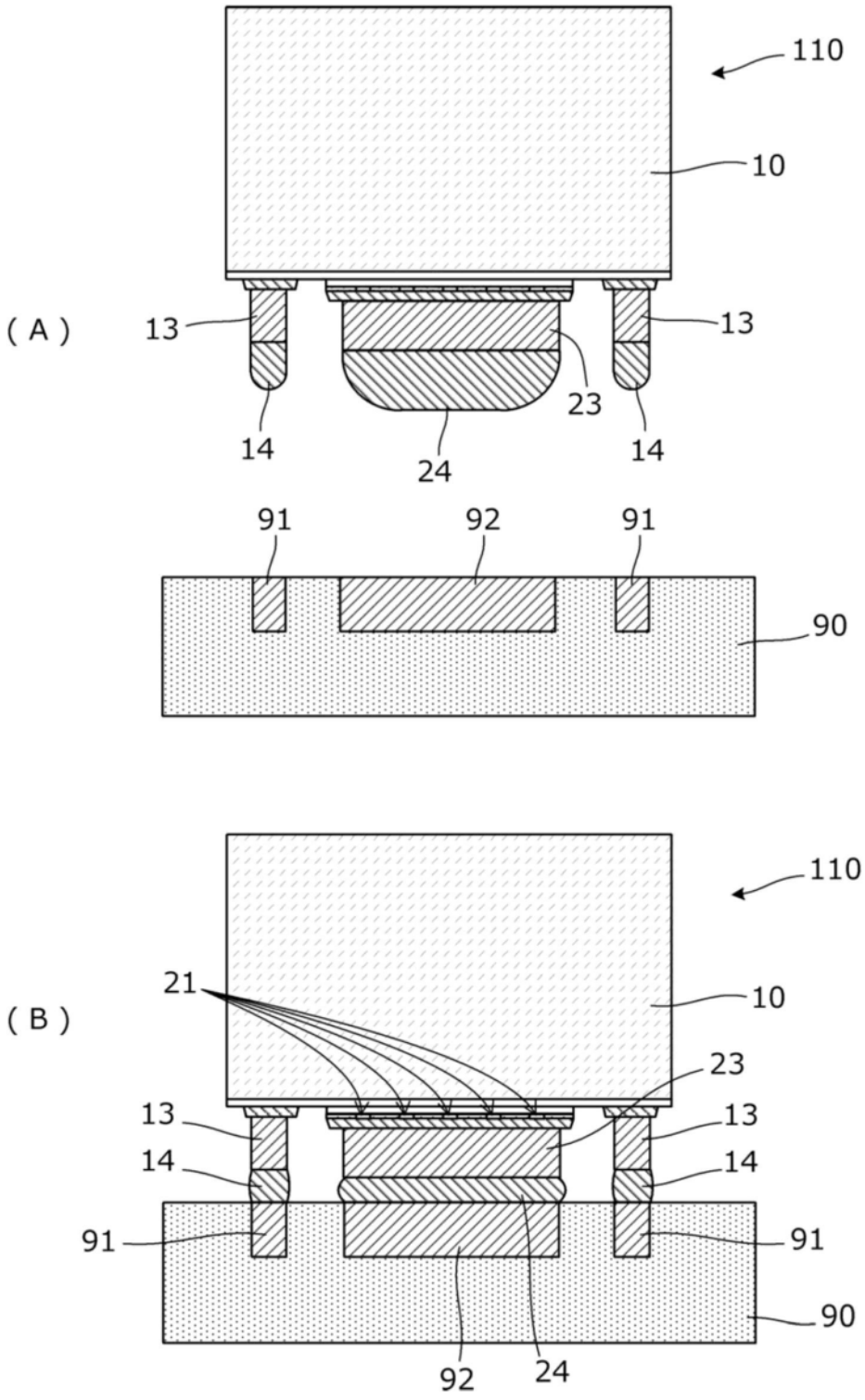

(A)
110
10
13
13
23
14
24
14
91
92
91
90
(B)
110
21
10
23
13
13
14
14
91
91
90
92
24

图2

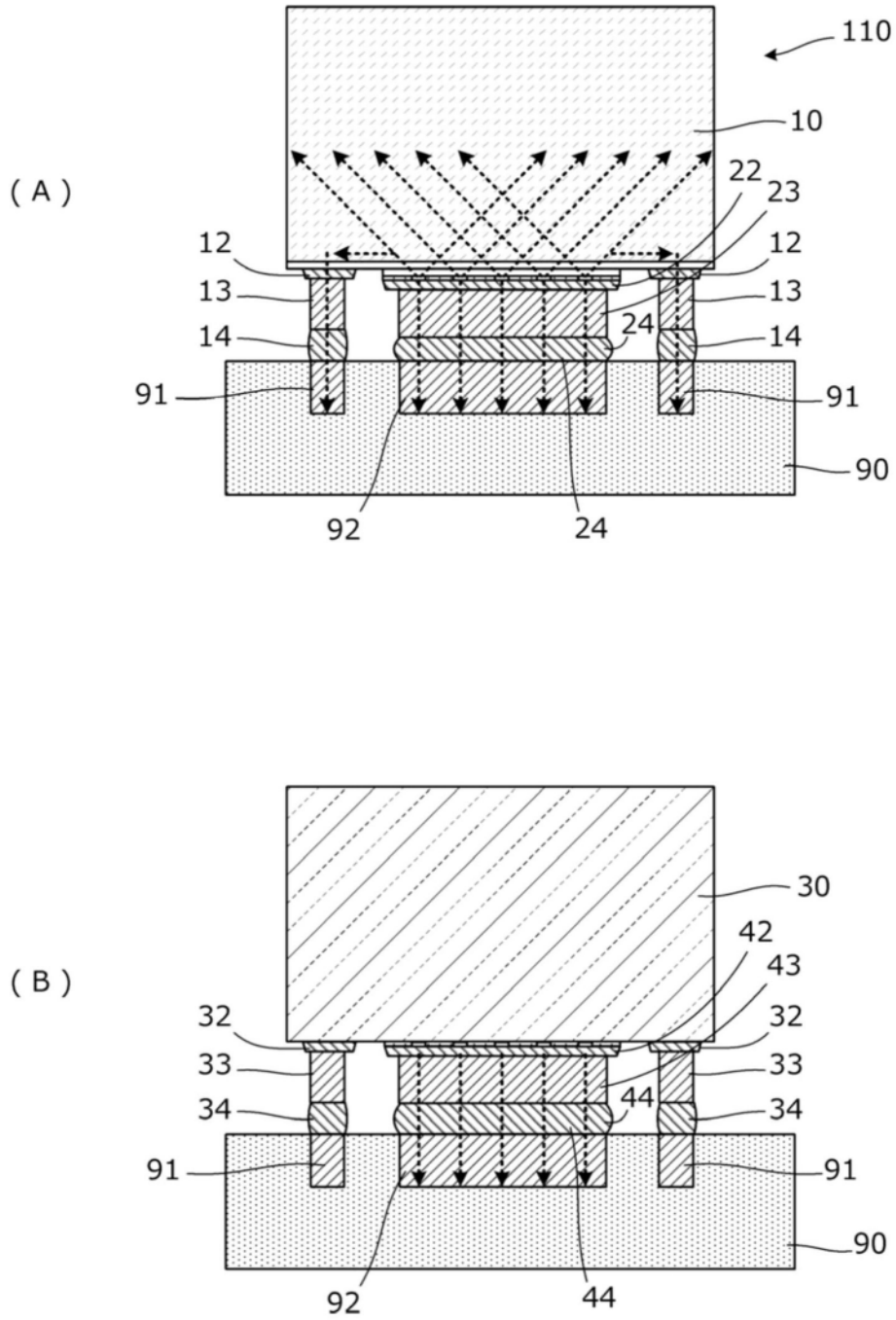

(A)
110
10
22
23
12
12
13
13
24
14
14
91
91
90
92
24
(B)
30
42
43
32
32
33
33
44
34
34
91
91
90
92
44

图3

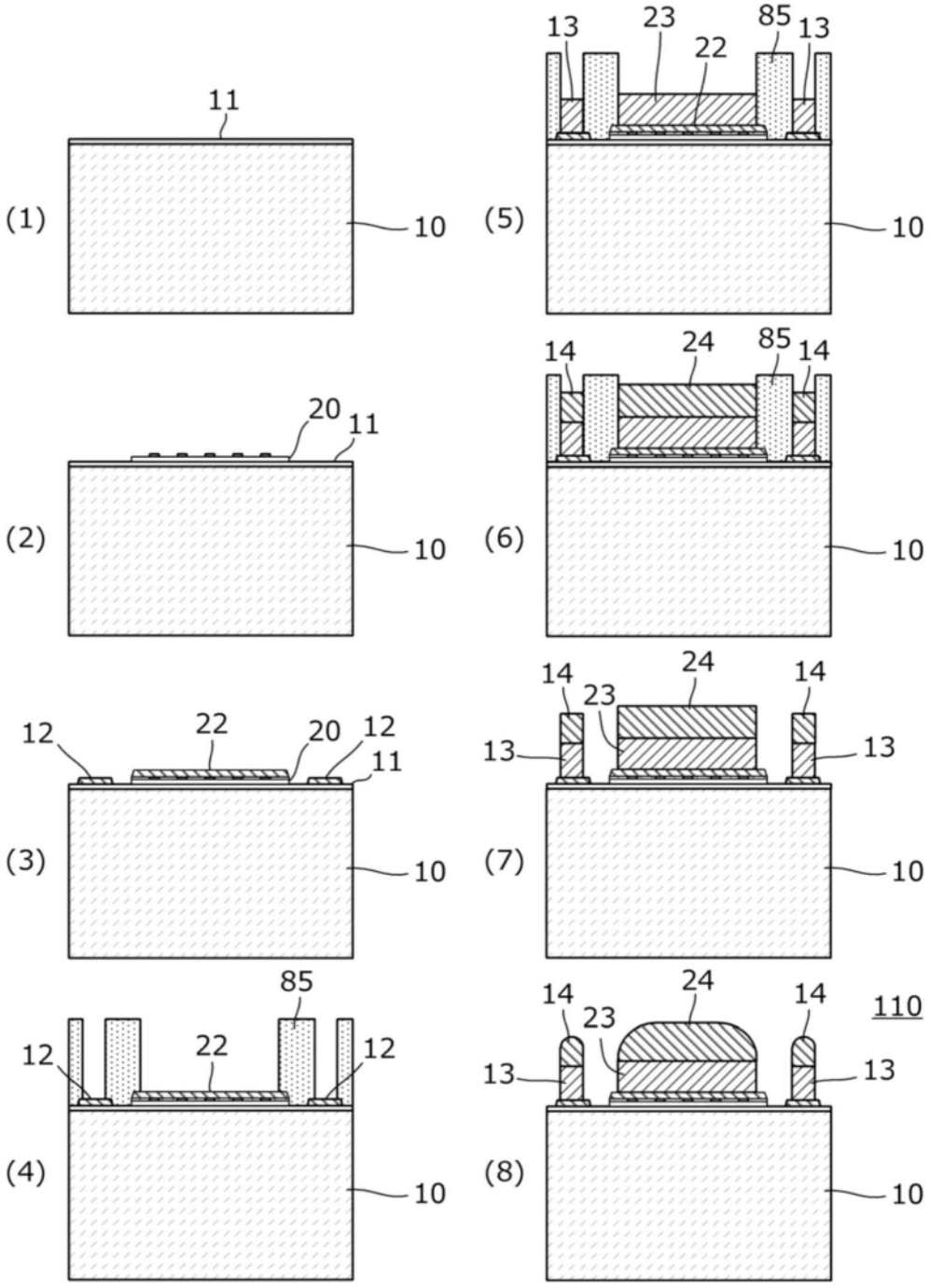

(1)
11
10
(2)
20
11
10
(3)
12
22
20
12
11
10
(4)
85
12
22
12
10
(5)
13
23
22
85
13
10
(6)
14
24
85
14
10
(7)
14
24
14
23
13
13
10
(8)
14
24
14
110
23
13
13
10

图4

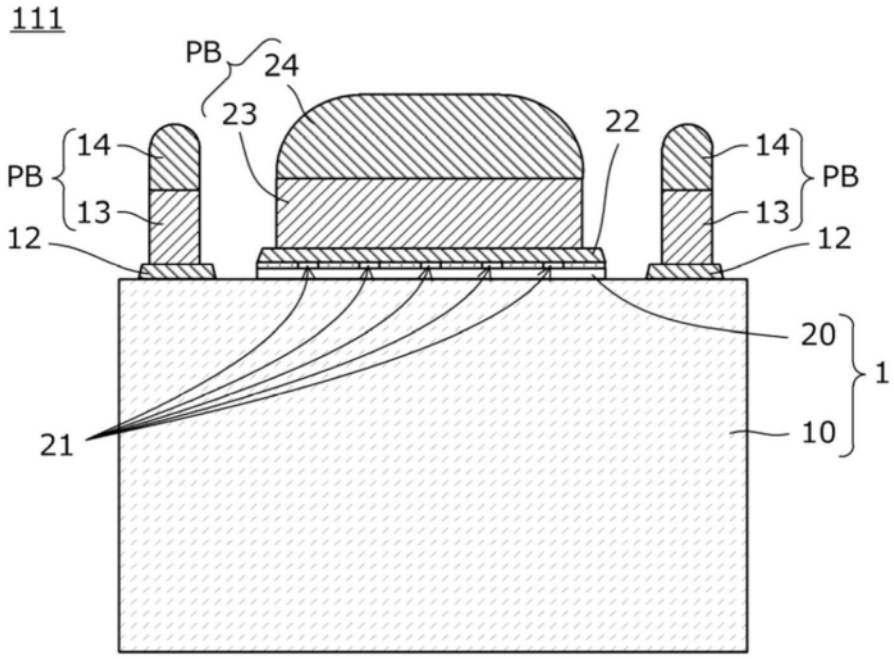

111
PB
24
23
22
14
PB
13
12
14
PB
13
12
20
1
21
10

图5

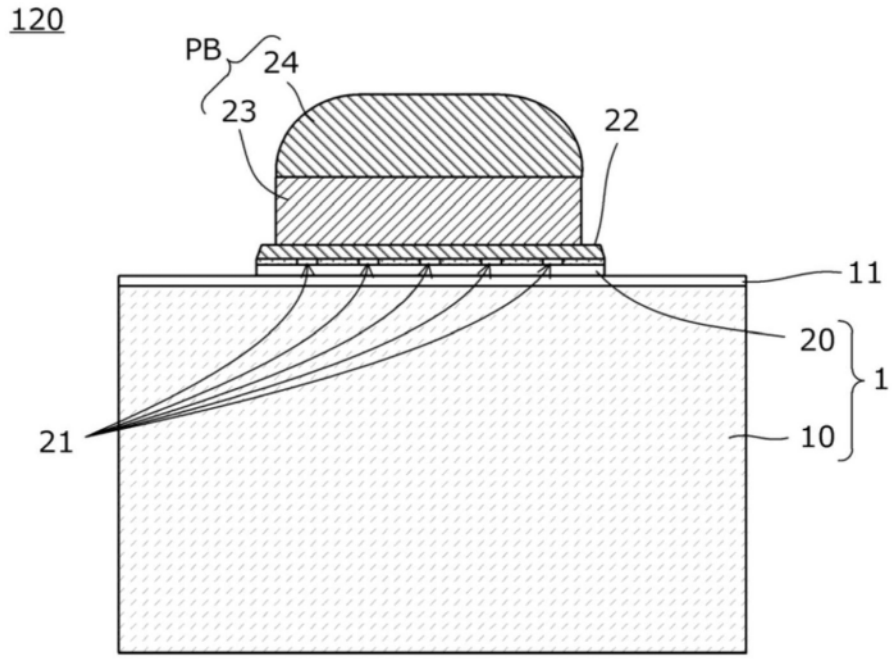

120
PB
24
23
22
11
20
1
21
10

图6

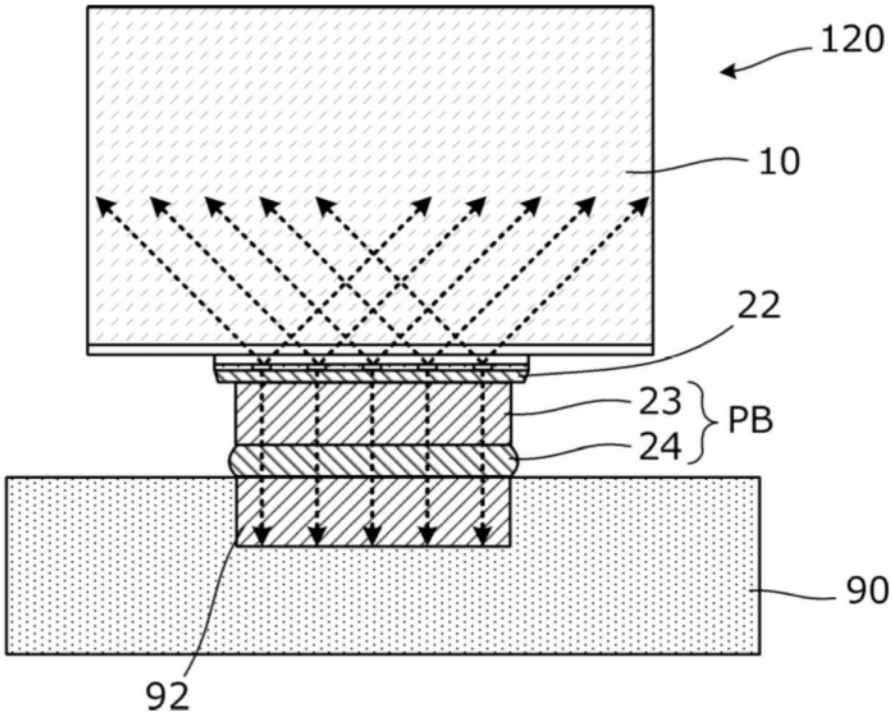


图7

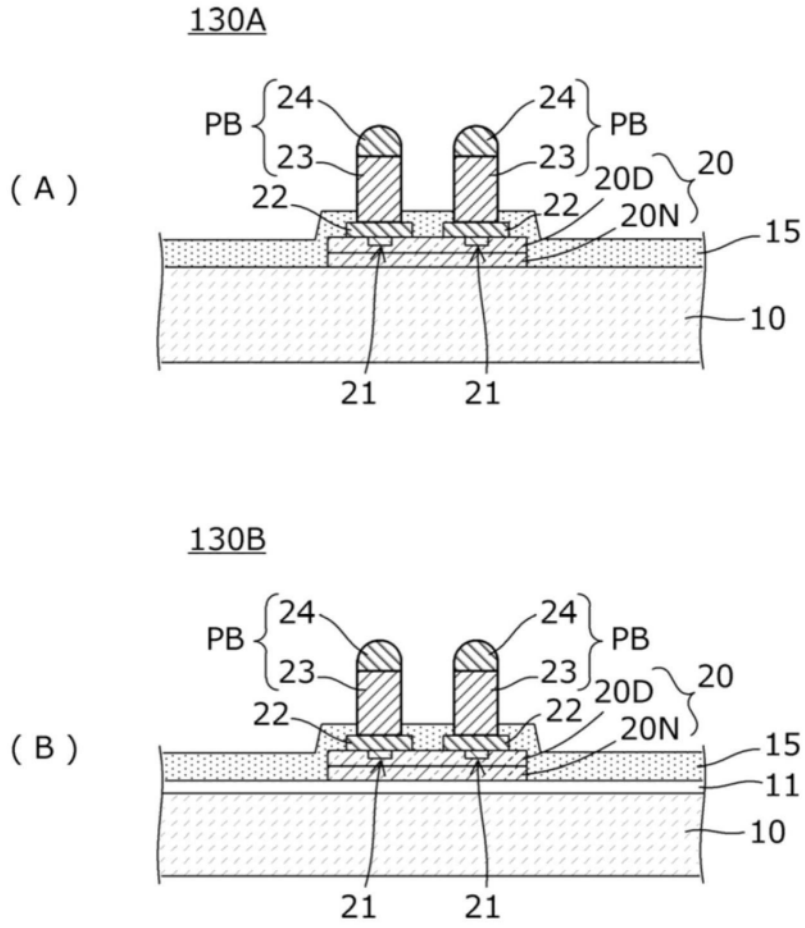

130A
(A)
PB
24
23
22
24
23
22
PB
20D
20
20N
15
10
21
21
130B
(B)
PB
24
23
22
24
23
22
PB
20D
20
20N
15
11
10
21
21

图8

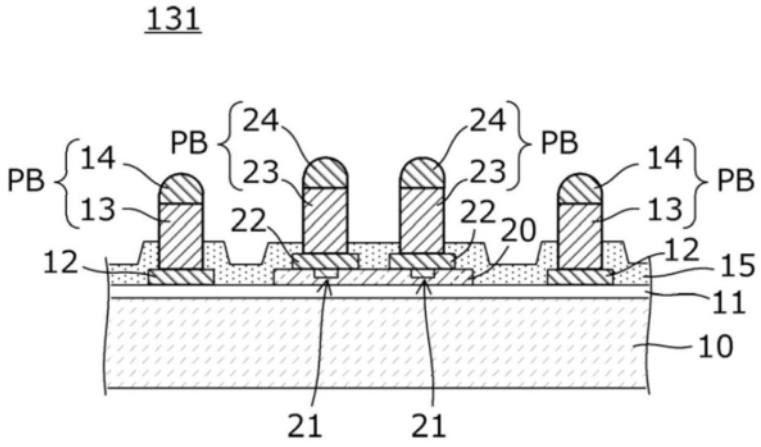

131
PB
14
13
12
PB
24
23
22
24
23
22
PB
20
14
13
12
PB
15
11
10
21
21

图9

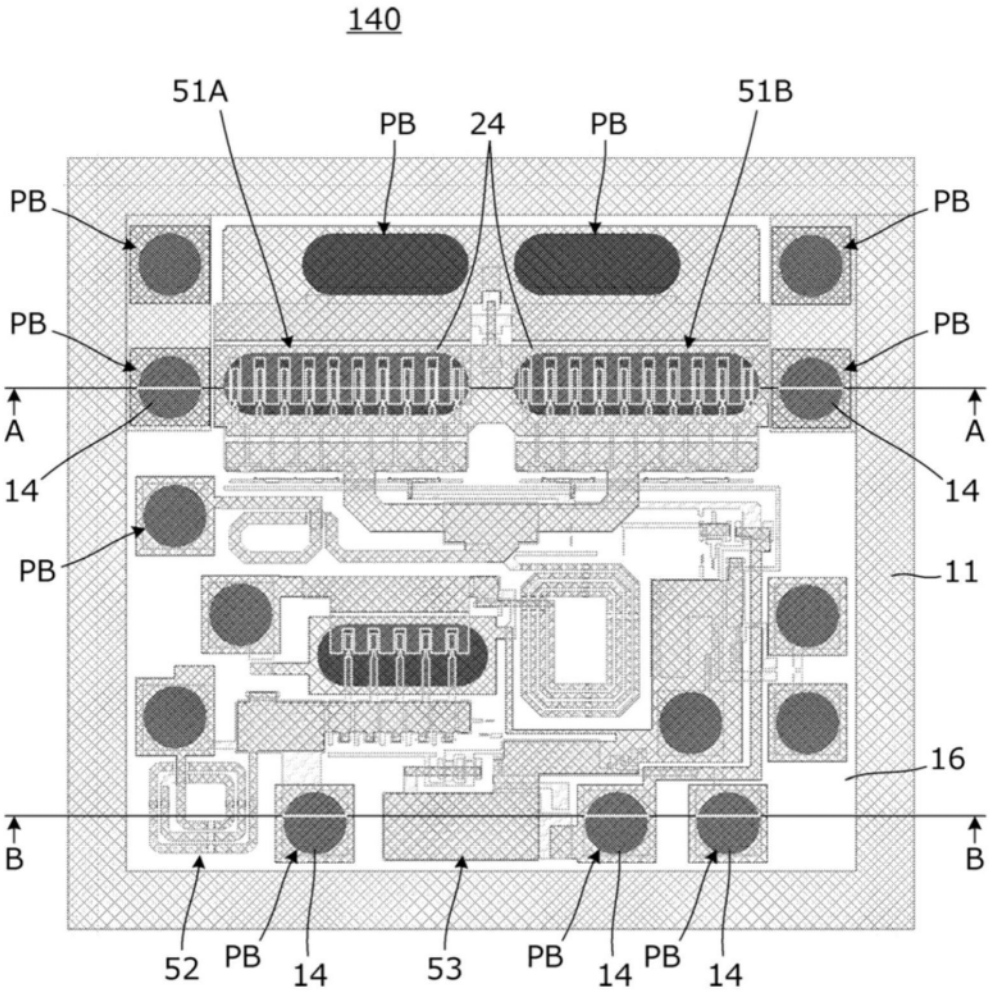

140
51A
PB
24
PB
51B
PB
PB
PB
PB
A
A
14
14
PB
11
16
B
B
52
PB
14
53
PB
14
PB
14

图10

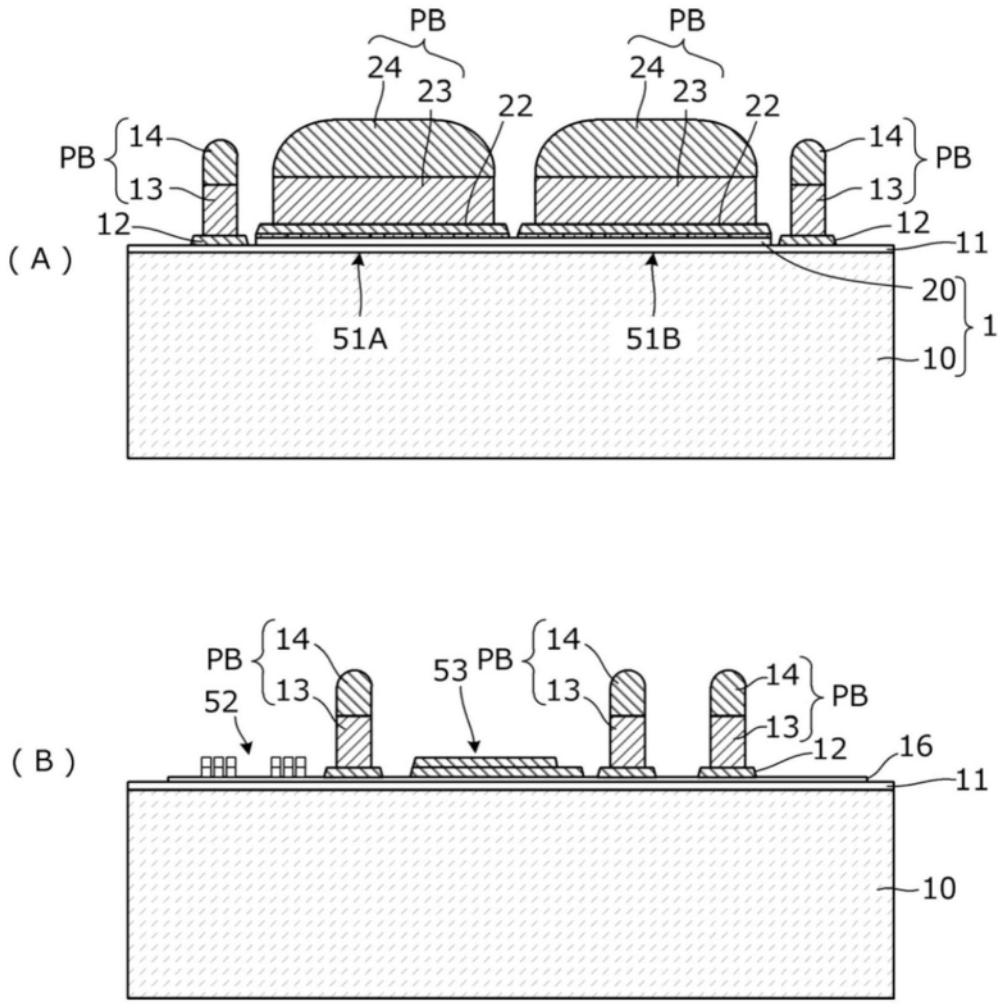


图11

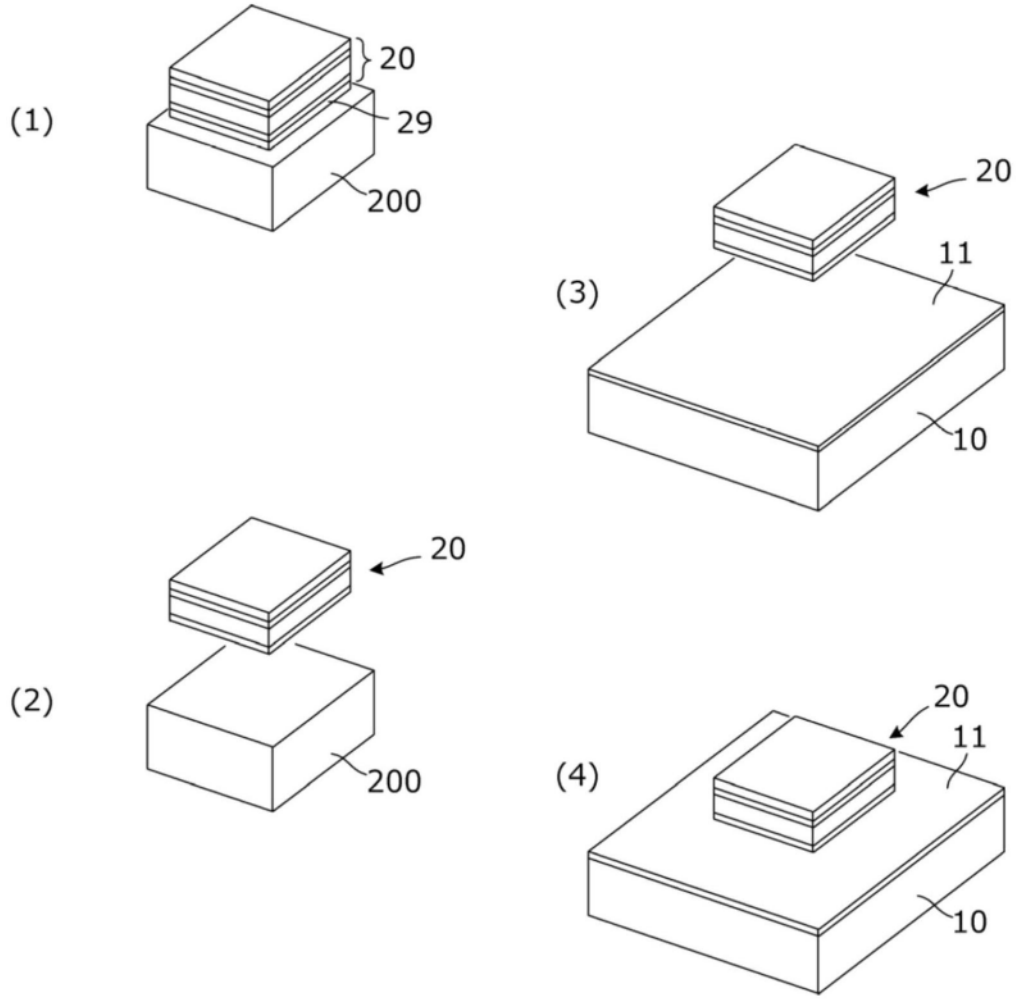


图12

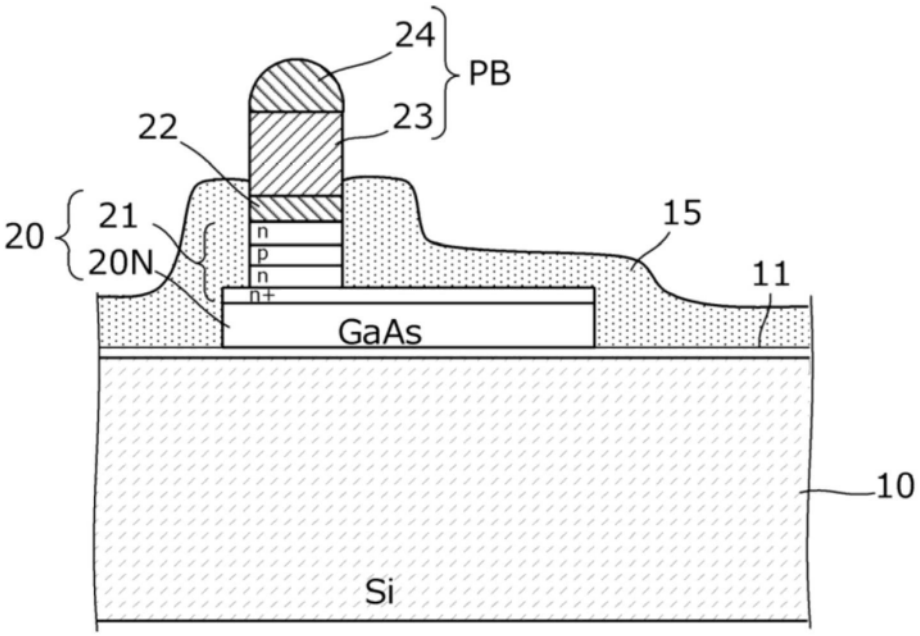

24
PB
23
22
20
21
20N
n
p
n
n+
15
11
GaAs
10
Si

图13

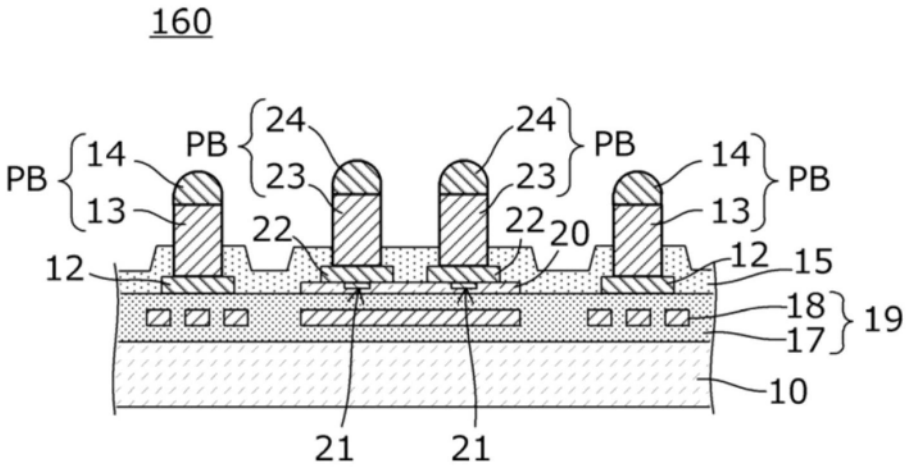

160
PB
14
13
PB
24
23
22
24
23
PB
22
20
14
13
PB
12
12
15
18
17
19
10
21
21

图14

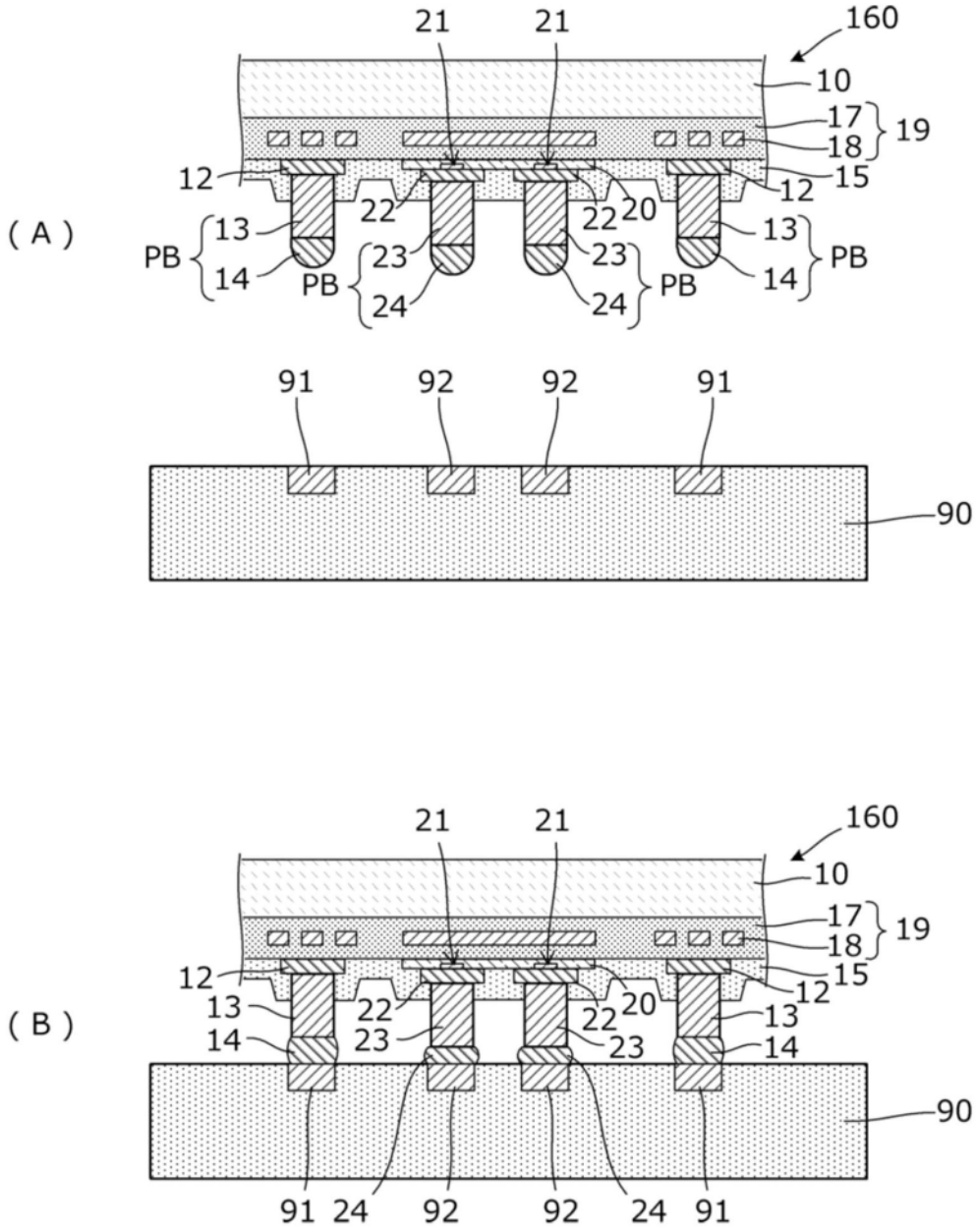

(A)
21
21
160
10
17
18
19
12
15
12
22
20
22
13
13
PB
14
23
23
14
PB
PB
24
24
PB
91
92
92
91
90
(B)
21
21
160
10
17
18
19
12
15
12
13
22
20
22
13
14
23
23
14
90
91
24
92
92
24
91

图15

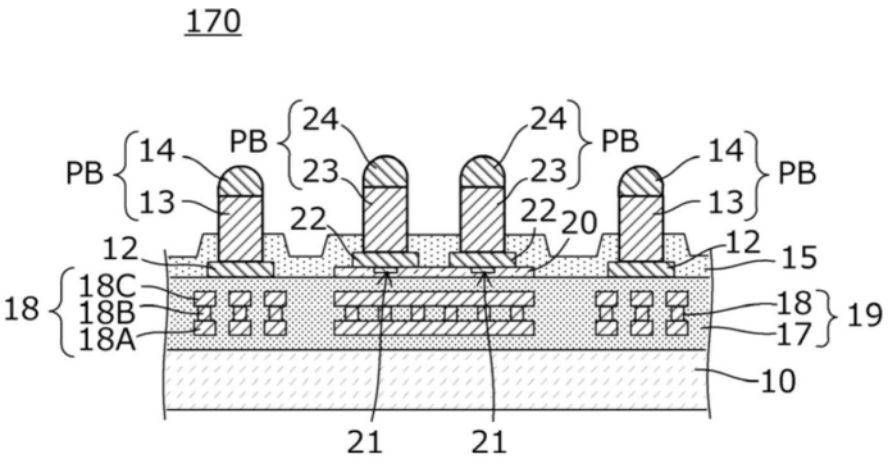

170
PB
14
13
PB
24
23
24
23
PB
14
13
PB
22
22
20
12
12
15
18
18C
18B
18A
18
17
19
10
21
21

图16

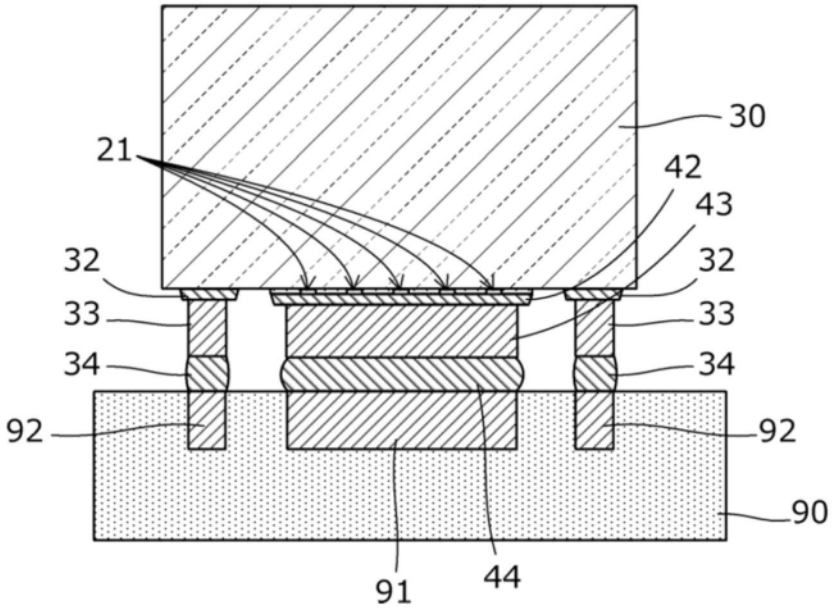

30
21
42
43
32
32
33
33
34
34
92
92
90
91
44

图17