

(由本局填寫)

承辦人代碼：
大 類：
I P C 分類：

A6

B6

本案已向：

國(地區) 申請專利，申請日期： 案號： ，☐有 ☐無主張優先權日本 1997 年 9 月 25 日 9-260675 ☒有主張優先權

有關微生物已寄存於： ，寄存日期： ，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

五、發明說明 (1)

[發明背景]

本發明係為關於被利用在製造液晶顯示裝置的薄膜電晶體 (T F T) 之離子注入，且關於離子注入方法。

在於液晶顯示裝置的製造過程，為了因應於將驅動電路一體地組裝在陣列基板上的要求，所以研究開發用多晶矽 (p - S i) 系的半導體層之作為薄膜電晶體 (T F T) 的多晶矽薄膜電晶體 (p - S i T F T) 。

多晶矽薄膜電晶體，與單晶矽電晶體同樣地，一般是以高濃度的離子注入而形成被利用在源極領域或汲極領域之低阻抗半導體層。然而，在於 N 通道電晶體，為了緩和電場集中到汲極近旁，所以採用低濃度雜質層 (L D D : Lightly Doped Drain) 構造為有效；控制所注入的離子濃度之方法已被廣泛利用。另外，為了控制電晶體的臨界值電壓，所以在通道領域，摻雜 L D D 還低濃度的雜質，但在此情況，利用離子注入法。

在於這些離子注入，注入各別的離子之量：關於源極・汲極領域的低阻抗層，磷 (P) 或是硼 (B) 為 $1 \times 10^{14} \sim 1 \times 10^{16} [\text{cm}^{-2}]$ 程度；關於 L D D 領域，P 為 $5 \times 10^{12} \sim 5 \times 10^{13} [\text{cm}^{-2}]$ 程度；關於摻雜到通道領域，P 為 $5 \times 10^{12} \sim 1 \times 10^{13} [\text{cm}^{-2}]$ 程度。

此樣，離子注入也是依適用處所，摻雜量有 4 ~ 5 位數的不同。另外，多數的情況，在於製造單晶矽電晶體，離子注入裝置，係為依大電流用及中電流而而利用構造相

五、發明說明(2)

異的裝置。

不過，如液晶顯示裝置，要求在比單晶矽裝置還少過程數下低價地製造的情況，在各過程準備專用的裝置，造成製造效率未能提高的問題。即是從投資生產性的觀點，必須以同一的裝置處理複數過程；在於離子注入，期望以同一裝置可以注入4～5位數程度不同的摻雜量。

實際上，在源極・汲極領域的高濃度摻雜，將每一枚基板的處理時間抑制在30秒程度，必要 $10\text{ }[\mu\text{A}/\text{cm}^2]$ 以上的離子流電流密度。另則，爲了達成也能利用在通道領域的低濃度摻雜，減少離子束的電流值，進而縮短摻雜時間，但就是以掃描基板的方式，設爲實效的摻雜時間，能控制的時間下限值約爲0.2秒；爲了控制 $1\times 10^{11}\text{ }[\text{cm}^{-2}]$ ，離子束電流密度必須控制在 $80\text{ }[\text{nA}/\text{cm}^2]$ 以下。進而，一次摻雜到基板全面之方法的情況，作爲摻離時間，能控制的時間下限值約爲10秒；作爲離子束電流密度，必須控制在 $1.6\text{ }[\text{nA}/\text{cm}^2]$ 以下。

通常，使其變化離子束電流密度，例如利用高周波放電的情況，對應於使其變化放電電力，但只變化放電電力就可以控制之電流的變化約爲3位數程度。進而使其變化放電電力，則起因於雜質的種類而生成在電漿中之離子的比率也變化，特別是在未持有質量分離功能之液晶顯示裝置製造用的離子摻雜裝置，造成相異雜質相互間離子的比例變化之問題。

五、發明說明 (3)

例如以使用 PH_3 與 H_2 的混合氣體之高周波放電而生成之離子，包括 P^+ 、 PH_x^+ 、 P_2^+ 、 P_2H_x^+ 、 P^{++} 、 PH_x^{++} 、 H^+ 、 H_2^+ 、 H_3^+ 等多種，但增加放電電力，則增加 H^+ 、 H_2^+ 、 H_3^+ 的所佔有的比例，會有減少摻雜劑離子的比率之傾向。相反地，下降放電電力，則減少 H^+ 、 H_2^+ 、 H_3^+ 的所佔有的比率；進而比 P^+ 、 PH_x^+ 還增加 P_2^+ 、 P_2H_x^+ 的離子產生源。也就是為了低濃度的摻雜而下降放電電力，則具有 P 的注入深度變淺之問題。

下降摻雜劑離子束電流之方法，被認為是稀釋氣體之方法。例如以 H_2 將 PH_3 稀釋成 1 % 或是 0.1 %，則可以將電漿中 P 關連的離子產生源比率降到 10 % 以下，可以對應於一定程度的低濃度摻雜。不過，在此方法，雜子產生源比率與時間同時變動，以電極或容室壁的污染狀態而變化離子產生源比率，具有增加 C (碳) 或 O (氧) 等不理想雜質的混入之比率等的問題。然且，離子產生源比率的變動，在於通道摻雜，直接影響到臨界值電壓；就是在於 LDD 濃度的變動也造成影響到電晶體的 ON 特性或汲極耐壓之嚴重問題。另外，C 或 O 的混入使其降下電晶體性能。

進而，考慮到改變取出離子之電極部的開口部，作為其他的方法。例如，設置開口率較大的電極及開口率較小且能卸下之可動式電極，在低濃度摻雜時如閘門般搭載可動式電極而控制離子束電流之方法。開口率若為 1 / 100，則可以期待電流值也減少約 2 位數。不過，在此

五、發明說明(4)

方法，改變開口率則改變離子源的電漿室壓力，所以變化電漿狀態，而改變離子產生源的比率，無法單純地只下降離子束電流。另外概略地下降開口率則惡化離子束電流的均一性之情況增多，無法實用化。

如上述過，在於離子注入，用過去離子束電流的控制方法，對於廣泛且高精度地控制摻雜量，低價地製造品質較高的場效電晶體會困難。

[發明開示]

本發明之目的係為提供當離子注入到半導體層時，能廣泛地控制所注入的離子量，例如當製造場效電晶體時，能提高製造效率之離子注入方法。

本發明係為具備具有注入第1濃度的雜質離子之第1領域及注入比前述第1濃度還高的第2濃度之雜質離子的第2領域的半導體層的半導體裝置之製造方法。具備：以第1負荷比斷續地使其產生電漿，將所生成之雜質離子注入到前述第1領域之第1過程，及以比前述第1負荷比還高的第2負荷比斷續地或是連續地使其產生電漿，將所生成的雜質離子注入到前述第2領域之第2過程。

另外，依據本發明的離子注入方法，不致質量分離複數種雜質離子下，同時地利用可能。

進而，依據本發明的離子注入方法，不致改變產生離子之比率下，可以廣泛且高精度地控制流子束電流值的實效值。

五、發明說明(5)

另外，以本發明的離子注入方法，能控制以矽為主成分的薄膜型之場效電晶體的通道部分之臨界值電壓的離子摻雜形成為可能。

進而，以本發明的離子注入方法，可以容易地形成適於以矽為主成分之薄膜型的場效電晶體之源極及汲極的低濃度雜質層。

[圖面之簡單說明]

第 1 圖係為表示適用本發明離子注入方法的離子注入裝置之概略圖。

第 2 圖係為表示以第 1 圖所示的離子注入裝置所提供的離子束能量分布之概略圖。

第 3 圖係為表示第 1 圖所示離子注入裝置之電漿產生裝置的控制方法的一例之時間圖。

[圖號說明]

- | | |
|---|--------|
| 1 | 離子注入裝置 |
| 2 | 玻璃基板 |
| 3 | 電漿室 |
| 4 | 工作台 |
| 5 | 第 1 電極 |
| 6 | 第 2 電極 |
| 7 | 抑制電極 |
| 8 | 接地電極 |

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(6)

- 9 高周波放電裝置
- 10 控制器
- 11 氣密容室
- 12 氣體供給部
- 13 氣體供給部
- 14 控制手段
- 15 記憶體
- 17 輸入裝置
- 18 顯示裝置

〔實施形態〕

以下，用圖面說明本發明場效電晶體之製造方法。

如第1圖所示，離子注入裝置1，係為對向於被利用在液晶顯示裝置等的大型玻璃基板2而被設置，具有作為離子源之電漿產生裝置，即是具有電漿室3。然而，玻璃基板2，被載置在朝向2軸方向能移動地形成之X-Y工作台4。由於此因，玻璃基板2係為朝以箭頭S所示的方向及與S方向正交的方向移動可能。

在電漿室3與玻璃基板2之間，隔著所定間隔以積層狀態配列第1電極5、第2電極6、控制電極7及接地電極8。然而在各別的電極5、6、7、8，如圖示設置3條溝槽a、b及c。

在作為離子源之電漿室3，連接感應結合型的高周波放電裝置9，且供給加諸所定周波數及負荷比之高周波脈

五、發明說明(7)

衝波。

因此，在玻璃基板 2，照射通過 4 枚電極的溝槽 a、b 及 c 之離子束。然而，X - Y 工作台，係為用 2 軸馬達控制器（X - Y 工作台驅動裝置）10，以後段所詳述的所定度，朝與槽溝的較長方向正交的方向（箭頭 S 方向）移動。另外，X - Y 工座台 4、電漿室 3，以氣密容室 11 而被密閉，透過氣體供給部 12、13 而能供給任意的緩和氣體所形成。

然而，此離子注入裝置 1，當電場加速雜質離子注入到半導體基板或是半導體膜時，未經雜質種類的質量分離（不一定必要），同時注入複數種類的雜質之非質量分離型離子注入裝置，以控制從電漿室朝向玻璃基板 2 照射的離子束狀態之控制手段，可以提供任意的離子束電流密度。然而，控制手段 14 係由：主控制裝置（CPU）、及由能改寫的記憶體（RAM）、及記憶控制用資料之程式記憶體（ROM）所構成的記憶體 15、及使以輸入應控制的數值資料之輸入裝置（鍵盤）17、及用於顯示所輸入資料的顯示與監視注入裝置的動作狀態之顯示裝置（CRT）16 等所形成。

另外，離子束的尺寸（從電漿室 3 朝向玻璃基板 2 之方向正視之投影（照射）面積），由於能將離子束照射到 55 [cm] × 65 [cm] 程度的玻璃基板 2，所以如第 2 圖所示，長度 L 設定為約 60 [cm]，寬度 W 被設定為約 15 [cm]。

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明(8)

以下，表示幾個離子注入例。

將 100% 的 PH_3 氣體 10 [s c c m] 導入至電漿室，在電漿生成用天線線圈 (Antenna coil) (未圖示)，以 13.56 [M H z]，加入合計 1000 [W] 的高周波電力，在第 1 電極 5 加諸 70 [k V] 的電位；在第 2 電極 6 加諸 67 [k V] 的電位；在抑制電極 7 加諸 -6 [k V] 的電位；則導出約 36 [m A] 的離子束。

離子束強度，關於離子束的較長方向，詳細設計至今日為止的氣體供給系或電極配置的結果，因能概略均等地維持，所以每單位長度為 36 [m A] 時形成為

$$36 [m A] / 60 [c m] = 600 [\mu A / c m]$$

另則，玻璃基板 2 移動的方向即是箭頭 S 方向的離子束強度分布，如第 2 圖所示在兩端部稍微降下，但若離子束的擴散寬度為 15 c m，則離子束電流密度的平均值為：

$$600 [\mu A / c m] / 15 [c m] = 40 [\mu A / c m^2]$$

進而，離子束電流密度為 40 [$\mu A / c m^2$] 時，若線狀離子束寬度為 15 c m，玻璃基板 2 的掃描速度為 5 [c m / s e c]，則玻璃基板 2 在從箭頭 S 的一端部移動到他端部之間注入離子之離子注入時間形成為

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(9)

$$15 \text{ [cm] } / 5 \text{ [cm / sec] } = 3 \text{ [sec]}$$

所注入的離子量為

$$40[\mu \text{ A/cm}^2] \times 3[\text{sec}] = 120[\mu \text{ c/cm}^2]$$

$$\text{即是形成爲 } 120[\mu \text{ c/cm}^2] / 1.602 \times 10^{-19}[\text{C}] = 7.4 \times 10^{14}[\text{cm}^{-2}]。$$

因此，沿著箭頭方向 S 而使其往復移動玻璃基板 2，形成爲 $1.5 \times 10^{15}[\text{cm}^{-2}]$ ，適於源極及汲極領域之高濃度之摻雜為可能。

進而，在於此離子注入裝置 1，由於將從高周波放電裝置 9 加入到電漿室 3 之高周波脈衝波的負荷比設定為任意的大小，可以一定地維持離子注入到半導體基板或是半導體薄膜時的離子電流實效值。即是在於電漿室 3 使其產生雜質離子時，例如放電周波數為 $13.56[\text{MHz}]$ ，進而例如為 $1[\text{KHz}]$ 周期的脈衝波狀，可以一定地維持離子注入時的離子電流實效值。

第 3 圖係為表示電漿放電一例之時間圖。

在第 3 圖所示之例，被加入到電漿室 3 之高周波輸出為 $1[\text{kW}]$ ，負荷比為 5% 。即是返復周波數若為 $1[\text{kHz}]$ ，則在 $1[\text{ms}]$ 的周期中，電漿形成為 ON 狀態的期間為 $50[\mu \text{sec}]$ ，形成為 OFF 狀態的期間為 $950[\mu \text{sec}]$ 。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (10)

不過，放電周波數由於是 13.56 [MHz] ，所以周期為 73 [ns] 。因此，在 1 脈衝波當中的電漿成為 ON 狀態的期間之 50 [μs] 中含有 678 次的放電。也不受限於以脈衝放電加入供給到電漿室 3 的高周波輸出，可以提供與連續放電相同的狀態。

使用此樣的脈衝波放電，形成為交互地返復離子束放出的狀態及未放出的狀態。然而，不用脈衝波放電的通常高周波放電使用時的離子束電流密度，例如若為 $40 \text{ [μA/cm}^2\text{]}$ ，則用負荷比 5 % 的脈衝波放電時的離子束電流密度實放值，概略為 $2 \text{ [μA/cm}^2\text{ (5%)}]$ 。

同樣地，返復周波數設為 1 [kHz] ，負荷比設 0.2% ，則 1 脈衝波形成為 2 [μs] ，1 脈衝波中的振盪次數為 27 次。此情況的離子束電流密度實效值形成為 $80 \text{ [nA/cm}^2\text{]}$ 。

另則，離子束電流密度的實效值為 $80 \text{ [nA/cm}^2\text{]}$ ，若離子束寬度為 15 [cm] ，移動玻璃基板 2 的速度為 50 [cm/sec] ，則 1 次的移動，離子注入到玻璃基板 2 的時間形成為

$$15[\text{cm}]/50[\text{cm/sec}]=0.3[\text{sec}]$$

注入離子量為

$$80[\mu\text{A/cm}^2]\times 0.3[\text{sec}]=24[\mu\text{C/cm}^2]$$

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (11)

即是形成爲

$2.4 \left[\mu\text{C} / \text{cm}^2 \right] / 1.602 \times 10^{-19} \left[\text{C} \right]$
 $= 1.5 \times 10^{11} \left[\text{cm}^{-2} \right]$ ，形成爲能控制適於摻雜到
 通道領域之離子注入量。

此樣，在於將負荷比設定爲 0.2%，在作爲注入時間的 0.3 [sec] 當中，返復周波收 1 [kHz] 的脈衝波加入 300 次。即是在離子束寬度 15 [cm] 的離子束當中，就是爲以 50 [cm/sec] 的速度移動玻璃基板 2 的情況，也形成爲 0.5 [mm] 間隔返復注入離子束。因此，所被注入的離子在基板面內的均一性，可以視爲與連續放電時的情況同樣。

此樣，由於最適當地設定負荷比及移動基板的速度，所以在摻雜到通道領域之注入量從 $1 \times 10^{11} \left[\text{cm}^{-2} \right]$ 至 $3 \times 10^{12} \left[\text{cm}^{-2} \right]$ 的範圍，可以任意地控制。例如爲得到 $1 \times 10^{11} \left[\text{cm}^{-2} \right]$ 而在負荷比 0.2%，將玻璃基板移動速度設定爲 75 [cm/sec]；爲了得到 $3 \times 10^{12} \left[\text{cm}^{-2} \right]$ 而在負荷比 2%，將玻璃移動速度設定爲 25 [cm/sec] 即可。

另外，脈衝波加入中的放電狀態，因與連續放電時的情況同樣，所以不會有在電漿中改變雜質比率的疑慮，與過去的離子束電流控制方法相異，可以只下降實效的離子束電流值。

特別是使其生成雜質離子之電漿爲以 1 [MHz] ~ 10 [GHz] 的周波數所形成之交流電漿放電，且在於

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (12)

將返復電漿的 O N 狀態及 O F F 狀態的 1 周期中之 O N 狀態時間設為電漿放電周波數的倒數之 2 倍以上的範圍，可以得到與連續放電時的情況相同均等的結果。

此樣，依據本實施形態之離子注入裝置，例如，關於在被形成在玻璃基板 2 上的薄膜電晶體或是液晶顯示裝置的製造等，電場加速雜質離子注入到所代表的半導體基板或是半導體膜之離子注入裝置，交互地返復 O N 狀態及 O F F 狀態，而使其產生生成雜質離子之電漿，由於使其變化作為電漿形成 O N 狀態的時間比率之負荷比，因而可以高精度地控制離子注入時的離子束電流實效值，也可以廣泛地變化摻雜量。

因此，摻雜到薄膜電晶體的通道領域，可以精度良好地作成 L D D、源極・汲極領域的低阻抗層，且可以製造高品質生產性良好的場效電晶體、液晶顯示裝置。

然而，交互地返復電漿的 O N 狀態及 O F F 狀態之周波數，由於是 1 0 0 「H z」～1「M H z」的範圍，所以可以容易且正確地控制離子電流的實效值；另外由於是將作為電晶形成 O N 狀態的時間比率之負荷比設為 0 . 0 0 1 以上，1 未滿，所以可以容易且正確地控制離子電流的實效值。

即是例如可以提供在離子電流實效值為 0 . 1 [n A / c m ²] ～ 1 0 0 [μ A / c m ²] 的範圍，高精度地控制離子注入時的離子束電流之離子注入裝置；摻雜到薄膜電晶體的通道領域，能高精度地作成 L D D、源極・汲極

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (13)

領域的低阻抗層，可以製造高品生產性良好的場效電晶體。

例如，在以矽為主成分的場效電晶體之通道部分，以所定的負荷比使其產生，在將離子電流的實效值設為 $0.1 \text{ [n A / c m }^2 \text{]}$ 以上， $1 \text{ [} \mu \text{ A / c m }^2 \text{]}$ 以下的範圍之狀態下，離子注入；注入磷、砷 [A s] 及硼的任何一種或是這些的化合物，而可以控制場效電晶體的臨界值電壓；另外在源極及汲極領域，注入以所定的負荷比使其產生的離子，在離子電流的實效值為 $10 \text{ [n A / c m }^2 \text{]}$ 以上， $100 \text{ [} \mu \text{ A / c m }^2 \text{]}$ 以下的範圍，注入磷、砷及這些化合物的至少 1 種，形成低濃度雜質層 (L D D)，而可以低價地製造品質良好的場效電晶體。

另外，以上述的實施形態，在場效電晶體的通道部分，就是以具有絕緣性的基板上之非單晶矽為主成分的情況，也同樣地，以所定的負荷比使其產生，在將離子電流的實效值設為 $0.1 \text{ [n A / c m }^2 \text{]}$ 以上， $1 \text{ [} \mu \text{ A / c m }^2 \text{]}$ 以下的範圍之狀態下，注入離子；注入磷、砷 (A s) 及硼的任何一種或是這些的化合物，控制場效電晶體的臨界值電壓；另外在源極及汲極領域，注入以所定負荷比使其產生的離子，在離子電流的實效值為 $10 \text{ [n A / c m }^2 \text{]}$ 以上， $100 \text{ [} \mu \text{ A / c m }^2 \text{]}$ 以下的範圍，注入磷、砷及這些化合物的至少 1 種，形成低濃度雜質 (L D D)，而可以低價地製造品質良好的場效電晶體。

以下所說明過，在本發明，每隔所定時間以所定的間

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (14)

隔斷續地使其產生生成雜質離子的電漿，雜質離子注入到半導體，而在不改變離子種的比率下，可以廣泛且精度良好地控制實效的離子束電流值。因此可以低價且精度良好地形成以矽為主成分的場效電晶體之通道部分及低濃度雜質層。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

四、中文發明摘要(發明之名稱：

半導體裝置之製造方法

本發明係為關於製造被利用在液晶顯示裝置等的薄膜電晶體之方法，每隔所定時間以所定的間隔，斷續地使具產生生成雜質離子之電漿，將雜質離子注入到半導體之方法。另外由使其變化產生電漿的負荷比，因而在不改變離子的比率下，可以廣泛且精度良好地控制實效的離子束電流值。由於此因，可以低價且精度良好地形成以矽為主成分之場效電晶體的通道部分及低濃度雜質層，能製造品質較高生產性良好的場效電晶體及液晶顯示裝置。

英文發明摘要(發明之名稱：Method of manufacturing semiconductor apparatus)

The present invention relates to a method of manufacturing a thin film transistor for use in a liquid crystal display apparatus or the like. In the method, impurity ions are implanted into a semiconductor by intermittently generating a plasma which generates impurity ions, for a predetermined period at a predetermined interval. By changing the duty rate at which the plasma is generated, the effective value of a beam current can be controlled over a wide range with excellent accuracy without changing rates of ions. As a result, it is possible to form a channel portion and a lightly doped drain layer of a field effect transistor which contains silicon as a main component, so that a field effect transistor and a liquid crystal display device can be manufactured with high quality and excellent productivity.

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

六、申請專利範圍 1

1. 一種半導體裝置之製造方法，係為針對具備具有注入第 1 濃度的雜質離子之第 1 領域，及注入比前述第 1 濃度還高的第 2 濃度的雜質離子之第 2 領域的半導體裝置之製造方法；其特徵為具備：

以在 0.001 以上未滿 1 的範圍所選擇的第 1 負荷比來使斷續地產生電漿，且以 $0.1 \text{ nA} / \text{cm}^2$ 以上 $1 \mu\text{A} / \text{cm}^2$ 以下的離子電流來將因此所產生的雜質離子注入到前述第 1 領域之第 1 過程，及

以比前述第 1 負荷比還高的第 2 負荷比斷續地或是連續地使其產生電漿，且以 $10 \text{ nA} / \text{cm}^2$ 以上 $100 \mu\text{A} / \text{cm}^2$ 以下的離子電流來將因此所生成的雜質離子注入到前述第 2 領域之第 2 過程，

前述第 1 過程與前述第 2 過程，不進行離子種的質量分離，同時注入複數種的離子，

前述第 1 過程與前述第 2 過程，作為電漿產生源而使用的氣體濃度實質上相同。

2. 如申請專利範圍第 1 項的半導體裝置之製造方法，其中在前述第 1 過程及前述第 2 過程，使其產電漿之放電電力實質上為一定。

3. 如申請專利範圍第 1 項的半導體裝置之製造方法，其中在前述第 1 過程係為以 1 MHz 以下， 10 GHz 以下的振盪周波數使其產生電漿；斷續地使其產生電漿之 1 周期的 ON 狀態時間為高周期周期的 2 倍以上。

4. 如申請專利範圍第 1 項的半導體裝置之製造方法

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍 2

，其中在前述第 2 過程，係為在前述第 1 過程之後進行，將前述第 1 領域遮罩後進行。

5．如申請專利範圍第 1 項的半導體裝置之製造方法，其中在前述半導體層以多結晶矽所形成。

6．如申請專利範圍第 1 項的半導體裝置之製造方法，其中在前述雜質離子，含有磷、砷、硼及這些化合物的至少一種。

7．如申請專利範圍第 1 項的半導體裝置之製造方法，其中在被注入到前述第 1 領域的第 1 雜質離子量、與被注入到前述第 2 領域的第 2 雜質離子量之比，係為第 2 雜質離子量／第 1 雜質離子量為 1．6 以上， 5×10^2 以下。

8．如申請專利範圍第 1 項的半導體裝置之製造方法，其中在前述半導體層具有注入比前述第 2 濃度還高的第 3 濃度的雜質離子之第 3 領域；

前述第 2 過程，具有以前述第 2 負荷比斷續地使其產生電漿，將因此所生成之雜質離子注入到前述第 2 領域之過程、及以比前述第 2 負荷比還高的第 3 負荷比斷續地或是連續地使其產生電漿，將因此所生成的雜質離子注入到前述第 3 過程所形成。

9．如申請專利範圍第 8 項的半導體裝置之製造方法，其中被注入到前述第 2 領域的第 2 雜質離子量、與被注入到前述第 3 領域的第 3 雜質離子量之比，滿足第 3 雜質離子量／第 2 雜質離子為 2．0 以上， 2×10^3 以下。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍 3

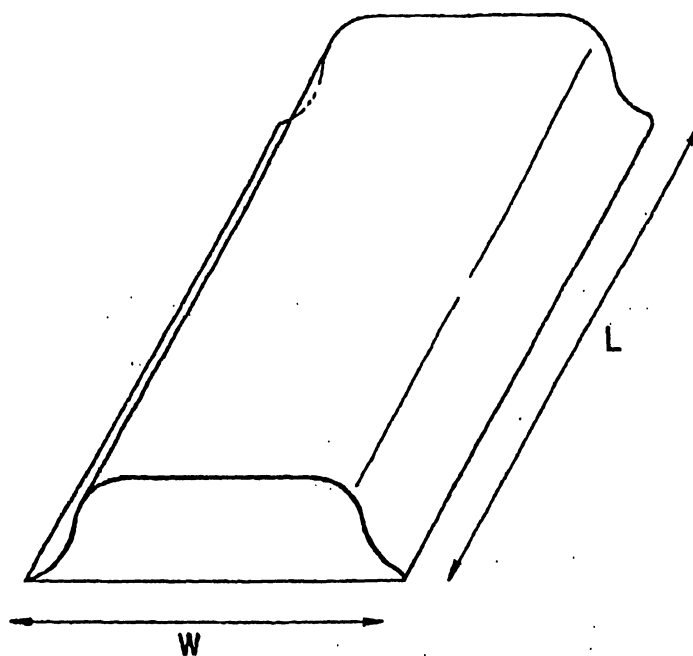
10. 如申請專利範圍第8項的半導體裝置之製造方法，其中被注入到前述第1領域的第1雜質離子量、與被注入到前述第3領域的第3雜質離子量之比，滿足第3雜質離子量／第1雜質離子量為 3×10 以上， 1×10^5 以下。

(請先閱讀背面之注意事項再填寫本頁)

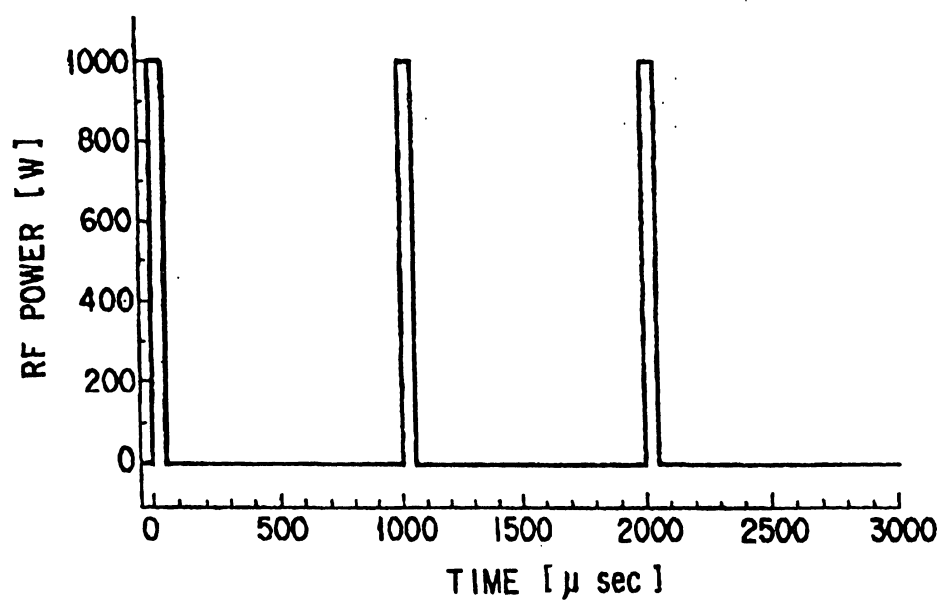
裝

訂

線



第 2 圖



第 3 圖

92.2.14

公告本

第 87115793 號專利申請案
 中文說明書修正本(含申請專利範圍)
 A4 民國 92 年 2 月 14 日 修正
 C4

申請日期	87 年 9 月 22 日
案 號	87115793
類 別	G02F 1/133

(以上各欄由本局填註)

558666

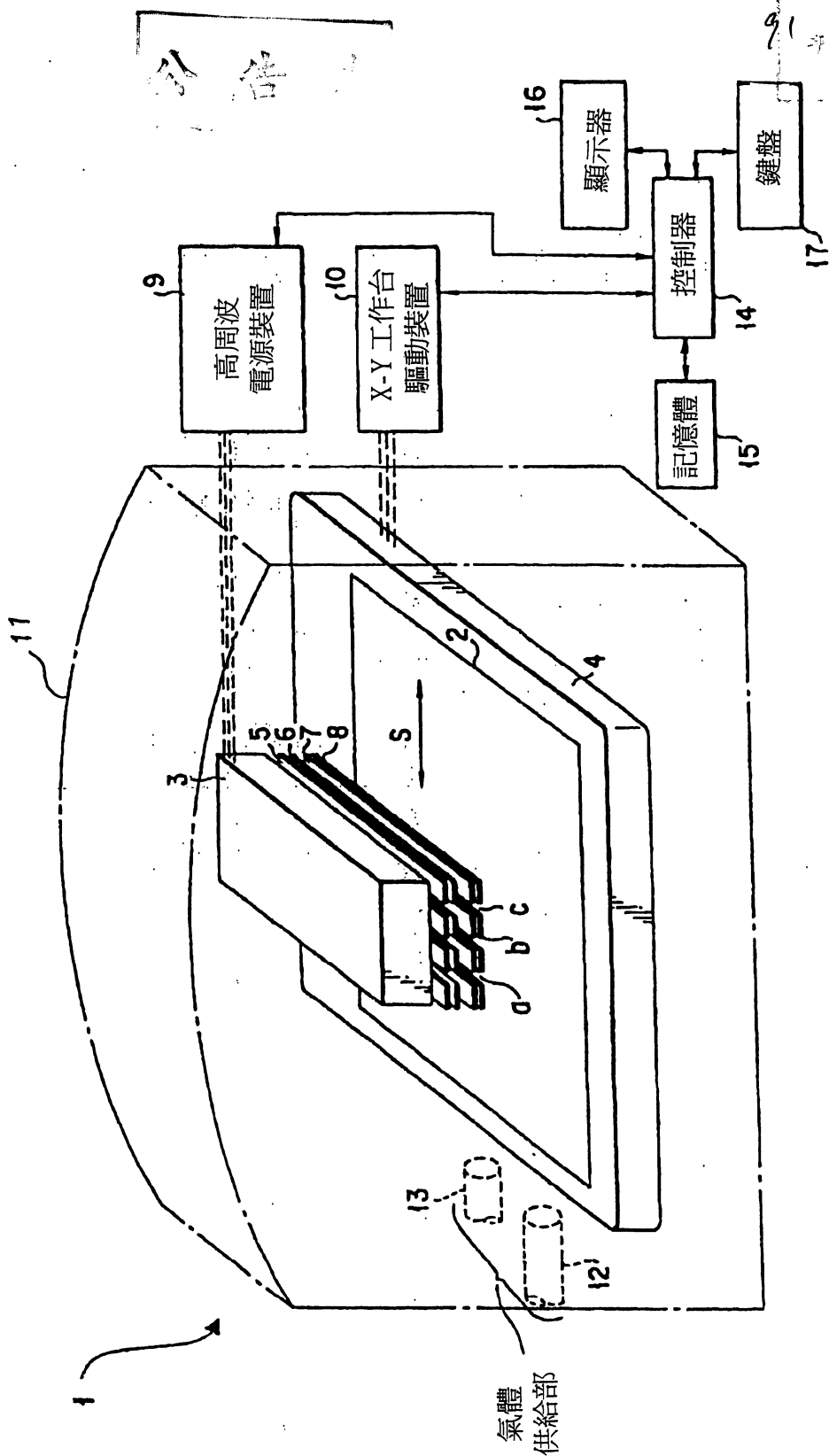
發明專利說明書

一、發明 名稱	中 文	半導體裝置之製造方法
	英 文	
二、發明 人	姓 名	(1) 福田加一
	國 籍	(1) 日本國埼玉縣深谷市常盤町六一-T-一〇五
	住、居所	
三、申請人	姓 名 (名稱)	(1) 東芝股份有限公司 株式会社東芝
	國 籍	(1) 日本
	住、居所 (事務所)	(1) 日本國神奈川縣川崎市幸區堀川町七二番地
	代 表 人 姓 名	(1) 西室泰三

裝

訂

線



第 1 圖