

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2017 年 7 月 20 日(20.07.2017)



(10) 国際公開番号
WO 2017/122579 A1

- (51) 国際特許分類:
H02M 3/28 (2006.01) **H02M 3/335** (2006.01)
- (21) 国際出願番号: PCT/JP2017/000190
- (22) 国際出願日: 2017 年 1 月 6 日(06.01.2017)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2016-003374 2016 年 1 月 12 日(12.01.2016) JP
- (71) 出願人: 株式会社豊田自動織機 (KABUSHIKI KAISHA TOYOTA JIDOSHOKKI) [JP/JP]; 〒4488671 愛知県刈谷市豊田町 2 丁目 1 番地 Aichi (JP).
- (72) 発明者: 平林 信夫 (HIRABAYASHI, Nobuo); 〒4488671 愛知県刈谷市豊田町 2 丁目 1 番地 株式会社豊田自動織機内 Aichi (JP).
- (74) 代理人: 大菅 義之 (OSUGA, Yoshiyuki); 〒1020084 東京都千代田区二番町 8 番地 2 O 二番町ビル 3 F Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA,

BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

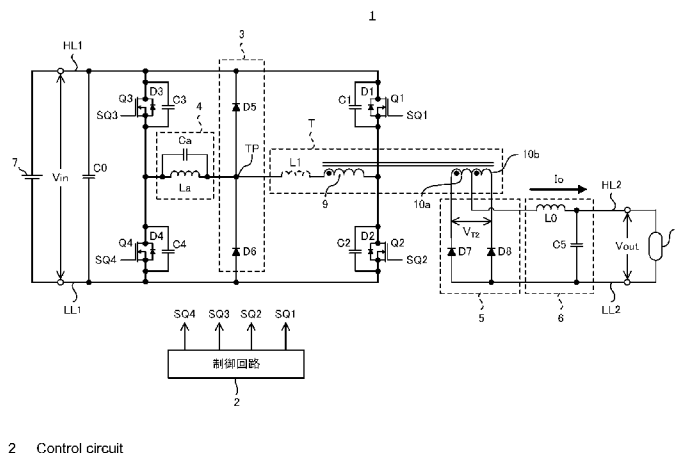
添付公開書類:

— 国際調査報告 (条約第 21 条(3))

(54) Title: PHASE-SHIFTED FULL-BRIDGE TYPE POWER SUPPLY CIRCUIT

(54) 発明の名称: 位相シフト方式フルブリッジ型電源回路

[図1]



(57) Abstract: A phase-shifted full-bridge type power supply circuit is equipped with: a bridge circuit; a recovery surge protection circuit 3 connected in parallel to the bridge circuit; a recovery surge suppression circuit 4, wherein one terminal of an inductor La is connected to the anode of a first rectification element D5 and the cathode of a second rectification element D6, and the other terminal of the inductor to one terminal of a third switch element Q3 and one terminal of a fourth switch element Q4, and a capacitor Ca is connected in parallel to the inductor; and a rectification circuit 5 having a third rectification element D7 and a fourth rectification element D8. The capacitor is charged when a first switch element Q1 and the fourth switch element Q4 are driven, and the charging ends after a recovery surge of the fourth rectification element is generated; or, the capacitor is charged when a second switch element Q2 and the third switch element Q3 are driven, and the charging ends after a recovery surge of the third rectification element is generated.

(57) 要約:

[続葉有]

WO 2017/122579 A1



ブリッジ回路と、ブリッジ回路に並列接続されるリカバリーサージ保護回路 3 と、インダクタ L_a の一方の端子が第 1 の整流素子 D_5 のアノードと第 2 の整流素子 D_6 のカソードと接続され、インダクタの他方の端子が第 3 のスイッチ素子 Q_3 の一方の端子と第 4 のスイッチ素子 Q_4 の一方の端子と接続され、インダクタにキャパシタ C_a が並列接続されるリカバリーサージ抑制回路 4 と、第 3、第 4 の整流素子 D_7 、 D_8 を有する整流回路 5 と、を備え、キャパシタは、第 1、第 4 のスイッチ素子 Q_1 、 Q_4 が駆動すると充電し、第 4 の整流素子のリカバリーサージ発生より後に充電が終了し、あるいは、第 2、第 3 のスイッチ素子 Q_2 、 Q_3 が駆動すると充電し、第 3 の整流素子のリカバリーサージ発生より後に充電が終了する。

明 細 書

発明の名称：位相シフト方式フルブリッジ型電源回路

技術分野

[0001] 本発明は、位相シフト方式フルブリッジ型電源回路に関する。

背景技術

[0002] 従来、位相シフト方式フルブリッジ型電源回路において、トランスの一次側に接続されるブリッジ回路のスイッチ素子のZVS（Zero Voltage Switching）を実現するために、ブリッジ回路に還流インダクタを追加してスイッチ素子のスイッチング損失を抑制している。すなわち、還流インダクタと、ブリッジ回路のキャパシタ（スイッチ素子の寄生容量又はスイッチ素子に並列接続されているキャパシタ）と、により構成されるLC共振回路の共振特性を利用し、スイッチ素子のスイッチング損失を抑制している。例えば、関連する技術として、トランス自身の損失を抑えることが可能な位相シフト方式フルブリッジ型電源回路が知られている。例えば、特許文献1を参照。

[0003] ところが、還流インダクタをブリッジ回路に追加すると、トランスの二次側に接続される整流回路の整流ダイオードのリカバリーサージ電圧が大きくなる。そこでトランスの一次側にクランプダイオードを設けてリカバリーサージ電圧を抑制している。

先行技術文献

特許文献

[0004] 特許文献1：特開2006-230075号公報

発明の概要

発明が解決しようとする課題

[0005] しかしながら、クランプダイオードは、整流回路の整流ダイオードへの還流インダクタによるリカバリーサージ電圧の影響を抑制できるが、トランスの漏れインダクタによるリカバリーサージ電圧を抑制することはできない。トランスには構造上どうしても漏れインダクタが存在するため、整流回路の

整流ダイオードにはこの漏れインダクタによるリカバリーサージ電圧が発生する。そこで、従来はこのリカバリーサージ電圧を抑制するため、リカバリーサージ電圧に応じて、整流ダイオードの定格電圧を大きくして対応していた。ところが、整流ダイオードの定格電圧を大きくすると、整流ダイオードの性能低下につながるため、リカバリーサージ電圧が大きくなってしまうことになる。更に整流ダイオードの価格上昇にもつながる。

[0006] 本発明の一側面に係る目的は、トランスの漏れインダクタによるリカバリーサージ電圧を抑制する位相シフト方式フルブリッジ型電源回路を提供することである。

課題を解決するための手段

[0007] 本発明に係る一つの形態である位相シフト方式フルブリッジ型電源回路は、ブリッジ回路、リカバリーサージ保護回路、リカバリーサージ抑制回路、トランス、整流回路を備える。

[0008] ブリッジ回路は、フルブリッジ型に接続される第1～第4のスイッチ素子を有する。

リカバリーサージ保護回路は、第1、第2の整流素子を有し、ブリッジ回路に並列接続される。

[0009] リカバリーサージ抑制回路は、インダクタの一方の端子が、第1の整流素子のアノード端子と第2の整流素子のカソード端子と接続され、インダクタの他方の端子が、第3のスイッチ素子の一方の端子と第4のスイッチ素子の一方の端子と接続され、インダクタにキャパシタが並列接続される。

[0010] トランスは、一次巻線と二次巻線を有し、一次巻線の一方の端子は、第1のスイッチ素子の一方の端子と第2のスイッチ素子の一方の端子と接続され、一次巻線の他方の端子は、インダクタの一方の端子と接続される。

[0011] 整流回路は、トランスの二次側に接続され、第3、第4の整流素子を用いてトランスから出力される交流電圧を整流する。

制御回路は、第1～第4のスイッチ素子の駆動と停止を制御する。

[0012] キャパシタは、第1、第4のスイッチ素子が駆動すると充電を開始し、第

4の整流素子のリカバリ発生より後に充電を終了し、あるいは、キャパシタは、第2、第3のスイッチ素子が駆動すると充電を開始し、第3の整流素子のリカバリ発生より後に充電が終了する。

発明の効果

[0013] トランスの漏れインダクタによるリカバリサージ電圧を抑制することができる。

図面の簡単な説明

[0014] [図1]位相シフト方式フルブリッジ型電源回路の一実施例を示す図である。

[図2]スイッチ素子のスイッチングタイミングを示す図である。

[図3]リカバリサージ抑制回路の電流の流れを示す図である。

[図4]整流回路のダイオードのリカバリ発生時の波形を示す図である。

発明を実施するための形態

[0015] 以下図面に基づいて実施形態について詳細を説明する。

図1は、位相シフト方式フルブリッジ型電源回路1の一実施例を示す図である。位相シフト方式フルブリッジ型電源回路1は、制御回路2、入力キャパシタC0、ブリッジ回路、リカバリサージ保護回路3（クランプダイオード）、リカバリサージ抑制回路4、トランスT、整流回路5、平滑回路6を備えている。位相シフト方式フルブリッジ型電源回路1は、例えば、直流入力電源7から印加される直流入力電圧 V_{in} を直流出力電圧 V_{out} に変換して負荷8を駆動するDC-DCコンバータなどである。

[0016] 制御回路2は、ブリッジ回路を構成するスイッチ素子Q1～Q4の駆動（オン：導通）と停止（オフ：遮断）を、制御回路2に設けられている制御端子から出力する制御信号SQ1～SQ4により制御する。制御回路2は、例えば、CPU（Central Processing Unit）、マルチコアCPU、プログラマブルなデバイス（FPGA（Field Programmable Gate Array）やPLD（Programmable Logic Device）など）などを用いて構成される回路と、スイッチ素子Q1～Q4を駆動させる駆動回路などから構成される。

[0017] キャパシタC0は、直流入力電源7の正極端子に接続される一次側高圧線

H L 1 と、直流入力電源 7 の負極端子に接続される一次側低圧線 L L 1 と、の間に接続されている。

[0018] ブリッジ回路は、フルブリッジ型に接続されるスイッチ素子 Q 1 ～ Q 4 （第 1 ～ 第 4 のスイッチ素子）を有する。スイッチ素子 Q 1 ～ Q 4 は、M O S F E T （Metal Oxide Semiconductor Field Effect Transistor）や I G B T （Insulated Gate Bipolar Transistor）などを用いることが考えられる。図 1 の例では、スイッチ素子 Q 1 のソース端子（一方の端子）とスイッチ素子 Q 2 のドレイン端子（一方の端子）とが接続され、スイッチ素子 Q 3 のソース端子（一方の端子）とスイッチ素子 Q 4 のドレイン端子（一方の端子）とが接続されている。また、スイッチ素子 Q 1 のドレイン端子（他方の端子）とスイッチ素子 Q 3 のドレイン端子（他方の端子）とが接続され、スイッチ素子 Q 2 のソース端子（他方の端子）とスイッチ素子 Q 4 のソース端子（他方の端子）とが接続されている。

[0019] また、スイッチ素子 Q 1 にはキャパシタ C 1 及びダイオード D 1 が並列接続され、スイッチ素子 Q 2 にはキャパシタ C 2 及びダイオード D 2 が並列接続され、スイッチ素子 Q 3 にはキャパシタ C 3 及びダイオード D 3 が並列接続され、スイッチ素子 Q 4 にはキャパシタ C 4 及びダイオード D 4 が並列接続されている。ただし、キャパシタ C 1 ～ C 4 にはスイッチ素子 Q 1 ～ Q 4 の寄生容量を用いてもよいし、ダイオード D 1 ～ D 4 にはスイッチ素子 Q 1 ～ Q 4 の寄生ダイオードを用いてもよい。

[0020] なお、スイッチ素子 Q 1 ～ Q 4 のゲート端子は制御回路 2 の制御端子と接続され、制御端子から出力される制御信号 S Q 1 ～ S Q 4 によりスイッチ素子 Q 1 ～ Q 4 が制御される。

[0021] リカバリーサージ保護回路 3 は、ダイオード D 5 、 D 6 （第 1 、 第 2 の整流素子）を有する。リカバリーサージ保護回路 3 は、インダクタ L a （還流インダクタ）を追加したことにより、トランス T の二次側に接続される整流回路 5 のダイオード D 7 、 D 8 （第 3 、 第 4 の整流素子）に発生するリカバリーサージ電圧を抑制する。ダイオード D 5 のカソード端子は一次側高圧線

HL 1 とスイッチ素子 Q 1 のドレイン端子とスイッチ素子 Q 3 のドレイン端子とが接続され、ダイオード D 5 のアノード端子とダイオード D 6 のカソード端子とが接続され、ダイオード D 6 のアノード端子は一次側低圧線 LL 1 とスイッチ素子 Q 2 のソース端子とスイッチ素子 Q 4 のソース端子とが接続されている。

[0022] リカバリーサージ抑制回路 4 は、インダクタ L a の一方の端子が、ダイオード D 5 のアノード端子とダイオード D 6 のカソード端子と接続され、インダクタ L a の他方の端子が、スイッチ素子 Q 3 のソース端子とスイッチ素子 Q 4 のドレイン端子と接続され、インダクタ L a にキャパシタ C a が並列接続されている。

[0023] インダクタ L a は、スイッチ素子 Q 1 ～ Q 4 の ZVS を実現するために設けられたインダクタで、キャパシタ C 1 ～ C 4 とともに LC 共振回路を構成して共振特性を利用することで、スイッチ素子 Q 1 ～ Q 4 のスイッチング損失を抑制する。

[0024] また、インダクタ L a にキャパシタ C a を並列接続した回路は、トランス T の漏れインダクタ L 1 により、トランス T の二次側に接続される整流回路 5 のダイオード D 7、D 8 に発生するリカバリーサージ電圧を抑制する回路である。すなわち、インダクタ L a に流れる電流 I_L と、ダイオード D 7、D 8 のリカバリー発生時にトランス T の一次巻線 9 に流れる電流 I_T (負荷電流 + リカバリー電流) と、をキャパシタ C a に充電させることで、トランス T の二次巻線 10 a、10 b へ印加される入力電圧 ($2 \times V_{in} / N$) を下げ、トランス T の漏れインダクタ L 1 により発生するリカバリーサージ電圧を抑制する回路である。N はトランス T の一次巻線 9 と二次巻線 10 a、10 b の巻数比で、 $N : 1 : 1$ となる。

[0025] トランス T は、一次巻線 9 と二次巻線 10 a、10 b とを有している。一次巻線 9 の一方の端子は、スイッチ素子 Q 1 のソース端子とスイッチ素子 Q 2 のドレイン端子とに接続され、一次巻線 9 の他方の端子は、インダクタ L a の一方の端子と接続される。二次巻線 10 a、10 b それぞれの一方の端

子は中点（センタータップ）で互いに接続されている。

[0026] 整流回路5は、トランスTの二次側に接続され、ダイオードD7、D8を用いてトランスTから出力される交流電圧を整流して出力する。二次巻線10aの他方の端子はダイオードD7のカソード端子に接続され、二次巻線10bの他方の端子はダイオードD8のカソード端子に接続され、中点は、平滑回路6のインダクタL0の一方の端子に接続されている。ダイオードD7、D8それぞれのアノード端子は二次側低圧線LL2に接続されている。なお、ダイオードD7、D8はMOSFETを用いてもよい。ただし、MOSFETを用いた場合、MOSFETの寄生ダイオードが導通する期間と同期して、MOSFET自身を駆動することが好ましい。

[0027] 平滑回路6は、インダクタL0、キャパシタC5を有する。平滑回路6は、整流回路5で整流された電圧を平滑化して直流出力電圧Voutを出力する。図1の例では負荷8に給電している。なお、インダクタL0の他方の端子はキャパシタC5の一方の端子と二次側高圧線HL2に接続され、キャパシタC5の他方の端子は二次側低圧線LL2に接続される。

[0028] 位相シフト方式フルブリッジ型電源回路1の動作を説明する。

図2のAは、スイッチ素子Q1、Q2が進み相とした場合のスイッチングタイミング（駆動（on）と停止）を示す図である。

[0029] 図2のt1において、スイッチ素子Q4が駆動（ターンオン：on）し、スイッチ素子Q2、Q4がともに駆動（オン：on）すると、漏れインダクタL1→スイッチ素子Q2→スイッチ素子Q4→インダクタLa→漏れインダクタL1の経路で電流が流れ漏れインダクタL1のエネルギーは還流する。

[0030] 続いて、図2のt2において、スイッチ素子Q2が停止（ターンオフ）して、スイッチ素子Q4のみが駆動（オン：on）になると、キャパシタC2が充電され、キャパシタC1が放電される。そして、キャパシタC2の充電とキャパシタC1の放電が完了すると、漏れインダクタL1→ダイオードD1→直流入力電源7→スイッチ素子Q4→インダクタLa→漏れインダクタ

L 1 の経路で電流が流れる。

[0031] ダイオードD 1 が導通している時間に、図 2 の t 3 において、スイッチ素子 Q 1 が駆動（ターンオン：on）し、スイッチ素子 Q 1、Q 4 がともに駆動すると、漏れインダクタ L 1 → スwitch素子 Q 1 → 直流入力電源 7 → スwitch素子 Q 4 → キャパシタ C a → 漏れインダクタ L 1 の経路で電流 I_T が流れる。このときにキャパシタ C a は充電を開始する。なお、時間 t 0 における電流 I_L と電流 I_T と電流 I_o との関係は（式 1）のように表せる。

$$[0032] \quad I_o / N > I_T = I_L \quad (\text{式 1})$$

次に、漏れインダクタ L 1 が直流入力電圧 V_{in} で逆方向に印加されると、漏れインダクタ L 1 のエネルギーが減少し、電流 I_T の向きが反転し、直流入力電源 7 → スwitch素子 Q 1 → 漏れインダクタ L 1 → キャパシタ C a → スwitch素子 Q 4 → 直流入力電源 7 の経路で電流 I_T が流れる。

[0033] ダイオード D 8 のリカバリーサージ発生時にもキャパシタ C a の充電は継続され、図 3 に示すようにインダクタ L a に流れる電流 I_L 、及び、ダイオード D 8 のリカバリーサージ発生時にトランス T の一次巻線 9 に流れる電流 I_T （負荷電流 + リカバリーサージ電流）は、キャパシタ C a に充電されているので、トランス T の二次巻線 10 a、10 b に印加される入力電圧が下がる。図 3 は、リカバリーサージ抑制回路 4 の電流の流れを示す図である。

[0034] 続いて、ダイオード D 8 のリカバリーサージ発生時間を経過すると、キャパシタ C a の充電を終了する。その後、キャパシタ C a の充電が終了すると、キャパシタ C a の放電が開始され、二次巻線 10 a、10 b の両端の電圧は $2 \times V_{in} / N$ に戻る。このとき電流 I_L と電流 I_T と電流 I_o との関係は（式 2）のように表せる。

$$[0035] \quad I_o / N = I_T < I_L \quad (\text{式 2})$$

このように、ダイオード D 8 のリカバリーサージ発生時にキャパシタ C a に電流 I_L と電流 I_T を充電させることで、トランス T の二次巻線 10 a、10 b に印加される入力電圧を下げ、トランス T の漏れインダクタ L 1 により発生するリカバリーサージ電圧を下げる。

[0036] ダイオードD 8のリカバリーサージ電圧は、トランスTの二次巻線10a、10bに印加される電圧 $2 \times V_{in} / N$ を中心に、漏れインダクタL 1、ダイオードD 8の寄生容量による共振電圧が重畳した形になる。従って、従来の位相シフト方式フルブリッジ型電源回路のようにキャパシタC aがない場合、図4のA、Bに示すように、ダイオードD 8の定格電圧を超えたりカバリーサージ電圧が印加されてしまう。図4は、整流回路5のダイオードD 8のリカバリーサージ発生時の波形を示す図である。

[0037] キャパシタC aがない場合、図2、図4のA、Bに示した時間t aにおいてスイッチ素子Q 1、Q 4が駆動しても、トランスTの二次巻線10a、10bの電圧 V_{T2} は $2 \times V_{in} / N$ より低下しない。そのためダイオードD 8のリカバリーサージ発生時間t 1になると、電圧 $2 \times V_{in} / N$ を中心にしたりカバリーサージ電圧が重畳され、ダイオードD 8の定格電圧を超えてしまう。

[0038] キャパシタC aがある場合、キャパシタC aへの充電は、図2、図4のC～Fに示した時間t aにおいてスイッチ素子Q 1、Q 4が駆動すると開始され、ダイオードD 8のリカバリーサージ発生時間t bより後で終了するように設定されているので、キャパシタC aが充電を開始すると図4のEに示すように図1の計測点TPの電圧は0 [V] から直流入力電圧 V_{in} に近づき、一次巻線9の両端の電圧が下がり、それにもない二次巻線10a、10bの電圧も下がる。また、トランスTの二次巻線10a、10bの電圧は、リカバリーサージ電圧がダイオードD 8の定格電圧を超えない電圧まで下げる。

[0039] また、以上では、スイッチ素子Q 1、Q 4が駆動すると、キャパシタC aが充電を開始し、ダイオードD 8のリカバリーサージ発生より後に充電を終了することで、リカバリーサージ電圧を抑制する場合について説明したが、スイッチ素子Q 2、Q 3が駆動した場合にも同様のことが言える。すなわち、キャパシタC aは、図2のt 4において、スイッチ素子Q 2、Q 3が駆動すると、充電を開始してダイオードD 7のリカバリーサージ発生より後に充

電を終了することで、リカバリーサージ電圧を抑制することができる。なお、キャパシタC aが充電を開始すると図4のEとは逆に図1の計測点TPの電圧は直流入力電圧V i nから0[V]に近づく。

[0040] また、以上では、スイッチ素子Q 1、Q 2が進み相の場合について説明をしたが、図2のBに示すようにスイッチ素子Q 1、Q 2が遅れ相の場合にも、以上で説明したリカバリーサージ電圧を抑制する方法を適用することができる。図2のBは、スイッチ素子Q 1、Q 2が遅れ相とした場合のスイッチングタイミング（駆動（on）と停止）を示す図である。

[0041] 更に、リカバリーサージ電圧を抑制することで、ダイオードD 7、D 8の定格電圧を下げることができるので、順方向電圧（オン時電圧ドロップ）を小さくでき、損失も低減させることができる。また、ダイオードD 7、D 8の価格を下げることに繋がる。

[0042] また、本発明は、以上の実施の形態に限定されるものでなく、本発明の要旨を逸脱しない範囲内で種々の改良、変更が可能である。

符号の説明

- [0043] 1 位相シフト方式フルブリッジ型電源回路
2 制御回路
3 リカバリーサージ保護回路
4 リカバリーサージ抑制回路
5 整流回路
6 平滑回路
7 直流入力電源
8 負荷
9 一次巻線
10 a、10 b 二次巻線
C 0、C 1、C 2、C 3、C 4、C 5、C a キャパシタ
D 1、D 2、D 3、D 4、D 5、D 6、D 7、D 8 ダイオード
L 0、L a インダクタ

L 1 漏れインダクタ

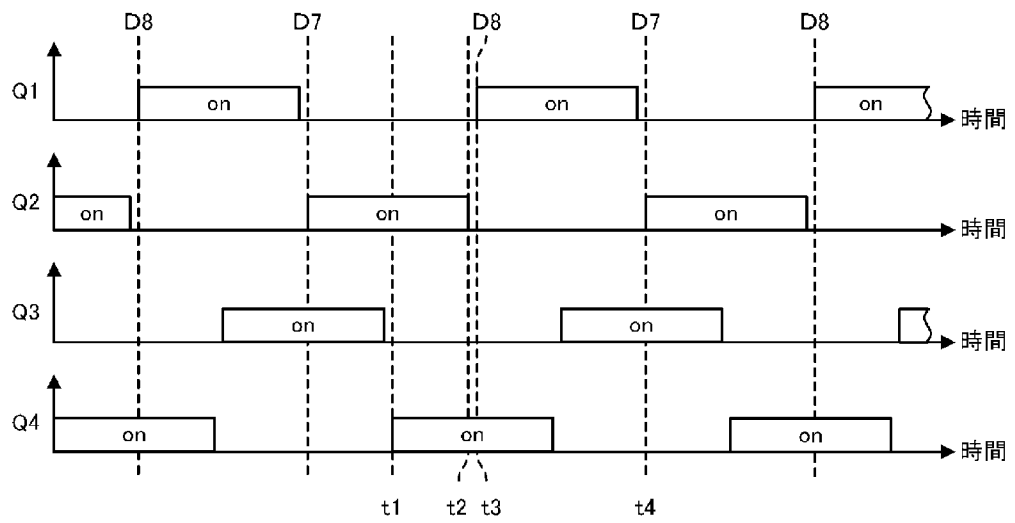
Q 1、Q 2、Q 3、Q 4 スイッチ素子

T トランス

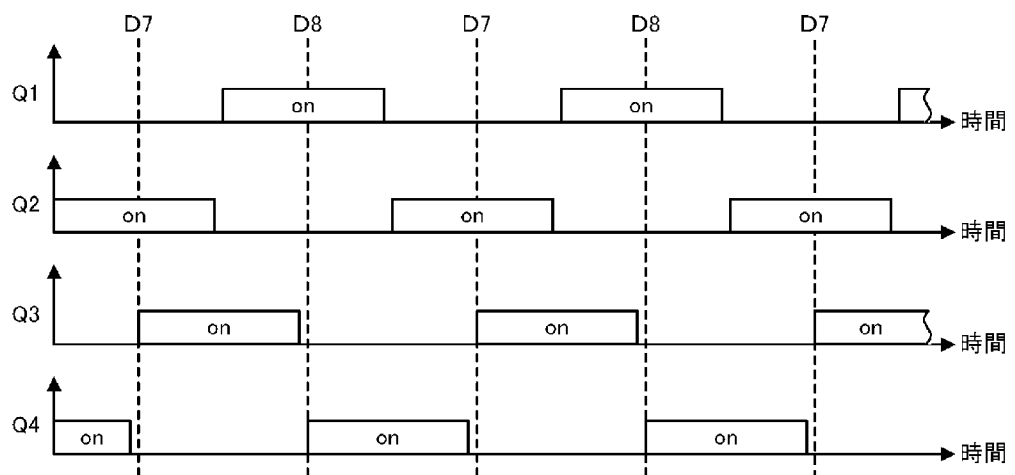
請求の範囲

- [請求項1] フルブリッジ型に接続される第1～第4のスイッチ素子を有するブリッジ回路と、
- 第1、第2の整流素子を有し、前記ブリッジ回路に並列接続されるリカバリーサージ保護回路と、
- インダクタの一方の端子は、前記第1の整流素子のアノード端子と前記第2の整流素子のカソード端子と接続され、前記インダクタの他方の端子は、前記第3のスイッチ素子の一方の端子と前記第4のスイッチ素子の一方の端子と接続され、前記インダクタにキャパシタが並列接続されるリカバリーサージ抑制回路と、
- 一次巻線と二次巻線を有し、前記一次巻線の一方の端子は、前記第1のスイッチ素子の一方の端子と前記第2のスイッチ素子の一方の端子と接続され、前記一次巻線の他方の端子は、前記インダクタの一方の端子と接続されるトランスと、
- 前記トランスの二次側に接続され、第3、第4の整流素子を用いて前記トランスから出力される交流電圧を整流する整流回路と、
- 前記第1～第4のスイッチ素子の駆動と停止を制御する制御回路と、
- を備えることを特徴とする位相シフト方式フルブリッジ型電源回路。
- [請求項2] 請求項1に記載の位相シフト方式フルブリッジ型電源回路であって、
- 前記キャパシタは、前記第1、第4のスイッチ素子が駆動すると充電を開始し、前記第4の整流素子のリカバリーサージ発生より後に充電が終了し、あるいは、前記キャパシタは、前記第2、第3のスイッチ素子が駆動すると充電を開始し、前記第3の整流素子のリカバリーサージ発生より後に充電が終了する、
- ことを特徴とする位相シフト方式フルブリッジ型電源回路。

[図2]

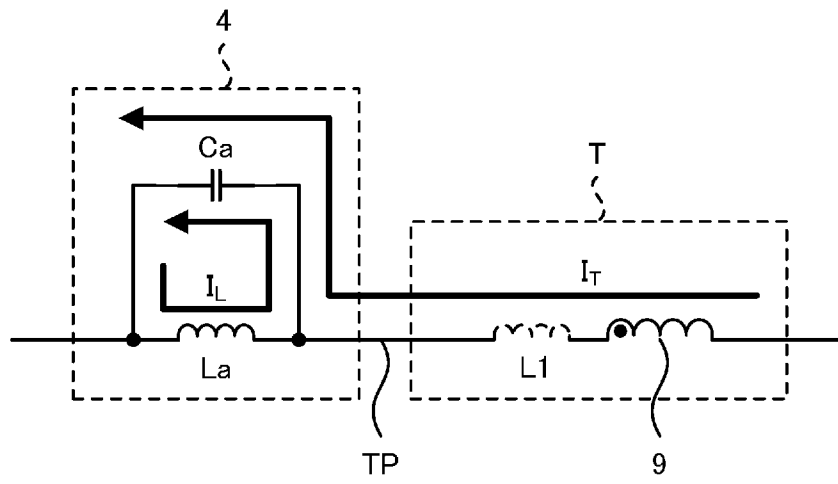


A

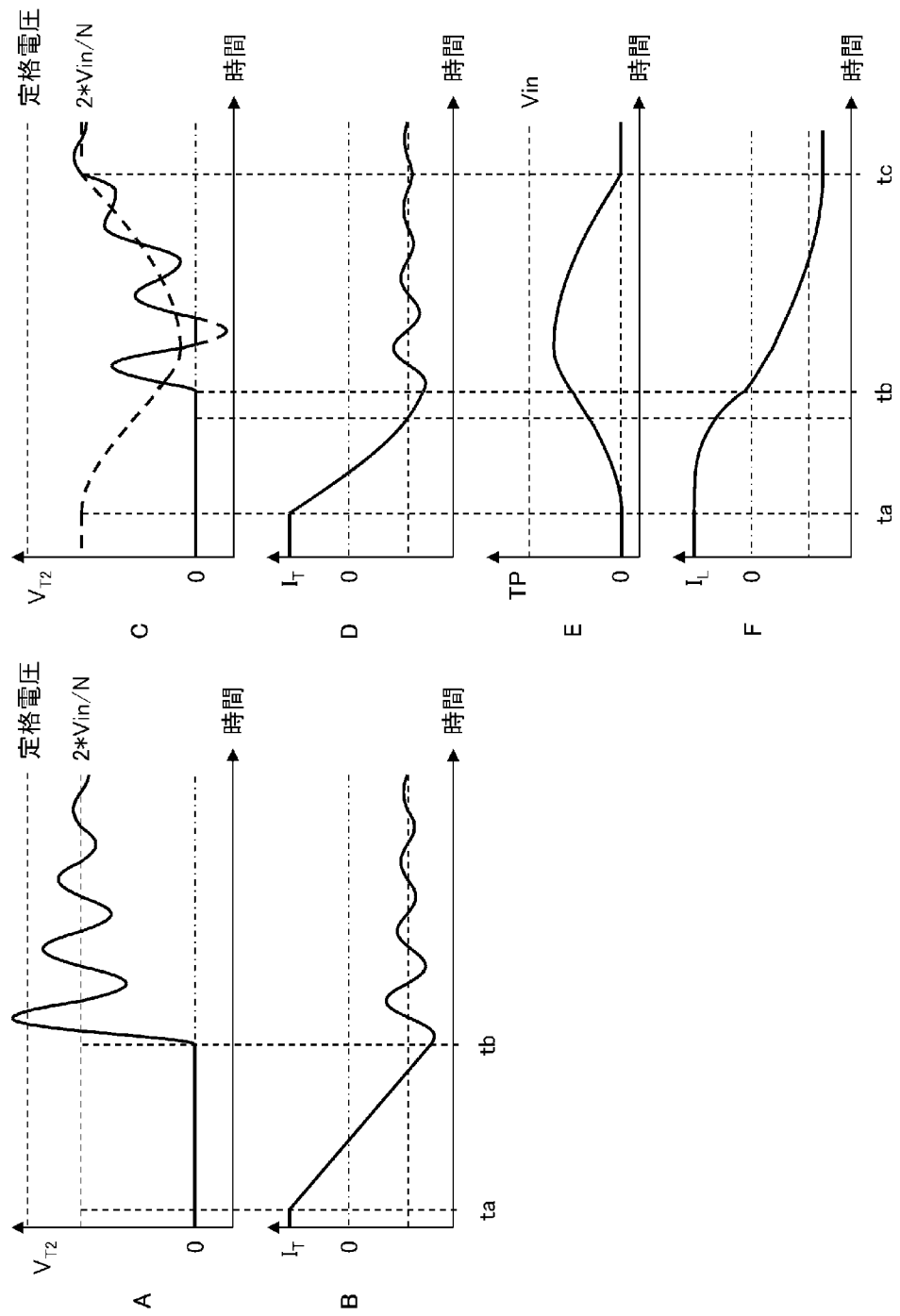


B

[図3]



[図4]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2017/000190

A. CLASSIFICATION OF SUBJECT MATTER

H02M3/28(2006.01)i, H02M3/335(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H02M3/00-3/44

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2017
Kokai Jitsuyo Shinan Koho	1971-2017	Toroku Jitsuyo Shinan Koho	1994-2017

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 2007/000830 A1 (Murata Mfg. Co., Ltd.), 04 January 2007 (04.01.2007), paragraphs [0010], [0027] to [0046]; fig. 3 to 5 & JP 4013995 B2 & US 2008/0170418 A1 paragraphs [0015], [0053] to [0072]; fig. 3 to 5 & EP 1909381 A1 & CN 101248575 A	1-2
A	JP 2008-187801 A (TDK Corp.), 14 August 2008 (14.08.2008), paragraphs [0026] to [0076]; fig. 1 to 15 (Family: none)	1-2

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
09 March 2017 (09.03.17)

Date of mailing of the international search report
21 March 2017 (21.03.17)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2017/000190

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 2015/118631 A1 (Mitsubishi Electric Corp.), 13 August 2015 (13.08.2015), paragraphs [0058] to [0074]; fig. 13 to 22 & US 2016/0303987 A1 paragraphs [0117] to [0136]; fig. 13 to 22 & EP 3104508 A1	1-2

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. H02M3/28(2006.01)i, H02M3/335(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. H02M3/00-3/44

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2017年
日本国実用新案登録公報	1996-2017年
日本国登録実用新案公報	1994-2017年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	WO 2007/000830 A1 (株式会社村田製作所) 2007.01.04, 段落 10, 段落 27-46, 図 3-5 & JP 4013995 B2 & US 2008/0170418 A1, 段落 15, 段落 53-72, 図 3-5 & EP 1909381 A1 & CN 101248575 A	1-2
A	JP 2008-187801 A (TDK株式会社) 2008.08.14, 段落 26-76, 図 1-15 (ファミリーなし)	1-2

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」 口頭による開示、使用、展示等に言及する文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」 同一パテントファミリー文献

国際調査を完了した日

09.03.2017

国際調査報告の発送日

21.03.2017

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

柳下 勝幸

5G

9561

電話番号 03-3581-1101 内線 3526

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	WO 2015/118631 A1 (三菱電機株式会社) 2015.08.13, 段落 58-74, 図 13-22 & US 2016/0303987 A1, 段落 117-136, 図 13-22 & EP 3104508 A1	1-2