申請日期： 93-02-23	IPC分類 H01L 23/60
申請案號： 93104411	

(以上各欄由本局填註)

發明專利說明書 200529404

一、發明名稱	中 文	雙向靜電放電防護裝置
	英 文	
二、發明人(共2人)	姓 名(中文)	1.侯建杕 2.陳偉梵
	姓 名(英文)	1.Chien-Ti Hou 2.Wei-Fan Chen
	國 籍(中英文)	1.中華民國 TW 2.中華民國 TW
	住居所(中 文)	1.台北縣汐止鎮福德一路37巷32號6樓 2.台中市北區新興里九鄰三民路3段89巷6號1F
	住居所(英 文)	1. 2.
三、申請人(共1人)	名稱或姓 名(中文)	1.華邦電子股份有限公司
	名稱或姓 名(英文)	1.
	國 籍(中英文)	1.中華民國 TW
	住居所(營業所)(中 文)	1.新竹科學工業園區研新三路四號 (本地址與前向貴局申請者相同)
	住居所(營業所)(英 文)	1.
	代表人(中文)	1.焦佑鈞
	代表人(英文)	1.

一、本案已向

國家(地區)申請專利	申請日期	案號	主張專利法第二十四條第一項優先權
無			

二、□主張專利法第二十五條之一第一項優先權:

申請案號:

無

日期:

三、主張本案係符合專利法第二十條第一項□第一款但書或□第二款但書規定之期間

日期:

四、□有關微生物已寄存於國外:

寄存國家:

寄存機構: 無

寄存日期:

寄存號碼:

□有關微生物已寄存於國內(本局所指定之寄存機構):

寄存機構:

寄存日期: 無

寄存號碼:

□熟習該項技術者易於獲得,不須寄存。

五、發明說明 (1)

[發明所屬之技術領域]

本發明係有關於一種靜電放電防護裝置，特別是有關於一種具有雙向靜電放電防護能力之矽控制整流器之靜電放電防護裝置。

[先前技術]

靜電放電(Electrostatic Discharge, 以下以ESD簡稱)係普遍存在於積體電路之量測、組裝、安裝及使用過程中。其造成積體電路損壞的可能，並間接影響電子系統的功能。然形成ESD應力的原因，最常見的是以三種模型來解釋：(1)人體模型(human body model)：這是以美軍軍事標準883號方法3015.6(MIL-STD-883, Method 3015.6)所界定之模型，係指人體所帶靜電碰觸積體電路的接腳時造成之ESD應力；(2)機器模型(machine model)：係指機器所帶靜電碰觸積體電路接腳時所造成之ESD應力，現有工業標準EIAJ-IC-121 method 20界定之量測方法；(3)電荷元件模型(charge device model)：係指一原已帶有電荷的積體電路在隨後的過程中，接觸導電物質接地，因此對積體電路形成一ESD脈衝路徑。

在目前一般之技術中，提供了許多解決靜電放電問題的方法。美國專利編號US5012317揭露了一種靜電放電保護電路。美國專利編號US5465189揭露了另一種靜電放電保護電路。參閱第1圖，第1圖係顯示於傳統抗靜電之半導體裝置之剖面圖。P型摻雜區15、N型井區12和P型基底11等，分別構成一PNP雙載子電晶體Q1之射極、基極和集

五、發明說明 (2)

極。N型井區12、P型基底11及N型摻雜區14等，分別構成一NPN雙載子電晶體Q2之集極、基極和射極。而N型摻雜區16及P型摻雜區15係電性耦接至接合墊19。另外，N型摻雜區14則與P型摻雜區13電性耦接至Vss電位18。上述之PNP雙載子電晶體及NPN雙載子電晶體係組成一矽控制整流器。

第2圖係顯示第1圖之半導體裝置之等效電路圖。圖中之電阻R_{sub}代表P型基底11之阻抗，電阻R_{nw}代表N型井區12之阻抗。當接合墊19及Vss之間因為單一電性電荷之累積而產生一定程度之電位差時，P型基底11之漏電流所產生之電位差將造成NPN雙載子電晶體Q2導通。當NPN雙載子電晶體Q2導通時，流經電阻R_{nw}之電流將導致PNP雙載子電晶體Q1導通。結果，在PNP雙載子電晶體Q1與NPN雙載子電晶體Q2彼此之正回饋效應下，能夠釋放於接合墊19所出現之大量ESD電流，藉此得以保護半導體裝置其內部之元件不受靜電應力之損壞。

第3圖係顯示傳統矽控制整流器之I-V曲線圖。當矽控制整流器在產生閉鎖前為關閉狀態，當施加電壓超過觸發電壓Vt（triggering voltage）時，矽控制整流器即發生上述閉鎖效應而導通，因此上述電壓將降至一維持電壓Vh（holding voltage），然後，大部分之電流將經由導通之矽控制整流器而迅速排除ESD電流。

然而，由第3圖可知，傳統矽控制整流器於接合墊19處的信號只可以是正電壓(大於0)。一旦需要傳送雙向之

五、發明說明（3）

信號（可以大於或小於0）時，便必須能夠防止正極性以及負極性之過度ESD電流破壞IC中的元件。而在傳統的ESD防護電路中，並沒有如此的功能。

[發明內容]

有鑑於此，為了解決上述問題，本發明主要目的在於提供一種雙向的ESD防護電路，不單是防止正極性電壓的ESD衝擊對 IC所可能造成的損害，而且可以防止負極性電壓的ESD衝擊所可能造成的影響。

另外，根據本發明所提供之雙向ESD防護電路，更包括一觸發網路，用以加速雙向ESD防護電路開始放電之時間。

為獲致上述之目的，本發明提出一種雙向靜電放電防護裝置，適用於接合墊。第一第二型井區以及第二第二型井區係分別形成於第一型半導體基底。第一第一型摻雜區以及第一第二型摻雜區係形成於第一第二型井區，並耦接於參考位準。第二第一型摻雜區以及第二第二型摻雜區係形成於第二第二型井區，並耦接於接合墊。第三第一型摻雜區係形成於第一型半導體基底。觸發網路係耦接於第三第一型摻雜區與上述參考位準之間。

[實施方式]

實施例：

參閱第4圖，第4圖係顯示根據本發明實施例所述之雙向靜電放電防護裝置之剖面圖。根據本發明實施例所述之靜電放電防護裝置，包括一P型半導體基底40，N型井區

五、發明說明（4）

42A以及42B係形成於P型半導體基底40表面。P型摻雜區46A以及N型摻雜區44A係形成於N型井區42A，並耦接於一參考位準Vref。P型摻雜區46B以及N型摻雜區44B係形成於N型井區42B，並耦接於接合墊47。P型摻雜區48係形成於P型半導體基底40。在此，P型摻雜區46B、N型井區42B、P型半導體基底40以及N型井區42A構成一正向矽控制整流器；另外，P型摻雜區46A、N型井區42A、P型半導體基底40以及N型井區42B構成一反向矽控制整流器。

另外，觸發網路49係耦接於P型摻雜區48與參考位準Vref之間，用以加速正向矽控制整流器以及反向矽控制整流器之一者的導通時間。

第5A圖至第5D圖係分別描述觸發網路49之可能電路結構。如圖所示，節點A係耦接至P型摻雜區48，而節點B係耦接至參考位準Vref。如第5A圖所示，觸發網路49可為一電容C，或者為如第5B圖所示之串接電阻R以及電容C。另外，觸發網路49可為NMOS電晶體MOS以及電阻R所構成，如第5C圖所示。NMOS電晶體MOS具有耦接於P型摻雜區48以及參考位準Vref之間之源/汲極以及閘極，而電阻R係耦接於閘極以及參考位準Vref之間。另外，於NMOS電晶體MOS之閘極與P型摻雜區48之間，可實際再增設一電容，如第5D圖所示。再者，於第5C圖與第5D圖中所示之NMOS電晶體MOS，其半導體結構之基底係電性浮接。

藉由設置觸發網路49，能夠提供P型半導體基底40內部電流一個臨時之電流路徑，使得靜電放電防護裝置之正

五、發明說明 (5)

向矽控制整流器以及反向矽控制整流器能夠於較早的時間導通，因此，使得靜電放電防護裝置能夠提早發揮作用，減少內部電路受到靜電應力破壞的機會。

第6圖係顯示根據本發明實施例第4圖所示之雙向靜電放電防護裝置之等效電路圖。圖中之電阻R_{sub}代表P型基底40之阻抗，電阻R_{nw1}代表N型井區42B之阻抗，而電阻R_{nw2}代表N型井區42A之阻抗。當接合墊47與Vref之間因為正電性電荷之累積而產生一定程度之電位差時，P型基底40之漏電流所產生之電位差將造成NPN雙載子電晶體Q_{npn1}導通。當NPN雙載子電晶體Q_{npn1}導通時，流經電阻R_{nw1}之電流將導致PNP雙載子電晶體Q_{pnp1}導通。結果，在PNP雙載子電晶體Q_{pnp1}與NPN雙載子電晶體Q_{npn1}彼此之正回饋效應下，能夠釋放於接合墊47所出現之大量ESD正電流。同樣的，當接合墊47與Vref之間因為負電性電荷之累積而產生一定程度之電位差時，P型基底40之漏電流所產生之電位差將造成NPN雙載子電晶體Q_{npn2}導通。當NPN雙載子電晶體Q_{npn2}導通時，流經電阻R_{nw2}之電流將導致PNP雙載子電晶體Q_{pnp2}導通。結果，在PNP雙載子電晶體Q_{pnp2}與NPN雙載子電晶體Q_{npn2}彼此之正回饋效應下，能夠釋放於接合墊47所出現之大量ESD負電流。因此，根據本發明實施例所述之靜電放電防護裝置，能夠保護半導體裝置其內部之元件不受正向以及負向靜電應力之損壞。

第7圖係顯示根據本發明實施例所述之雙向靜電放電防護裝置之I-V曲線圖。當矽控制整流器在產生閉鎖前，

五、發明說明（6）

為關閉狀態，當施加之正電壓超過正觸發電壓（+Vt）（triggering voltage）時，矽控制整流器即發生上述閉鎖效應而導通，因此上述電壓將降至一維持電壓（+Vh）（holding voltage），然後，大部分之正電流將經由導通之矽控制整流器而迅速排除ESD電流。當施加之負電壓超過負觸發電壓（-Vt）時，矽控制整流器即發生上述閉鎖效應而導通，因此上述負電壓將上升至維持電壓（-Vh），然後，大部分之負電流將經由導通之矽控制整流器而迅速排除ESD電流。

綜上所述，根據本發明所述之雙向靜電放電防護裝置，不僅能夠防止正極性電壓的ESD衝擊對IC所可能造成的損害，而且可以防止負極性電壓的ESD衝擊所可能造成的影響。有效的解決傳統技術所遭遇之問題。再者，根據本發明所揭露之觸發網路能夠大幅縮短雙向靜電放電防護裝置內部之矽控制整流器導通所需之時間，大幅減少內部電路受到靜電應力破壞的機會。

本發明雖以較佳實施例揭露如上，然其並非用以限定本發明的範圍，任何熟習此項技藝者，在不脫離本發明之精神和範圍內，當可做些許的更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

圖式簡單說明

為使本發明之上述目的、特徵和優點能更明顯易懂，下文特舉一較佳實施例，並配合所附圖式，作詳細說明如下：

圖示說明：

第1圖係顯示於傳統抗靜電之半導體裝置之剖面圖。

第2圖係顯示第1圖之半導體裝置之等效電路圖。

第3圖係顯示傳統矽控制整流器之I-V曲線圖。

第4圖係顯示根據本發明實施例所述之雙向靜電放電防護裝置之剖面圖。

第5A圖至第5D圖係分別描述根據本發明實施例所述之觸發網路之可能電路結構。

第6圖係顯示根據本發明實施例第4圖所示之雙向靜電放電防護裝置之等效電路圖。

第7圖係顯示根據本發明實施例所述之雙向靜電放電防護裝置之I-V曲線圖。

符號說明：

11、40～P型基底

12、42A、42B～N型井區

13、15、46A、46B、48～P型摻雜區

14、16、44A、44B～N型摻雜區

18～Vss電位

19、47～接合墊

49～觸發網路

A、B～節點

圖式簡單說明

C～電容

MOS～MOS電晶體

Q1、Q_{pnp1}、Q_{pnp2}～PNP雙載子電晶體

Q2、Q_{npn1}、Q_{npn2}～NPN雙載子電晶體

R、R_{sub}、R_{nw}、R_{nw1}、R_{nw2}～電阻

Vref～參考電壓

四、中文發明摘要　（發明名稱：雙向靜電放電防護裝置）

一種雙向靜電放電防護裝置，適用於接合墊。第一第二型井區以及第二第二型井區係分別形成於第一型半導體基底。第一第一型摻雜區以及第一第二型摻雜區係形成於第一第二型井區，並耦接於參考位準。第二第一型摻雜區以及第二第二型摻雜區係形成於第二第二型井區，並耦接於接合墊。第三第一型摻雜區係形成於第一型半導體基底。觸發網路係耦接於第三第一型摻雜區與上述參考位準之間。

伍、（一）、本案代表圖為：第___4_____圖

（二）、本案代表圖之元件代表符號簡單說明：

40～P型基底

42A、42B～N型井區

46A、46B、48～P型摻雜區

44A、44B～N型摻雜區

六、英文發明摘要　（發明名稱：）

四、中文發明摘要　（發明名稱：雙向靜電放電防護裝置）

47～接合墊
49～觸發網路
A、B～節點
Vref～參考電壓

六、英文發明摘要　（發明名稱：）

六、申請專利範圍

1. 一種雙向靜電放電防護裝置，適用於一接合墊，包括：

一第一型半導體基底；

一第一第二型井區以及一第二第二型井區，形成於上述第一型半導體基底；

一第一第一型摻雜區以及一第一第二型摻雜區，形成於上述第一第二型井區，並耦接於一參考位準；

一第二第一型摻雜區以及一第二第二型摻雜區，形成於上述第二第二型井區，並耦接於上述接合墊；

一第三第一型摻雜區，形成於上述第一型半導體基底；以及

一觸發網路，耦接於上述第三第一型摻雜區與上述參考位準之間。

2. 如申請專利範圍第1項所述之雙向靜電放電防護裝置，其中上述第一第一型摻雜區、第一第二型井區、第一型半導體基底以及第二第二型井區構成一第一矽控制整流器。

3. 如申請專利範圍第1項所述之雙向靜電放電防護裝置，其中上述第二第一型摻雜區、第二第二型井區、第一型半導體基底以及第一第二型井區構成一第二矽控制整流器。

4. 如申請專利範圍第3項所述之雙向靜電放電防護裝置，其中上述觸發網路係用以縮短上述第一矽控制整流器以及第二矽控制整流器之一者導通時所需之時間。

六、申請專利範圍

5. 如申請專利範圍第1項所述之雙向靜電放電防護裝置，其中上述觸發網路包括串接之電阻以及電容。

6. 如申請專利範圍第1項所述之雙向靜電放電防護裝置，其中上述觸發網路為一電容。

7. 如申請專利範圍第1項所述之雙向靜電放電防護裝置，其中上述觸發網路包括：

一MOS電晶體，具有分別耦接於上述第三第一型摻雜區以及上述參考位準之源汲極以及一閘極；以及

一電阻，耦接於上述閘極以及上述參考位準之間。

8. 如申請專利範圍第7項所述之雙向靜電放電防護裝置，其中上述觸發網路更包括一電容，耦接於上述閘極以及上述第三第一型摻雜區之間。

9. 如申請專利範圍第1項所述之雙向靜電放電防護裝置，其中上述第一型為P型。

10. 如申請專利範圍第1項所述之雙向靜電放電防護裝置，其中上述第一型為N型。

11. 一種雙向靜電放電防護裝置，適用於一接合墊，包括：

一P型半導體基底；

一第一N型井區以及一第二N型井區，形成於上述P型半導體基底；

一第一P型摻雜區以及一第一N型摻雜區，形成於上述第一N型井區，並耦接於一參考位準；

一第二P型摻雜區以及一第二N型摻雜區，形成於上述

六、申請專利範圍

第二N型井區，並耦接於上述接合墊；

一第三P型摻雜區，形成於上述P型半導體基底；以及

一觸發網路，耦接於上述第三P型摻雜區與上述參考位準之間。

12. 如申請專利範圍第11項所述之雙向靜電放電防護裝置，其中上述第一P型摻雜區、第一N型井區、P型半導體基底以及第二N型井區構成一第一矽控制整流器。

13. 如申請專利範圍第11項所述之雙向靜電放電防護裝置，其中上述第二P型摻雜區、第二N型井區、P型半導體基底以及第一N型井區構成一第二矽控制整流器。

14. 如申請專利範圍第13項所述之雙向靜電放電防護裝置，其中上述觸發網路係用以縮短上述第一矽控制整流器以及第二矽控制整流器之一者導通時所需之時間。

15. 如申請專利範圍第11項所述之雙向靜電放電防護裝置，其中上述觸發網路包括串接之電阻以及電容。

16. 如申請專利範圍第11項所述之雙向靜電放電防護裝置，其中上述觸發網路為一電容。

17. 如申請專利範圍第11項所述之雙向靜電放電防護裝置，其中上述觸發網路包括：

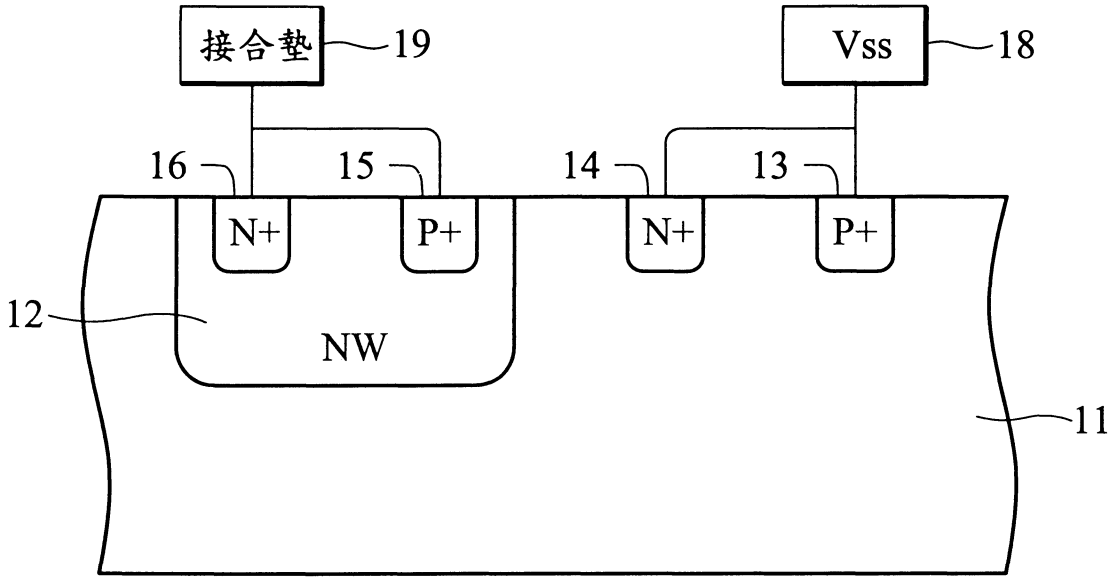
一MOS電晶體，具有分別耦接於上述第三P型摻雜區以及上述參考位準之源汲極以及一閘極；以及

一電阻，耦接於上述閘極以及上述參考位準之間。

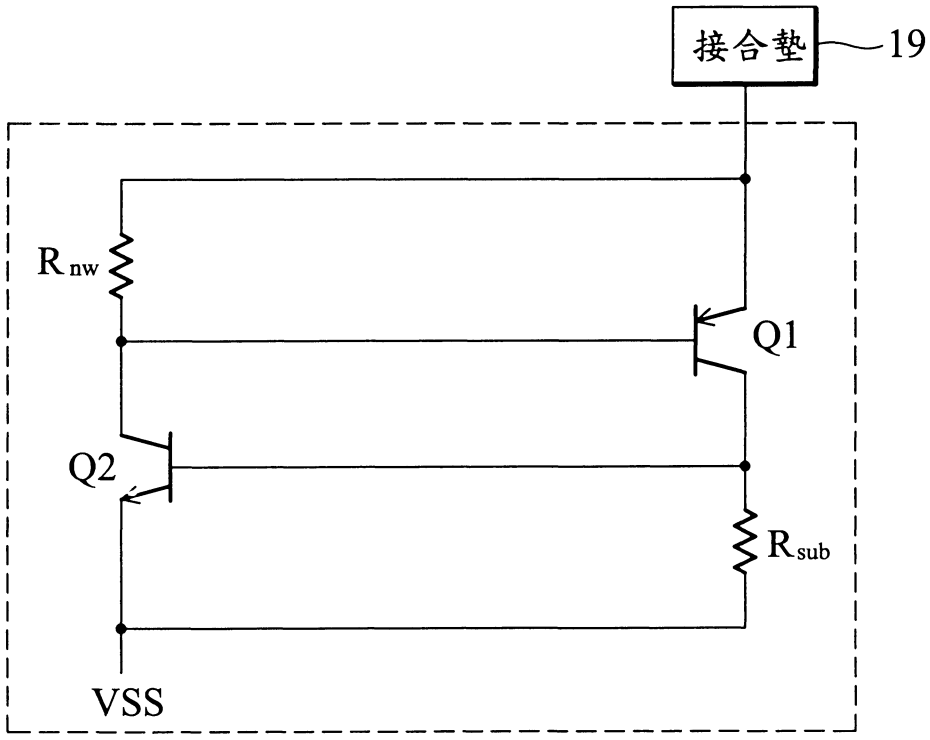
18. 如申請專利範圍第17項所述之雙向靜電放電防護裝置，其中上述觸發網路更包括一電容，耦接於上述閘極

六、申請專利範圍

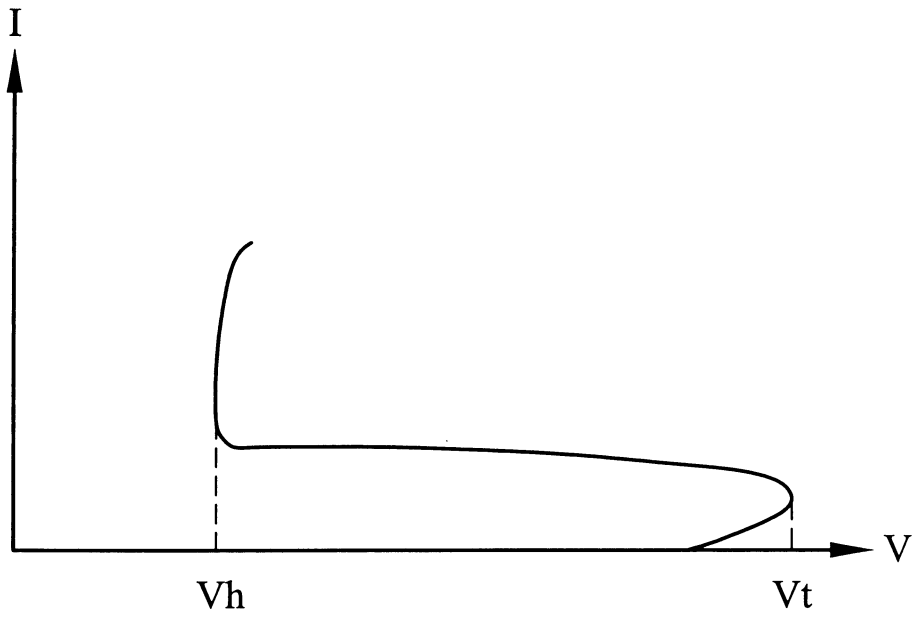
以及上述第三P型摻雜區之間。



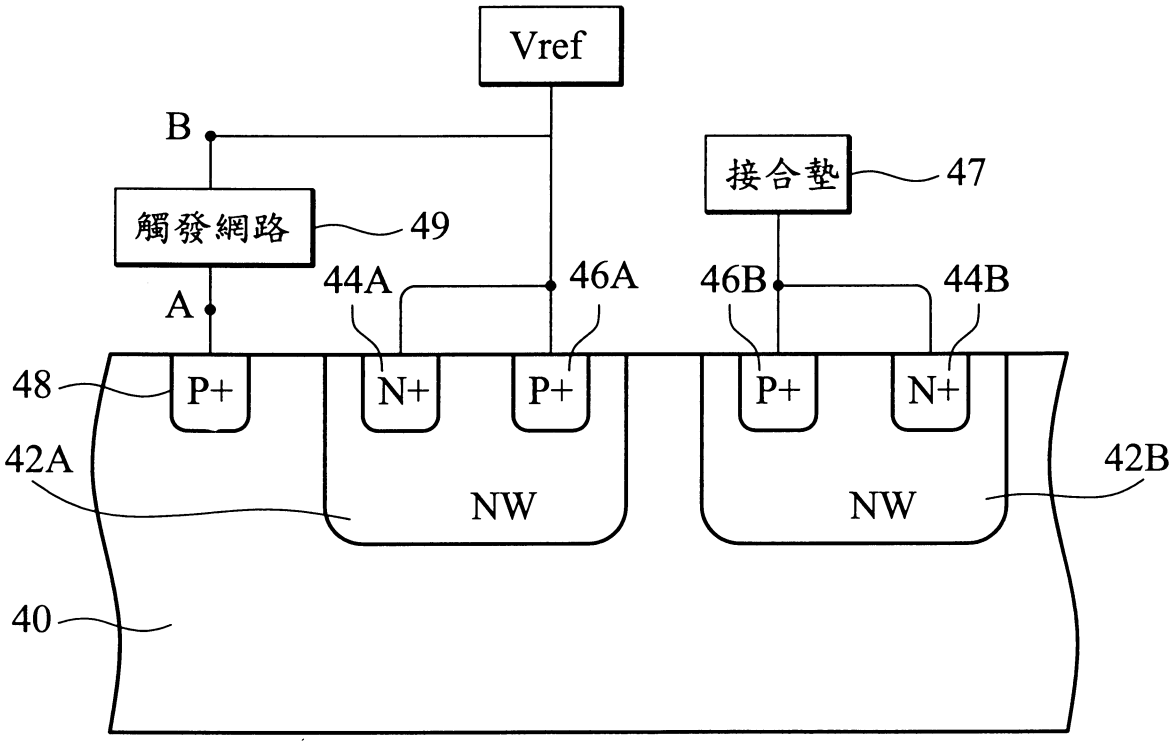
第 1 圖



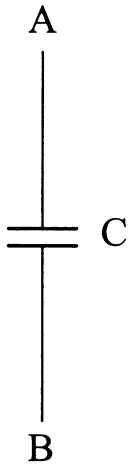
第 2 圖


I
V
Vh
Vt

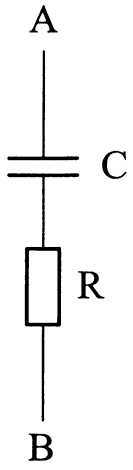
第 3 圖


Vref
B
接合墊
47
觸發網路
49
44A
46A
46B
44B
A
48
P+
N+
P+
P+
N+
42A
42B
NW
NW
40

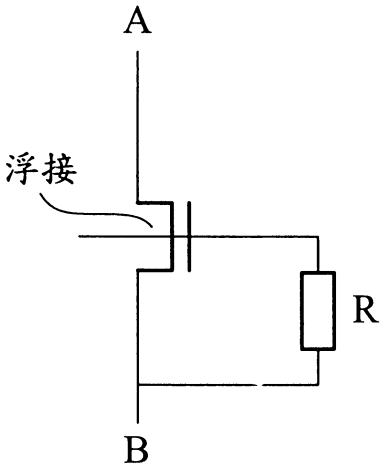
第 4 圖



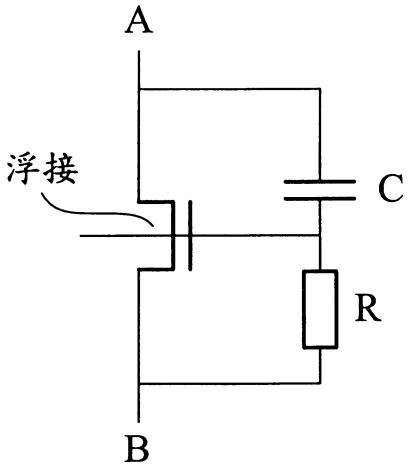
第 5A 圖



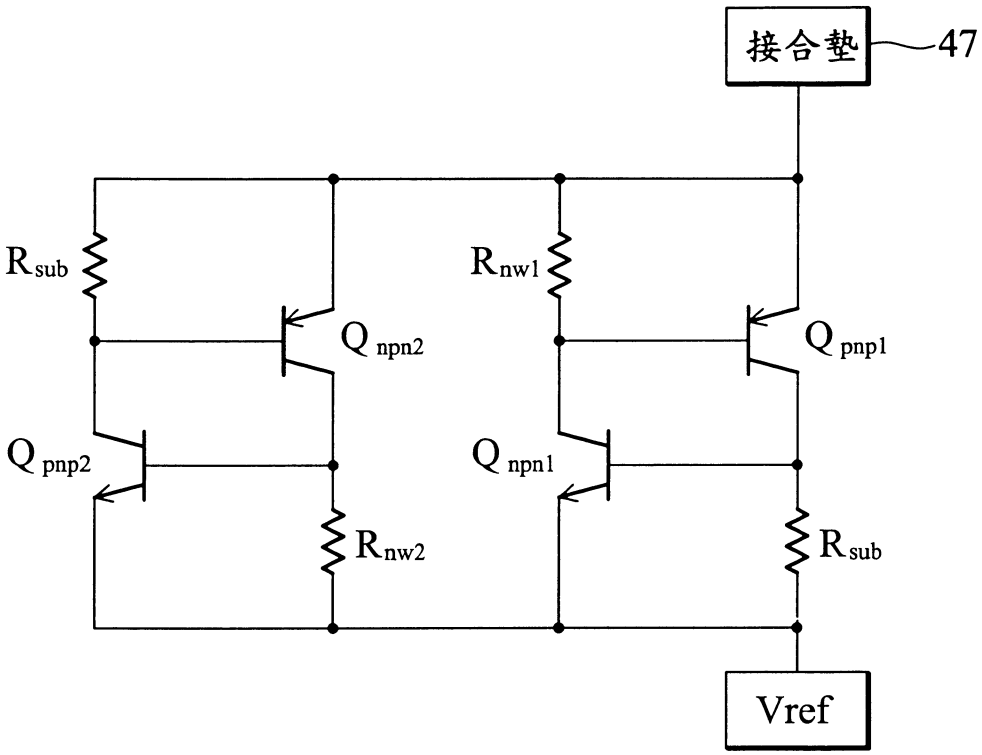
第 5B 圖



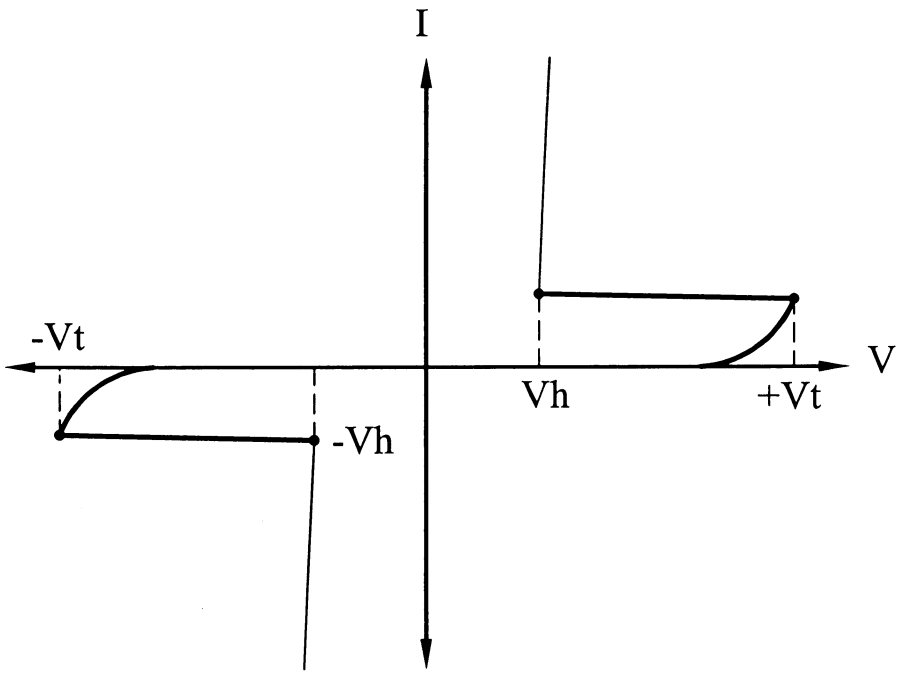
第 5C 圖



第 5D 圖


接合墊
47
Rsub
Rnw1
Q npn2
Q pnp1
Q pnp2
Q npn1
Rnw2
Rsub
Vref

第 6 圖


I
-Vt
V
Vh
+Vt
-Vh

第 7 圖