



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I455246 B

(45)公告日：中華民國 103 (2014) 年 10 月 01 日

(21)申請案號：101100050

(22)申請日：中華民國 101 (2012) 年 01 月 02 日

(51)Int. Cl. : H01L21/762 (2006.01)

H01L21/761 (2006.01)

(71)申請人：華亞科技股份有限公司 (中華民國) INOTERA MEMORIES, INC. (TW)

桃園縣龜山鄉復興三路 667 號

(72)發明人：李宗翰 LEE, TZUNG HAN (TW) ; 黃仲麟 HUANG, CHUNG LIN (TW) ; 朱榮福  
CHU, RON FU (TW)

(74)代理人：莊志強

(56)參考文獻：

US 6274437B1

US 7956437B2

審查人員：陳建仲

申請專利範圍項數：10 項 圖式數：4 共 0 頁

(54)名稱

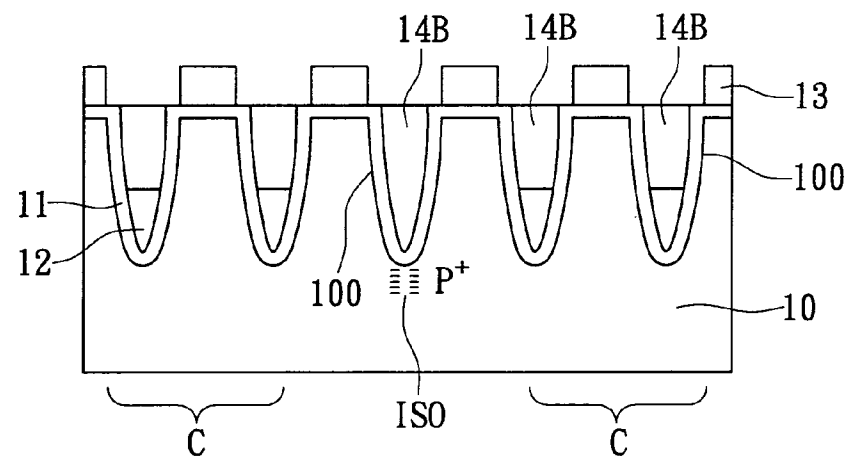
隔離區的形成方法及其結構

METHOD OF FORMING ISOLATION AREA AND STRUCTURE THEREOF

(57)摘要

一種隔離區的形成方法，包含以下步驟：提供一半導體基底，該半導體基底中具有第一型離子摻雜，其中該半導體基底中形成有多個溝槽，該些溝槽係位於多個晶胞區及相鄰的晶胞區之間的隔離區，每一該溝槽之側壁上具有一氧化層，且該些溝槽內填有金屬結構；移除位於該隔離區之該溝槽內的金屬結構；將第二型離子植入該半導體基底中，且對應位於該隔離區之該溝槽；填入絕緣結構於該些溝槽內，其中位於該隔離區之該溝槽係全部地被該絕緣結構所填滿，以形成不具金屬之隔離區。

A method for forming an isolation area includes the following steps. Step 1 is providing an N-type semiconducting substrate having a plurality of trenches. The trenches are located in cell areas and isolation areas between adjacent cell areas. An oxidation layer is formed on the side wall of the trenches and a metal structure is filled inside the trenches. Step 2 is removing the metal structure filled inside the trenches at the isolation areas. Step 3 is implanting P-type ions in the semiconducting substrate and under the trenches at the isolation areas. Step 4 is forming an insulating structure and the trenches at the isolation areas are entirely filled of the insulating structure to form as non-metal isolation areas.



- 10 . . . 半導體基底
- 100 . . . 溝槽
- 11 . . . 氧化層
- 12 . . . 金屬結構
- 13 . . . 多晶矽結構
- 14B . . . 絕緣結構
- C . . . 晶胞區
- ISO . . . 隔離區
- P<sup>+</sup> . . . 植入區域

圖4

# 發明專利說明書

公告本

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：101100050

※申請日：101.1.2

※IPC 分類：H01L 21/762, 21/761

## 一、發明名稱：(中文/英文)

隔離區的形成方法及其結構 / METHOD OF FORMING ISOLATION AREA AND STRUCTURE THEREOF

## 二、中文發明摘要：

一種隔離區的形成方法，包含以下步驟：提供一半導體基底，該半導體基底中具有第一型離子摻雜，其中該半導體基底中形成有多個溝槽，該些溝槽係位於多個晶胞區及相鄰的晶胞區之間的隔離區，每一該溝槽之側壁上具有一氧化層，且該些溝槽內填有金屬結構；移除位於該隔離區之該溝槽內的金屬結構；將第二型離子植入該半導體基底中，且對應位於該隔離區之該溝槽；填入絕緣結構於該些溝槽內，其中位於該隔離區之該溝槽係全部地被該絕緣結構所填滿，以形成不具金屬之隔離區。

## 三、英文發明摘要：

A method for forming an isolation area includes the following steps. Step 1 is providing an N-type semiconducting substrate having a plurality of trenches. The trenches are located in cell areas and isolation areas between adjacent cell areas. An oxidation layer is formed on the side wall of the trenches and a metal structure is filled inside the

trenches. Step 2 is removing the metal structure filled inside the trenches at the isolation areas. Step 3 is implanting P-type ions in the semiconducting substrate and under the trenches at the isolation areas. Step 4 is forming an insulting structure and the trenches at the isolation areas are entirely filled of the insulting structure to form as non-metal isolation areas.

#### 四、指定代表圖：

(一)本案指定代表圖為：圖4。

(二)本代表圖之元件符號簡單說明：

10	半導體基底	100	溝槽
11	氧化層		
12	金屬結構		
13	多晶矽結構		
14B	絕緣結構		
C	晶胞區		
ISO	隔離區		
P <sup>+</sup>	植入區域		

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

## 六、發明說明：

### 【發明所屬之技術領域】

本發明關於一種半導體元件，尤指一種半導體元件之隔離區的形成方法及其結構。

### 【先前技術】

近年來，隨著半導體積體電路製造技術的發展，晶片中所含元件的數量不斷增加，單一元件的尺寸卻因積集度的提高而不斷地縮小，生產線上使用的線路寬度已由次微米進入了四分之一微米甚或更細微尺寸的階段。然，無論元件尺寸如何縮小化，在晶片中各個元件之間仍必須有適當地絕緣或隔離，方可得到良好的元件性質，一般會利用元件隔離技術（device isolation technology）達到元件隔離的效果，其主要手段係在各元件之間形成隔離物，並且在確保良好隔離效果的情況下，盡可能地縮小隔離物的所佔面積/空間，以空出更多的晶片面積來製作更多的元件。

在諸多元件隔離技術中，局部矽氧化方法（local oxidation of silicon, LOCOS）和淺溝槽隔離區（shallow trench isolation, STI）製程是最常被採用的兩種技術，尤其 STI 技術具有隔離區域小和完成後仍保持基底平坦性等優點，更是近來頗受重視的半導體製造技術。然而隨著內埋式結構的發展，字元線係以成型溝槽的方式達成，而配合 STI 製程及良好的隔離效果，字元線溝槽與 STI 溝槽具有不同的深度，故必須使用兩道

光罩方能製作上述的字元線溝槽與 STI 溝槽，因此在製程上略顯複雜。

### 【發明內容】

本發明係提出一種具有簡化製程之隔離區的形成方法，且所形成之隔離區係為一種不具金屬之溝槽，該隔離區可以有效降低晶胞之間的漏電流。

本發明係提出一種隔離區的形成方法，包含以下步驟：提供一半導體基底，該半導體基底中具有第一型離子摻雜，其中該半導體基底中形成有多個溝槽，該些溝槽係位於多個晶胞區及相鄰的晶胞區之間的隔離區，每一該溝槽之側壁上具有一氧化層，且該些溝槽內填有金屬結構；移除位於該隔離區之該溝槽內的金屬結構；將第二型離子植入該半導體基底中，且對應位於該隔離區之該溝槽；填入絕緣結構於該些溝槽內，其中位於該隔離區之該溝槽係全部地被該絕緣結構所填滿，以形成不具金屬之隔離區。

本發明係提出一種隔離區之結構，包括一第一型摻雜之半導體基底，其具有多個晶胞區，且相鄰兩晶胞區之間形成有一溝槽，其特徵在於，該溝槽具有形成於其側壁上之一氧化層及覆蓋該氧化層之一絕緣結構，且該溝槽下方還形成有一第二型摻雜區，藉此形成一不具金屬之隔離區，而各該些晶胞區內形成有多個溝槽，各該些溝槽內形成有一氧化層、覆蓋部分該氧化層之一金屬結構及覆蓋另一部分該氧化層及該金

屬結構之一絕緣結構。

本發明之隔離區可利用填入介電/絕緣材料之溝槽與離子摻雜濃度的變化產生隔離結構，以達到較佳的隔離之能力，使記憶體晶胞之間具有較小的漏電流，進而提高記憶體特性。

為使能更進一步瞭解本發明之特徵及技術內容，請參閱以下有關本發明之詳細說明與附圖，然而所附圖式僅提供參考與說明用，並非用來對本發明加以限制者。

#### 【實施方式】

本發明係揭露一種隔離區的形成方法，其主要利用非金屬填滿溝槽配合離子植入的方式達到晶胞與晶胞之間的良好隔離，且在結構中形成一致深度之溝槽，而不需以額外的光罩來形成深溝槽之隔離；換言之，本發明可簡化隔離區的製程，且又可滿足降低晶胞之間的漏電流（cell-to-cell leakage）之功效。

請參考圖 1 至圖 4，其顯示本發明之隔離區的形成方法的實施步驟：

步驟一：提供一半導體基底 10，半導體基底 10 中具有第一型離子摻雜，如 N 型離子摻雜，其中該半導體基底 10 中形成有多個溝槽 100，該些溝槽 100 係分別位於多個晶胞區 C 及相鄰的晶胞區 C 之間的隔離區 ISO，溝槽 100 之側壁上具有一氧化層 11，且該些溝槽 100 內填有金屬結構 12，例如氮化鈦（TiN）。在本步

驟中，半導體基底 10 已先經過半導體製程，例如黃光、微影、蝕刻等而成型有多個溝槽 100，且溝槽 100 的位置係定義出晶胞區 C 及隔離區 ISO；如圖 1 所示，左側兩個及右側兩個溝槽 100 係位於晶胞區 C，而中間的溝槽 100 即可用於製成本發明之隔離區 ISO。

再者，由於本發明不需利用深溝槽達到隔離的目的，故可將兩道光罩簡化為一道光罩，換言之，本發明所形成之溝槽 100 具有相同深度，例如 800um。

另外，所述之氧化層 11，例如閘極氧化層係成型於溝槽 100 的側壁及半導體基底 10 上；而半導體基底 10 的表面上（亦即氧化層 11 之上）具有多晶矽結構 13 及氮化物結構 14A，如圖所示，閘極多晶矽層（即多晶矽結構 13）係成型於半導體基底 10 的表面上，而內凹存取裝置（RECESSED ACCESS DEVICE, RAD）氮化層（即氮化物結構 14A）係成型於閘極多晶矽層之上。

步驟二：移除位於隔離區 ISO 之溝槽 100 內的金屬結構 12。請參考圖 2，在此步驟中，係先以黃光製程將光阻 P 遮蔽位於晶胞區 C 之溝槽 100，以裸露出隔離區 ISO 之溝槽 100 及其中的金屬結構 12；接著，利用蝕刻方式，如濕蝕刻去除位於隔離區 ISO 之溝槽 100 內的金屬結構 12，如圖 2 所示，隔離區 ISO 之溝槽 100 中僅留下氧化層 11。

步驟三：將第二型離子植入半導體基底 10 中，且對應位於隔離區 ISO 之溝槽 100。請同樣參考圖 2，在

此步驟中，係利用離子植入的方式將第二型離子，如硼（boron）等 P 型離子植入半導體基底 10，由於光阻 P 的作用，P 型離子會被植入於隔離區 ISO 之溝槽 100 之下方（即圖 2 所示之植入區域  $P^+$ ），此一植入離子可提高兩側之晶胞區 C 的隔離度，以進一步降低兩側晶胞區 C 之間的漏電流。

步驟四：填入絕緣結構 14B 於溝槽 100 內，其中位於隔離區 ISO 之溝槽 100 係全部地被該絕緣結構 14B 所填滿，以形成不具金屬之隔離區 ISO。請參考圖 3，其顯示絕緣結構 14B 係全面地覆蓋於隔離區 ISO 及晶胞區 C，換言之，隔離區 ISO 及晶胞區 C 之溝槽 100 中均會填入絕緣結構 14B，且半導體基底 10 上之氮化物結構 14A 亦被絕緣結構 14B 所覆蓋。在本具體實施例中，步驟四之前更包括一去除光阻 P 之步驟（PR-strip）；另一方面，絕緣結構 14B 係為氮化物材料，例如氮化矽（SiN），其材質類似於氮化物結構 14A，故可在後續的製程中一併將氮化物結構 14A 與絕緣結構 14B 加以去除。在此步驟之後，隔離區 ISO 之溝槽 100 中填滿有絕緣結構 14B，且隔離區 ISO 之溝槽 100 下方具有 P 型離子摻雜，故相對於兩側之晶胞區 C 而言，隔離區 ISO 係為一種不具金屬之閘極絕緣結構（non-metal gate isolation），其可有效降低晶胞區 C 之間的漏電流。

另外，在上述步驟之後，更可包括一蝕刻步驟，以去除部分之氮化物材料，亦即去除部分之氮化物結

構 14A 與絕緣結構 14B，以裸露出多晶矽結構 13，如圖 4 所示。據此，在完成以上步驟之後，半導體基底 10 中具有第一型離子摻雜（如 N 摻雜），其中半導體基底 10 中形成有多個溝槽 100，溝槽 100 係位於晶胞區 C 及相鄰的晶胞區 C 之間的隔離區 ISO，溝槽 100 之側壁上具有一氧化層 11，其中位於隔離區 ISO 之溝槽 100 係全部地被絕緣結構 14B 所填滿，以形成不具金屬之隔離區，而位於晶胞區 C 之溝槽 100 係被該絕緣結構 14B 與金屬結構 12 所填滿，而第二型離子（如 P 型離子）被植入半導體基底 10 中，且設置於隔離區 ISO 之溝槽 100 之下方。

本發明至少具有優點：

1、本發明之溝槽具有相同的深度，故可使用一道光罩完成晶胞區與隔離區的溝槽，以達簡化製程的效果。

2、本發明之隔離區係利用填入介電材料（即絕緣結構）與離子摻雜之配合，故可在電性上阻絕晶胞之間的漏電流，進而提升記憶體的特性。

以上所述僅為本發明之較佳可行實施例，非因此侷限本發明之專利範圍，故舉凡運用本發明說明書及圖示內容所為之等效技術變化，均包含於本發明之範圍內。

#### 【圖式簡單說明】

圖 1 係為本發明之隔離區的形成方法之步驟一的

示意圖。

圖 2 係為本發明之隔離區的形成方法之步驟二、三的示意圖。

圖 3 係為本發明之隔離區的形成方法之步驟四的示意圖。

圖 4 係為本發明之隔離區的形成方法之蝕刻步驟的示意圖。

#### 【主要元件符號說明】

10	半導體基底	100	溝槽
11	氧化層		
12	金屬結構		
13	多晶矽結構		
14A	氮化物結構		
14B	絕緣結構		
P	光阻		
C	晶胞區		
ISO	隔離區		
P <sup>+</sup>	植入區域		

## 七、申請專利範圍：

### 1、一種隔離區的形成方法，包含以下步驟：

提供一半導體基底，該半導體基底中具有第一型離子摻雜，其中該半導體基底中形成有多個溝槽，該些溝槽係位於多個晶胞區及相鄰的晶胞區之間的隔離區，每一該溝槽之側壁上具有一氧化層，且該些溝槽內填有金屬結構；

移除位於該隔離區之該溝槽內的金屬結構；

將第二型離子植入該半導體基底中，且對應位於該隔離區之該溝槽；

填入絕緣結構於該些溝槽內，其中位於該隔離區之該溝槽係全部地被該絕緣結構所填滿，以形成不具金屬之隔離區。

2、如申請專利範圍第1項所述之隔離區的形成方法，其中在提供一半導體基底之步驟中，該半導體基底係具有N型離子摻雜。

3、如申請專利範圍第1項所述之隔離區的形成方法，其中在提供一半導體基底之步驟中，該半導體基底的表面上具有多個多晶矽結構及多個氮化物結構。

4、如申請專利範圍第1項所述之隔離區的形成方法，其中在移除位於該隔離區之該溝槽內的金屬結構的步驟係包括：

以光阻遮蔽位於該些晶胞區之該溝槽；以及

利用蝕刻方式去除位於該隔離區之該溝槽內的該金屬結構。

- 5、如申請專利範圍第2項所述之隔離區的形成方法，其中在將第二型離子植入該半導體基底中的步驟中，係將P型離子植入該半導體基底中，且設置於位於該隔離區之該溝槽之下。
- 6、如申請專利範圍第3項所述之隔離區的形成方法，其中在填入絕緣結構於該些溝槽內之步驟中，該絕緣結構係為氮化物材料。
- 7、如申請專利範圍第6項所述之隔離區的形成方法，更包括一在填入絕緣結構於該些溝槽內之步驟之後的蝕刻步驟，以去除部分之氮化物材料，並裸露出該多晶矽結構。
- 8、一種隔離區之結構，包括一第一型摻雜之半導體基底，其具有多個晶胞區，且相鄰兩晶胞區之間形成有一溝槽，其特徵在於，該溝槽具有形成於其側壁上之一氧化層及覆蓋該氧化層之一絕緣結構，且該溝槽下方還形成有一第二型摻雜區，藉此形成一不具金屬之隔離區，而各該些晶胞區內形成有多個溝槽，各該些溝槽內形成有一氧化層、覆蓋部分該氧化層之一金屬結構及覆蓋另一部分該氧化層及該金屬結構之一絕緣結構。
- 9、如申請專利範圍第8項所述之隔離區之結構，其中該些溝槽具有相同深度。
- 10、如申請專利範圍第8項所述之隔離區之結構，其中該半導體基底的表面上具有一裸露於該絕緣結構之多晶矽結構。

八、圖式：

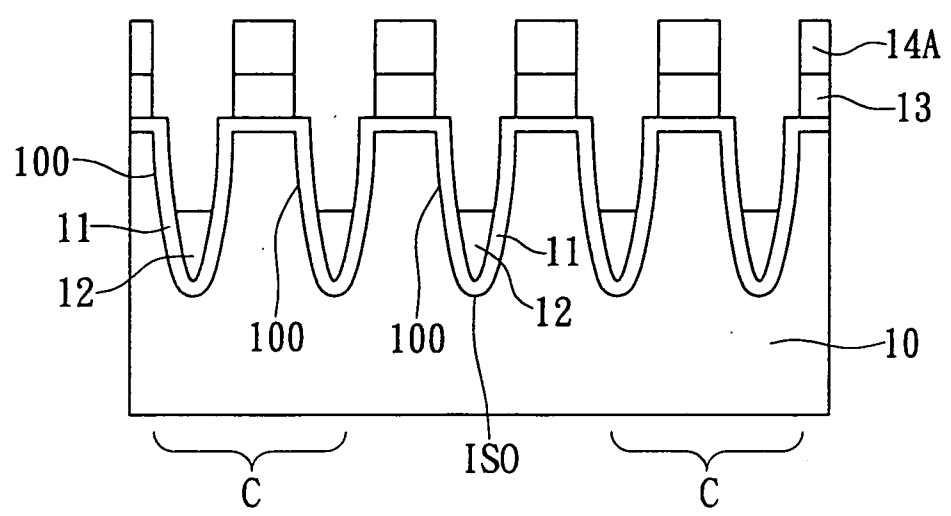


圖 1

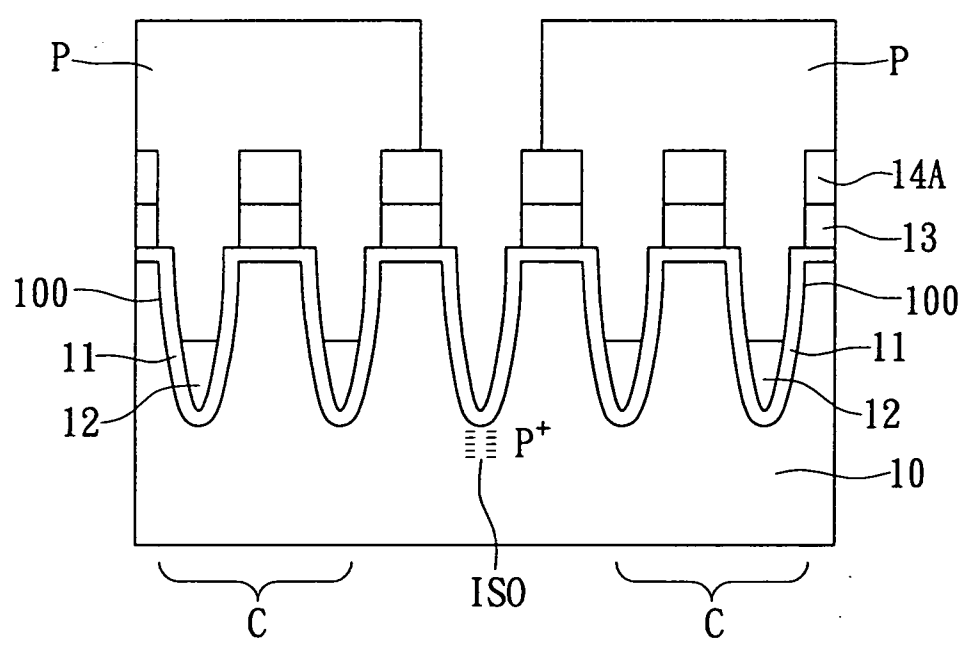


圖 2

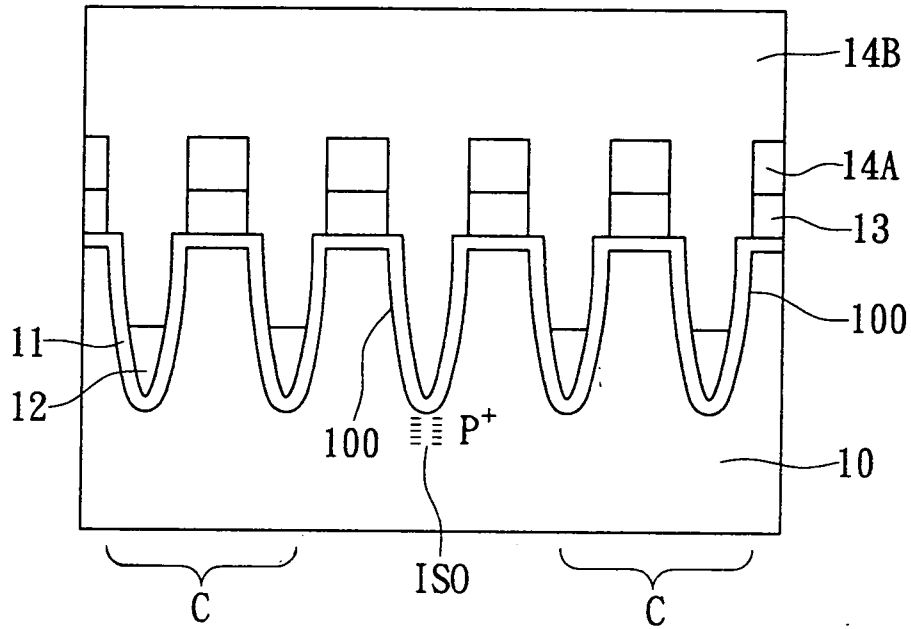


圖3

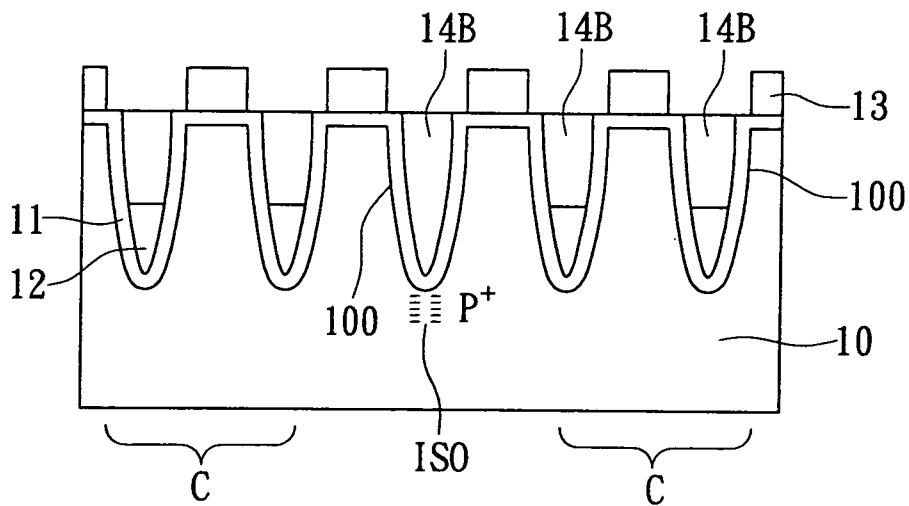


圖4