

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6359677号
(P6359677)

(45) 発行日 平成30年7月18日(2018.7.18)

(24) 登録日 平成30年6月29日(2018.6.29)

(51) Int.Cl.

F I

H02J	1/02	(2006.01)	H02J	1/02	
H02M	1/14	(2006.01)	H02M	1/14	
H03K	19/00	(2006.01)	H03K	19/00	210
H03K	19/017	(2006.01)	H03K	19/017	
H03K	17/14	(2006.01)	H03K	17/14	

請求項の数 28 (全 19 頁)

(21) 出願番号 特願2016-550635 (P2016-550635)
 (86) (22) 出願日 平成27年2月3日(2015.2.3)
 (65) 公表番号 特表2017-507594 (P2017-507594A)
 (43) 公表日 平成29年3月16日(2017.3.16)
 (86) 国際出願番号 PCT/US2015/014313
 (87) 国際公開番号 W02015/119971
 (87) 国際公開日 平成27年8月13日(2015.8.13)
 審査請求日 平成29年11月20日(2017.11.20)
 (31) 優先権主張番号 14/175,922
 (32) 優先日 平成26年2月7日(2014.2.7)
 (33) 優先権主張国 米国 (US)

早期審査対象出願

(73) 特許権者 595020643
 クアアルコム・インコーポレイテッド
 QUALCOMM INCORPORATED
 アメリカ合衆国、カリフォルニア州 92
 121-1714、サン・ディエゴ、モア
 ハウス・ドライブ 5775
 (74) 代理人 100108855
 弁理士 蔵田 昌俊
 (74) 代理人 100109830
 弁理士 福原 淑弘
 (74) 代理人 100158805
 弁理士 井関 守三
 (74) 代理人 100112807
 弁理士 岡田 貴志

最終頁に続く

(54) 【発明の名称】 配電網 (PDN) 調整器

(57) 【特許請求の範囲】

【請求項 1】

高電圧レールに結合されたキャパシタと、
 前記高電圧レールと電力レールとの間に結合されたドループ勾配リミッタと、
 を備え、前記ドループ勾配リミッタは、
 前記電力レール上の下向き電圧勾配を検出するように、および前記検出された下向き電
 圧勾配に基づいて勾配信号を出力するように、構成された勾配検出回路と、
 前記高電圧レールと前記電力レールとの間に結合されたパワートランジスタと、
 前記勾配検出回路からの前記勾配信号を勾配しきい値信号と比較するように、前記勾配
 信号が前記勾配しきい値信号より上回る場合、前記パワートランジスタをオンにして前記
 キャパシタから前記電力レールへの電流フローを可能にするように、および前記勾配信号
 が前記勾配しきい値信号を下回る場合、前記パワートランジスタをオフにして前記キャパ
 シタから前記電力レールへの前記電流フローを阻止するように、構成された制御回路と
 を備える、電力回路。

【請求項 2】

前記高電圧レールが、前記電力レールよりも少なくとも 50 パーセント大きい電圧にあ
 る、請求項 1 に記載の電力回路。

【請求項 3】

前記パワートランジスタがオンにされる時間の間、前記制御回路は、前記検出された下
 向き電圧勾配の大きさが勾配しきい値にほぼ制限されるように、前記パワートランジスタ

10

20

を通る前記電流フローを制御するように構成される、請求項 1 に記載の電力回路。

【請求項 4】

前記パワートランジスタは電界効果トランジスタを備え、前記制御回路は、前記パワートランジスタのゲート電圧を制御することによって前記パワートランジスタをオンおよびオフにするように構成される、請求項 1 に記載の電力回路。

【請求項 5】

前記電力レールと接地との間に結合されたオーバーシュート勾配リミッタをさらに備え、ここにおいて、前記オーバーシュート勾配リミッタが前記電力レール上の上向き電圧勾配を検出するように、および前記検出された上向き電圧勾配に基づいて、前記オーバーシュート勾配リミッタを通る前記電力レールから前記接地への電流フローを制御するように構成された、請求項 1 に記載の電力回路。

10

【請求項 6】

前記オーバーシュート勾配リミッタは、前記検出された上向き電圧勾配が勾配しきい値を下回る場合、前記電力レールから前記接地への前記電流フローを阻止すること、および前記検出された上向き電圧勾配が前記勾配しきい値を上回る場合、前記電力レールから前記接地への前記電流フローを可能にすること、によって前記電力レールから前記接地への前記電流フローを制御するために構成された、請求項 5 に記載の電力回路。

【請求項 7】

前記オーバーシュート勾配リミッタが前記電力レールから前記接地への前記電流フローを可能にする時間の間、前記オーバーシュート勾配リミッタは、前記検出された上向き電圧勾配が前記勾配しきい値にほぼ制限されるように、前記オーバーシュート勾配リミッタを通る前記電力レールから前記接地への前記電流フローを制御するように、構成される、請求項 6 に記載の電力回路。

20

【請求項 8】

前記電力回路が単一のチップ上に集積されている、請求項 1 に記載の電力回路。

【請求項 9】

前記電力レールと前記チップ上の回路との間に結合されたヘッドスイッチをさらに備え、ここにおいて、前記ヘッドスイッチは前記チップ上の前記回路を電力ゲーティングするように構成される、請求項 8 に記載の電力回路。

【請求項 10】

30

電力レールを調整するための方法であって、
前記電力レール上の下向き電圧勾配を検出することと、
前記検出された下向き電圧勾配に基づいて、高電圧レールを介したキャパシタから前記電力レールへの電流フローを制御することと

を備え、ここにおいて、前記電流フローを制御することは、
前記検出された下向き電圧勾配の大きさが勾配しきい値を下回る場合、前記キャパシタから前記電力レールへの前記電流フローを阻止することと、
前記検出された下向き電圧勾配の前記大きさが前記勾配しきい値を上回る場合、前記キャパシタから前記電力レールへの前記電流フローを可能にすることと

をさらに備える、方法。

40

【請求項 11】

前記高電圧レールが、前記電力レールよりも少なくとも 50 パーセント大きい電圧にある、請求項 10 に記載の方法。

【請求項 12】

前記電流フローを可能にすることは、前記検出された下向き電圧勾配の前記大きさが前記勾配しきい値にほぼ制限されるように、前記電流フローを調節することをさらに備える、請求項 10 に記載の方法。

【請求項 13】

電界効果トランジスタが前記高電圧レールと前記電力レールとの間に結合され、前記電流フローを調節することが前記電界効果トランジスタのゲート電圧を調節することを備え

50

る、請求項 12 に記載の方法。

【請求項 14】

前記電力レール上の上向き電圧勾配を検出することと、

前記検出された上向き電圧勾配に基づいて前記電力レールから接地への電流フローを制御することと

をさらに備える、請求項 10 に記載の方法。

【請求項 15】

前記電力レールから前記接地への前記電流フローを制御することは、

前記検出された上向き電圧勾配が勾配しきい値を下回る場合、前記電力レールから前記接地への前記電流フローを阻止することと、

前記検出された上向き電圧勾配が前記勾配しきい値を上回る場合、前記電力レールから前記接地への前記電流フローを可能にすることと

をさらに備える、請求項 14 に記載の方法。

【請求項 16】

前記電力レールから前記接地への前記電流フローを可能にすることは、前記検出された上向き電圧勾配が前記勾配しきい値にほぼ制限されるように、前記電力レールから前記接地への前記電流フローを調節することをさらに備える、請求項 15 に記載の方法。

【請求項 17】

前記検出することと前記制御することとが単一のチップ上で実行される、請求項 10 に記載の方法。

【請求項 18】

電力レールを調整するための装置であって、

前記電力レール上の下向き電圧勾配を検出するための手段と、

前記検出された下向き電圧勾配に基づいて、高電圧レールを介したキャパシタから前記電力レールへの電流フローを制御するための手段と

を備え、ここにおいて、前記電流フローを制御するための前記手段は、

前記検出された下向き電圧勾配の大きさが勾配しきい値を下回る場合、前記キャパシタから前記電力レールへの前記電流フローを阻止するための手段と、

前記検出された下向き電圧勾配の前記大きさが前記勾配しきい値を上回る場合、前記キャパシタから前記電力レールへの前記電流フローを可能にするための手段と

をさらに備える、装置。

【請求項 19】

前記高電圧レールが、前記電力レールよりも少なくとも 50 パーセント大きい電圧にある、請求項 18 に記載の装置。

【請求項 20】

前記電流フローを可能にするための前記手段は、前記検出された下向き電圧勾配の前記大きさが前記勾配しきい値にほぼ制限されるように、前記電流フローを調節するための手段をさらに備える、請求項 18 に記載の装置。

【請求項 21】

電界効果トランジスタが前記高電圧レールと前記電力レールとの間に結合され、前記電流フローを調節するための前記手段が前記電界効果トランジスタのゲート電圧を調節するための手段を備える、請求項 20 に記載の装置。

【請求項 22】

前記電力レール上の上向き電圧勾配を検出するための手段と、

前記検出された上向き電圧勾配に基づいて前記電力レールから接地への電流フローを制御するための手段と

をさらに備える、請求項 18 に記載の装置。

【請求項 23】

前記電力レールから前記接地への前記電流フローを制御するための前記手段は、

前記検出された上向き電圧勾配が勾配しきい値を下回る場合、前記電力レールから前記

10

20

30

40

50

接地への前記電流フローを阻止するための手段と、

前記検出された上向き電圧勾配が前記勾配しきい値を上回る場合、前記電力レールから前記接地への前記電流フローを可能にするための手段と

をさらに備える、請求項 22 に記載の装置。

【請求項 24】

前記電力レールから前記接地への前記電流フローを可能にするための前記手段は、前記検出された上向き電圧勾配が前記勾配しきい値にほぼ制限されるように、前記電力レールから前記接地への前記電流フローを調節するための手段をさらに備える、請求項 23 に記載の装置。

【請求項 25】

前記装置が単一のチップ上に集積された、請求項 18 に記載の装置。

【請求項 26】

前記チップ上の回路を電力ゲーティングするための手段をさらに備え、ここにおいて、電力ゲーティングするための前記手段が、前記電力レールと前記チップ上の前記回路との間に結合される、請求項 25 に記載の装置。

【請求項 27】

前記電力レールに接続された電力管理集積回路をさらに備え、前記ドループ勾配リミッタが前記キャパシタから前記電力レールへの前記電流フローを阻止するとき、前記電力管理集積回路は、前記電力レール上に電源電圧を提供するように構成される、請求項 1 に記載の電力回路。

【請求項 28】

前記高電圧レールが、前記電力管理集積回路によって提供される前記電源電圧よりも少なくとも 50 パーセント大きい電圧にある、請求項 27 に記載の電力回路。

【発明の詳細な説明】

【技術分野】

【0001】

[0001]本開示の態様は、一般に配電網に関し、より詳細には、配電網 (PDN: power distribution network) 調整器に関する。

【背景技術】

【0002】

[0002]配電網 (PDN) は、オフチップ電源 (たとえば、電力管理集積回路 (PMIC: power management integrated circuit)) からチップ上のシステム (SoC) 中の様々な回路に電力を供給するために使用される。PDN は、電力を節約するために電力ゲーティング (power gating) を採用し得、そこにおいて、PDN は、選択的に、アクティブである SoC 中の回路を電源に接続し、非アクティブである SoC 中の回路を電源から切断する。PDN は、一般に、SoC をオフチップ (off-chip) 電源 (たとえば、PMIC) に接続するリード線において大きいインダクタンスを有する。インダクタンスは、電力レール上の負荷が (たとえば、電力ゲーティングにより) 突然変化したとき、電力レール上のリップル (ripple) を誘起する。

【発明の概要】

【0003】

[0003]以下で、1 つまたは複数の実施形態の基本的理解を与えるために、そのような実施形態の簡略化された概要を提示する。この概要は、すべての企図された実施形態の包括的な概観ではなく、すべての実施形態の主要または重要な要素を識別するものでも、いずれかまたはすべての実施形態の範囲を定めるものでもない。その唯一の目的は、後で提示されるより詳細な説明の導入として、1 つまたは複数の実施形態のいくつかの概念を簡略化された形で提示することである。

【0004】

[0004]第 1 の態様によれば、電力回路が本明細書で説明される。電力回路は、高電圧レール (a high-voltage rail) に結合されたキャパシタと、高電圧レールと電力レールとの

10

20

30

40

50

間に結合されたドループ勾配リミッタ (DSL : droop slope limiter) とを備える。DSL は、電力レール上の下向き電圧勾配 (a downward voltage) を検出し、検出された下向き電圧勾配に基づいて、DSL を通る高電圧レールから電力レールへの電流フローを制御するために構成される。

【0005】

[0005] 第2の態様は、電力レールを調整するための方法に関する。本方法は、電力レール上の下向き電圧勾配を検出することと、検出された下向き電圧勾配に基づいて高電圧レールから電力レールへの電流フローを制御することと、ここにおいて、キャパシタが高電圧レールに結合される、を備える。

【0006】

10

[0006] 第3の態様は、電力レールを調整するための装置に関する。本装置は、電力レール上の下向き電圧勾配を検出するための手段と、検出された下向き電圧勾配に基づいて高電圧レールから電力レールへの電流フローを制御するための手段と、ここにおいて、キャパシタが高電圧レールに結合された、を備える。

【0007】

[0007] 上記および関連する目的を達成するために、1つまたは複数の実施形態は、以下で十分に説明され、特に特許請求の範囲で指摘される特徴を備える。以下の説明および添付の図面は、1つまたは複数の実施形態のいくつかの例示的な態様を詳細に記載する。ただし、これらの態様は、様々な実施形態の原理が採用され得る様々な方法のほんのいくつかを示すものであり、説明される実施形態は、すべてのそのような態様およびそれらの均等物を含むものとする。

20

【図面の簡単な説明】

【0008】

【図1】 レール上に直接配置されたデカップリング (decoupling) キャパシタのためのアクティブ電荷と、レールに結合された低ドロップアウトレギュレータ (LDO : low-dropout regulator) の後ろに配置されたデカップリングキャパシタのためのアクティブ電荷との一例を示す図。

【図2】 本開示の一実施形態による、配電網 (PDN) 調整器のブロック図。

【図3】 本開示の一実施形態による、高電圧レールに結合されたキャパシタのためのアクティブ電荷の一例を示す図。

30

【図4】 本開示の一実施形態による、ドループ勾配リミッタ (DSL) なしのリップルと、DSL ありのリップルとの一例を示す図。

【図5】 本開示の一実施形態による、オーバーシュート勾配リミッタ (OSL : overshoot slope limiter) なしのリップルと、OSL ありのリップルとの一例を示す図。

【図6】 本開示の一実施形態による、PDN調整器が突入電流をオンチップ回路にソーシングする一例を示す図。

【図7】 本開示の一実施形態による、複数の電力レールの各々のための別個のDSLと別個のOSLとを備えるPDN調整器の一例を示す図。

【図8】 本開示の一実施形態による、DSLの一実装形態を示す図。

【図9】 本開示の一実施形態による、OSLの一実装形態を示す図。

40

【図10】 本開示の一実施形態による、電力レールを調整するための方法の流れ図。

【発明を実施するための形態】

【0009】

[0018] 添付の図面に関して以下に記載される発明を実施するための形態は、様々な構成を説明するものであり、本明細書で説明される概念が実施され得る構成のみを表すものではない。発明を実施するための形態は、様々な概念の完全な理解を与えるための具体的な詳細を含む。ただし、これらの概念はこれらの具体的な詳細なしに実施され得ることが当業者には明らかであろう。いくつかの例では、そのような概念を不明瞭にしないように、よく知られている構造および構成要素がブロック図の形式で示される。

【0010】

50

[0019]配電網(PDN)は、オフチップ電源(たとえば、電力管理集積回路(PMIC))からチップ上のシステム(SoC)中の様々な回路に電力を供給するために使用される。PDNは、電力を節約するために電力ゲーティングを採用し得、そこにおいて、PDNは、選択的に、アクティブであるSoC中の回路を電源に接続し、非アクティブであるSoC中の回路を電源から切断する。これは、非アクティブ(たとえば、アイドル)である回路からの電力漏れを防ぎ、それによって電力を節約する。

【0011】

[0020]PDNは、一般に、SoCをオフチップ電源(たとえば、PMIC)に接続するリード線において大きいインダクタンスを有する。たとえば、インダクタンスは、基板インダクタンス、パッケージインダクタンスなどを含み得る。インダクタンスは、電力レール上の負荷が(たとえば、電力ゲーティングにより)突然変化したとき、電力レール上のリップルを誘起する。電力レール上の電圧が(たとえば、0.9V未満に)減少し、SoCの負荷が(たとえば、より高い集積により)増加したとき、リップル影響は、それが、電力レールに結合されたデジタル回路の動作に大いに影響を及ぼすほど厳しくなる。たとえば、リップル影響は、SoCにおいて論理エラーを引き起こし、および/またはSoCにおいてメモリセルに状態を反転させ得る。したがって、リップル影響を低減することが望ましい。

【0012】

[0021]リップル影響を低減するための1つの手法は、オンチップデカップリングキャパシタを電力レールに直接接続することである。しかしながら、大きいオンチップキャパシタを作製することは極めて費用がかかる。さらに、キャパシタの電荷蓄積容量の小部分のみがリップル影響を低減するために使用され得る。これは、図1を参照すると証明され得る。

【0013】

[0022]図1の例では、電力レール上の電源電圧は約1.0Vであり、許容され得る電力レール上の最大電圧ドロップは、1.0Vよりもはるかに小さい(たとえば、0.1V以下である)約Vである。(図1ではCAPと示された)デカップリングキャパシタに蓄積された総電荷はC・Vにほぼ等しく、ただし、Cはキャパシタのキャパシタンスであり、Vは電源電圧(たとえば、図1では1.0V)である。しかしながら、(アクティブ電荷と呼ばれる)C・Vにほぼ等しいこの電荷の小部分のみが、電力レール上のリップル影響を低減するために利用可能である。言い換えれば、(アクティブ容量と呼ばれる)キャパシタの電荷蓄積容量の小部分のみがリップル影響を低減するために利用可能である。図1に示されているように、アクティブ電荷(影付き領域)は、デカップリングキャパシタに蓄積された総電荷の小部分のみを構成する。

【0014】

[0023]リップル影響を低減するための別の手法は、電力レールに結合されたオンチップ低ドロップアウトレギュレータ(LDO)の後ろにオンチップデカップリングキャパシタを配置することである。この手法では、デカップリングキャパシタは、より高い電圧(たとえば、1.2V)に接続され、リップル影響を低減するために、LDOを通して電力レールに電荷を供給する。アクティブ電荷は、(図1に示されている)前の手法と比較して、この手法ではより大きい、LDOにおけるエネルギー損失によりあまり大きくはない。

【0015】

[0024]本開示の実施形態は、以下でさらに説明するように、前の2つの手法と比較して、リップル影響を低減するためのキャパシタのアクティブ容量を大幅に増加させる。

【0016】

[0025]図2は、本開示の一実施形態による、PDN調整器205を示している。PDN調整器205は、オフチップPMIC250からチップ上の(図2に示されていない)様々な回路に電力を供給するための、PMIC250に接続された電力レール230とともにチップ200上に集積され得る。PMIC250を電力レール230に接続するリード

10

20

30

40

50

線は、電力レール上の負荷が（たとえば、電力ゲーティングにより）変化したときに電力レール 230 上にリップルを生成するインダクタンス（たとえば、基板および/またはパッケージインダクタンス）を含み得る。

【0017】

[0026] P D N 調整器 205 は、高電圧レール 210 と接地との間に結合されたチップ上のキャパシタ 215 を備える。高電圧レール 210 は、P M I C 250 からチップ上の（図 2 に示されていない）様々な回路に電力を供給するために使用される電力レール 230 よりも高い電圧を有する。たとえば、高電圧レール 210 は約 2.4 V の公称電圧を有し得、電力レール 230 は約 1.0 V の電源電圧を有し得る。概して、高電圧レール 210 は、電力レール 230 の電源電圧よりも少なくとも 50 % 高い電圧を有し得る。P D N 調整器 205 はまた、高電圧レール 210 と電力レール 230 との間に結合されたドループ勾配リミッタ（D S L）220 と、電力レール 230 と接地との間に結合されたオーバーシュート勾配リミッタ（O S L）240 とを備える。D S L 220 および O S L 240 は以下でさらに詳細に説明される。

10

【0018】

[0027] チップ上のキャパシタ 215 のアクティブ電荷は、上記で説明した前の 2 つの手法と比較して、はるかに大きい（たとえば、5 ~ 10 倍高い）。これは、チップ上のキャパシタ 215 が高電圧レール 210 に接続され、アクティブ電荷が、比較的大きい、高電圧レール 210 と電力レール 230 との間の電圧差に比例するからである。これは、図 1 に示された前の 2 つの手法と比較した、チップ上のキャパシタ 215 のためのアクティブ電荷の一例を示す図 3 を参照すると証明され得る。図 3 に示されているように、チップ上のキャパシタ 215 のアクティブ電荷（影付き領域）は、所与のキャパシタサイズについて、前の 2 つの手法におけるキャパシタのためのアクティブ電荷よりも著しく大きい。キャパシタ 215 は、はるかに大きいアクティブ電荷を有するので、キャパシタ 215 は、電力レール 230 上のリップルを低減するために、著しくより多い電荷を供給することが可能である。

20

【0019】

[0028] 再び図 2 を参照すると、D S L 220 は、電力レール 230 上の下向き（負）電圧勾配に基づいて、キャパシタ 215 から電力レール 230 への電流のフローを制御するために構成される。より詳細には、D S L 220 は、電力レール 230 上の下向き電圧勾配を検出し、検出された下向き電圧勾配に基づいてオン/オフになるために構成される。D S L 220 がオンにされたとき、D S L 220 は、電流が D S L 220 を通ってキャパシタ 215 から電力レール 230 に流れることを可能にし、D S L 220 がオフにされたとき、D S L 220 は、キャパシタ 215 から電力レール 230 への電流フローを阻止する(blocking)。

30

【0020】

[0029] 一実施形態では、D S L 220 は、検出された下向き電圧勾配の大きさ（絶対値）が勾配しきい値を下回るか、または下向き電圧勾配が検出されない場合、オフになるために構成される。D S L 220 は、検出された下向き電圧勾配の大きさが勾配しきい値を上回る（超える）場合、オンになるために構成される。その結果、D S L 220 は、電力レール 230 上のリップルが、勾配しきい値を上回る大きさを有する電力レール 230 上の下向き電圧勾配を生成したとき、電流がキャパシタ 215 から電力レール 230 に流れることを可能にする。キャパシタ 215 からの電流は下向き電圧勾配を制限し、それによってリップルの電圧ドループを低減する。

40

【0021】

[0030] 図 4 は、D S L 220 なしのリップル 405 と、D S L 220 ありのリップル 410 との比較を示している。図 4 に示されているように、D S L 220 なしのリップル 405 は比較的大きい電圧ドループ 415 を有する。リップル 405 は、（たとえば、電力ゲーティングによる）電力レール 230 に結合された負荷の増加によって引き起こされ得る。リップル 405 は、（たとえば、P D N 中の抵抗により）時間とともに減衰し、リッ

50

ブル４０５の振幅を時間とともに減少させる。ＤＳＬ２２０ありのリップル４１０は、はるかに小さい電圧ドループ４２０を有する。これは、ＤＳＬ２２０が、下向き電圧勾配の大きさが勾配しきい値を超えるときにオンになり、電流がＤＳＬ２２０を通してキャパシタ２１５から電力レール２３０に流れることを可能にするからである。キャパシタ２１５からの電流は、電圧ドループ４２０のサイズを低減し、それによってリップル４１０の振幅を低減する。

【 0 0 2 2 】

〔0031〕D S L 2 2 0 がオンになったとき、D S L 2 2 0 は、電力レール 2 3 0 上の下向き電圧勾配の大きさが勾配しきい値にほぼ制限されるように、キャパシタ 2 1 5 から電力レール 2 3 0 への電流フローの量を制御（規制）し得る。電力レール 2 3 0 上の下向き電圧勾配の大きさが勾配しきい値を下回るとき、D S L 2 2 0 はそれ自体をオフにし得る。その結果、D S L 2 2 0 は、電力レール 2 3 0 上のリップルを低減するために、（たとえば、1 0 0 n s よりも少ない）比較的短い持続時間の間のみオンになり得る。この例は図 4 に示されている。

【 0 0 2 3 】

[0032]図4の例では、DSL220は、電力レール230上の下向き電圧勾配の大きさが勾配しきい値を超えるとオンになり、電力レール230上の電圧ドループ420のサイズを低減する。DSL220は、下向き電圧勾配の大きさが勾配しきい値を下回るときにオフになり、これは、図4に示されているように、電圧ドループ420の最下部が到達される直前に起こり得る。DSL220がオンにされる時間の間、DSL220は、下向き電圧勾配を勾配しきい値によって設定された値に制御（規制）し得る。電圧ドループ420のサイズを低減することによって、DSL220は、DSL220なしのリップル405と比較して、リップル410の振幅を著しく低減する。DSL220は、リップルを低減するために短い持続時間の間のみオンになるので、DSL220のバック効率は問題ではなく、したがって、DSL220は高電圧レール210に作用することができる。

【 0 0 2 4 】

[0033] O S L 2 4 0 は、O S L 2 4 0 が、電力レール 2 3 0 上の上向き（正）電圧勾配に基づいて、電力レール 2 3 0 から接地への電流のフローを制御することを除いて、D S L 2 2 0 と同様にして動作する。より詳細には、O S L 2 4 0 は、電力レール 2 3 0 上の上向き電圧勾配を検出し、検出された上向き電圧勾配に基づいてオン/オフになるために構成される。O S L 2 4 0 がオンにされたとき、O S L 2 4 0 は、電流が O S L 2 4 0 を通って電力レール 2 3 0 から接地に流れることを可能にし、O S L 2 4 0 がオフにされたとき、O S L 2 4 0 は、電力レール 2 3 0 から接地への電流フローを阻止する。

【 0 0 2 5 】

【0034】一実施形態では、OSL240は、検出された上向き勾配が勾配しきい値を下回るか、または上向き電圧勾配が検出されない場合、オフになるために構成される。OSL240は、検出された上向き勾配が勾配しきい値を上回る場合、オンになるために構成される。その結果、OSL240は、電力レール230上のリップルが、勾配しきい値を上回る電力レール230上の上向き電圧勾配を生成したとき、電流が電力レール230から接地に流れることを可能にする。接地への電流フローは上向き電圧勾配を制限し、それによってリップルの電圧オーバーシュート(overshoot)を低減する。DSL220のための勾配しきい値とOSL240のための勾配しきい値とは同じであることも異なることもある。

【 0 0 2 6 】

[0035]図5は、OSL240なしのリップル505と、OSL240ありのリップル510との比較を示している。図5に示されているように、OSL240なしのリップル505は比較的大きい電圧オーバーシュート515を有する。リップル505は、（たとえば、電力ゲーティング(power gating)による）電力レール230に結合された負荷の減少によって引き起こされ得る。リップル505は、（たとえば、PDN中の抵抗により）時間とともに減衰し、リップルの振幅を時間とともに減少させる。OSL240ありのリッ

プル 5 1 0 は、はるかに小さいオーバーシュート 5 2 0 を有する。これは、O S L 2 4 0 が、電力レール 2 3 0 上の上向き電圧勾配が勾配しきい値を超えるとオンになり、電流が電力レール 2 3 0 から接地に流れることを可能にするからである。接地への電流フローは、オーバーシュート 5 2 0 のサイズを低減し、それによってリップル 5 1 0 の振幅を低減する。

【 0 0 2 7 】

[0036] O S L 2 4 0 がオンになったとき、O S L 2 4 0 は、電力レール 2 3 0 上の上向き電圧勾配が勾配しきい値にほぼ制限されるように、電力レール 2 3 0 から接地への電流フローの量を制御（規制）し得る。電力レール 2 3 0 上の上向き電圧勾配が勾配しきい値を下回るとき、O S L 2 4 0 はそれ自体をオフにし得る。その結果、O S L 2 4 0 は、リップルを低減するために、（1 0 0 n s よりも少ない）比較的短時間の間のみオンになり得る。この例は図 5 に示されている。

10

【 0 0 2 8 】

[0037] 図 5 の例では、O S L 2 4 0 は、電力レール 2 3 0 上の上向き電圧勾配が勾配しきい値を超えるとオンになり、オーバーシュート 5 2 0 サイズを低減する。O S L 2 4 0 は、上向き電圧勾配が勾配しきい値を下回るときにオフになり、これは、図 5 に示されているように、オーバーシュート 5 2 0 の最上部が到達される直前に起こり得る。O S L 2 4 0 がオンにされる時間の間、O S L 2 4 0 は、上向き電圧勾配を勾配しきい値によって設定された値に制御（規制）し得る。オーバーシュート 5 2 0 のサイズを低減することによって、O S L 2 4 0 は、O S L 2 4 0 なしのリップル 5 0 5 と比較して、リップル 5 1 0 の振幅を著しく低減する。

20

【 0 0 2 9 】

[0038] 図 6 は、チップ 2 0 0 が、電力ゲーティングスイッチ 6 1 0（たとえば、ヘッドスイッチ）を通して電力レール 2 3 0 から電力を受ける回路 6 2 0 を備える一例を示している。電力管理回路（図示せず）が、電力ゲーティングスイッチ 6 1 0 をオンにすることによって、回路 6 2 0 がアクティブであるときに回路 6 2 0 を電力レール 2 3 0 に接続し得る。電力管理回路は、電力ゲーティングスイッチ 6 1 0 をオフにすることによって、回路 6 2 0 が非アクティブ（たとえば、アイドル）であるときに電力レール 2 3 0 から回路 6 2 0 を切断し得る。説明しやすいように図 6 には 1 つの回路 6 2 0 が示されているが、チップ 2 0 0 は複数の回路を備え得、そこにおいて、各回路は別個の電力ゲーティングスイッチによって電力レール 2 3 0 に選択的に接続され得ることを諒解されたい。これは、回路が個別に電力ゲーティングされることを可能にする。

30

【 0 0 3 0 】

[0039] 電力ゲーティングスイッチ 6 1 0 が電力レール 2 3 0 から回路 6 2 0 を切断したとき、回路 6 2 0 中のキャパシタは電流漏れにより放電される。電力ゲーティングスイッチ 6 1 0 が、回路 6 2 0 をアクティブ状態に電源投入するために回路 6 2 0 を電力レール 2 3 0 に最初に接続したとき、回路 6 2 0 中のキャパシタにより、大きい容量性負荷が電力レール 2 3 0 に突然課される。回路 6 2 0 中のキャパシタは、充電するために電力レール 2 3 0 から電流をドレインし、電力レール 2 3 0 上の電圧をドループさせる(droop)。P M I C 2 5 0 は、P M I C 2 5 0 を電力レール 2 3 0 に接続するリード線中の大きいインダクタンス（たとえば、基板および/またはパッケージインダクタンス）より、ドループを防ぐのに十分高速に電流を供給することが可能でないことがある。したがって、D S L 2 2 0 がない場合、回路 6 2 0 が、非アクティブ状態にあった後に電力レール 2 3 0 に最初に接続されたとき、大きい電圧ドループが電力レール 2 3 0 上に現れ得る。

40

【 0 0 3 1 】

[0040] D S L 2 2 0 がある場合、電力レール 2 3 0 上の電圧がドループし始めたとき、下向き電圧勾配が電力レール 2 3 0 上に現れ、これは D S L 2 2 0 によって検出される。下向き電圧勾配の大きさが D S L 2 2 0 の勾配しきい値を超えると、D S L 2 2 0 はオンになり、チップ上のキャパシタ 2 1 5 が D S L 2 2 0 を通して回路 6 2 0 に電流をソーシングする(source)ことを可能にし、これは、上記で説明したように電圧ドループを低減

50

する。チップ上のキャパシタ215は、ドループを低減するために、PMIC250よりもはるかに速く回路620に電流をソーシングすることが可能である。これは、DSL220を通るチップ上のキャパシタ215と回路620との間の経路が、PMIC250を電力レール230に接続するリード線よりもはるかに小さいインダクタンスを有するからである。チップ上のキャパシタ215と回路620の両方はチップ200上に位置する。その結果、それらの間の経路は、オフチップ(off-chip)に位置するPMIC250に電力レール230を接続するリード線よりもはるかに短い(したがって、より小さいインダクタンスを有する)。さらに、チップ上のキャパシタ215から回路620に電流をソーシングすることは、電力レール230をPMIC250に接続するリード線中のインダクタンスにおける電流変化を低減し、それによって、インダクタンスによって誘起されるノイズを低減する。

10

【0032】

[0041]図2の例は1つの電力レール230を示しているが、チップ上のキャパシタ215は大きいアクティブ電荷を有するので、チップ上のキャパシタ215はSOCにおいて複数の電力レールによって共用され得ることを諒解されたい。この点について、図7は、複数の電力レール230-1~230-3を備えるPDN調整器705の一例を示している。電力レール230-1~230-3は、PMIC250に結合され、PMIC250から同じ電源電圧を受けるか、またはPMIC250から異なる電源電圧を受け得る。いずれの場合も、各電力レール230-1~230-3のための電源電圧は高電圧レール210の電圧よりも低い。

20

【0033】

[0042]PDN調整器705はまた、各電力レール230-1~230-3のための別個のDSL220-1~220-3と、各電力レール230-1~230-3のための別個のOSL240-1~240-3とを備える。各DSL220-1~220-3は、高電圧レール210とそれぞれの電力レール230-1~230-3との間に結合され、各OSL240-1~240-3はそれぞれの電力レール230-1~230-3と接地との間に結合される。各DSL220-1~220-3は、上記で説明したように、それぞれの電力レール230-1~230-3上の下向き電圧勾配を制限することによって、それぞれの電力レール230-1~230-3上のリップルの電圧ドループ(したがってリップルの振幅)を低減するために構成される。同様に、各OSL240-1~240-3は、上記で説明したように、それぞれの電力レール230-1~230-3上の上向き電圧勾配を制限することによって、それぞれの電力レール230-1~230-3上のリップルの電圧オーバーシュート(したがってリップルの振幅)を低減するために構成される。

30

【0034】

[0043]図8は、本開示の一実施形態による、DSL220の例示的な実装形態を示している。説明しやすいように、OSL240は図8に示されていない。この実施形態では、DSL220は、パワー電界効果トランジスタ(FET)810と、制御回路820と、勾配検出回路830とを備える。パワーFET810はP形FET(PFET)またはN形FET(NFET)であり得る。パワーFET810のソースおよびドレインは、高電圧レール210と電力レール230との間に結合される。たとえば、パワーFET810がPFETである場合、パワーFET810のソースは高電圧レール210に結合され、パワーFET810のドレインは電力レール230に結合される。パワーFET810のゲートは制御回路820に結合される。以下でさらに説明するように、制御回路820は、パワーFET810のゲート電圧を制御することによって、パワーFET810のソースとドレインとの間の導電率(したがって高電圧レール210から電力レール230への電流フロー)を制御する。

40

【0035】

[0044]勾配検出回路830は、電力レール230に結合され、電力レール230上の下向き(負)電圧勾配を検出するために構成される。たとえば、勾配検出回路830は、負である電力レール230上の電圧の時間変化率(すなわち、 dV/dT)を検出する

50

ことによって下向き電圧勾配を検出し得る。勾配検出回路 830 は、検出された下向き電圧勾配の大きさに比例する (V_slope と示された) 電圧を制御回路 820 に出力し得る。

【0036】

[0045] 制御回路 820 は、勾配検出回路 830 からの電圧 (V_slope) を、所望の下向き電圧勾配に従って設定された ($V_threshold$ と示された) 勾配しきい値電圧と比較する。 V_slope が $V_threshold$ を下回る場合、制御回路 820 はパワー FET 810 をオフにする。パワー FET 810 が P FET である例では、制御回路 820 は、高電圧レール 210 の電圧にほぼ等しいゲート電圧を出力することによってパワー FET 810 をオフにし得る。

10

【0037】

[0046] V_slope が $V_threshold$ を上回る場合、制御回路 820 は、パワー FET 810 をオンにし、 V_slope と $V_threshold$ との間の電圧差を低減する方向にパワー FET 810 のゲート電圧を調節し得る。たとえば、制御回路 820 は、パワー FET 810 の導電率を増加させる方向にパワー FET 810 のゲート電圧を調節することによって電圧差を低減し得る。増加した導電率は、より多くの電流がパワー FET 810 を通ってチップ上のキャパシタ 215 から電力レール 230 に流れることを可能にし、これは、電力レール 230 上の下向き電圧勾配を低減し、したがって、 V_slope と $V_threshold$ との間の電圧差を低減する。したがって、制御回路 820 は、電力レール 230 上の下向き電圧勾配を、 $V_threshold$ によって設定された値に制限するために負帰還を採用する。図 8 では、負帰還は負帰還ループ 835 によって示されている。 V_slope が $V_threshold$ を下回るとき、制御回路 820 はパワー FET 810 をオフに戻し得る。

20

【0038】

[0047] 図 9 は、本開示の一実施形態による、OSL 240 の例示的な実装形態を示している。説明しやすいように、DSL 220 は図 9 に示されていない。この実施形態では、OSL 240 は、パワー FET 910 と、制御回路 920 と、勾配検出回路 930 とを備える。パワー FET 910 は P 形 FET (P FET) または N 形 FET (N FET) であり得る。パワー FET 910 のドレインおよびソースは、電力レール 230 と接地との間に結合される。たとえば、パワー FET 910 が N FET である場合、パワー FET 910 のドレインは電力レール 230 に結合され、パワー FET 910 のソースは接地に結合される。パワー FET 910 のゲートは制御回路 920 に結合される。

30

【0039】

[0048] 勾配検出回路 930 は、電力レール 230 に結合され、電力レール 230 上の上向き (正) 電圧勾配を検出するために構成される。たとえば、勾配検出回路 930 は、正である電力レール 230 上の電圧の時間変化率 (すなわち、 dV/dT) を検出することによって上向き電圧勾配を検出し得る。勾配検出回路 930 は、検出された上向き電圧勾配に比例する (V_slope と示された) 電圧を制御回路 920 に出力し得る。

【0040】

[0049] 制御回路 920 は、勾配検出回路 930 からの電圧 (V_slope) を、所望の上向き電圧勾配に従って設定された ($V_threshold$ と示された) 勾配しきい値電圧と比較する。 V_slope が $V_threshold$ を下回る場合、制御回路 920 はパワー FET 910 をオフにする。パワー FET 910 が N FET である例では、制御回路 920 は、パワー FET 910 のゲートを接地することによってパワー FET 910 をオフにし得る。

40

【0041】

[0050] V_slope が $V_threshold$ を上回る場合、制御回路 920 は、パワー FET 910 をオンにし、 V_slope と $V_threshold$ との間の電圧差を低減する方向にパワー FET 910 のゲート電圧を調節し得る。たとえば、制御回路 920 は、パワー FET 910 の導電率を増加させる方向にパワー FET 910 のゲート電

50

圧を調節することによって電圧差を低減し得る。増加した導電率は、より多くの電流がパワーFET910を通して電力レール230から接地に流れることを可能にし、これは、電力レール230上の上向き電圧勾配を低減し、したがって、V_{slope}とV_{threshold}との間の電圧差を低減する。したがって、制御回路920は、電力レール230上の上向き電圧勾配を、V_{threshold}によって設定された値に制限するために負帰還を採用する。図9では、負帰還は負帰還ループ935によって示されている。V_{slope}がV_{threshold}を下回るとき、制御回路920はパワーFET910をオフに戻し得る。

【0042】

[0051]図10は、電力レール230を調整するための方法1000を示している。たとえば、本方法は、電力レール230上の電圧ドループおよび/または電圧オーバーシュートを低減することによって電力レール230を調整し得る。

【0043】

[0052]ステップ1010において、電力レール上の下向き電圧勾配が検出される。たとえば、下向き（負）電圧勾配は、電力レール（たとえば、電力レール230）に結合された勾配検出回路（たとえば、勾配検出回路830）によって検出され得る。

【0044】

[0053]ステップ1020において、検出された下向き電圧勾配に基づいて高電圧レールから電力レールへの電流フローが制御され、ここにおいて、キャパシタが高電圧レールに結合される。たとえば、電流フローは、検出された下向き電圧勾配に基づいてパワーFET（たとえば、パワーFET810）のゲート電圧を調節することによって制御され得る。

【0045】

[0054]本明細書で説明された回路は、様々なトランジスタタイプを使用して実現され得、したがって電界効果トランジスタに限定されないことを、当業者は諒解されよう。たとえば、バイポーラ接合トランジスタ、接合型電界効果トランジスタまたは他のトランジスタタイプなどのトランジスタタイプがパワーFET810の代わりに使用され得る。バイポーラ接合トランジスタの例では、バイポーラトランジスタのコレクタおよびエミッタは、高電圧レール210と電力レール230との間に結合され得る。この例では、制御回路820は、バイポーラ接合トランジスタのベース電流を制御することによってバイポーラ接合トランジスタの導電率（したがってチップ上のキャパシタ215から電力レール210への電流フロー）を制御し得る。また、本明細書で説明された回路は、CMOS、バイポーラ接合トランジスタ（BJT）、バイポーラCMOS（BiCMOS）、シリコンゲルマニウム（SiGe）、ガリウムヒ素（GaAs）など、様々なICプロセス技術を用いて作製され得ることを、当業者は諒解されよう。

【0046】

[0055]本開示についての以上の説明は、いかなる当業者も本開示を作成または使用することができるように提供される。本開示への様々な変更は当業者には容易に明らかになり、本明細書で定義された一般原理は、本開示の趣旨または範囲から逸脱することなく他の変形形態に適用され得る。したがって、本開示は、本明細書で説明された例に限定されるものではなく、本明細書で開示された原理および新規の特徴に合致する最も広い範囲を与えられるべきである。

以下に本願発明の当初の特許請求の範囲に記載された発明を付記する。

【C1】

高電圧レールに結合されたキャパシタと、

前記高電圧レールと電力レールとの間に結合されたドループ勾配リミッタ（DSL）と、
ここにおいて、前記DSLは前記電力レール上の下向き電圧勾配を検出するように、および
前記検出された下向き電圧勾配に基づいて、前記DSLを通り、前記高電圧レールから前記電力レールへの電流フローを制御するように、構成される、

を備える、電力回路。

10

20

30

40

50

[C 2]

前記高電圧レールが、前記電力レールよりも少なくとも50パーセント大きい電圧にある、C1に記載の電力回路。

[C 3]

前記DSLは、前記検出された下向き電圧勾配の大きさが勾配しきい値を下回る場合は、前記電流フローを阻止することにより、および前記検出された下向き電圧勾配の前記大きさが前記勾配しきい値を上回る場合前記電流フローを可能にすることにより、前記電流フローを制御するように構成される、C1に記載の電力回路。

[C 4]

前記DSLが前記電流フローを可能にする時間の間、前記DSLは、前記検出された下向き電圧勾配の前記大きさが前記勾配しきい値にほぼ制限されるように、前記DSLを通した前記電流フローを制御するように構成される、C3に記載の電力回路。

[C 5]

前記DSLは、

前記電力レールに結合された勾配検出回路と、ここにおいて、前記勾配検出回路は、前記電力レール上の前記下向き電圧勾配を検出するように、および前記検出された下向き電圧勾配に基づいて勾配信号を出力するように、構成される、

前記高電圧レールと前記電力レールとの間に結合されたパワートランジスタと、

前記勾配検出回路からの前記勾配信号を勾配しきい値信号と比較するように、および前記比較に基づいて前記パワートランジスタの導電率を制御するように、構成された制御回路と

を備える、C1に記載の電力回路。

[C 6]

前記パワートランジスタは電界効果トランジスタ(FET)を備え、前記制御回路は、前記パワートランジスタのゲート電圧を制御することによって前記パワートランジスタの前記導電率を制御するように構成される、C5に記載の電力回路。

[C 7]

前記電力レールと接地との間に結合されたオーバーシュート勾配リミッタ(OSL)をさらに備え、ここにおいて、前記OSLが前記電力レール上の上向き電圧勾配を検出するように、および前記検出された上向き電圧勾配に基づいて、前記OSLを通る前記電力レールから前記接地への電流フローを制御するように構成された、C1に記載の電力回路。

[C 8]

前記OSLは、前記検出された上向き電圧勾配が勾配しきい値を下回る場合、前記電力レールから前記接地への前記電流フローを阻止すること、および前記検出された上向き電圧勾配が前記勾配しきい値を上回る場合、前記電力レールから前記接地への前記電流フローを可能にすること、によって前記電力レールから前記接地への前記電流フローを制御するために構成された、C7に記載の電力回路。

[C 9]

前記OSLが前記電力レールから前記接地への前記電流フローを可能にする時間の間、前記OSLは、前記検出された上向き電圧勾配が前記勾配しきい値にほぼ制限されるように、および前記OSLを通る前記電力レールから前記接地への前記電流フローを制御するように、構成される、C8に記載の電力回路。

[C 10]

前記電力回路が単一のチップ上に集積されている、C1に記載の電力回路。

[C 11]

前記電力レールと前記チップ上の回路との間に結合されたヘッドスイッチをさらに備え、ここにおいて、前記ヘッドスイッチは前記チップ上の前記回路を電力ゲーティングするように構成される、C10に記載の電力回路。

[C 12]

電力レールを調整するための方法であって、

10

20

30

40

50

前記電力レール上の下向き電圧勾配を検出することと、
前記検出された下向き電圧勾配に基づいて高電圧レールから前記電力レールへの電流フローを制御することと、ここにおいて、キャパシタが前記高電圧レールに結合される、
を備える、方法。

[C 1 3]

前記高電圧レールが、前記電力レールよりも少なくとも 5 0 パーセント大きい電圧にある、C 1 2 に記載の方法。

[C 1 4]

前記電流フローを制御することは、
前記検出された下向き電圧勾配の大きさが勾配しきい値を下回る場合、前記電流フローを阻止することと、

前記検出された下向き電圧勾配の前記大きさが前記勾配しきい値を上回る場合、前記電流フローを可能にすることと

をさらに備える、C 1 2 に記載の方法。

[C 1 5]

前記電流フローを可能にすることは、前記検出された下向き電圧勾配の前記大きさが前記勾配しきい値にほぼ制限されるように、前記電流フローを調節することをさらに備える、C 1 4 に記載の方法。

[C 1 6]

電界効果トランジスタ (F E T) が前記高電圧レールと前記電力レールとの間に結合され、前記電流フローを調節することが前記 F E T のゲート電圧を調節することを備える、C 1 5 に記載の方法。

[C 1 7]

前記電力レール上の上向き電圧勾配を検出することと、
前記検出された上向き電圧勾配に基づいて前記電力レールから接地への電流フローを制御することと

をさらに備える、C 1 2 に記載の方法。

[C 1 8]

前記電力レールから前記接地への前記電流フローを制御することは、
前記検出された上向き電圧勾配が勾配しきい値を下回る場合、前記電力レールから前記接地への前記電流フローを阻止することと、

前記検出された上向き電圧勾配が前記勾配しきい値を上回る場合、前記電力レールから前記接地への前記電流フローを可能にすることと

をさらに備える、C 1 7 に記載の方法。

[C 1 9]

前記電力レールから前記接地への前記電流フローを可能にすることは、前記検出された上向き電圧勾配が前記勾配しきい値にほぼ制限されるように、前記電力レールから前記接地への前記電流フローを調節することをさらに備える、C 1 8 に記載の方法。

[C 2 0]

前記検出することと前記制御することとが単一のチップ上で実行される、C 1 2 に記載の方法。

[C 2 1]

電力レールを調整するための装置であって、
前記電力レール上の下向き電圧勾配を検出するための手段と、
前記検出された下向き電圧勾配に基づいて高電圧レールから前記電力レールへの電流フローを制御するための手段と、ここにおいて、キャパシタが前記高電圧レールに結合される、

を備える、装置。

[C 2 2]

前記高電圧レールが、前記電力レールよりも少なくとも 5 0 パーセント大きい電圧にあ

10

20

30

40

50

る、C 2 1 に記載の装置。

[C 2 3]

前記電流フローを制御するための前記手段は、

前記検出された下向き電圧勾配の大きさが勾配しきい値を下回る場合、前記電流フローを阻止するための手段と、

前記検出された下向き電圧勾配の前記大きさが前記勾配しきい値を上回る場合、前記電流フローを可能にするための手段と

をさらに備える、C 2 1 に記載の装置。

[C 2 4]

前記電流フローを可能にするための前記手段は、前記検出された下向き電圧勾配の前記大きさが前記勾配しきい値にほぼ制限されるように、前記電流フローを調節するための手段をさらに備える、C 2 3 に記載の装置。

[C 2 5]

電界効果トランジスタ (F E T) が前記高電圧レール及び前記電力レールとの間に結合され、前記電流フローを調節するための前記手段が前記 F E T のゲート電圧を調節するための手段を備える、C 2 4 に記載の装置。

[C 2 6]

前記電力レール上の上向き電圧勾配を検出するための手段と、

前記検出された上向き電圧勾配に基づいて前記電力レールから接地への電流フローを制御するための手段と

をさらに備える、C 2 1 に記載の装置。

[C 2 7]

前記電力レールから前記接地への前記電流フローを制御するための前記手段は、

前記検出された上向き電圧勾配が勾配しきい値を下回る場合、前記電力レールから前記接地への前記電流フローを阻止するための手段と、

前記検出された上向き電圧勾配が前記勾配しきい値を上回る場合、前記電力レールから前記接地への前記電流フローを可能にするための手段と

をさらに備える、C 2 6 に記載の装置。

[C 2 8]

前記電力レールから前記接地への前記電流フローを可能にするための前記手段は、前記検出された上向き電圧勾配が前記勾配しきい値にほぼ制限されるように、前記電力レールから前記接地への前記電流フローを調節するための手段をさらに備える、C 2 7 に記載の装置。

[C 2 9]

前記装置が単一のチップ上に集積された、C 2 1 に記載の装置。

[C 3 0]

前記チップ上の回路を電力ゲーティングするための手段をさらに備え、ここにおいて、電力ゲーティングするための前記手段が、前記電力レールと前記チップ上の前記回路との間に結合される、C 2 9 に記載の装置。

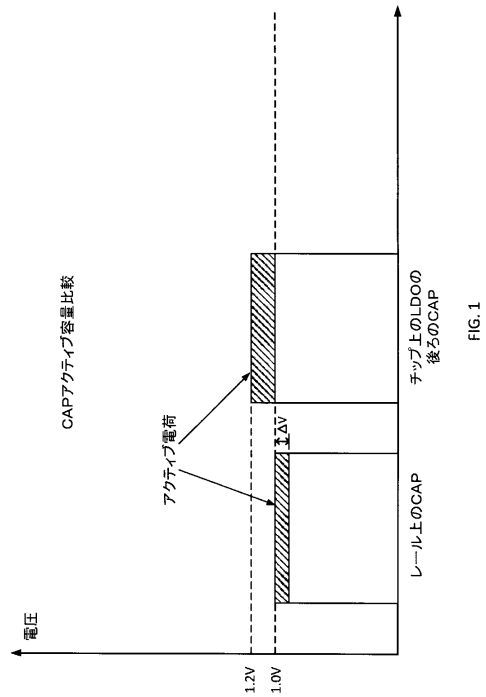
10

20

30

【 図 1 】

图 1



【 図 2 】

图 2

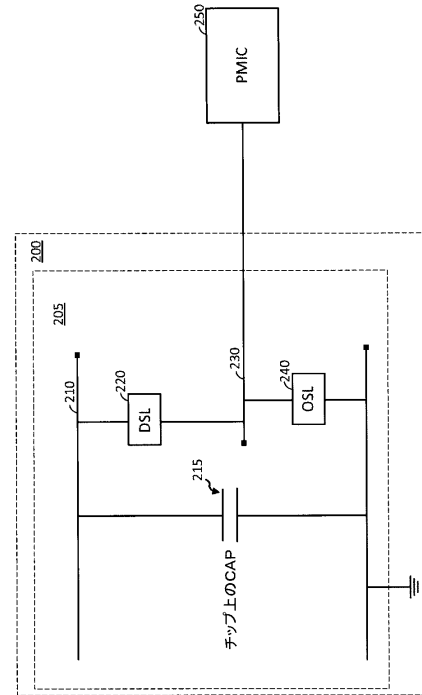
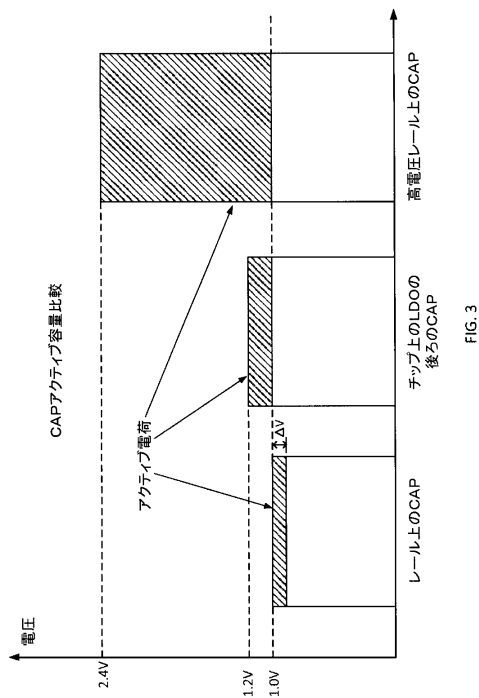


FIG. 2

【 図 3 】

图 3



【 図 4 】

图 4

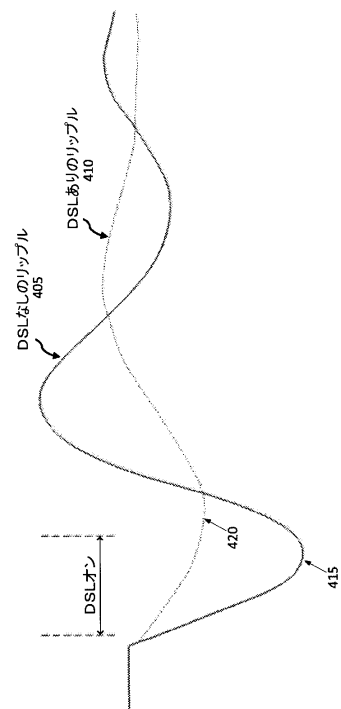


FIG. 4

【 図 5 】

图 5

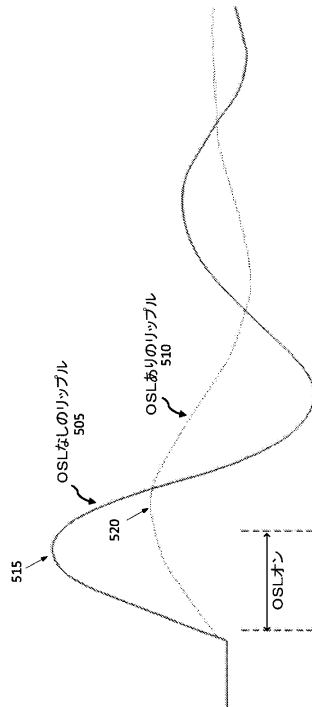


FIG. 5

【 図 6 】

图 6

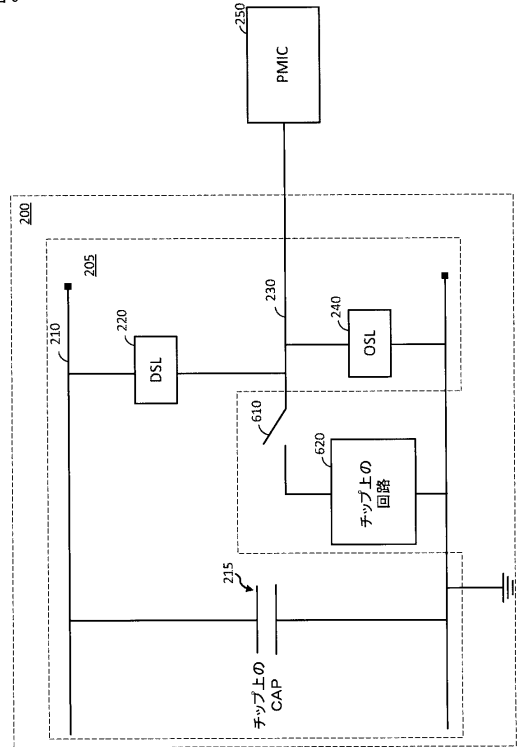


FIG. 6

【 図 7 】

图 7

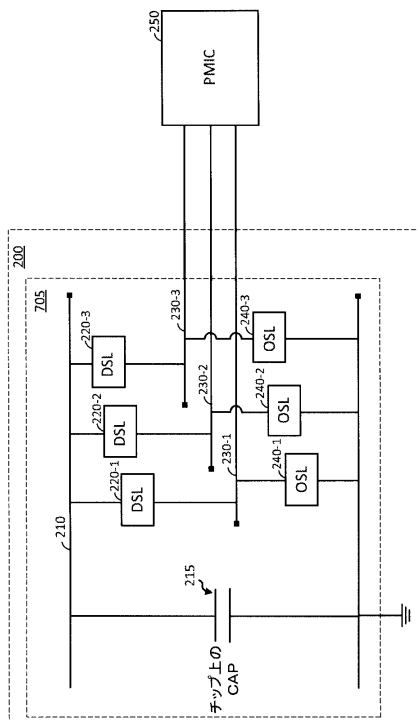


FIG. 7

【 図 8 】

图 8

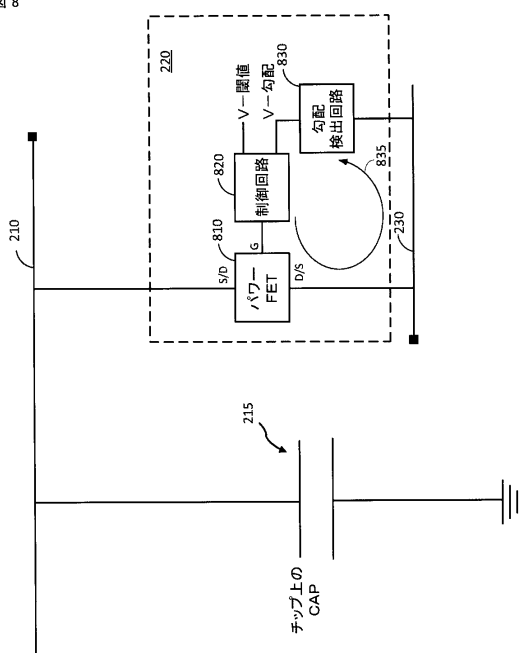


FIG. 8

【 図 1 0 】

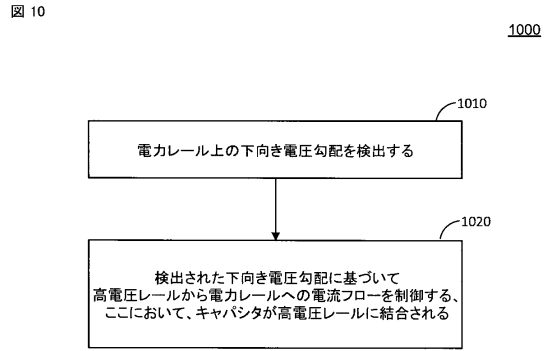


FIG. 10

フロントページの続き

(72)発明者 リ、キン

アメリカ合衆国、カリフォルニア州 92121-1714、サン・ディエゴ、モアハウス・ドライブ 5775

審査官 猪瀬 隆広

- (56)参考文献 特開2006-121845(JP,A)
特開2007-097258(JP,A)
特開2003-284331(JP,A)
特開2013-120971(JP,A)
特開2004-252891(JP,A)
特開2000-224846(JP,A)
特開平07-067349(JP,A)
特開2005-102197(JP,A)
米国特許出願公開第2012/0306586(US,A1)
特開2013-158175(JP,A)
特開2001-177375(JP,A)

(58)調査した分野(Int.Cl., DB名)

H02J	1/00 -	1/16
H02M	1/00 -	1/44
H03K	19/00	
H03K	19/01 -	19/082
H03K	19/094 -	19/096
H03K	17/00 -	17/70
G05F	1/00 -	1/10
G05F	1/12 -	1/44
G05F	1/445	
H02M	3/00 -	3/44
H02M	7/00 -	7/40