

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.



# [12] 发明专利说明书

专利号 ZL 200510103417.1

H01L 27/105 (2006.01)

H01L 27/112 (2006.01)

H01L 21/8239 (2006.01)

H01L 21/8246 (2006.01)

[45] 授权公告日 2010年2月24日

[11] 授权公告号 CN 100592521C

[22] 申请日 2005.9.15

[21] 申请号 200510103417.1

[73] 专利权人 旺宏电子股份有限公司

地址 中国台湾

[72] 发明人 何家骅 赖二琨

[56] 参考文献

US 5912487 A 1999.6.15

US 581854 A 1998.9.29

US6323088B1 2001.11.27

US 5482880 A 1996.1.9

US6228725B1 2001.5.8

审查员 夏杰

[74] 专利代理机构 北京中原华和知识产权代理有限公司

代理人 寿宁 张华辉

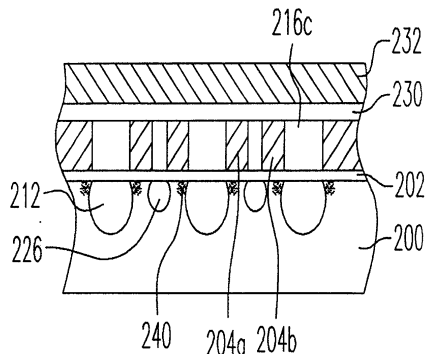
权利要求书2页 说明书6页 附图3页

[54] 发明名称

快闪存储元件与其制造方法

[57] 摘要

一种快闪存储元件。此快闪存储元件包括位于基底中的第一源极/漏极区及第二源极/漏极区；位于第一源极/漏极区以及第二源极/漏极区间的基底上，并且邻接于第一源极/漏极区的第一浮置栅极；位于第一源极/漏极区以及第二源极/漏极区间的基底上，并且邻接于第二源极/漏极区的第二浮置栅极；位于第一浮置栅极及第二浮置栅极的二相对侧壁间的基底中的掺杂区；覆盖于第一浮置栅极以及第二浮置栅极上的控制栅极。其中第一浮置栅极与第二浮置栅极隔离。此快闪存储元件可以增加存储密度并降低成本。



1、一种快闪存储元件，包含多个单位存储单元，适用于一基底，每一该单位存储单元包括：

一第一源极/漏极区及一第二源极/漏极区，位于该基底中；

一第一浮置栅极，位于该第一源极/漏极区以及该第二源极/漏极区间的该基底上，且该第一浮置栅极邻接在该第一源极/漏极区；

一第二浮置栅极，位于该第一源极/漏极区以及该第二源极/漏极区间的该基底上，且该第二浮置栅极邻接在该第二源极/漏极区；

一淡掺杂区，位于该第一浮置栅极及该第二浮置栅极的二相对侧壁间的该基底中；以及

一控制栅极，覆盖在该第一浮置栅极及该第二浮置栅极上。

2、根据权利要求1所述的快闪存储元件，其中该第一源极/漏极区及该第二源极/漏极区具有与该淡掺杂区相同的导电类型。

3、根据权利要求1所述的快闪存储元件，其中该淡掺杂区的掺杂离子浓度小于该第一源极/漏极区与该第二源极/漏极区的掺杂离子浓度。

4、根据权利要求1所述的快闪存储元件，其中该第一浮置栅极与该第二浮置栅极以一介电层隔离。

5、根据权利要求1所述的快闪存储元件，更包括多个口袋型注入掺杂区，位于该第一源极/漏极区及该第二源极/漏极区间的该基底中，而且分别邻接在该第一源极/漏极区及该第二源极/漏极区。

6、根据权利要求1所述的快闪存储元件，其中该第一浮置栅极及该第二浮置栅极以一隧穿介电层与该基底隔离。

7、根据权利要求1所述的快闪存储元件，其中该第一浮置栅极以及该第二浮置栅极以具有大于4的介电常数的一个介电层与该控制栅极隔离。

8、一种快闪存储元件的制造方法，包括：

在基底上形成导体层，在该导体层中形成多个第一开口；

在每一个该第一开口下的该基底中形成一源极/漏极区；

形成多个介电插塞，以分别填满该第一开口，这些介电插塞高于该导体层；

在该导体层以及各该介电插塞的侧壁上形成一多层间隙壁，其中该多层间隙壁暴露部分的该导体层；

在该导体层中形成一第二开口，使该导体层分开而形成一第一浮置栅极以及一第二浮置栅极；

在该第二开口下的该基底中形成一自行对准淡掺杂区；

形成一第一介电层以填满该第二开口；

暴露该第一浮置栅极以及该第二浮置栅极;以及  
在该基底上形成一控制栅极,该控制栅极覆盖该基底。

9、根据权利要求 8 所述的快闪存储元件制造方法,其中该淡掺杂区的掺杂离子浓度小于这些源极/漏极区的掺杂离子浓度。

10、根据权利要求 8 所述的快闪存储元件的制造方法,其中形成该多层间隙壁的步骤包括:

在该基底上形成一共形的介电层,该共形的介电层覆盖该基底;

在该共形的介电层上形成一第二介电层;以及

进行一蚀刻工艺,以移除部分该第二介电层以及部分该共形的介电层,直到暴露该导体层的一部分。

11、根据权利要求 10 所述的快闪存储元件的制造方法,其中更包括:

以该第一浮置栅极以及该第二浮置栅极的顶表面的部分该共形的介电层为终止层,进行一平坦化工艺;以及

移除其他的该共形的介电层,直到暴露该第一浮置栅极以及该第二浮置栅极的顶表面。

12、根据权利要求 11 所述的快闪存储元件的制造方法,其中移除其他的该共形的介电层的步骤是以进行一化学机械研磨工艺、一湿式蚀刻工艺或一干式蚀刻工艺来达成。

13、根据权利要求 10 所述的快闪存储元件的制造方法,其中该共形的介电层对该第二介电层的研磨选择比是 500。

14、根据权利要求 10 所述的快闪存储元件的制造方法,其中该共形的介电层是由氮化硅制成。

15、根据权利要求 10 所述的快闪存储元件的制造方法,其中该第二介电层是由氮氧化硅制成。

16、根据权利要求 10 所述的快闪存储元件的制造方法,其中该第二介电层是由与构成该介电插塞以及该第一介电层相同的材料制成。

17、根据权利要求 8 所述的快闪存储元件的制造方法,其中形成该自行对准淡掺杂区的步骤可以利用约每立方厘米  $10^{18}$  个离子的浓度以及约 10keV 的注入能量的注入离子来达成。

## 快闪存储元件与其制造方法

### 技术领域

本发明是有关于一种半导体元件与其制造方法，且特别是有关于一种快闪存储元件与其制造方法。

### 背景技术

存储元件，顾名思义，是一种用来储存资料或资讯的半导体元件。当电脑的微处理器变得功能更强大，软件的程序与计算变得更复杂，存储元件的容量需求也随之增加。为了满足此需求增加的趋势，制造高容量的便宜存储元件的技术与工艺成为制造高积集度元件的趋动力。

在各种存储元件产品中，非挥发性存储元件具有重复储存、读取、或抹除资料，并且在电源中断时不会丧失资料的能力，因此成为在个人电脑或电子设备中广为应用的半导体元件。其中，快闪存储元件是拥有快速读写的能力与高存储容量等优点一种非挥发性存储元件。

快闪存储元件被应用于包括通讯产业、消费电子工业、资料处理产业以及运输产业的多种产业。在愈来愈小的电子设备的高度需求下，如何缩小快闪存储元件的尺寸，并增加存储元件的储存密度，而且降低制造成本成为近来制造技术的主要研究课题。

### 发明内容

因此，本发明至少有一目的是提供一种快闪存储元件结构，其可以在一单位快闪存储元件储存至少两个载子(Carrier)。

本发明至少有另一目的是提供一种快闪存储元件的制造方法，使用此制造方法，浮置栅极(Floating Gate)可以具有一致的形状，而且可以降低成本。

为了达成上述优势或其他优势并配合本发明的目的，正如在此具体实现并广泛描述的内容，本发明对一基底提供一种快闪存储元件。此快闪存储元件包括第一源极/漏极区、第二源极/漏极区、第一浮置栅极、第二浮置栅极、淡掺杂区以及控制栅极。第一源极/漏极区及第二源极/漏极区位于基底中。另外，第一浮置栅极位于第一源极/漏极区与第二源极/漏极区间的基底上，并与第一源极/漏极区相邻。第二浮置栅极位于第一源极/漏极区与第二源极/漏极区间的基底上，并与第二源极/漏极区相邻。淡掺杂区位于第一浮置栅极与第二浮置栅极的二相对侧壁间的基底中。此外，控制栅极覆盖于第一浮置栅极及第二浮置栅极上。

在本发明中，源极/漏极区及淡掺杂区具有相同的导电类型。淡掺杂区的掺杂离子浓度小于第一源极/漏极区与第二源极/漏极区的掺杂离子浓度。此外，第一浮置栅极与第二浮置栅极以介电层隔离。本发明的快闪存储元件更包括数个口袋型注入掺杂区。口袋型注入掺杂区位于第一源极/漏极区与第二源极/漏极区间的基底中，并分别与第一源极/漏极区与第二源极/漏极区相邻。另外，第一浮置栅极与第二浮置栅极以隧穿介电层与基底隔离。第一浮置栅极及第二浮置栅极以一层介电层与控制栅极隔离，此介电层的介电常数大于4。

在本发明中，由于每个单位存储单元均配置有第一浮置栅极以及第二浮置栅极，每个第一浮置栅极以及第二浮置栅极可以储存至少一个载子。因此，对于一个单位存储单元而言，存储密度较高。

本发明更提出一种快闪存储元件的制造方法。此方法包括的步骤有在基底上形成导体层，在该导体层中形成多个第一开口。然后，在每一个第一开口下的基底中形成一源极/漏极区。另外，形成数个介电插塞以填满第一开口。介电插塞高于导体层继之，形成多层间隙壁于导体层上以及介电插塞的侧壁，此多层间隙壁暴露部分的导体层。于导体层中形成第二开口，以导体层分隔成第一浮置栅极以及第二浮置栅极。形成自行对准淡掺杂区于第二开口下的基底中，然后形成第一介电层以填满第二开口。暴露出第一浮置栅极与第二浮置栅极的顶表面。接着，形成控制栅极于基底上。

在本发明中，淡掺杂区的掺杂离子浓度小于源极/漏极区的掺杂离子浓度。此外，形成多层间隙壁的步骤包括在基底上形成一层共形的介电层。接着，在共形的介电层上形成一层第二介电层。然后，进行蚀刻工艺以移除部分的第二介电层以及部分的共形介电层直到暴露出部分导体层。在上述情形中，更可以进行平坦化工艺，此平坦化工艺是以在第一浮置栅极以及第二浮置栅极顶表面的共形介电层的一部分为终止层。之后，移除其他的共形介电层直到暴露第一浮置栅极以及第二浮置栅极的顶表面。此外，上述移除其他的共形介电层的步骤可利用化学机械研磨(CMP)工艺、湿蚀刻工艺或干蚀刻工艺来完成。此外，共形介电层与第二介电层的研磨选择比(Polishing Selective Ratio)大约是500。共形介电层是以氮化硅制成，第二介电层是以氮氧化硅制成。特别的是，第二介电层的材质与介电插塞以及第一介电层的材质相同。此外，形成自行对准淡掺杂区的步骤可利用离子浓度每立方厘米 $10^{18}$ 个离子的注入以及约10keV的注入能量来达成。

在本发明中，由于导体层被第一介电层分离成第一浮置栅极以及第二浮置栅极，每个第一浮置栅极以及第二浮置栅极可以储存至少一个载子。因此，对于一个单位存储单元而言，存储密度增加了。此外，淡掺杂区是以介

电插塞以及多层间隙壁当作罩幕自行对准地形成于基底中,而未另行使用微影工艺。因此,成本得以降低。

以上的一般叙述以及接下来的细节说明是示范性的,而且是用来提供所主张的本发明内容进一步的说明。

为了让本发明的上述和其他目的、特征和优点能更明显易懂,下文特举较佳实施例,并配合所附图式,作详细说明如下。

### 附图说明

为了提供对本发明进一步的了解,附图并入而构成本说明书的一部分。此些附图绘示本发明的实施例,配合说明的内容,以解说本发明的原理。

图 1A 至图 1H 绘示本发明一较佳实施例的快闪存储元件的制造方法剖面图。

图 2 绘示本发明另一较佳实施例的快闪存储元件的剖面图。

- |                                 |                   |
|---------------------------------|-------------------|
| 100、200: 基底                     | 102、202: 隧穿介电层    |
| 104: 导体层                        | 104a、204a: 第一浮置栅极 |
| 104b、204b: 第二浮置栅极               | 108: 硬式罩幕层        |
| 110: 第一开口                       | 112、212: 源极/漏极区   |
| 114a、116a、116c、216c: 介电插塞       |                   |
| 114b、116b、128、128a、130、230: 介电层 |                   |
| 118: L型间隙壁                      | 120: 间隙壁          |
| 122: 多层间隙壁                      | 124: 第二开口         |
| 126、226: 淡掺杂区                   | 132、232: 控制栅极     |
| 240: 口袋型注入掺杂区                   |                   |

### 具体实施方式

图 1A 至图 1H 绘示本发明一较佳实施例的快闪存储元件的制造方法剖面图。

请参阅 1A 所示,提供具有隧穿介电层 102 的基底 100、一层导体层(图中未示)以及一层硬式罩幕层(图中未示)。导体层位于隧穿介电层 102 上,硬式罩幕层位于导体层上。隧穿介电层 102 例如是以氧化硅、氧化铝、氧化铪、氮化硅或氮氧化硅所制成,但不限上述材料。隧穿介电层 102 的形成方法例如是低压化学气相沉积(LPCVD)工艺,但不限于此方法。另外,隧穿介电层 102 的厚度约为 5 至 15 纳米。此外,导体层例如是以多晶硅、掺杂多晶硅、金属硅化物或金属所制成,但不限上述材料。导体层的厚度大约是 40 至 100 纳米。再者,硬式罩幕层例如是以氧化硅或氮化硅制成,硬式罩幕的厚度大

约是 50 至 200 纳米，但硬式罩幕的材质与厚度并不加以限定。

然后，图案化硬式罩幕层以及导体层以形成导体层 104 与硬式罩幕层 108，以及导体层 104 与硬式罩幕层 108 之中的第一开口 110。在本实施例中，第一开口 110 只穿过硬式罩幕层 108 以及导体层 104，并暴露部分的隧穿介电层 102。然而，本实施例所说明的第一开口 110 结构并不限定本发明的范围。也就是说，随着制造需求的不同，第一开口 110 也可以穿过隧穿介电层 102 以暴露部分的基底 100。

请参阅 1B 所示，在第一开口 110 下的基底 100 中分别形成数个源极/漏极区 112。源极/漏极区 112 的形成方法包括进行离子注入以注入浓度每立方厘米  $10^{19}$  至  $10^{20}$  个离子至基底 100 中。此外，注入于基底 100 中的离子例如是砷离子、氮离子或磷离子。

另外，形成数个介电插塞 114a 并分别填满第一开口 110。介电插塞 114a 的形成方法包括以一层介电材料覆盖基底 100，以于硬式罩幕层 108 上形成介电层 114b，并分别于第一开口 110 中形成介电插塞 114a。介电材料例如是氮化硅、氧化硅或具有与硬式罩幕层 108 不同湿蚀刻行为的介电材料，但不加以限定。此外，以介电层 114b 与介电插塞 114a 所构成的介电层的厚度约为 80 至 300 纳米。

请参阅 1C 所示，进行湿式浸泡工艺以移除部分介电层 114b 以及介电插塞 114a，而将介电层 114b 与介电插塞 114a 转换成介电层 116b 与介电插塞 116a。因此，介电层 116b 与介电插塞 116a 会暴露硬式罩幕层 108 的顶表面的一部分。当由介电层 114b 与介电插塞 114a 所构成的介电层是由氧化硅制成时，湿式浸泡工艺可以利用稀释的氢氟酸或缓冲的氢氟酸来达成，或者，当由介电层 114b 与介电插塞 114a 所构成的介电层是由氮化硅制成时，湿式浸泡工艺可以利用热磷酸来达成。

之后，请参阅 1D 所示，进行剥离工艺以移除硬式罩幕层 108 以及硬式罩幕层 108 的上的介电层 116b。当硬式罩幕层 108 是由氧化硅制成时，湿式浸泡工艺可以利用稀释的氢氟酸与缓冲的氢氟酸来达成。或者，当硬式罩幕层 108 是由氮化硅制成时，湿式浸泡工艺可以利用热磷酸来达成。

另外，在导体层 104 上以及介电插塞 116a 的侧壁上形成多层间隙壁 122。其中多层间隙壁 122 暴露部分导体层 104。多层间隙壁 122 的形成方法包括于基底 100 上形成一层共形的介电层(图中未示)，然后于此共形的介电层上形成一层介电层(图中未示)，之后进行蚀刻工艺以移除部分的介电层以及部分的共形介电层，直到暴露部分的导体层 104。接着，此共形介电层以及此介电层分别被转化为 L 型间隙壁 118 以及间隙壁 120，而且 L 型间隙壁 118 以及间隙壁 120 共同构成多层间隙壁 122。另外，共形介电层(即 L 型间隙壁 118)对介电层(即间隙壁 120)的研磨选择比大约是 500。此外，共

形介电层(即 L 型间隙壁 118)例如是由利用化学气相沉积(CVD)工艺与电浆增强化学气相沉积工艺所形成的氮化硅所制成,但是共形介电层的材质与形成方法并不限定。介电层(即间隙壁 120)例如是与形成介电插塞 116a 相同的材质所制成。

请参阅 1E 所示,利用多层间隙壁 122 以及介电插塞 116a 为罩幕,进行蚀刻工艺以于导体层 104 中形成第二开口 124 而将导体层 104 分离成为第一浮置栅极 104a 以及第二浮置栅极 104b。在本实施例中,第二开口 124 仅穿过导体层 104(如图 1D 所示)并暴露隧穿介电层 102 的一部分。然而,呈现于本实施例的第二开口 124 的结构并不限定本发明的范围。也就是说,对于不同的制造需求,第二开口 124 也可以穿过隧穿介电层 102 以暴露部分的基底 100。

另外,在第二开口 124 下的基底 100 中形成自行对准掺杂区 126。自行对准掺杂区 126 的形成步骤可以利用离子浓度每立方厘米  $10^{18}$  个,注入能量约 10keV 的注入离子来达成。此外,掺质例如是砷离子、氮离子以及磷离子,但是并不限定。

请参阅 1F 所示,形成一层介电层 128 以填满第二开口 124。介电层 128 例如是利用与形成介电插塞 116a 以及间隙壁 120 相同的介电材料所制成,而且介电层 128 例如是以 LPCVD 工艺来形成。

请参阅 1G 与图 1H 所示,进行平坦化工艺直到暴露第一浮置栅极 104a 以及第二浮置栅极 104b。进行此平坦化工艺的方法包括利用第一浮置栅极 104a 以及第二浮置栅极 104b 的顶表面的部分 L 型间隙壁 118(如图 1F 所示)为终止层,进行平坦化工艺以移除部分的介电层 128 以及多层间隙壁 122,然后移除其他的 L 型间隙壁 118,直到完全暴露第一浮置栅极 104a 以及第二浮置栅极 104b 的顶表面。此外,移除其他的 L 型间隙壁 118 的步骤例如是进行化学机械研磨(CMP)工艺、湿式蚀刻工艺或干式蚀刻工艺来达成,但并不限定。在此平坦化工艺中,在 CMP 工艺的开始阶段,由于介电层 128、间隙壁 120 以及介电插塞 116a 是由相同的材质制成,而且 L 型间隙壁 118 的研磨量非常小,研磨率可以维持稳定。然而,当大部分之间隙壁 118 被移除了,而且 L 型间隙壁 118 的研磨量剧烈地减少,由于 L 型间隙壁 118 对介电层(即间隙壁 120 以及介电插塞 116a)的研磨选择比,CMP 工艺会停止。在平坦化工艺之后,残留的介电插塞被标示为 116c,而在第二开口 124 中残留的介电层被标示为 128a。

请参阅 1H 所示,在基底 100 上形成介电层 130。介电层 130 例如是介电常数大于 4 的介电层。较佳的是,介电层 130 例如是氧化硅/氮化硅/氧化硅层或氧化硅/高介电材料(High k Material)/氧化硅层,但并不限定。此高介电材料可以是具有大于 4 的介电常数的介电材料。而且,此高介电材料



例如是氧化铝、氧化铪、氮化硅或氮氧化硅，但并不限定。之后，在基底100上形成控制栅极132。控制栅极132的材质例如是以多晶硅、掺杂多晶硅，金属硅化物或金属所制成，而且控制栅极132具有约40至200纳米的厚度，控制栅极132的材质与厚度并不限定。

请继续参照图1H，本发明更提供一快闪存储元件结构。本发明的快闪存储元件结构包括位于基底100中的数个源极/漏极区112，位于源极/漏极区112之间基底100上的第一浮置栅极104a以及第二浮置栅极104b，其中第一浮置栅极104a以及第二浮置栅极104b以介电层128a彼此隔离，且分别与源极/漏极区112相邻。此快闪存储元件更包括位于第一浮置栅极104a以及第二浮置栅极104b之间的基底100中的淡掺杂区126。再者，控制栅极132位于基底100上，而且藉由介电常数大于4的介电层130与第一浮置栅极104a以及第二浮置栅极104b隔离。此外，源极/漏极区112以及淡掺杂区126具有相同的导电类型。另外，第一浮置栅极104a以及第二浮置栅极104b以隧穿介电层102与基底100隔离。

图2绘示本发明另一较佳实施例的快闪存储元件的剖面图。本发明另一较佳实施例的快闪存储元件更包括位于源极/漏极区212之间基底200中的数个口袋型注入掺杂区240，口袋型注入掺杂区240分别邻接源极/漏极区212。口袋型注入掺杂区240例如是利用与源极/漏极区212不同导电类型的注入基底200的离子来形成。注入基底200以形成口袋型注入掺杂区240的离子浓度约为每立方厘米 $10^{16}$ 至 $10^{18}$ 个离子，而且这些离子例如是硼离子或氟化硼。

在本发明中，由于导体层104被介电层128a分离成第一浮置栅极104a以及第二浮置栅极104b，每个第一浮置栅极104a以及第二浮置栅极104b可以储存至少一个载子。因此，对于一个单位存储单元而言，存储密度增加了。此外，以介电插塞116a以及多层间隙壁122当作罩幕，淡掺杂区126是自行对准而形成于基底100中，而未另行使用微影工艺。因此，成本得以降低。另外，以位于第一浮置栅极104a以及第二浮置栅极顶表面上的L型间隙壁118当作研磨终止层，为移除介电层128、间隙壁120以及介电插塞116a所进行的CMP工艺可以得到良好的控制。因此，第一浮置栅极104a以及第二浮置栅极104b在平坦化工艺后的形状可以较为一致。

显而易见，对于熟知此技艺者，本发明可做各种调整与变化而不脱离本发明的范围与精神。在以上的描述中，若这些调整与变化属于权利要求以及等效叙述的范围，则本发明包括对其本身的各种调整以及变化。

虽然本发明已以较佳实施例揭露如上，然其并非用以限定本发明，任何熟习此技艺者，在不脱离本发明的精神和范围内，当可作些许的更动与润饰，因此本发明的保护范围当视权利要求界定为准。

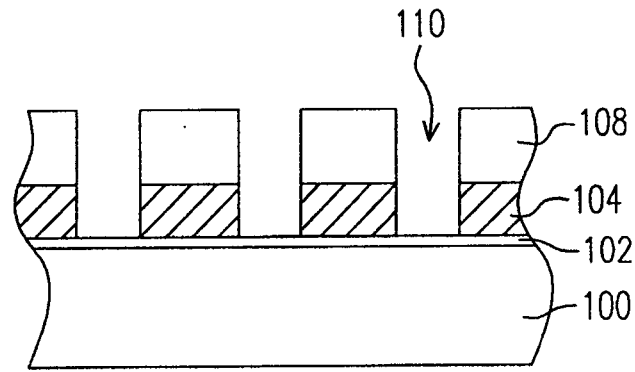


图 1A

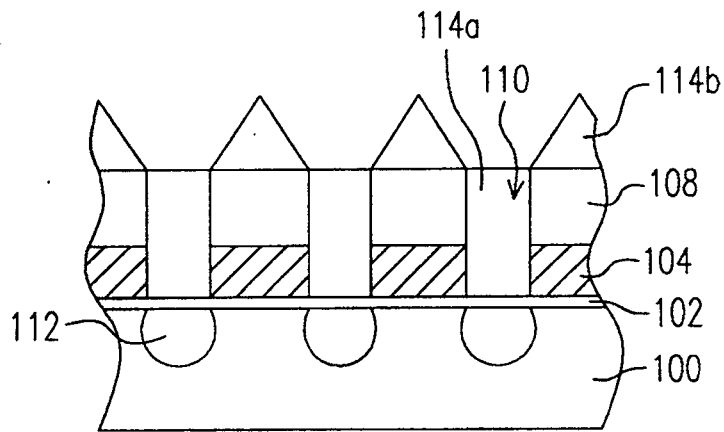


图 1B

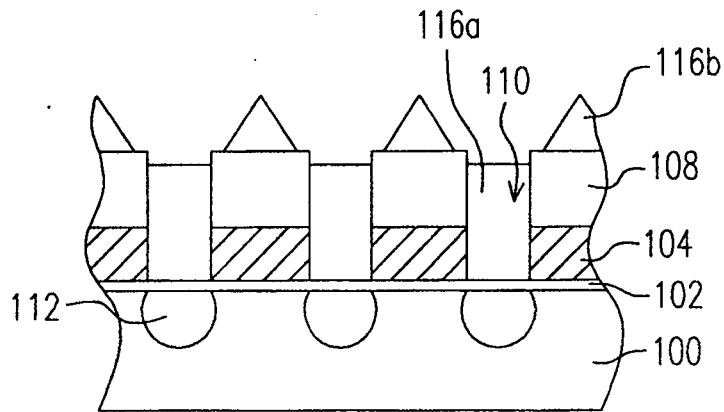


图 1C

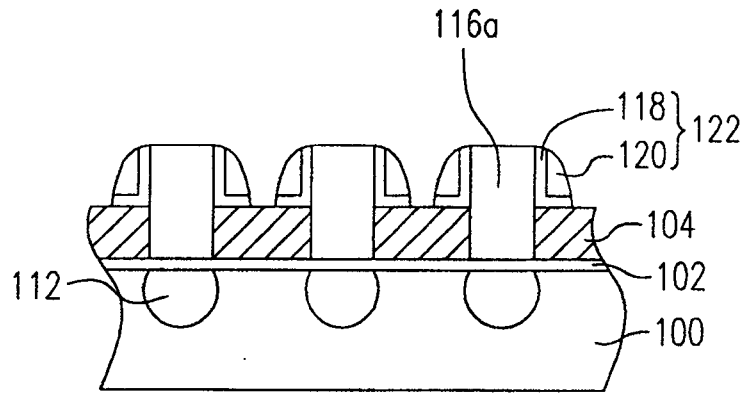


图 1D

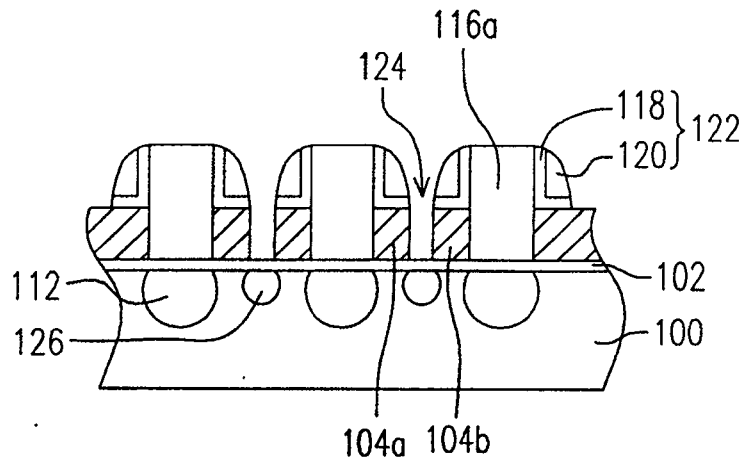


图 1E

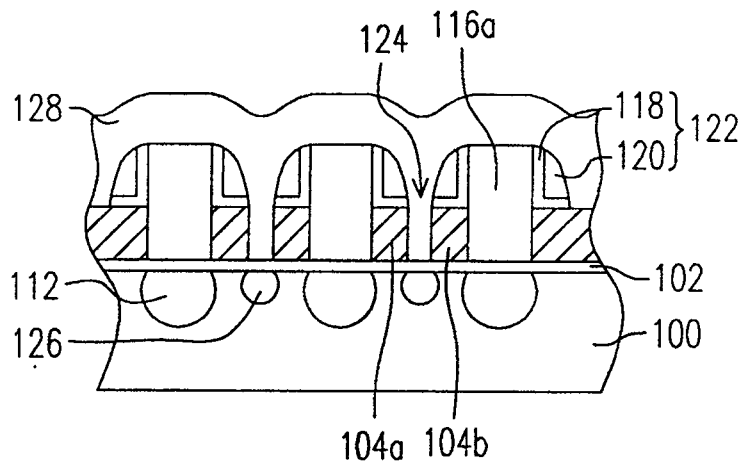


图 1F

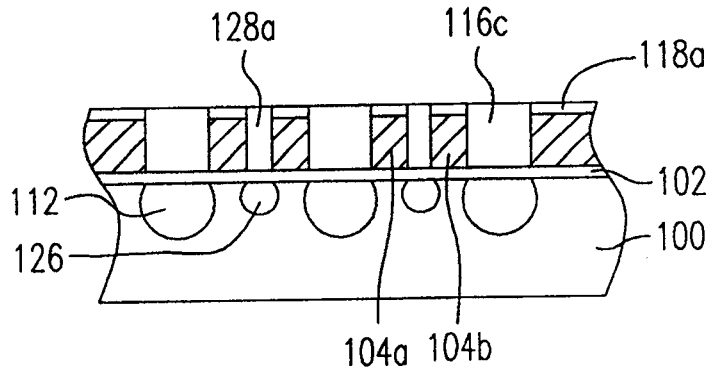


图 1G

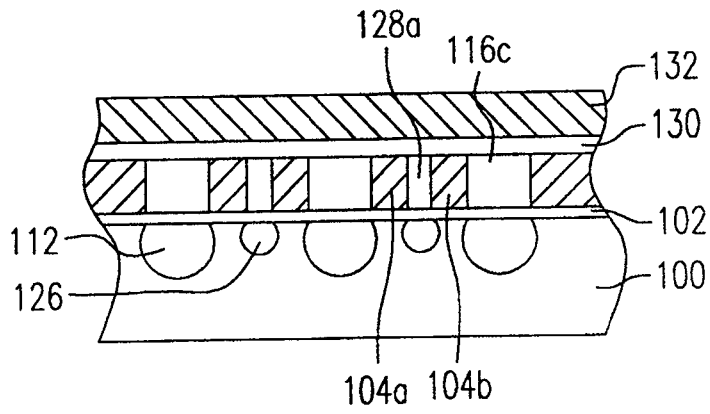


图 1H

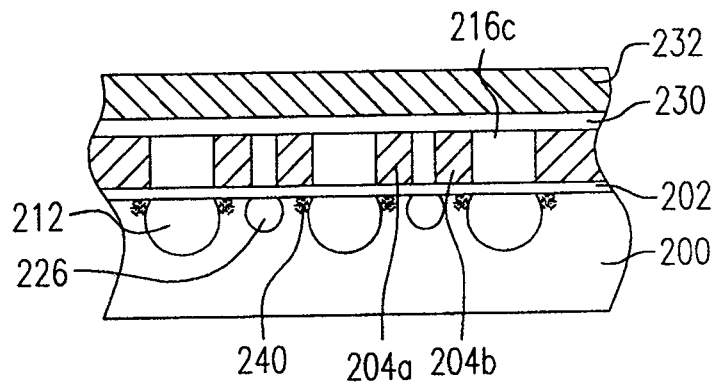


图 2