



- (51) 국제특허분류:
H01L 29/861 (2006.01)
- (21) 국제출원번호: PCT/KR2012/011708
- (22) 국제출원일: 2012년 12월 28일 (28.12.2012)
- (25) 출원언어: 한국어
- (26) 공개언어: 한국어
- (30) 우선권정보:
10-2012-0084861 2012년 8월 2일 (02.08.2012) KR
- (71) 출원인: 경희대학교 산학협력단 (UNIVERSITY-INDUSTRY COOPERATION GROUP OF KYUNG HEE UNIVERSITY) [KR/KR]; 446-701 경기도 용인시 기흥구 덕영대로 1732, 국제캠퍼스내 (서천동, 경희대학교), Gyeonggi-do (KR).
- (72) 발명자: 최석호 (CHOI, Suk Ho); 443-812 경기도 수원시 영통구 영통동 989-2 현대아파트 726-1103, Gyeonggi-do (KR). 김성 (KIM, Sung); 156-052 서울시 동작구 노량진 2동 24-16, Seoul (KR). 신동희 (SHIN, Dong Hee); 331-827 충청남도 천안시 서북구 입장면 하장리 73-28, Chungcheongnam-do (KR).
- (74) 대리인: 특허법인 가산 (KASAN IP & LAW FIRM); 137-070 서울시 서초구 남부순환로 2423 한원빌딩 7층, Seoul (KR).

(81) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 국내 권리의 보호를 위하여): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

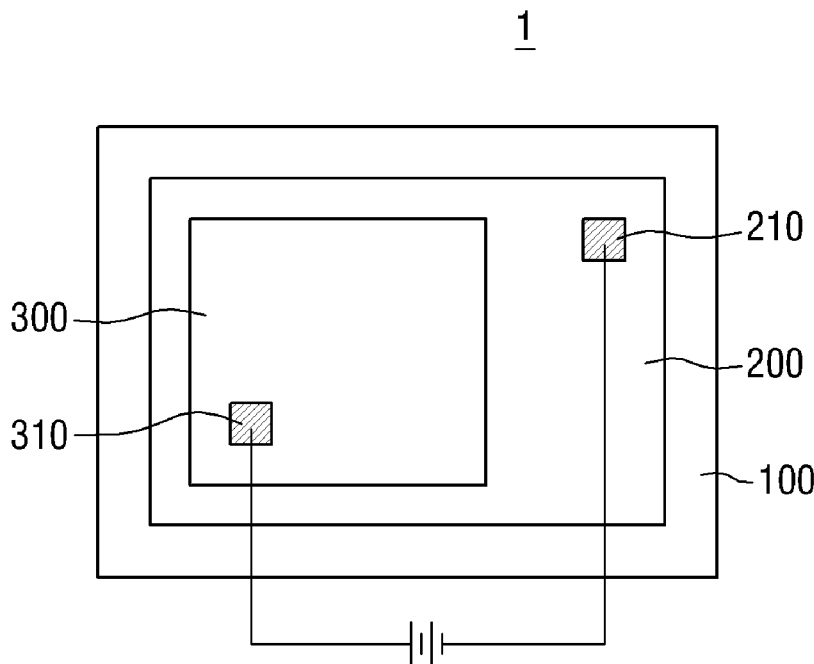
(84) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 역내 권리의 보호를 위하여): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), 유라시아 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 유럽 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

공개:

— 국제조사보고서와 함께 (조약 제 21 조(3))

(54) Title: SEMICONDUCTOR DEVICE AND METHOD FOR PRODUCING SAME

(54) 발명의 명칭: 반도체 소자 및 그의 제조 방법



(57) Abstract: The aim of the present invention is to provide a semiconductor device containing a graphene p-n vertical homojunction diode by assessing the optical and electrical characteristics of a graphene p-n junction produced according to doping amount. The semiconductor device includes first graphene having a first type of conductivity, and second graphene, which is arranged on the first graphene and is in contact therewith and which has a second type of conductivity different from the first type of conductivity.

(57) 요약서: 도핑 양에 따라 제조된 그래핀 p-n 접합의 구조적 광학적 및 전기적 특성을 평가함으로써, 그래핀 p-n 수직 균질 접합 다이오드를 포함하는 반도체 소자를 제공하는 것이다. 상기 반도체 소자는 제 1 도전형을 갖는 제 1 그래핀, 및 상기 제 1 그래핀 상에, 상기 제 1 그래핀과 접촉하고, 상기 제 1 도전형과 다른 제 2 도전형을 갖는 제 2 그래핀을 포함한다.

명세서

발명의 명칭: 반도체 소자 및 그의 제조 방법

기술분야

- [1] 본 발명은 반도체 소자 및 그의 제조 방법에 관한 것으로, 더욱 상세하게는 p형 그래핀과 n형 그래핀을 수직 균질 접합하여 형성된 반도체 소자 및 그의 제조 방법에 관한 것이다.

배경기술

- [2] 탄소 원자 한 층의 2차원 물질인 그래핀은 2004년에 발견된 이래 여러 가지 새롭고 우수한 물성으로 인하여 많은 주목을 받고 있다. 특히 2010년 노벨 물리학상이 단원자층 그래핀을 최초로 분리한 가임과 노보셀로프 두 사람에게 수여됨으로써 전 세계의 연구자들뿐만 아니라 일반인들의 많은 관심을 끌고 있다.
- [3] 그래핀은 지금까지 알려진 물질 중에 가장 얇으면서도, 전기나 열을 가장 잘 전도할 수 있을 뿐 아니라 가장 강하면서도 유연한 물질이다. 이 같은 그래핀의 우수한 특성을 활용하여, 구조 재료로 사용되거나, Si 전자 소자를 대체할 수 있을 것으로 기대되고 있다. 그래핀은 플렉서블 디스플레이와 터치 패널 등 차세대 디스플레이 분야와 태양 전지 등의 에너지 산업분야, 스마트 윈도우, RFID 등 다양한 전자 산업 분야에서 신소재로 활용도가 확대되고 있다.
- [4] 또한, 한 층 또는 수 층의 그래핀 시트의 전기전도 특성을 조사하여 실온에서 높은 전자 이동도를 가진다는 사실이 보고된 후, 그래핀은 전자소자 재료로 많은 주목을 모으고 있다. 그래핀은 제로갭(zero gap) 반도체 또는 semimetal로서 매우 우수한 역학적, 전기적 및 광학적 성질을 가지고 있다. 그래핀은 가시광선에 투명하고, 충분한 전기전도성을 가지고 있어서 예를 들어, 태양 전지, LED 그리고 터치 스크린 등 여러 가지 응용이 가능하다.
- [5] 그래핀을 이와 같이 다양한 분야에 응용을 하기 위해서, 그래핀의 도핑 및 도핑된 그래핀을 활용한 전자 소자에 관한 많은 연구는 진행되고 있다.

발명의 상세한 설명

기술적 과제

- [6] 본 발명이 해결하고자하는 과제는, 도핑 양에 따라 제조된 그래핀 p-n 접합의 구조적 광학적 및 전기적 특성을 평가함으로써, 그래핀 p-n 수직 균질 접합 다이오드를 포함하는 반도체 소자를 제공하는 것이다.
- [7] 본 발명이 해결하고자 하는 다른 과제는, 상기 반도체 소자의 제조 방법을 제공하는 것이다.
- [8] 지 않으며, 언급되지 않은 또 다른 과제들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

과제 해결 수단

- [9] 상기 과제를 해결하기 위한 본 발명의 반도체 소자의 일 태양은 제1 도전형을 갖는 제1 그래핀, 및 상기 제1 그래핀 상에, 상기 제1 그래핀과 접촉하고, 상기 제1 도전형과 다른 제2 도전형을 갖는 제2 그래핀을 포함한다.
- [10] 상기 과제를 해결하기 위한 본 발명의 반도체 소자의 다른 태양은 p-n 다이오드를 포함하는 반도체 소자에 있어서, 상기 p-n 다이오드에 순방향 전압을 인가할 때, 흐르는 전류는 제1 전류이고, 상기 p-n 다이오드에 역방향 전압을 인가할 때, 흐르는 전류는 제2 전류이고, 상기 제2 전류는 상기 제1 전류보다 크다.
- [11] 상기 다른 과제를 해결하기 위한 본 발명의 반도체 소자 제조 방법은 기판 상에 제1 도전형의 제1 그래핀을 형성하고, 상기 제1 그래핀 상에 상기 제1 도전형과 다른 제2 도전형의 제2 그래핀을 형성하고, 상기 제2 그래핀은 상기 제1 그래핀과 접촉하고 상기 제1 그래핀의 일부를 노출시키고, 상기 노출된 제1 그래핀과 상기 제2 그래핀 상에 각각 제1 전극 및 제2 전극을 형성하는 것을 포함한다.
- [12] 본 발명의 기타 구체적인 사항들은 상세한 설명 및 도면들에 포함되어 있다.

발명의 효과

- [13] 도핑된 그래핀을 활용하여 그래핀 p-n 접합을 포함하는 반도체 소자를 제작할 수 있다. 또한, 제작된 그래핀 p-n 접합을 포함하는 반도체 소자의 도핑 양에 따른 구조적, 광학적 전기적 특성을 평가하여, 그래핀을 태양전지, LED, 광탐지소자 등의 광전자소자에 응용할 수 있는 기반을 마련할 수 있다.

도면의 간단한 설명

- [14] 도 1은 본 발명의 일 실시예에 따른 반도체 소자의 평면도이다.
- [15] 도 2는 도 1에 따른 반도체 소자의 측면도이다.
- [16] 도 3은 본 발명의 일 실시예에 따른 반도체 소자 제조 방법을 설명하기 위한 순서도이다.
- [17] 도 4는 도 3의 과정 중 그래핀에 불순물을 도핑하는 방법을 설명하기 위한 순서도이다.
- [18] 도 5는 본 발명의 반도체 소자에서 사용된 그래핀의 두께를 측정하기 위한 시편을 나타내는 도면이다.
- [19] 도 6은 도 5의 A를 따른 높이 프로파일이다.
- [20] 도 7은 본 발명의 반도체 소자에 사용되는 p형 그래핀의 도핑 시간에 따른 표면 굴곡 및 두께 변화를 나타내는 그래프이다.
- [21] 도 8은 본 발명의 반도체 소자에 사용되는 n형 그래핀의 도핑 시간에 따른 표면 굴곡 및 두께 변화를 나타내는 그래프이다.
- [22] 도 9는 도 7의 p형 그래핀의 도핑 시간에 따른 면저항의 변화를 나타내는 그래프이다.
- [23] 도 10는 도 8의 n형 그래핀의 도핑 시간에 따른 면저항의 변화를 나타내는

그래프이다.

[24] 도 11은 본 발명의 반도체 소자에 사용되는 p형 그래핀 및 n형 그래핀의 도핑 시간에 따른 디락점의 이동을 나타내는 그래프이다.

[25] 도 12은 본 발명에 따른 반도체 소자의 I-V 특성을 나타내는 로그 스케일 그래프이다.

[26] 도 13는 도 12 중 J4 및 J5의 그래프를 선형으로 나타낸 그래프이다.

[27] 도 14는 도 12의 반도체 소자의 도전층들과 전극 사이의 접합 특성을 보여주는 그래프이다.

발명의 실시를 위한 형태

[28] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다.

[29] 비록 제1, 제2 등이 다양한 소자, 구성요소 및/또는 섹션들을 서술하기 위해서 사용되나, 이들 소자, 구성요소 및/또는 섹션들은 이들 용어에 의해 제한되지 않음은 물론이다. 이들 용어들은 단지 하나의 소자, 구성요소 또는 섹션들을 다른 소자, 구성요소 또는 섹션들과 구별하기 위하여 사용하는 것이다. 따라서, 이하에서 언급되는 제1 소자, 제1 구성요소 또는 제1 섹션은 본 발명의 기술적 사상 내에서 제2 소자, 제2 구성요소 또는 제2 섹션일 수도 있음은 물론이다.

[30] 소자(elements) 또는 층이 다른 소자 또는 층의 "위(on)" 또는 "상(on)"으로 지칭되는 것은 다른 소자 또는 층의 바로 위뿐만 아니라 중간에 다른 층 또는 다른 소자를 개재한 경우를 모두 포함한다. 반면, 소자가 ""직접 위(directly on)" 또는 "바로 위"로 지칭되는 것은 중간에 다른 소자 또는 층을 개재하지 않은 것을 나타낸다.

[31] 공간적으로 상대적인 용어인 "아래(below)", "아래(beneath)", "하부(lower)", "위(above)", "상부(upper)" 등은 도면에 도시되어 있는 바와 같이 하나의 소자 또는 구성 요소들과 다른 소자 또는 구성 요소들과의 상관관계를 용이하게 기술하기 위해 사용될 수 있다. 공간적으로 상대적인 용어는 도면에 도시되어 있는 방향에 더하여 사용시 또는 동작시 소자의 서로 다른 방향을 포함하는 용어로 이해되어야 한다. 예를 들면, 도면에 도시되어 있는 소자를 뒤집을 경우, 다른 소자의 "아래(below 또는 beneath)"로 기술된 소자는 다른 소자의 "위(above)"에 놓여질 수 있다. 따라서, 예시적인 용어인 "아래"는 아래와 위의 방향을 모두 포함할 수 있다. 소자는 다른 방향으로도 배향될 수 있으며, 이 경우

공간적으로 상대적인 용어들은 배향에 따라 해석될 수 있다.

- [32] 본 명세서에서 사용된 용어는 실시예들을 설명하기 위한 것이며 본 발명을 제한하고자 하는 것은 아니다. 본 명세서에서, 단수형은 문구에서 특별히 언급하지 않는 한 복수형도 포함한다. 명세서에서 사용되는 "포함한다(comprises)" 및/또는 "포함하는(comprising)"은 언급된 구성요소, 단계, 동작 및/또는 소자는 하나 이상의 다른 구성요소, 단계, 동작 및/또는 소자의 존재 또는 추가를 배제하지 않는다.
- [33] 다른 정의가 없다면, 본 명세서에서 사용되는 모든 용어(기술 및 과학적 용어를 포함)는 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 공통적으로 이해될 수 있는 의미로 사용될 수 있을 것이다. 또 일반적으로 사용되는 사전에 정의되어 있는 용어들은 명백하게 특별히 정의되어 있지 않는 한 이상적으로 또는 과도하게 해석되지 않는다.
- [34] 이하, 도 1 및 도 2를 참조하여, 본 발명의 일 실시예에 따른 반도체 소자에 대해 설명한다.
- [35] 도 1은 본 발명의 일 실시예에 따른 반도체 소자의 평면도이다. 도 2는 도 1에 따른 반도체 소자의 측면도이다.
- [36] 도 1 및 도 2를 참조하여, 본 발명의 일 실시예에 따른 반도체 소자(1)는 제1 도전형을 갖는 제1 그래핀(200)과 제2 도전형을 갖는 제2 그래핀(300)을 포함할 수 있다. 제1 도전형은 제2 도전형과 서로 다른 도전형이다. 본 발명의 일 실시예에 따른 반도체 장치에서, 제1 도전형의 제1 그래핀(200)은 n 형의 그래핀이고, 제2 도전형의 제2 그래핀(300)은 p 형의 그래핀인 것으로 설명하나, 이에 제한되는 것은 아니다. 즉, 제1 도전형의 제1 그래핀(200)은 p 형의 그래핀이고, 제2 도전형의 제2 그래핀(300)은 n 형의 그래핀일 수 있다.
- [37] 본 발명의 실시예에 대한 설명에서, 제1 그래핀(200)의 도전형을 n형으로 설명하는 이유는 다음과 같다. 불순물을 도핑하지 않은 프리스틴(pristine) 그래핀일 경우에 그래핀은 p형의 성질을 가질 수 있다. 이는 그래핀은 공기 중의 산소와 반응을 하여, p형의 성질을 갖기 때문이다. 따라서, 제1 그래핀(200)의 도전형을 p형으로 한다면, 시간이 지남에 따라, 제1 그래핀(200)의 p형 농도가 변화하게 된다. 이와 같은 현상에 의해, n형인 제2 그래핀(300)과 경계 부근에서의 제1 그래핀(200)의 p형 농도가 변할 수 있다. p-n 다이오드의 접합 부분에서의 농도가 변하게 되면, 신뢰할 수 있는 p-n 수직 접합 다이오드의 결과를 얻을 수 없다. 이와 같은 이유에 의해, 본 발명의 실시예에 대한 설명에서, 제1 그래핀(200)의 도전형을 n형으로 설명한다.
- [38] 제2 그래핀(300)은 제1 그래핀(200) 상에 배치될 수 있다. 제2 그래핀(300)은 제1 그래핀(200)과 접촉하여 배치될 수 있다. 구체적으로, 제1 그래핀(200)과 제2 그래핀(300)은 직접 접촉하여 배치될 수 있고, 제1 그래핀(200)과 제2 그래핀(300)은 예를 들어, p-n 접합 다이오드를 형성할 수 있고, 구체적으로 수직으로 균질 접합된 p-n 접합 다이오드를 형성할 수 있다.

- [39] 제1 그래핀(200) 및 제2 그래핀(300)은 예를 들어, 단층으로 이뤄진 2차원의 판상 형태일 수 있으나, 이에 제한되는 것은 아니다.
- [40] 도 2를 참조하여, 제1 그래핀(200)은 제2 그래핀(300)과 접하는 경계면(250)에 고저항층 또는 절연층을 포함할 수 있다. 제1 그래핀(200)에 포함되는 고저항층은 제1 그래핀(200)과 제2 그래핀(300) 사이에 다른 물질을 삽입하여 형성하는 것이 아니고, 제1 그래핀(200)의 도핑 농도를 조절한 결과 나타나는 층일 수 있다. 제1 그래핀(200)에 포함되는 고저항층에 관한 내용은 실험 결과를 바탕으로 다시 설명하도록 한다.
- [41] 도 1을 참조하여, 제2 그래핀(300)은 제1 그래핀(200)과 실질적으로 완전히 오버랩될 수 있다. 하지만, 이와 같은 제1 그래핀(200)과 제2 그래핀(300)의 중첩은 본 발명의 일 실시예를 설명하기 위한 것일 뿐, 이에 제한되는 것은 아니다. 즉, 제2 그래핀(300)의 적어도 일부만이 제1 그래핀(200)과 중첩되고, 수직으로 균질접합을 형성하고, 나머지 부분은 접합을 형성하지 않을 수 있다.
- [42] 도 1 및 도 2를 참조하여, 반도체 소자(1)는 기판(100)과 제1 전극(210) 및 제2 전극(310)을 더 포함할 수 있다. 제1 그래핀(200) 및 제2 그래핀(300)은 기판(100) 상에 배치될 수 있다. 즉, 기판(100), 제1 그래핀(200) 및 제2 그래핀(300)은 순차적으로 적층되어 배치될 수 있다. 제1 전극(210)은 예를 들어, 제1 그래핀(200) 상에 형성될 수 있다. 제2 전극(310)은 예를 들어, 제2 전극(310) 상에 형성될 수 있다. 본 발명의 일 실시예에서는 제1 전극(210) 및 제2 전극(310)이 평면적으로 볼 때, 제1 그래핀(200) 및 제2 그래핀(300)의 상면에 각각 형성되는 것으로 설명한다.
- [43] 하지만, 제1 전극(210)과 제2 전극(310)은 제1 그래핀(200) 및 제2 그래핀(300)을 사이에 두고 배치될 수도 있다. 다시 말하면, 제1 전극(210), 제1 그래핀(200), 제2 그래핀(300) 및 제2 전극(310)이 순차적으로 적층되어, p-n 수직 접합 다이오드를 형성할 수 있다. 이 때, 제1 전극(210)은 제1 그래핀(200)과 기판(100) 사이에 배치될 수 있다.
- [44] 구체적으로, 기판(100)은 예를 들어, 실리콘 기판, SOI(Silicon On Insulator) 기판, 갈륨 비소 기판, 실리콘 게르마늄 기판, 세라믹 기판, 석영 기판, 또는 디스플레이용 유리 기판 등의 강성 기판이거나, 폴리아미드(polyimide), 폴리에틸렌 테레프탈레이트(PET: PolyEthylene Terephthalate), 폴리에틸렌 나프탈레이트(PEN: PolyEthylene Naphthalate), 폴리 메틸메타크릴레이트(PMMA: Poly Methyl MethAcrylate), 폴리카보네이트(PC: PolyCarbonate), 폴리에테르술폰(PES), 폴리에스테르(Polyester) 등의 가요성 플라스틱 기판일 수 있다. 또한, 기판은 예를 들어, 빛을 투과시킬 수 있는 투명한 기판일 수 있다.
- [45] 제1 전극(210) 및 제2 전극(310)은 그래핀과 오믹 컨택(Ohmic contact)을 형성하는 물질을 포함할 수 있고, 예를 들어, 은(Ag)을 포함할 수 있다. 제1 전극(210) 및 제2 전극(310)은 단일 층일 수 있으나, 이에 제한되는 것은 아니며, 각각 그래핀과 접촉 저항을 줄일 수 있는 삽입층(미도시)를 더 포함할 수도 있다.

- [46] 도 2 내지 도 4를 참조하여, 본 발명의 일 실시예에 따른 반도체 소자 제조 방법에 대해 설명한다.
- [47] 도 3은 본 발명의 일 실시예에 따른 반도체 소자 제조 방법을 설명하기 위한 순서도이다. 도 4는 도 3의 과정 중 그래핀에 불순물을 도핑하는 방법을 설명하기 위한 순서도이다. 도 3 및 도 4는 도 2에 도시되는 반도체 소자를 제조하는 방법을 설명하기 위한 순서도들이므로, 중복되는 내용을 생략하거나, 간략히 설명하도록 한다.
- [48] 도 2 내지 도 4를 참조하여, 기판(100) 상에 제1 도전형의 제1 그래핀(200)을 형성할 수 있다(S10).
- [49] 구체적으로, 불순물이 도핑되지 않은 제1 프리스틴 그래핀을 제조하여 기판(100) 상에 배치하여, 기판(100) 상에 제1 프리스틴 그래핀을 형성한다. 기판(100) 상에 형성된 제1 프리스틴 그래핀은 예를 들어, 단층의 그래핀일 수 있다. 제1 프리스틴 그래핀 상에 제1 도핑 용액을 떨어뜨릴 수 있다. 떨어뜨려진 제1 도핑 용액은 제1 프리스틴 그래핀에 흡착될 수 있다(S42). 제1 그래핀(200)의 도전형은 n형이므로, 제1 도핑 용액은 제1 불순물을 포함할 수 있고, 예를 들어, 제1 불순물은 벤질 비올로젠(Benzyl Viologen, BV)일 수 있다. 제1 프리스틴 그래핀이 제1 도핑 용액으로 도포된 상태로 일정 시간 동안 유지될 수 있다. 제1 도핑 용액이 도포된 시간 동안, 제1 도핑 용액 일부는 제1 프리스틴 그래핀에 흡착될 수 있다(S42). 제1 도핑 용액이 도포되어 있는 시간에 증가하면, 제1 프리스틴 그래핀에 흡착되는 제1 도핑 용액의 양이 증가할 수 있고, 이를 통해 흡착되는 제1 불순물의 양이 증가할 수 있다.
- [50] 일정 시간이 경과 후, 제1 프리스틴 그래핀 상에 흡착된 제1 도핑 용액은 제1 프리스틴 그래핀 상에 균일하게 도포된다(S44). 제1 프리스틴 상에 제1 도핑 용액을 균일하게 도포하면서, 제1 프리스틴에 흡착되지 못한 제1 도핑 용액은 제거될 수 있다. 제1 프리스틴 상에 제1 도핑 용액을 균일하게 도포하는 것은 예를 들어, 스핀 코터(spin coater)를 이용할 수 있다. 스핀 코터를 이용할 경우, 제1 프리스틴 그래핀에 제1 도핑 용액을 균일하게 퍼트려 도포할 수 있을 뿐만 아니라, 흡착되지 않은 제1 도핑 용액이 제거될 수 있기 때문이다. 스핀 코터는 예를 들어, 1000 내지 3000rpm으로 회전될 수 있다. 스핀 코터는 예를 들어, 30초 내지 2분 동안 제1 도핑 용액이 도포된 제1 프리스틴 그래핀을 회전시킬 수 있다.
- [51] 이후, 제1 도핑 용액이 도포된 제1 프리스틴 그래핀을 열처리한다(S46). 제1 프리스틴 그래핀의 열처리는 예를 들어, 급속 열처리 방식(Rapid Thermal Annealing, RTA)를 이용할 수 있다. 열처리 온도는 예를 들어, 섭씨 100도 내지 300도일 수 있고, 열처리 시간은 예를 들어, 10분 내지 30분일 수 있다. 이와 같은 열처리를 통해, 기판(100) 상에 제1 도전형의 제1 그래핀(200)이 형성될 수 있다.
- [52] 도 2 내지 도 4를 참조하여, 제1 도전형의 제1 그래핀(200) 상에 제1 그래핀(200)과 접촉하고, 제1 도전형과 다른 제2 도전형의 제2 그래핀(300)을 형성할 수 있다(S20). 제2 그래핀(300)에 의해 제1 그래핀(200)의 일부가 노출될

수 있다.

- [53] 제1 도전형의 제1 그래핀(200) 상에 제2 프리스틴 그래핀을 배치한다. 제2 프리스틴 그래핀은 예를 들어, 단층의 그래핀일 수 있다. 제2 프리스틴 그래핀 상에 제2 불순물을 포함하는 제2 도핑 용액을 흡착시킬 수 있다(S42). 제2 그래핀(300)의 도전형은 p형이므로, 제2 불순물은 예를 들어, 염화 금(AuCl_3)일 수 있다. 제2 도핑 용액이 흡착된 제2 프리스틴 그래핀을 일정 시간 동안 유지하여, 제2 프리스틴 그래핀 상에 흡착되는 제2 도핑 용액의 양을 조절할 수 있다. 일정 시간 경과 후, 예를 들어, 스핀 코터를 이용하여 흡착된 제2 도핑 용액을 제2 프리스틴 그래핀 상에 균일하게 도포할 수 있다(S44). 이 후, 제2 도핑 용액이 도포된 제2 프리스틴 그래핀을 열처리한다(S46). 이를 통해, 제1 그래핀(200) 상에 제2 도전형의 제2 그래핀(300)을 형성한다. 스핀 코터 및 열처리 방법은 제1 그래핀(200)을 형성하는 것과 실질적으로 동일하므로, 생략한다.
- [54] 도 2 및 도 3을 참조하여, 노출된 제1 그래핀(200) 및 제2 그래핀(300) 상에 각각 제1 전극(210) 및 제2 전극(310)을 형성한다(S30).
- [55] 이하, 도 5 내지 14를 참조하여, 본 발명의 실시예들에 따른 반도체 소자에 사용되는 p형 및 n형의 그래핀과 이를 이용하여 제조한 반도체 소자의 실험 결과에 대해서 설명한다.
- [56] 도 5는 본 발명의 반도체 소자에서 사용된 그래핀의 두께를 측정하기 위한 시편을 나타내는 도면이고, 도 6은 도 5의 A를 따른 높이 프로파일이다. 도 7은 본 발명의 반도체 소자에 사용되는 p형 그래핀의 도핑 시간에 따른 표면 굴곡 및 두께 변화를 나타내는 그래프이고, 도 8은 본 발명의 반도체 소자에 사용되는 n형 그래핀의 도핑 시간에 따른 표면 굴곡 및 두께 변화를 나타내는 그래프이다. 도 9는 도 7의 p형 그래핀의 도핑 시간에 따른 면저항의 변화를 나타내는 그래프이고, 도 10는 도 8의 n형 그래핀의 도핑 시간에 따른 면저항의 변화를 나타내는 그래프이다. 도 11은 본 발명의 반도체 소자에 사용되는 p형 그래핀 및 n형 그래핀의 도핑 시간에 따른 디락점의 이동을 나타내는 그래프이다. 도 12는 본 발명에 따른 반도체 소자의 I-V 특성을 나타내는 로그 스케일 그래프이고, 도 13는 도 12 중 J4 및 J5의 그래프를 선형으로 나타낸 그래프이다. 도 14는 도 12의 반도체 소자의 전도층과 전극 사이의 접합 특성을 보여주는 그래프이다.
- [57] 도 5를 참조하여, 기판 상에 프리스틴 그래핀을 배치한 시편이다. 원자 힘 현미경을 이용하여 기판과 프리스틴 그래핀 사이의 표면 단차를 측정하기 위한 시편이다. 기판은 예를 들어, 산화 실리콘막이 형성된 실리콘을 사용하였다.
- [58] 도 6을 참조하여, 프리스틴 그래핀이 배치된 곳과 기판 사이의 높이 차이 B가 있다. 기판으로부터 프리스틴 그래핀의 상면까지의 높이 차이인 B는 약 0.7nm이다. 즉, 프리스틴 그래핀의 두께는 약 0.7nm라는 것이다. 이와 같은 프리스틴 그래핀의 두께는 지금까지 알려진 프리스틴 그래핀의 단층 두께와 유사함을 알 수 있다. 따라서, 본 발명의 반도체 소자에 사용되는 프리스틴

그래핀은 단층 그래핀임을 확인할 수 있다.

- [59] 이하에서 설명되는 p형 그래핀을 형성하기 위해 염화 금(AuCl_3)을 사용하고, n형 그래핀을 형성하기 위해 벤질 비올로젠(BV)를 사용한다. p형 및 n형 그래핀의 도핑 농도를 조절하기 위해, 예를 들어, 도핑 시간과 도핑 농도를 조절할 수 있으나, 본 발명의 반도체 장치에서는 도핑 시간을 이용하여 도핑 농도를 조절하였다. 도핑 용액을 프리스틴 그래핀에 떨어뜨린 후, 도핑이 되도록 일정 시간을 기다린다. 이후, 스핀 코터를 이용하여 도핑이 균일하게 되도록 하는데, 여기에서 도핑 시간이라고 함은, 스핀 코팅 전에 기다리는 시간을 의미한다. 또한, 스핀 코팅 후에 RTA를 이용하여 섭씨 100도에서 10분 동안 그래핀을 열처리하였다.
- [60] 도 7을 참조하여, 도핑 시간이 증가하면서, p형 그래핀의 표면 굴곡(R_q) 및 두께가 증가한다. 도핑 시간이 증가함에 따라, p형 그래핀에 포함되는 금 입자가 증가하게 된다. 따라서, p형 그래핀에 포함되는 금 입자의 증가로 인해, p형 그래핀의 두께 및 표면 굴곡의 변화가 발생하게 된다.
- [61] 도 8을 참조하여, 도핑 시간이 증가하면서, n형 그래핀의 표면 굴곡(R_q) 및 두께가 증가한다. 이 같은 경향은 도 7의 p형 그래핀과 유사한 결과이다. 하지만, n형 그래핀의 경우 도핑 시간이 증가함에 따라, p형 그래핀보다 두께의 변화도 급격히 증가할 뿐만 아니라, 표면 굴곡의 변화도 급격히 증가하게 된다. 구체적으로, 도핑 시간이 2분 이하일 경우, n형 그래핀의 두께 및 표면 굴곡이 점진적으로 증가한다. 하지만, 도핑 시간이 2분을 초과하게 되면, n형 그래핀의 두께 및 표면 굴곡이 급격히 증가하게 된다. 이를 통해, 본 실험에서 사용된 BV를 포함하는 도핑 용액의 농도에서는 2분을 경계로 n형 그래핀의 표면이 급격히 변화함을 확인할 수 있다.
- [62] 도 9를 참조하여, 도핑 시간이 증가함에 따라, p형 그래핀의 면저항(R_s)은 점점 감소한다. 즉, 도핑 시간을 증가시켜 p형 그래핀에 포함되는 금 입자를 증가시키기에 따라, p형 그래핀의 면저항은 약 $260 \Omega/\text{sq}$ 에서 약 $130 \Omega/\text{sq}$ 로 감소를 한다.
- [63] 도 10을 참조하여, 도핑 시간이 증가함에 따라, n형 그래핀의 면저항은 점점 증가한다. 이와 같은 결과는 도 9의 결과와 정반대의 결과이다. 즉, 도핑 시간을 증가시켜, 그래핀에 흡착되는 BV를 증가시켜줬음에도 불구하고, n형 그래핀의 면저항은 도핑 시간이 4분일 때 약 $2300 \Omega/\text{sq}$ 까지 증가한다. 이를 통해, p형 그래핀의 금 입자와 달리, n형 그래핀의 BV는 많이 도핑될수록 반도체 또는 부도체 특성을 나타냄을 확인할 수 있다. 다시 말하면, 도핑 시간이 증가하면, n형 그래핀은 표면에 고저항층 또는 절연층과 같은 성질을 갖는 물질층을 포함할 수 있다.
- [64] 또한, 도핑 시간이 2분을 초과함에 따라, n형 그래핀의 면저항이 급격히 증가함을 확인할 수 있다. 이 같은 결과는 도 8의 n형 그래핀의 두께 및 표면 굴곡의 변화와 유사한 경향임을 알 수 있다.

[65] 도 11을 참조하여, 도핑 시간이 증가하면, p형 그래핀의 디락점(Dirac point)은 양의 전압 방향으로 이동을 한다. 반면, 도핑 시간이 증가하면, n형 그래핀의 디락점(Dirac point)은 음의 전압 방향으로 이동을 한다. 디락점의 이동을 통해, 프리스틴 그래핀에 p형 또는 n형의 도핑이 이뤄졌음을 확인할 수 있다. 프리스틴 그래핀의 디락점은 0 volt가 아니라, 양의 값을 가지고 있다. 이와 같이 프리스틴 그래핀의 디락점이 0 volt가 아닌 것은 그래핀 표면에 산소 분자가 흡착된 결과 프리스틴 그래핀이 p형의 성질을 나타내기 때문이다.

[66] 이하에서, 본 발명의 반도체 소자의 전기적 특성에 관한 실험 결과를 설명한다. 본 발명의 반도체 소자에 대한 실험에는 테이블 1에 정리하였다.

[67] 표 1

[Table 1]

	J0	J1	J2	J3	J4	J5
p형 그래핀	프리스틴	5min	5min	5min	5min	5min
n형 그래핀	프리스틴	0.5min	1min	2min	3min	4min

[68]

[69] p형 그래핀과 n형 그래핀을 이용하여 p-n 수직 접합 다이오드를 제조한다. 위에서 설명한 것과 같이, p형 그래핀은 n형 그래핀 상에 배치되게 된다. p형 그래핀의 경우 도핑 시간이 변화함에 따라, 도핑 효과가 작은 것으로 보이므로, 염화 금을 5분 동안 도핑하는 것으로 고정하였다. n형 그래핀의 경우 도핑 시간이 변화함에 따라, 도핑 효과가 크게 나타나므로, 도핑 시간을 0.5 분 에서 4분까지 변화시키면서 벤조 비올로젠을 도핑한다.

[70] 도 1, 도 12 및 도 13를 참조하여, n형 그래핀인 제1 그래핀(200)과 p형 그래핀인 제2 그래핀(300)에 순방향(forward) 전압을 가해줄 때, 반도체 소자(1)에 흐르는 전류를 제1 전류라고 한다. n형 그래핀인 제1 그래핀(200)과 p형 그래핀인 제2 그래핀(300)에 역방향(reverse) 전압을 가해줄 때, 반도체 장치(1)에 흐르는 전류를 제2 전류라고 한다. 즉, 순방향 전압이라고 함은 p형 그래핀인 제2 그래핀(300)의 전위가 n형 그래핀인 제1 그래핀(200)의 전위보다 높은 것을 의미하고, 역방향 전압이라고 함은 순방향 전압의 반대 경우이다.

[71] 실험에 J0 내지 J3의 경우, 반도체 소자(1)는 정류 특성을 보이지 않는다. 이는 도 13 및 도 14의 전류-전압 곡선이 선형적으로 움직이는 것을 통하여 확인할 수 있다. 다시 말하면, n형 그래핀의 전자 농도가 적은 실험에 J0 내지 J3에서, 수직으로 접합된 p형 그래핀과 n형 그래핀이 오믹 특성을 보인다. n형 그래핀의 전자 농도가 작은 경우, 클레인 터널링(Klein-tunneling) 효과에 의해, 수직으로 접합된 p형 그래핀과 n형 그래핀 사이에서 정류 특성이 나타나지 않는다.

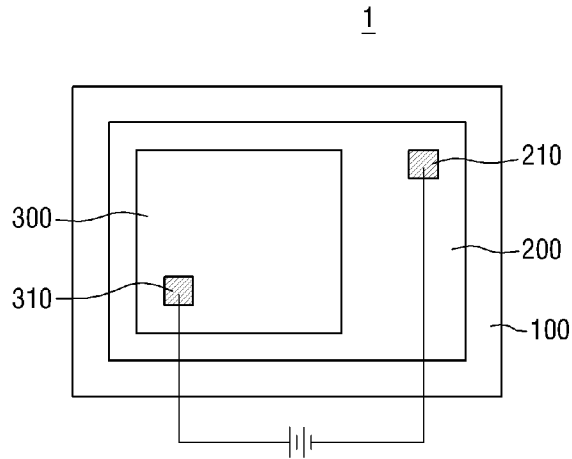
- [72] 도 1, 도 12 및 도 13를 참조하여, 실험예 J4 및 J5의 경우, 실험예 J0 내지 J3의 경우에 비하여, 전체적인 전류가 크게 감소하였다. 또한, 실험예 J4 및 J5의 경우, 전류-전압 특성 그래프는 비선형적으로 움직이는 것을 확인할 수 있다. 다시 말하면, n형 그래핀의 전자 농도가 큰 실험예 J4 및 J5는 정류 특성을 보여준다. n형 그래핀의 전자 농도가 큰 실험예 J4 및 J5에서, 수직으로 접합된 p형 그래핀과 n형 그래핀은 다이오드가 되었음을 알 수 있다. 즉, 실험예 J4 및 J5는 그래핀을 이용한 p-n 수직 접합 다이오드가 되었다.
- [73] 실험예 J4 및 J5는 벤조 비올로젠(BV)를 3분과 4분 도핑한 실험예이다. 도 8 및 도 10을 참조하면, 실험예 J4 및 J5에서 n형 그래핀의 표면 굴곡 및 두께가 급격히 증가하고, n형 그래핀의 면저항은 많이 증가하였다. 즉, 그래핀에 벤조 비올로젠이 많이 도핑되어, n형 그래핀의 면저항이 증가하였을 때, 수직으로 접합된 p형 그래핀과 n형 그래핀은 정류 특성을 갖는 다이오드가 된다.
- [74] 도 1, 도 12 및 도 13를 참조하여, 실험예 J4 및 J5는 순방향의 전압을 인가했을 때 반도체 장치(1)에 흐르는 전류인 제1 전류가 역방향의 전압을 인가했을 때 반도체 장치(1)에 흐르는 전류인 제2 전류보다 작다. 이 같은 다이오드 특성은 일반적인 다이오드 특성과 반대되는 비정상적인 현상이다. 즉, 일반적인 다이오드의 경우, 다이오드에 순방향 전압을 인가하였을 때 흐르는 전류가 다이오드에 역방향 전압을 인가하였을 때 흐르는 전류보다 크게 된다. 하지만, p형 그래핀과 n형 그래핀을 이용하여 제조한 p-n 수직 접합 다이오드의 경우, 다이오드에 순방향 전압을 인가하였을 때 흐르는 전류가 다이오드에 역방향 전압을 인가하였을 때 흐르는 전류보다 작게 된다.
- [75] 도 1, 도 12 및 도 13를 참조하여, p-n 수직 접합 다이오드를 포함하는 반도체 장치(1)는 순방향 전압에 의한 전류보다 역방향 전압에 의한 전류가 더 크다. 반도체 장치(1)에 포함되는 p-n 수직 접합 다이오드는 p형의 전도층과 n형의 전도층이 직접 접촉된다. 본 발명의 실시예를 설명에서, p형의 전도층과 n형의 전도층은 예를 들어, 각각 그래핀을 포함하는 전도층이다. 하지만, p형의 전도층과 n형의 전도층이 그래핀을 포함하는 것으로 제한되는 것은 아니다.
- [76] 도 14를 참조하여, 실험예 J5의 p형 그래핀과 n형 그래핀은 각각 전극과 오믹 접합을 하고 있다. 이를 통해, 전극 또는 전극과 연결되는 도선에서의 전압 강하가 없기 때문에 도 13 및 도 14에서 도시하는 실험 결과는 신뢰할 수 있다.
- [77] 이상 첨부된 도면을 참조하여 본 발명의 실시예를 설명하였지만, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자는 본 발명이 그 기술적 사상이나 필수적인 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다.

청구범위

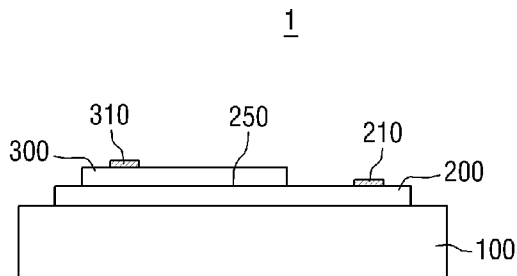
- [청구항 1] 제1 도전형을 갖는 제1 그래핀 및
상기 제1 그래핀 상에, 상기 제1 그래핀과 접촉하고, 상기 제1
도전형과 다른 제2 도전형을 갖는 제2 그래핀을 포함하는 반도체
소자.
- [청구항 2] 제1 항에 있어서,
상기 제1 도전형은 n형이고, 상기 제2 도전형은 p형인 반도체 소자.
- [청구항 3] 제2 항에 있어서,
상기 제1 그래핀은 고저항층을 포함하고,
상기 고저항층은 상기 제1 그래핀과 상기 제2 그래핀의 경계면에
형성되는 반도체 소자.
- [청구항 4] 제2 항에 있어서,
상기 반도체 소자에 순방향 전압을 인가할 때, 흐르는 전류는 제1
전류이고, 상기 반도체 소자에 역방향 전압을 인가할 때, 흐르는
전류는 제2 전류이고, 상기 제1 전류는 상기 제2 전류보다 작은
반도체 소자.
- [청구항 5] 제1 항에 있어서,
상기 제1 그래핀과 상기 제2 그래핀은 단층인 반도체 소자.
- [청구항 6] 제1 항에 있어서,
상기 제1 그래핀 하부에 배치되는 기판과, 상기 제1 그래핀 및 상기
제2 그래핀 상에 각각 형성되는 제1 전극 및 제2 전극을 더
포함하는 반도체 소자.
- [청구항 7] p-n 다이오드를 포함하는 반도체 소자에 있어서,
상기 p-n 다이오드에 순방향 전압을 인가할 때, 흐르는 전류는 제1
전류이고,
상기 p-n 다이오드에 역방향 전압을 인가할 때, 흐르는 전류는 제2
전류이고,
상기 제2 전류는 상기 제1 전류보다 큰 반도체 소자.
- [청구항 8] 제7 항에 있어서,
상기 p-n 다이오드는 p형을 갖는 제1 그래핀과 n형을 갖는 제2
그래핀이 접합되어 형성되는 반도체 소자.
- [청구항 9] 제8 항에 있어서,
상기 제1 그래핀과 상기 제2 그래핀은 수직으로 접합되는 반도체
소자.
- [청구항 10] 기판 상에 제1 도전형의 제1 그래핀을 형성하고,
상기 제1 그래핀 상에 상기 제1 도전형과 다른 제2 도전형의 제2
그래핀을 형성하고, 상기 제2 그래핀은 상기 제1 그래핀과

- 접촉하고 상기 제1 그래핀의 일부를 노출시키고,
상기 노출된 제1 그래핀과 상기 제2 그래핀 상에 각각 제1 전극 및 제2 전극을 형성하는 것을 포함하는 반도체 소자 제조 방법.
- [청구항 11] 제10 항에 있어서,
상기 제1 도전형은 n형이고, 상기 제2 도전형은 p형인 반도체 소자 제조 방법.
- [청구항 12] 제11 항에 있어서,
상기 제1 도전형의 제1 그래핀을 형성하는 것은 상기 기판 상에 제1 프리스틴(pristine) 그래핀을 형성하고,
상기 제1 프리스틴 그래핀 상에 제1 도핑 용액을 떨어뜨려, 상기 제1 도핑 용액 중 일부를 상기 제1 프리스틴 그래핀에 흡착시키고,
상기 흡착된 제1 도핑 용액을 상기 제1 프리스틴 그래핀 상에 균일하게 도포하고,
상기 제1 도핑 용액이 도포된 상기 제1 프리스틴 그래핀을 열처리하는 것을 포함하는 반도체 소자 제조 방법.
- [청구항 13] 제12 항에 있어서,
상기 흡착된 제1 도핑 용액을 상기 제1 프리스틴 그래핀 상에 균일하게 도포하는 것은 스핀 코터 방식을 이용하고,
상기 열처리는 급속 열처리 방식(RTA)를 이용하는 반도체 소자 제조 방법.
- [청구항 14] 제13 항에 있어서,
상기 열처리는 섭씨 100도 내지 300도 사이에서, 10분 내지 30분 동안 진행하는 반도체 소자 제조 방법.

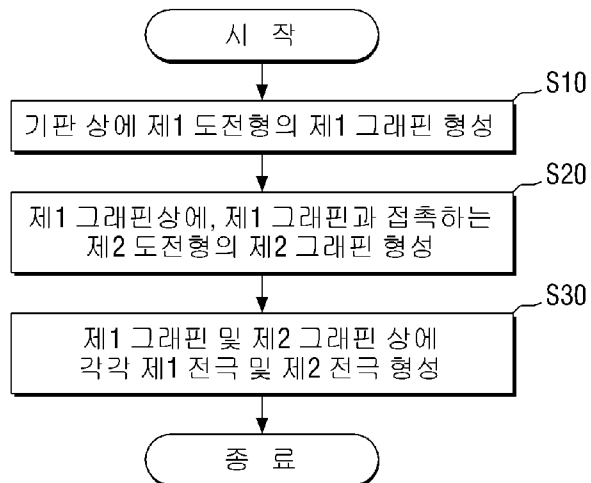
[Fig. 1]



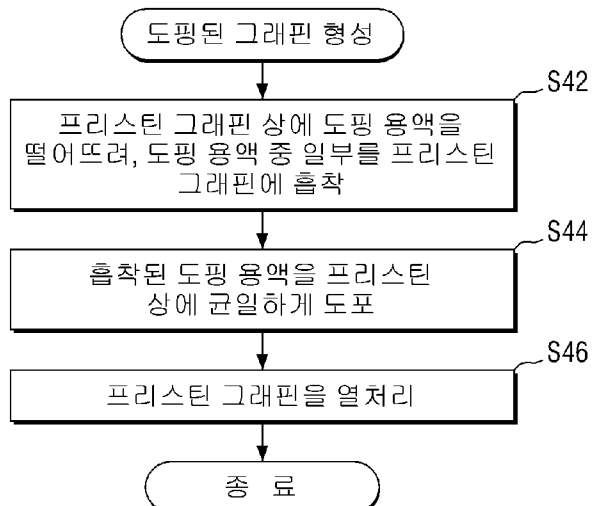
[Fig. 2]



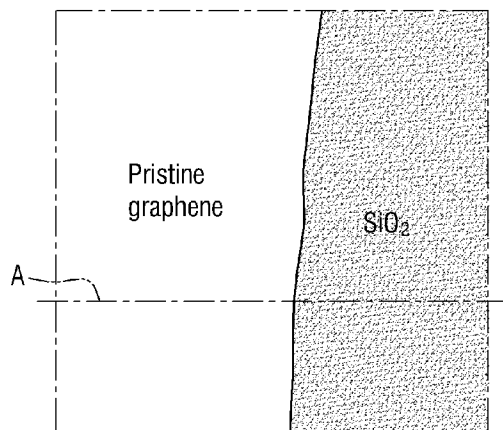
[Fig. 3]



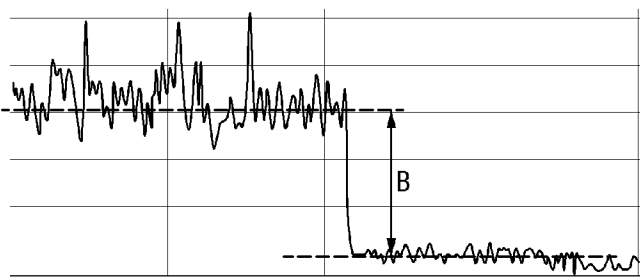
[Fig. 4]



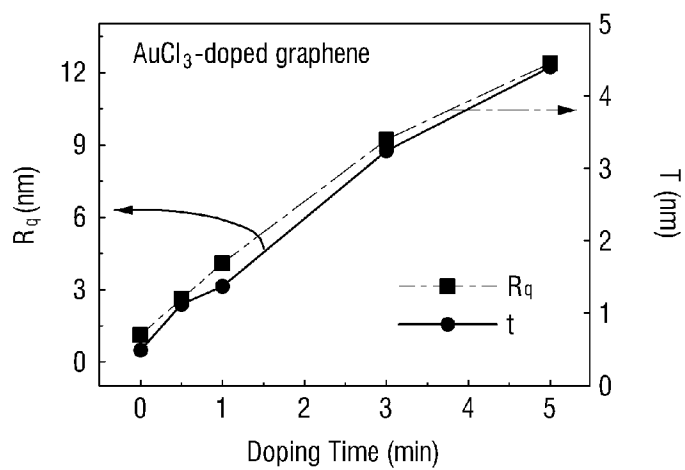
[Fig. 5]



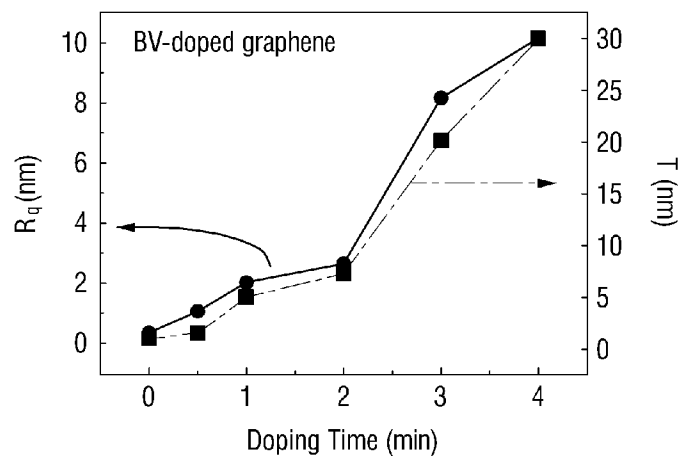
[Fig. 6]



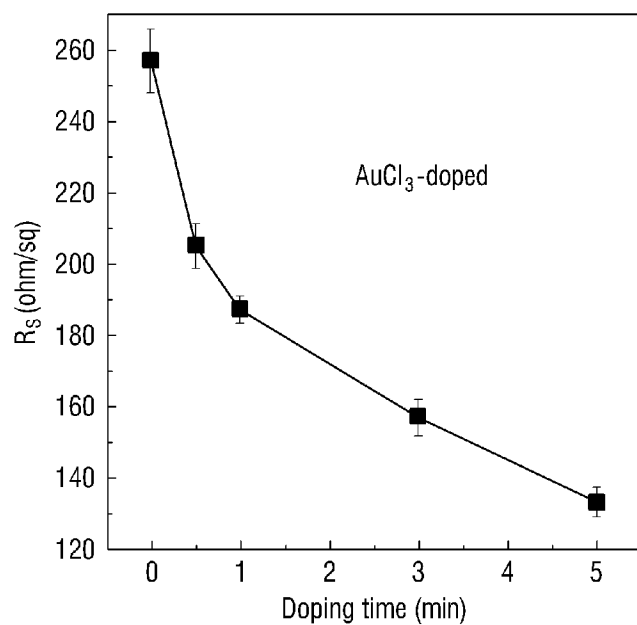
[Fig. 7]



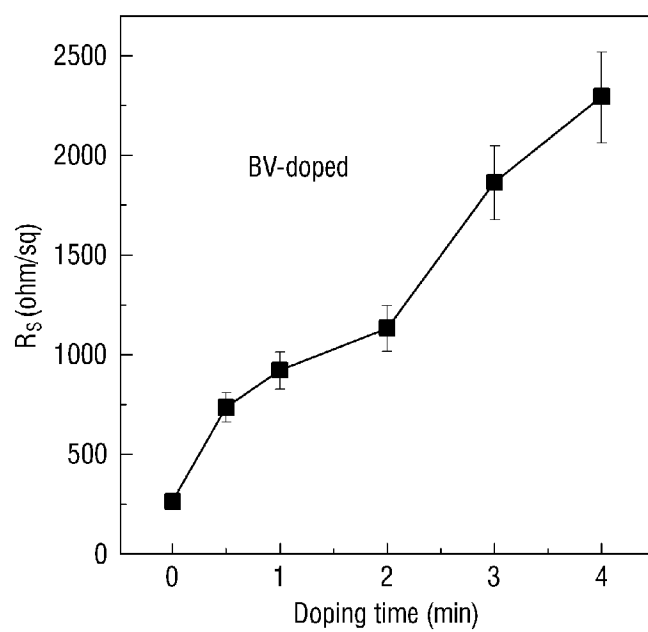
[Fig. 8]



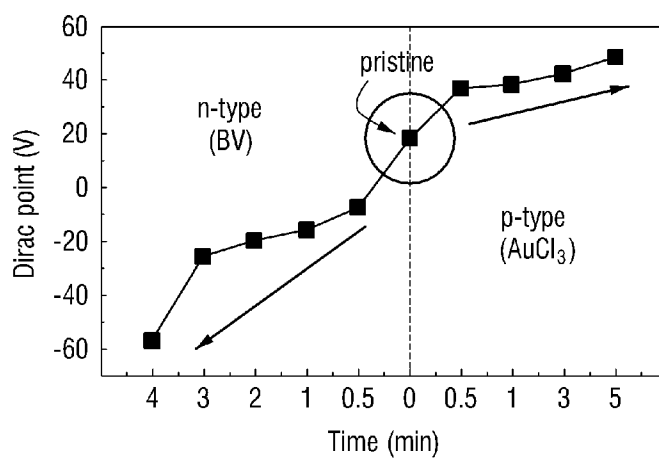
[Fig. 9]



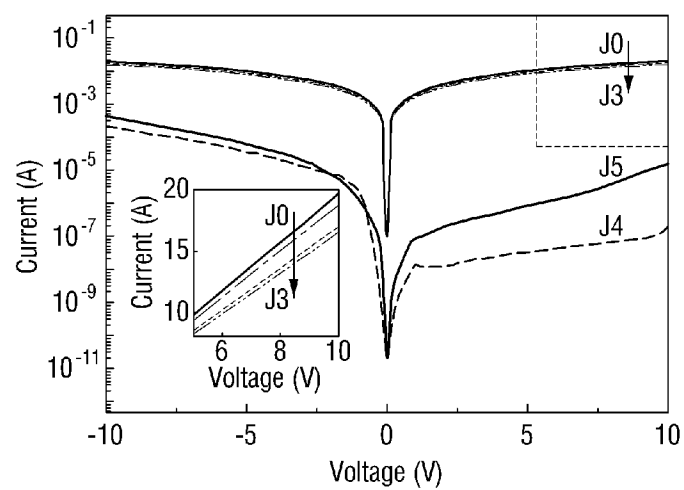
[Fig. 10]



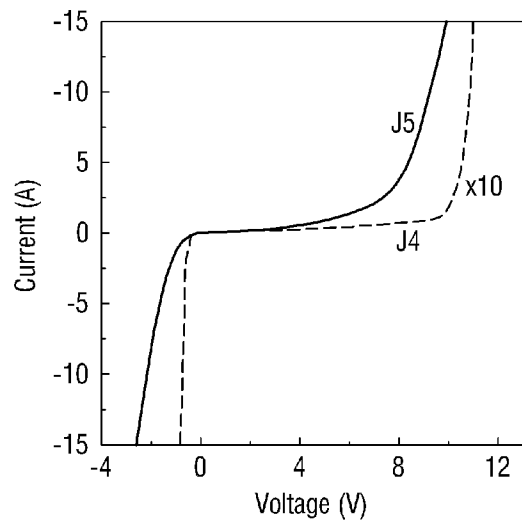
[Fig. 11]



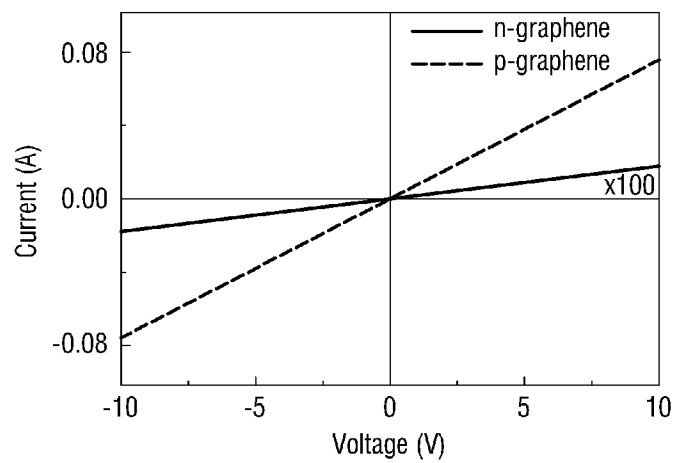
[Fig. 12]



[Fig. 13]



[Fig. 14]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/KR2012/011708**A. CLASSIFICATION OF SUBJECT MATTER****H01L 29/861(2006.01)i**

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L 29/861; H01L 21/22; H01L 47/00; H01L 29/66; H01L 33/04; B32B 3/10; H02M 7/06; H01L 33/16; H01L 33/22

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Korean Utility models and applications for Utility models: IPC as above

Japanese Utility models and applications for Utility models: IPC as above

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

eKOMPASS (KIPO internal) & Keywords: graphene, joining, diode, doping

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y A	US 2011-0278545 A1 (VOUTILAINEN, Martti Kalevi et al.) 17 November 2011 See paragraphs [0030]-[0038], [0057]-[0067], claims 1, 12 and figures 1A-2E.	1,2,5 6,8-14 3,4,7
Y A	KR 10-2012-0029332 A (SAMSUNG LED CO., LTD.) 26 March 2012 See abstract, paragraphs [0040], [0085]-[0090] and figures 1, 9a-9d.	6,10-14 1-5,7-9
X Y A	US 5930133 A (MORIZUKA, Kouhei) 27 July 1999 See column 2, line 57 - column 3, line 5, column 3, lines 6-57, claims 1-2 and figures 3-6.	7 8,9 1-6,10-14
A	US 2011-0186805 A1 (BOWERS, Jeffrey A. et al.) 04 August 2011 See abstract, paragraphs [0066]-[0069] and figure 1.	1-14
A	US 2012-0187377 A1 (EATON, Kurt et al.) 26 July 2012 See abstract, paragraphs [0008]-[0010] and figure 1.	1-14



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

07 MAY 2013 (07.05.2013)

Date of mailing of the international search report

14 MAY 2013 (14.05.2013)

Name and mailing address of the ISA/KR



Korean Intellectual Property Office
Government Complex-Daejeon, 189 Seonsa-ro, Daejeon 302-701,
Republic of Korea

Facsimile No. 82-42-472-7140

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/KR2012/011708

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	KR 10-2012-0029339 A (SAMSUNG LED CO., LTD.) 26 March 2012 See abstract, paragraphs [0034]-[0042] and figures 1, 2.	1-14

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/KR2012/011708

Patent document cited in search report	Publication date	Patent family member	Publication date
US 2011-0278545 A1	17.11.2011	NONE	
KR 10-2012-0029332 A	26.03.2012	US 2012-0068154 A1	22.03.2012
US 5930133 A	27.07.1999	NONE	
US 2011-0186805 A1	04.08.2011	NONE	
US 2012-0187377 A1	26.07.2012	NONE	
KR 10-2012-0029339 A	26.03.2012	CN 102403430 A	04.04.2012
		JP 2012-064944 A	29.03.2012
		US 2012-0068152 A1	22.03.2012

A. 발명이 속하는 기술분류(국제특허분류(IPC))

H01L 29/861(2006.01)i

B. 조사된 분야

조사된 최소문헌(국제특허분류를 기재)

H01L 29/861; H01L 21/22; H01L 47/00; H01L 29/66; H01L 33/04; B32B 3/10; H02M 7/06; H01L 33/16; H01L 33/22

조사된 기술분야에 속하는 최소문헌 이외의 문헌

한국등록실용신안공보 및 한국공개실용신안공보: 조사된 최소문헌란에 기재된 IPC

일본등록실용신안공보 및 일본공개실용신안공보: 조사된 최소문헌란에 기재된 IPC

국제조사에 이용된 전산 데이터베이스(데이터베이스의 명칭 및 검색어(해당하는 경우))

eKOMPASS(특허청 내부 검색시스템) & 키워드: 그래핀, 접합, 다이오드, 도핑

C. 관련 문헌

카테고리*	인용문헌명 및 관련 구절(해당하는 경우)의 기재	관련 청구항
X Y A	US 2011-0278545 A1 (MARTTI KALEVI VOUTILAINEN 외 1명) 2011.11.17 문단부호 [0030]-[0038], [0057]-[0067], 청구항 1, 12 및 도면 1A-2E 참조.	1, 2, 5 6, 8-14 3, 4, 7
Y A	KR 10-2012-0029332 A (삼성엘이디 주식회사) 2012.03.26 요약, 문단부호 [0040], [0085]-[0090] 및 도면 1, 9a-9d 참조.	6, 10-14 1-5, 7-9
X Y A	US 5930133 A (KOUHEI MORIZUKA) 1999.07.27 컬럼 2, 라인 57 - 컬럼 3, 라인 5, 컬럼 3, 라인 6-57, 청구항 1-2 및 도면 3-6 참조.	7 8, 9 1-6, 10-14
A	US 2011-0186805 A1 (JEFFREY A. BOWERS 외 6명) 2011.08.04 요약, 문단부호 [0066]-[0069] 및 도면 1 참조.	1-14
A	US 2012-0187377 A1 (KURT EATON 외 1명) 2012.07.26 요약, 문단부호 [0008]-[0010] 및 도면 1 참조.	1-14

☒ 추가 문헌이 C(계속)에 기재되어 있습니다.

☒ 대응특허에 관한 별지를 참조하십시오.

* 인용된 문헌의 특별 카테고리:

“A” 특별히 관련이 없는 것으로 보이는 일반적인 기술수준을 정의한 문헌

“T” 국제출원일 또는 우선일 후에 공개된 문헌으로, 출원과 상충하지 않으며 발명의 기초가 되는 원리나 이론을 이해하기 위해 인용된 문헌

“E” 국제출원일보다 빠른 출원일 또는 우선일을 가지나 국제출원일 이후에 공개된 선출원 또는 특허 문헌

“X” 특별한 관련이 있는 문헌. 해당 문헌 하나만으로 청구된 발명의 신규성 또는 진보성이 없는 것으로 본다.

“L” 우선권 주장에 의문을 제기하는 문헌 또는 다른 인용문헌의 공개일 또는 다른 특별한 이유(이유를 명시)를 밝히기 위하여 인용된 문헌

“Y” 특별한 관련이 있는 문헌. 해당 문헌이 하나 이상의 다른 문헌과 조합하는 경우로 그 조합이 당업자에게 자명한 경우 청구된 발명은 진보성이 없는 것으로 본다.

“O” 구두 개시, 사용, 전시 또는 기타 수단을 언급하고 있는 문헌

“&” 동일한 대응특허문헌에 속하는 문헌

“P” 우선일 이후에 공개되었으나 국제출원일 이전에 공개된 문헌

국제조사의 실제 완료일

2013년 05월 07일 (07.05.2013)

국제조사보고서 발송일

2013년 05월 14일 (14.05.2013)

ISA/KR의 명칭 및 우편주소

 대한민국 특허청
(302-701) 대전광역시 서구 청사로 189,
4동 (둔산동, 정부대전청사)
팩스 번호 82-42-472-7140

심사관

김태훈

전화번호 82-42-481-8407



C (계속). 관련 문헌		
카테고리*	인용문헌명 및 관련 구절(해당하는 경우)의 기재	관련 청구항
A	KR 10-2012-0029339 A (삼성엘이디 주식회사) 2012.03.26 요약, 문단부호 [0034]-[0042] 및 도면 1,2 참조.	1-14

국제조사보고서에서 인용된 특허문헌	공개일	대응특허문헌	공개일
US 2011-0278545 A1	2011.11.17	없음	
KR 10-2012-0029332 A	2012.03.26	US 2012-0068154 A1	2012.03.22
US 5930133 A	1999.07.27	없음	
US 2011-0186805 A1	2011.08.04	없음	
US 2012-0187377 A1	2012.07.26	없음	
KR 10-2012-0029339 A	2012.03.26	CN 102403430 A	2012.04.04
		JP 2012-064944 A	2012.03.29
		US 2012-0068152 A1	2012.03.22