

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号
特許第4819033号
(P4819033)

(45) 発行日 平成23年11月16日 (2011.11.16)

(24) 登録日 平成23年9月9日 (2011.9.9)

(51) Int.Cl.

H05K 3/46 (2006.01)

F I

H05K 3/46 Z

H05K 3/46 G

請求項の数 9 (全 20 頁)

(21) 出願番号	特願2007-500386 (P2007-500386)	(73) 特許権者	000005821
(86) (22) 出願日	平成17年1月27日 (2005.1.27)		パナソニック株式会社
(86) 国際出願番号	PCT/JP2005/001136		大阪府門真市大字門真1006番地
(87) 国際公開番号	W02006/080073	(74) 代理人	110000899
(87) 国際公開日	平成18年8月3日 (2006.8.3)		特許業務法人 松田国際特許事務所
審査請求日	平成20年1月18日 (2008.1.18)	(74) 代理人	100092794
			弁理士 松田 正道
		(72) 発明者	上田 洋二
			大阪府門真市大字門真1006番地 松下
			電器産業株式会社内
		(72) 発明者	松岡 進
			大阪府門真市大字門真1006番地 松下
			電器産業株式会社内

最終頁に続く

(54) 【発明の名称】 多層回路基板の製造方法

(57) 【特許請求の範囲】

【請求項 1】

両面に電極線がパターンニングされた両面回路基板の少なくとも一方に、所定厚みのプリプレグシートを積層して積層体を作成する工程と、

前記積層体を加熱加圧して、前記両面回路基板と前記プリプレグシートとの境界において前記電極線が前記プリプレグシート内へ埋設されている層構造を完成する工程とを備え、前記層構造を少なくとも一つ内層として含む多層回路基板を製造する多層回路基板の製造方法であって、

前記積層体を作成する前記工程において、

前記積層体を作成する前の段階で、準備すべきプリプレグシートの厚みを、

前記両面回路基板の本体厚みを t_1 、前記電極線の厚みを t_0 とする時、 t_1 及び t_0 に各々独立して比例した厚さを持たせ、かつ、前記層構造を完成する工程において、加熱加圧後の完成した積層体のプリプレグシート厚 t_2' が、

(数 1)

$t_2' = \alpha (\alpha \text{ は } 1 \leq \alpha \leq 1.2 \text{ を満たす所定値}) \cdot t_1 + k (k \text{ は } 0 < k \leq 1 \text{ を満たす所定値}) \cdot t_0$

の関係を保つ様に、

作成する、多層回路基板の製造方法。

【請求項 2】

前記 (数 1) は、 $t_2' = t_1 + t_0$

である、請求項 1 記載の多層回路基板の製造方法。

【請求項 3】

前記所定値 α は、1.05 である、請求項 1 記載の多層回路基板の製造方法。

【請求項 4】

前記積層体は、

前記複数の両面回路基板と、他の複数のプリプレグシートを交互に位置決めして重ねる工程により作成し、

前記層構造は、前記積層体の上下の両面を加熱加圧して、前記他の複数のプリプレグシートを硬化させる工程により作成する、請求項 1 から 3 のいずれかに記載の多層回路基板の製造方法。

10

【請求項 5】

前記積層体は、

前記複数の両面回路基板と、他の複数のプリプレグシートを交互に位置決めして重ねる工程により作成し、

前記層構造は、前記積層体の任意の部位を部分的に加熱加圧して、前記他の複数のプリプレグシートが含有している樹脂を溶融させ、その後硬化させて前記回路基板群を接着する工程により作成する、請求項 1 から 3 のいずれかに記載の多層回路基板の製造方法。

【請求項 6】

前記積層体は、

前記複数の両面回路基板と前記他の複数のプリプレグシートのいずれかを 1 枚ずつ重ねることにより複数個作成し、

20

前記層構造は、前記複数個の積層体を重ね合わせ、それらの任意の部位を部分的に加熱加圧して、前記他の複数のプリプレグシートが含有している樹脂を溶融させ、その後硬化させて相互に接着することにより作成する、請求項 1 から 3 のいずれかに記載の多層回路基板の製造方法。

【請求項 7】

前記積層体を作成するための、前記複数の両面回路基板と、他の複数のプリプレグシートを交互に位置決めして重ねる工程は、

最初と最後に銅箔を配置し、前記他の複数のプリプレグシートが前記銅箔に隣接するように配置する工程を有する、請求項 4 または 5 記載の多層回路基板の製造方法。

30

【請求項 8】

前記複数の両面回路基板に代えて、複数の 2 層以上の回路パターンを有する回路基板を用いる、請求項 4 から 6 のいずれかに記載の多層回路基板の製造方法。

【請求項 9】

前記積層体を作成するための工程を、前記複数の両面回路基板と、他の複数のプリプレグシートを交互に位置決めして重ねる工程を、

2 層以上の回路パターンを有する 2 枚の回路基板の間に、1 枚のプリプレグシートを挟んで重ね合わせる工程に置換した、請求項 4 から 6 のいずれかに記載の多層回路基板の製造方法。

【発明の詳細な説明】

40

【技術分野】

【0001】

本発明は、多層回路基板の製造方法に関するものである。

【背景技術】

【0002】

近年、電子機器の小型、軽量化および高機能化に伴い、多層回路基板に対して、小型、軽量化および高速信号処理化、さらには高密度実装への対応が要求されている。このような要求に対して、回路基板技術は、高多層化、ビアホールの小径化および狭ピッチ化、回路パターンのファイン化技術等を急速に進展させる必要性がある。しかし、従来のスルーホール構造によって絶縁層内の電気接続がなされる多層回路基板では、もはやこれらの要

50

求を満足させることは極めて困難である。

【0003】

そのために新しい構造を備えた多層回路基板やその製造方法が開発された。その代表例の一つに、従来多層回路基板の絶縁層内接続の主流となっていたスルーホール構造に変わって、導電性ペーストにより絶縁層内の電気接続を確保した完全IVH (Inner Via Hole: インナービアホール) 構造を有する回路形成用基板が開発された (例えば、特許文献1参照)。詳細は省略する。

【0004】

さらに、高生産性を実現する多層回路基板の製造方法が開発された (例えば、特許文献2参照)。図8(a)~(c)は、6層回路基板を例とした従来の多層回路基板の作製手順を示している。

10

【0005】

図8(a)は、6層回路基板の積層断面図を示す。図8(a)において、1a、1b、1cは、アラミド不織布に熱硬化性エポキシ樹脂を含浸させた複合材からなるアラミド・エポキシシート (以降プリプレグと呼ぶ) であり、レーザなどによって加工された貫通孔にCu粉末と熱硬化型エポキシ樹脂からなる導電ペースト2を充填している。

【0006】

5a、5bは、両面回路基板であり、これらの両面に形成された回路パターン3は、所定位置に設けられた貫通孔に充填された導電ペースト2によって電氣的に接続されている。また、4a、4bはCuなどの金属箔である。

20

【0007】

まず、図8(a)に示すように、作業ステージ (図示せず) に、金属箔4b、プリプレグ1c、両面回路基板5b、プリプレグ1b、両面回路基板5a、プリプレグ1a、金属箔4aの順に積層する。それぞれの位置決めには、位置決めパターン (図示せず) を用いて画像認識などによって位置決めして重ねる。

【0008】

次に、最上面の金属箔4aの上から、加熱したヒータチップなど (図示せず) で加熱加圧し、プリプレグ1a、1b、1cの樹脂成分を溶融させ、その後の樹脂成分の硬化により、両面回路基板5a、5b、金属箔4a、4bと接着させる。

【0009】

30

次に、熱プレスにて上下両面を加熱加圧することにより、プリプレグ1a、1b、1cが、両面回路基板5a、5bと金属箔4a、4bの全面を接着させる。それとともに、両面回路基板5aの回路パターン3と両面回路基板5bの回路パターン3間、両面回路基板5aの回路パターン3と金属箔4a間、両面回路基板5bの回路パターン3と金属箔4b間は、それぞれ導電性ペースト2によりインナービアホール接続される。図8(b)に熱プレス後の6層基板の断面図を示す。

【0010】

その後、最外層の金属箔4aおよび4bを選択的にエッチングして回路パターン3を形成させることで、一括して6層回路基板が得られる。図8(c)は、エッチング後の6層回路基板の断面図を示している。

40

【特許文献1】特許第2601128号公報

【特許文献2】特許第3231537号公報 (例えば、請求項2、第7図)

【発明の開示】

【発明が解決しようとする課題】

【0011】

しかしながら、上記の従来の製造方法で作製された多層回路基板は次のような課題を有していた。

【0012】

昨今、多層回路基板に搭載される半導体素子などの電子部品の高周波化に伴い、EMI (電磁的干渉) ノイズが問題とされるようになっている。

50

【 0 0 1 3 】

この E M I ノイズの対策の 1 つとして、半導体素子などの電子部品を搭載もしくは収容する多層回路基板やパッケージ等のパッケージ用基板では、内部の配線層をベタパターンといわれる広面積の接地導体層で覆って E M I ノイズをシールドするといった対策がある。

【 0 0 1 4 】

また、E M I ノイズの対策として配線群の上下に広面積の接地導体を配置した場合には、インピーダンスマッチング（例えば 50Ω ）を考慮して基板の設計および製作をする必要がある。

【 0 0 1 5 】

インピーダンスマッチングを取る場合は、導体幅、導体厚み、導体層間厚み、導体層間に用いる絶縁材料の誘電率を考慮して多層回路基板の設計および製作をする必要がある。

【 0 0 1 6 】

図 9 (a) ~ (c) は、従来の製造方法で作製された多層回路基板の内層部分の、任意の導体層 3 層分の断面図を示している。図に示すように、9 0 は、図 8 (a) での積層時に、両面回路基板（図 8 (a) の 5 a、5 b に相当）を形成する絶縁層を示し、9 1 は、プリプレグ（図 8 (a) の 1 a、1 b、1 c にそれぞれ相当）の部分を示している。S 1 ~ S 3 は、信号配線であって、図 8 (a) ~ 8 (c) に示す両面回路基板の配線パターンに相当する。

【 0 0 1 7 】

図 9 (a) の S 1 は、例えば $100\mu\text{m}$ 以下の比較的細い線幅の信号線を示し、図 9 (b) の S 2 は、例えば 5mm と言った比較的太い線幅の信号線を示し、図 9 (c) の S 3 は広範囲のベタ層の部分の断面を示している。

【 0 0 1 8 】

T 1 は、積層時に用いた両面回路基板の絶縁層 9 0 の厚さであり、熱プレス後もこの厚さは変わらない。T 2 ' ~ T 4 ' は、積層時に用いたプリプレグ 9 0 の熱プレス後の厚さである。また T 2 ~ T 4 は、信号配線 S 1 ~ S 3 の、接地配線 G 2 と対向する面と、プリプレグの、絶縁層であるプリプレグ 9 0 に接しない側の面との間の距離として示される距離である。すなわち、T 2 ~ T 4 は、それぞれ、両面回路基板の接合によりプリプレグ側にめり込んだ信号配線 S 1 の厚みによる、プリプレグ 9 0 の凹み分を差し引いた厚みを示す。

【 0 0 1 9 】

なお、熱プレス前においては、T 1、T 2 ~ T 4 は同じ厚さである。

【 0 0 2 0 】

図 9 (a)、(b) に示すように、信号線の設計線幅の違いにより、信号配線 S 1、S 2 のプリプレグ側へのめり込みの程度に違いがあるため、熱プレス後の各プリプレグ 9 0 およびプリプレグ 9 1 の厚さは、 $T1 > T3 > T2$ と言うようにばらつきが生じる。そして、図 9 (c) は信号配線 S 3 として面積の大きいベタ層が入っており、プリプレグ 9 1 側へかかる圧力はいっそう小さく、凹みも生じにくいいため、T 1 ~ T 4 となる。

【 0 0 2 1 】

多層回路基板においては、図 8 (a) ~ 8 (c) に示すように、両面回路基板 5 a、5 b の両主面上に配置される回路パターン 3 は配線幅、さらには密度がそれぞれ異なっており、この異なりにより、両面回路基板 5 a、5 b に積層される絶縁層としてのプリプレグ 1 a ~ 1 c には、それぞれにおいて、個々に大きな厚みのばらつきを有する。同様に、配線に用いられる銅箔の厚さによってもプリプレグ 1 a ~ 1 c においては、それぞれ厚さのばらつきが生じ、そのため特性インピーダンスのミスマッチングが生じる。特性インピーダンスのミスマッチングが生じると、ノイズや高周波信号の伝送損失などが発生し、搭載される半導体素子などの電子部品の動作が不安定になる恐れがあった。

【 0 0 2 2 】

そこで本発明は、上記従来の問題点を考慮し、インピーダンスのミスマッチングが生じ

10

20

30

40

50

ず、安定して高周波を駆動できる高性能な多層回路基板の製造方法を提供することを目的とする。

【課題を解決するための手段】

【0023】

上記の目的を達成するために、第1の本発明は、両面に電極線がパターンニングされた両面回路基板の少なくとも一方に、所定厚みのプリプレグシートを積層して積層体を作成する工程と、

前記積層体を加熱加圧して、前記両面回路基板と前記プリプレグシートとの境界において前記電極線が前記プリプレグシート内へ埋設されている層構造を完成する工程とを備え、前記層構造を少なくとも一つ内層として含む多層回路基板を製造する多層回路基板の製造方法であって、

前記積層体を作成する前記工程において、

前記積層体を作成する前の段階で、準備すべきプリプレグシートの厚みを、

前記両面回路基板の本体厚みを t_1 、前記電極線の厚みを t_0 とする時、 t_1 及び t_0 に各々独立して比例した厚さを持たせ、かつ、前記層構造を完成する工程において、加熱加圧後の完成した積層体のプリプレグシート厚 t_2' が、

(数1)

$t_2' = \alpha (\alpha \text{ は } 1 < \alpha < 1.2 \text{ を満たす所定値}) \cdot t_1 + k (k \text{ は } 0 < k < 1 \text{ を満たす所定値}) \cdot t_0$

の関係を保つ様に、

作成する、多層回路基板の製造方法である。

【0024】

また、第2の本発明は、前記(数1)は、 $t_2' = t_1 + t_0$ である、第1の本発明の多層回路基板の製造方法である。

【0025】

また、第3の本発明は、前記所定値 α は、 1.05 である、第1の本発明の多層回路基板の製造方法である。

【0026】

また、第4の本発明は、前記積層体は、

前記複数の両面回路基板と、他の複数のプリプレグシートを交互に位置決めして重ねる工程により作成し、

前記層構造は、前記積層体の上下の両面を加熱加圧して、前記他の複数のプリプレグシートを硬化させる工程により作成する、第1から3のいずれかの本発明の多層回路基板の製造方法である。

【0027】

また、第5の本発明は、前記積層体は、

前記複数の両面回路基板と、他の複数のプリプレグシートを交互に位置決めして重ねる工程により作成し、

前記層構造は、前記積層体の任意の部位を部分的に加熱加圧して、前記他の複数のプリプレグシートが含有している樹脂を熔融させ、その後硬化させて前記回路基板群を接着する工程により作成する、第1から3のいずれかの本発明の多層回路基板の製造方法である。

【0028】

また、第6の本発明は、前記積層体は、

前記複数の両面回路基板と前記他の複数のプリプレグシートのいずれかを1枚ずつ重ねることにより複数個作成し、

前記層構造は、前記複数個の積層体を重ね合わせ、それらの任意の部位を部分的に加熱加圧して、前記他の複数のプリプレグシートが含有している樹脂を熔融させ、その後硬化させて相互に接着することにより作成する、第1から3のいずれかの本発明の多層回路基板の製造方法である。

【 0 0 2 9 】

また、第 7 の本発明は、前記積層体を作成するための、前記複数の両面回路基板と、他の複数のプリプレグシートを交互に位置決めして重ねる工程は、

最初と最後に銅箔を配置し、前記他の複数のプリプレグシートが前記銅箔に隣接するように配置する工程を有する、第 4 または第 5 の本発明の多層回路基板の製造方法である。

【 0 0 3 0 】

また、第 8 の本発明は、前記複数の両面回路基板に代えて、複数の 2 層以上の回路パターンを有する回路基板を用いる、第 4 から第 6 のいずれかの本発明の多層回路基板の製造方法である。

【 0 0 3 1 】

また、第 9 の本発明は、前記積層体を作成するための工程を、前記複数の両面回路基板と、他の複数のプリプレグシートを交互に位置決めして重ねる工程を、

2 層以上の回路パターンを有する 2 枚の回路基板の間に、1 枚のプリプレグシートを挟んで重ね合わせる工程に置換した、第 4 から第 6 のいずれかの本発明の多層回路基板の製造方法である。

【 発明の効果 】

【 0 0 4 6 】

本発明により、インピーダンスのミスマッチングが生じず、安定して高周波を駆動できる高性能な多層回路基板の製造方法を提供することができる。

【 発明を実施するための最良の形態 】

【 0 0 4 7 】

以下、本発明の実施の形態について、図を用いて説明する。

【 0 0 4 8 】

(実施の形態 1)

図 1、図 2 を用いて本発明の実施の形態 1 の多層回路基板の作製手順について説明する。

【 0 0 4 9 】

まず、図 1 を用いて、8 層回路基板作製時に使用する両面回路基板の製造方法を説明する。

【 0 0 5 0 】

図 1 (a) は両面回路基板の積層断面図であり、図 1 (a) において 1 0 は、厚さ 8 0 μm のガラスクロスに、フィラーを添加したエポキシ樹脂を含浸させた複合材からなるガラス - エポキシシート (以降プリプレグと呼ぶ) である。プリプレグ 1 0 の樹脂量は 5 4 w t % の物を使用した。プリプレグ 1 0 は、レーザなどによって加工されて形成された貫通孔に、C u 粉末と熱硬化型エポキシ樹脂からなる導電ペースト 2 0 が充填されている。

【 0 0 5 1 】

そして、プリプレグ 1 0 の両面に、厚さ 1 2 μm の銅箔 4 0 をそれぞれ配置し、熱プレスで両面から加熱加圧 (2 0 0 、 5 0 k g / c m²) する。熱プレス後に、エッチングにて両面の銅箔 4 0 から回路パターン 3 0 を形成させ、両面回路基板 5 0 を完成させる。

【 0 0 5 2 】

図 1 (b) は、作製された両面回路基板 5 0 の断面図である。

【 0 0 5 3 】

両面回路基板 5 0 の両面に形成された回路パターン 3 0 は、プリプレグ 1 0 の所定位置に設けられた貫通孔に充填された導電ペースト 2 0 によって電氣的に接続されている。

【 0 0 5 4 】

次に、図 2 を用いて、本実施の形態 1 の 8 層基板の多層化工程について説明する。

【 0 0 5 5 】

図 2 (a) は、8 層基板の積層断面図である。図 1 (a) において、1 0 a、1 0 b、1 0 c、1 0 d は、いずれも、1 0 0 μm のガラスクロスに、フィラーを添加したエポキシ樹脂を含浸させた複合材からなるプリプレグである。プリプレグ 1 0 a、1 0 b、1 0

10

20

30

40

50

c、10dの樹脂量は60wt%の物を使用した。プリプレグ10a、10b、10c、10dは、レーザなどによって加工されて形成された貫通孔を有し、この貫通穴にはCu粉末と熱硬化型エポキシ樹脂からなる導電ペースト20が充填されている。

【0056】

両面回路基板50a、50b、50cの回路パターン30は、熱プレス時にプリプレグ10a、10b、10c、10dの両主面または一方の主面に食い込む。熱プレス後のプリプレグ10a、10b、10c、10dの厚さは、熱プレス前に比べてそれぞれ薄くなるが、この回路パターン30が食い込む影響を受けて、さらに薄くなる。また、プリプレグ10a、10b、10c、10dと対向する両面回路基板50a、50b、50cの回路パターン30は、それぞれ配線幅が異なるため、回路パターン30の食い込みの影響は、プリプレグ10a、10b、10c、10d毎にそれぞれ異なり、厚みの変化もそれぞれ異なる。

10

【0057】

なお、熱プレス後におけるプリプレグ10a、10b、10c、10dの厚さが、両面回路基板50a、50b、50cを形成するプリプレグよりも厚くなるようにするために、積層用プリプレグ10a、10b、10c、10dの樹脂量の割合を、両面回路基板50a、50b、50cのプリプレグより多くした。

【0058】

まず、図2(a)に示すように、作業ステージ(図示せず)に、厚さ12 μ mの金属箔40b、プリプレグ10d、両面回路基板50c、プリプレグ10c、両面回路基板50b、プリプレグ10b、両面回路基板50a、プリプレグ10a、金属箔40aの順に積層する。それぞれの位置決めには、位置決めパターン(図示せず)を用いて画像認識などによって位置決めして重ねる。

20

【0059】

次に、最上面の金属箔40aの上から、加熱したヒータチップなど(図示せず)で加熱加圧し、プリプレグ10a、10b、10c、10dの樹脂成分を溶融させ、その後の樹脂成分の硬化により、両面回路基板50a、50b、50c、金属箔40a、40bとを接着させる。

【0060】

なお、上述した多層化積層の手順は次の方法でもよい。

30

【0061】

まず、図2(a)に示すように、作業ステージ(図示せず)に、金属箔40bを固定し、プリプレグ10dを位置決めして載せる。そして、ヒータチップなど(図示せず)で外周部を加熱加圧してプリプレグ10dの樹脂成分を溶融させ、その後硬化させて金属箔40bに固定させる。次に、両面回路基板50cを位置決めして載せ、ヒータチップなど(図示せず)で外周部を加熱加圧してプリプレグ10dの樹脂成分を溶融させ、その後硬化させてプリプレグ10dと固定させる。同様にこの手順を所望の回数繰り返し、最後に金属箔40aを載せ、ヒータチップなど(図示せず)で外周部を加熱加圧してプリプレグ10aの樹脂成分を溶融させ、その後硬化させて金属箔40aとプリプレグ10aを固定させる。

40

【0062】

次に、熱プレスにて、多層化積層した回路基板群の上下両面から加熱加圧(200、50kg/cm²)する。これにより、プリプレグ10a、10b、10c、10dが、両面回路基板50a、50b、50cと金属箔40a、40bを接着させる。それとともに、両面回路基板50a、50b、50cのそれぞれの回路パターン30と金属箔40a、40b間は、それぞれの間に挟まれたプリプレグ10a、10b、10c、10dの貫通孔に充填されている導電性ペースト2によってインナーピア接続される。

【0063】

図2(b)に、熱プレス工程後の回路基板群の断面図を示す。

【0064】

50

図 2 (b) に示す回路基板群の最外層の金属箔 4 0 a、4 0 b を選択的にエッチングして回路パターン 3 0 を形成させることで、一括して 8 層回路基板が得られる。

【 0 0 6 5 】

図 2 (c) は、エッチング後の、作製された 8 層回路基板の断面図を示している。

【 0 0 6 6 】

図 2 (c) の作製された 8 層回路基板の断面を観察すると、多層化積層時にコアとして用いた両面回路基板 5 0 a、5 0 b、5 0 c の絶縁層の厚さ t_1 は、いずれも等しい厚さとなっている。これは、図 1 で説明したように、プリプレグ 1 0 の両面を銅箔 4 0 で挟み込み、その上下両面から加熱加圧して、コアとして用いた両面回路基板 5 0 a、5 0 b、5 0 c を作製したためである。

10

【 0 0 6 7 】

一方、プリプレグ 1 0 b と 1 0 c は、その両主面に、コアとして用いた両面回路基板 5 0 a、5 0 b、5 0 c に形成されている回路パターン 3 0 が食い込み、プリプレグ 1 0 b および 1 0 c 内にそれぞれ埋設されているため、これらの厚さ t_2 は、熱プレス後に薄く仕上がる。

【 0 0 6 8 】

また、プリプレグ 1 0 a、1 0 d は、片側に金属箔 4 0 a、4 0 b、もう一方に両面回路基板 5 0 a、5 0 c が配置されているため、片側のみ回路パターン 3 0 が食い込み、プリプレグ 1 0 a、1 0 d 内に埋設されている。従って、熱プレス後のプリプレグ 1 0 a、1 0 d の厚さを t_3 とすると、各絶縁層の厚さの関係は、 $t_1 < t_2 < t_3$ となる。

20

【 0 0 6 9 】

ここで、 t_1 が一番薄いのは、両面回路基板 5 0 a、5 0 b、5 0 c 作製時に用いたプリプレグ 1 0 のガラスクロスの厚さが、多層化積層時に用いたプリプレグ 1 0 a、1 0 b、1 0 c、1 0 d のガラスクロスの厚さよりも薄いからである。

【 0 0 7 0 】

次に、上記の t_1 と t_2 の厚さの関係について、実際に基板を作製して確認した。

【 0 0 7 1 】

図 3 は、以上説明してきた多層回路基板の内層部分の一部を模式的に示す部分断面図である。この構成は、例えば図 2 (c) に示す両面回路基板 5 0 a とプリプレグ 1 0 a の積層状態の一部を取り出して模式的に図示したものである。

30

【 0 0 7 2 】

図 3 において、両面回路基板はプリプレグ 1 3 1 の両主面に接地配線 G 1 および信号配線 S 1 を有してなるものであり、プリプレグ 1 3 2 は一方の主面に接地配線 G 2 を有し、両面回路基板と接合する側には、信号配線 S 1 が食い込んでおり、信号配線 S 1 がプリプレグ 1 3 2 内に埋設された構成を有している。信号配線 (ストリップライン) S 1 は、そのインピーダンスが 50Ω となるように、対向する接地配線 G 1 と接地配線 G 2 の間に形成される。なお、信号配線 S 1 の長さは 3 0 mm とした。

【 0 0 7 3 】

また、図 3 において、 t_1 はコアとして用いた両面回路基板のプリプレグ 1 3 1 の厚さ、 t_2' は多層化積層後のプリプレグ 1 3 2 の厚みである。また、 t_2 は、多層化積層後のプリプレグ 1 3 2 の厚み t_2' から、プリプレグ 1 3 2 内に埋設されている信号配線 S 1 の電極線の厚み t_0 を差し引いたものであり、信号配線 S 1 の線幅、すなわちプリプレグ 1 3 2 への食い込みの程度によって変化する量である。なお、両面回路基板の作製時に用いるプリプレグのガラスクロスの厚さは、多層化積層時に用いるプリプレグのガラスクロスの厚さよりも薄いものとした。

40

【 0 0 7 4 】

なお、上記の構成において、両面回路基板 5 0 a、5 0 b、5 0 c は、本発明の両面回路基板に相当する。また、プリプレグ 1 0 a、1 0 b、1 0 c、1 0 d および 1 3 2 は、本発明のプリプレグシートに相当する。また、プリプレグ 1 3 1 は本発明の基板本体に相当する。また、回路パターン 3 0、接地配線 G 1、G 2 および信号配線 S 1 は、本発明の

50

電極線に相当する。

【 0 0 7 5 】

また、熱プレス前の状態で重ね合わせた、両面回路基板 5 0 a、5 0 b、5 0 c と、プリプレグ 1 0 a、1 0 b、1 0 c、1 0 d とを多層化積層した回路基板群は、本発明の積層体に相当する。また、図 2 (c) に示す、完成後の多層回路基板の両面回路基板 5 0 a、5 0 b、5 0 c と、プリプレグ 1 0 a、1 0 b、1 0 c、1 0 d との積層構造、または図 3 に示す両面回路基板とプリプレグとの積層構造は、本発明の層構造に相当する。なお、本実施の形態において、両面回路基板は、電極線として、接地配線 G 1 と信号配線 S 1 とをそれぞれ主面に設けた構成としているが、本発明の両面回路基板は、電極線により形成された配線パターン用途によって限定されない。すなわち、両面とも信号配線、または接地配線であってもよい。

10

【 0 0 7 6 】

図 3 に示した内層部分を含む、同じ仕様の多層回路基板を 3 0 枚作製し、それぞれの基板について、特性インピーダンスと上記の厚み t_1 、 t_2 を測定した。

【 0 0 7 7 】

作製した各基板に関する厚み t_1 、 t_2 を測定した結果、 t_1 のばらつきが最大 $5\ \mu\text{m}$ だったのに対し、 t_2 のばらつきは最大 $20\ \mu\text{m}$ であった。すなわち両面回路基板に用いたプリプレグ 1 3 1 の厚さのばらつきは、多層化積層時に用いるプリプレグ 1 3 2 の厚さのばらつきよりも小さい。これは、両面回路基板は多層回路基板全体を作成する前に完成しているので、プリプレグ 1 3 1 は多層回路基板の作成時に信号配線 S 1 の食い込みの影響を受けないためと考えられる。また、 t_1 のばらつきの最大 $5\ \mu\text{m}$ という値は非常に小さく、信号配線 S 1 と接地配線 G 1 の距離を一定にできたと言える。

20

【 0 0 7 8 】

次に、これらの各基板の特性インピーダンスを測定してみると、 $50 \sim 52\ \Omega$ の範囲であり、ばらつきが小さく非常に良好であった。

【 0 0 7 9 】

従来例で説明したように、絶縁層であるプリプレグ間の厚さ、正確には、両面回路基板の配線と、その直下の層のプリプレグとの間の距離にばらつきが生じると特性インピーダンス値が大きく変わり、これがミスマッチとなって現れ、搭載される半導体素子などの電子部品の動作に影響を与えていた。

30

【 0 0 8 0 】

本実施の形態の多層回路基板において特性インピーダンスのばらつきを小さい範囲に収めることができたのは、以下の理由である。

【 0 0 8 1 】

多層回路基板の内層部分の特性インピーダンスは回路パターン 3 0 間の距離に依存し、特に図 3 に示す構成においては、両面回路基板のプリプレグ 1 3 1 厚み t_1 と、信号配線 S 1 を介したプリプレグ 1 3 2 (の一部の) 厚み t_2 の間には、図 2 (c) の場合と同様、 $t_1 < t_2$ の関係が保たれている。これは特性インピーダンスには、厚みのより小さい両面回路基板側の厚みの寄与が大きいことを意味する。これが特性インピーダンスのばらつきを抑えている。

40

【 0 0 8 2 】

以下、さらに説明する。従来例においては、図 9 (a) ~ 図 9 (c) に示すように、両面回路基板と接合する側のプリプレグ 9 1 側の厚みは、両面回路基板のプリプレグ 9 0 の厚みよりも常に小さくなっている。これはすなわち、従来例の特性インピーダンスにおいては、厚みのより小さいプリプレグ 9 0 側の厚みの寄与が大きいことを意味する。

【 0 0 8 3 】

そして、このプリプレグ 9 0 は、多層回路基板全体の製造時に、線幅がまちまちな複数の配線パターンが食い込む影響を受けるため、その厚み t_2 に大きなばらつきが生じている。このばらつきが、特性インピーダンスのミスマッチを生じさせる原因となっていた。

【 0 0 8 4 】

50

本発明はこの点に着目して、上述のように、両面回路基板のプリプレグ 131 厚み t_1 のほうが、信号配線 S1 を介したプリプレグ 132 (の一部の) 厚み t_2 よりも小さくなるようにしている。この場合、特性インピーダンスにおいて、厚みのより小さい両面回路基板側の厚みの寄与が大きくなり、かつ、両面回路基板のプリプレグ 131 は、多層回路基板全体の製造前に硬化しているので、信号配線 S1 が自らに食い込むことはないため、上記の厚み t_1 にばらつきが生じない。したがって、安定した厚みを有する両面回路基板の影響によって、特性インピーダンスのばらつきを抑えることを可能としている。

【0085】

次に、上記の実測による結果をさらに検証するため、上述の厚み t_2 の条件を変化させたモデルを考え、回路シミュレータ ADS (アジレントテクノロジー社) でシミュレーションを行った。このシミュレーションにおいては、特性インピーダンスの基準値を 50Ω および 75Ω の 2 種類、またプリプレグの誘電率 ϵ を 4.6, 3.7 の 2 つの場合にとり、両者において厚み t_2 を変化させた場合の計算値 $Z(\Omega)$ を得ることにより、ばらつきの程度を求めた。プリプレグ 131 の厚み t_1 は $100\mu\text{m}$ 一定に固定している。

10

【0086】

なお、両面回路基板側の厚み t_1 は $100\mu\text{m}$ 一定に固定し、信号配線 S1 の厚み t_0 も $12\mu\text{m}$, $18\mu\text{m}$, $35\mu\text{m}$ の 3 通りとした。

【0087】

これらの条件により、図 4 (a)、(b)、(c) にそれぞれ模式的に示すモデルのように、 $t_1 > t_2$ 、 $t_1 = t_2$ 、 $t_1 < t_2$ となる条件下で、ばらつきの程度が求められることになる。結果を (表 1) (表 2) に示す。

20

【0088】

【表 1】

t0=12 μ m		特性インピーダンス基準値=50 Ω			特性インピーダンス基準値=75 Ω		
		線幅W=70.03 μ m			線幅W=11.54 μ m		
t1(μ m)	t2(μ m)	Z(Ω)	ずれ量 Ω	ずれ量%	Z(Ω)	ずれ量 Ω	ずれ量%
100	80	47.29	-2.71	-5.42	73.07	-1.93	-2.57
100	85	48.02	-1.98	-3.96	73.60	-1.40	-1.87
100	90	48.71	-1.29	-2.58	74.09	-0.91	-1.21
100	95	49.37	-0.63	-1.26	74.56	-0.44	-0.59
100	100	50	0	0	75	0	0
100	105	50.56	0.56	1.12	75.37	0.37	0.49
100	110	51.11	1.11	2.22	75.72	0.72	0.96
100	115	51.63	1.63	3.26	76.05	1.05	1.40
100	120	52.13	2.13	4.26	76.37	1.37	1.83
t0=18 μ m		50 Ω			75 Ω		
		W=63.57			W=5.14		
t1(μ m)	t2(μ m)	Z(Ω)	ずれ量 Ω	ずれ量%	Z(Ω)	ずれ量 Ω	ずれ量%
100	80	47.29	-2.71	-5.42	73.17	-1.83	-2.44
100	85	48.01	-1.99	-3.98	73.67	-1.33	-1.77
100	90	48.70	-1.30	-2.60	74.14	-0.86	-1.15
100	95	49.37	-0.63	-1.26	74.58	-0.42	-0.56
100	100	50	0	0	75	0	0
100	105	50.54	0.54	1.08	75.33	0.33	0.44
100	110	51.06	1.06	2.12	75.65	0.65	0.87
100	115	51.57	1.57	3.14	75.96	0.96	1.28
100	120	52.06	2.06	4.12	76.24	1.24	1.65
t0=35 μ m		50 Ω					
		W=47.96					
t1(μ m)	t2(μ m)	Z(Ω)	ずれ量 Ω	ずれ量%			
100	80	47.32	-2.68	-5.36			
100	85	48.04	-1.96	-3.92			
100	90	48.72	-1.28	-2.56			
100	95	49.38	-0.62	-1.24			
100	100	50	0	0			
100	105	50.49	0.49	0.98			
100	110	50.96	0.96	1.92			
100	115	51.42	1.42	2.84			
100	120	51.87	1.87	3.74			

【0089】

上記表1は、プリプレグの誘電率 $\varepsilon = 4.6$ の場合で、内部配線S1の厚み t_0 毎に $t_1 > t_2$ 、 $t_1 = t_2$ 、 $t_1 < t_2$ の各条件下での特性インピーダンスZの基準値からのばらつきを示したものである。(表1)に示すように、例えば内部配線S1の厚み t_0 が18 μ mで特性インピーダンスが75 Ω の場合、 t_1 と t_2 の差が絶対値で20 μ mと共通であっても、 $t_1 > t_2$ のとき(ずれ量-2.44%)と $t_1 < t_2$ のとき(ずれ量1.65%)とばらつきの程度は異なり、 $t_1 < t_2$ の場合の方が特性インピーダンスのばらつきが低く抑えられている。差が20 μ m以下の変化においても、 $t_1 < t_2$ の場合の方が特性インピーダンスのばらつきは低く抑えられており、この傾向は、内部配線S1の厚み t_0 が12 μ mで特性インピーダンスが50 Ω の、線幅Wがより大きくなった場合でも同様である。つまり内部配線S1の線幅には依存していない。また、内部配線 t_0 の3通りの厚みにおいてもこの傾向は維持されている。したがって、内部配線の形状には依存せず、特性インピーダンスのばらつきを抑える効果が得られている。

【0090】

10

20

30

40

50

このように、厚みの差が同一でも $t_1 < t_2$ の場合の方が、基準値からのずれは小さく、特性インピーダンスのばらつきは抑えられていることがわかる。

【 0 0 9 1 】

【 表 2 】

t0=12 μ m		特性インピーダンス基準値=50 Ω			特性インピーダンス基準値=75 Ω		
		線幅W=90.22 μ m			線幅W=24.99 μ m		
t1(μ m)	t2(μ m)	Z(Ω)	ずれ量 Ω	ずれ量%	Z(Ω)	ずれ量 Ω	ずれ量%
100	80	47.00	-3.00	-6.00	72.40	-2.60	-3.47
100	85	47.81	-2.19	-4.38	73.11	-1.89	-2.52
100	90	48.57	-1.43	-2.86	73.78	-1.22	-1.63
100	95	49.30	-0.70	-1.40	74.41	-0.59	-0.79
100	100	50	0.00	0	75	0	0
100	105	50.62	0.62	1.24	75.52	0.52	0.69
100	110	51.24	1.24	2.48	76.01	1.01	1.35
100	115	51.82	1.82	3.64	76.48	1.48	1.97
100	120	52.39	2.39	4.78	76.93	1.93	2.57
t0=18 μ m		50 Ω			75 Ω		
		W=83.7			W=18.58		
t1(μ m)	t2(μ m)	Z(Ω)	ずれ量 Ω	ずれ量%	Z(Ω)	ずれ量 Ω	ずれ量%
100	80	47.00	-3.00	-6.00	72.47	-2.53	-3.37
100	85	47.80	-2.20	-4.40	73.16	-1.84	-2.45
100	90	48.57	-1.43	-2.86	73.81	-1.19	-1.59
100	95	49.30	-0.70	-1.40	74.42	-0.58	-0.77
100	100	50	0	0	75	0	0
100	105	50.61	0.61	1.22	75.48	0.48	0.64
100	110	51.20	1.20	2.40	75.94	0.94	1.25
100	115	51.77	1.77	3.54	76.39	1.39	1.85
100	120	52.32	2.32	4.64	76.81	1.81	2.41
t0=35 μ m		50 Ω			75 Ω		
		W=68			W=3.22		
t1(μ m)	t2(μ m)	Z(Ω)	ずれ量 Ω	ずれ量%	Z(Ω)	ずれ量 Ω	ずれ量%
100	80	46.99	-3.01	-6.02	72.69	-2.31	-3.08
100	85	47.79	-2.21	-4.42	73.32	-1.68	-2.24
100	90	48.56	-1.44	-2.88	73.91	-1.09	-1.45
100	95	49.30	-0.70	-1.40	74.47	-0.53	-0.71
100	100	50	0	0	75	0	0
100	105	50.56	0.56	1.12	75.40	0.40	0.53
100	110	51.10	1.10	2.20	75.78	0.78	1.04
100	115	51.62	1.62	3.24	76.14	1.14	1.52
100	120	52.13	2.13	4.26	76.49	1.49	1.99

【 0 0 9 2 】

上記表 2 は、プリプレグの誘電率 $\varepsilon = 3.7$ の場合で、内部配線 S 1 の厚み t_0 を表 1 と同一条件として、プリプレグの厚み t_1 , t_2 を表 1 の場合と同一割合で変化させた場合における、特性インピーダンス Z の基準値からのばらつきを示すものである。

【 0 0 9 3 】

基本的には(表 1)と同様の傾向を示し、 $t_1 < t_2$ の場合の方が特性インピーダンスのばらつきが抑えられていることがわかる。

【 0 0 9 4 】

このように、ばらつきが小さく均一化されている両面回路基板のプリプレグ 1 3 1 の厚み t_1 を基準として $t_1 < t_2$ の関係を成立させた層構造を用いることにより、特性イン

10

20

30

40

50

ピーダンスのばらつきを抑えて、安定して高周波を駆動する多層回路基板の提供ができる。

【 0 0 9 5 】

次に、再度図 3 を参照して、特性インピーダンスのばらつきを抑えるための、より好適な条件を考える。

【 0 0 9 6 】

本来、多層回路基板を安定動作させる最適な条件は、多層回路基板作成後の両面回路基板のプリプレグ 1 3 1 の厚み t_1 と、プリプレグ 1 3 2 の、信号配線 S 1 直下部分の厚み t_2 とを一致させ、特性インピーダンスのずれ量を 0 とすることである。

【 0 0 9 7 】

しかしながら、製造時に誤差が生じて、厚み t_1 と t_2 とが一致することはまれであり、完成した多層回路基板内において、プリプレグの厚みが $t_1 < t_2$ 、または $t_1 > t_2$ の関係となることは避けられない。

【 0 0 9 8 】

そこで、製造時の誤差が、極力上記 $t_1 < t_2$ の範囲内に収まるように、あらかじめ、両面回路基板のプリプレグの厚みを理想値より小さくなるような条件を設定する。すなわち、完成した多層回路基板内におけるプリプレグの厚みの関係を $t_1 \leq t_2$ となるようにすれば、製造時に厚みの狂いが生じて、特性インピーダンスのばらつきを抑える効果が得られることになる。

【 0 0 9 9 】

誤差がない場合の、多層回路基板の内層部分の理想的な条件は、両面回路基板の信号配線 S 1 の厚みを t_0 、プリプレグ 1 3 2 の厚みを t_2' としたとき、

(数 2)

$$t_2 = t_2' - t_0 = t_1$$

となることである。誤差を考慮した条件は $t_2 \leq t_1$ であるから、(数 2) をこれに代入して、

(数 3)

$$t_2' \leq t_1 + t_0$$

となる。両面回路基板の基板本体となるプリプレグ 1 3 1、信号配線 S 1 の厚みは、多層回路基板の製造時の変化を受けることは少ないため、この条件を満たすように、プリプレグ 1 3 2 の厚み t_2' を定めればよい。

【 0 1 0 0 】

一方、図 2 (c) に示したように、回路パターン 3 0 は様々な線幅、面積を有するため、その厚みは t_0 に一意に定まらない。例えば、より線幅が大きい場合は、プリプレグへの食い込みは少なくなるため、理論的には、厚みは必ず t_0 以下になる。そこで t_0 には、線幅、面積等を考慮した係数 k ($0 < k \leq 1$) を乗ずる。ただし、実質的には係数 k は 1 と近似してもよい。

【 0 1 0 1 】

また、プリプレグ 1 3 2 の厚み t_2' は、必ず両面回路基板の基板本体となるプリプレグ 1 3 1 の厚み t_1 以上の厚みを確保させることが望ましいから、 t_1 には、これを考慮した係数 α ($1 \geq \alpha$) を乗じる。

【 0 1 0 2 】

結局、プリプレグ 1 3 2 の厚み t_2' を、

(数 1)

$$t_2' = \alpha \cdot t_1 + k \cdot t_0$$

で定義すれば、上記 (数 3) の条件を満たす、特性インピーダンスのばらつきを抑える多層回路基板の製造条件が得られることになる。

【 0 1 0 3 】

また、係数 α は実質的に 1 より大きくとり、予測範囲に入る誤差程度、具体的には 1.05 程度を上限することが望ましい。表 1、表 2 に示す例のように、 $t_1 = 100 \mu\text{m}$ と

10

20

30

40

50

すると、例えば表 1 の $t_0 = 18 \mu\text{m}$ の場合、 $t_2' = 1.05 \times 100 (\mu\text{m}) + 18 (\mu\text{m}) = 123$ となり、 $t_2 = 105 (\mu\text{m})$ が得られる。製造誤差により t_2 がこの値より小さくなくても、それは基準値により接近することを意味し、特性インピーダンスのばらつきは、より小さく抑えられることになる。また、 t_2 がこの値より大きくなっても、それはずれ量がより小さい、 $t_1 < t_2$ の範囲内での変動であるから、特性インピーダンスのばらつきは、従来例より小さく抑えられることになる。

【0104】

なお、上記の構成においては、両面回路基板の精度が保証されている必要がある。そこで、プリプレグ 131 の厚み t_1 を均一化させる場合は、シート状の材料（例えばポリイミドフィルム）の上下に接着剤を塗布した材料で、図 2 に示す両面回路基板 50a、50b、50c を作製するとよい。

10

【0105】

また、目的によって、図 2 (a) ~ (c) に示す両面回路基板 50a、50b、50c の誘電率を変えることで、さらに高性能な基板を提供できる。図 1 に示すプリプレグ 10 に含浸させる熱硬化性樹脂材料の種類により、両面回路基板 50a、50b、50c の誘電率を変えることができる。例えば、プリプレグ 10 に含浸させる熱硬化性樹脂として、エポキシ樹脂、フェノール樹脂、ポリイミド樹脂、ポリエステル樹脂、シリコーン樹脂、シアネートエステル樹脂、ポリフェニレンエーテル樹脂、ポリフェニレンオキサイド樹脂、フッ素系樹脂およびメラミン樹脂のうちの少なくとも 1 種類以上の組み合わせを用いることにより、所望の誘電率を有する両面回路基板 50a、50b、50c を作製することができる。

20

【0106】

特にインピーダンスマッチングを重視する多層回路基板においては、両面回路基板 50a、50b、50c の誘電率を、プリプレグ 10a、10b、10c、10d よりも大きくするとよい。

【0107】

また、信号の伝送速度を重視する多層回路基板には、両面回路基板 50a、50b、50c の誘電率を、プリプレグ 10a、10b、10c、10d よりも小さくするよい。

【0108】

また、コアとして用いた両面回路基板 50a、50b、50c の作製時に用いたプリプレグ 10 は、樹脂の含浸量が 54 wt % の物を使用したか、これ以外の樹脂の含浸量の物を用いてもよい。両面回路基板 50a、50b、50c の作製時に用いるプリプレグとして、樹脂の含浸量が、45 ~ 70 wt % の物を用いるのが好ましい。

30

【0109】

コアとして用いる両面回路基板 50a、50b、50c に用いたプリプレグの樹脂の含浸量が 45 wt % を下回ると、樹脂が少なすぎて回路埋め込み性が悪化し、白化（基板内部に巣ができる現象）が発生する。白化部があると、部品実装時のリフロー工程で基板がふくれて破壊する恐れがある。また、樹脂の含浸量が 70 wt % を上回ると、加熱加圧時に樹脂流れが発生し、接続用の導電ペーストが流れ、接続が不安定になってしまう。

【0110】

40

また、積層多層化時に用いたプリプレグ 10a、10b、10c、10d は、樹脂の含浸量が 60 wt % の物を使用したか、これ以外の樹脂の含浸量の物を用いてもよい。積層多層化時に用いるプリプレグとして、樹脂の含浸量が、55 ~ 80 wt % の物を用いるのが好ましい。

【0111】

積層多層化時に用いるプリプレグの樹脂の含浸量が 55 wt % を下回ると、樹脂が少なすぎて回路埋め込み性が悪化し、白化（基板内部に巣ができる現象）が発生してしまう。また、樹脂の含浸量が 80 wt % を上回ると、加熱加圧時に樹脂流れが発生してしまう。

【0112】

また、本実施の形態 1 においては、プリプレグとして、ガラスクロスにフィラーを添加

50

したエポキシ樹脂を含浸させた複合材を用いたが、耐熱性有機繊維あるいは無機繊維の少なくとも一方を主成分とする織布あるいは不織布に熱硬化性樹脂を含浸させて半硬化状態にした複合材を用いてもよい。また、プリプレグは多孔質であることが望ましい。

【0113】

また、高周波回路の駆動用多層回路基板の内層に用いる銅箔、つまり図1に示す両面回路基板50の作製時に用いる銅箔40の表面粗さは小さい方がよく、その厚さは薄い方がよい。

【0114】

また、図5は、2つの両面回路基板がその間にプリプレグを挟みこみ、接地配線と接地配線の間に挟まれた2つの信号配線が存在する多層回路基板の内層部分の断面図を示している。このように、接地配線G1、G2間に2つの信号配線S1、S2が有る場合にも、 $t_1 < t_2$ の関係となるよう多層回路基板を製作することで、安定して高周波を駆動する多層回路基板を提供できる。このとき、信号配線S1と信号配線S2とは、内層部分の主面内で平行であっても直交していても良い。

【0115】

また、本実施の形態1の多層回路基板の作製では、コアとして、一枚の両面回路基板を使用した。その他の複数層数の基板をコアとして用いても良い。図6は、両面回路基板60a、60b、4層回路基板61、8層回路基板62を用いた場合の多層回路基板の積層断面図を示している。この場合に用いる多層回路基板は、本発明の多層回路基板における層構造、すなわち両面回路基板とプリプレグとを、図3や図5に示すように積層してなる構成を使用するのがよい。また、各多層回路基板に用いる材料の誘電率を変えることで、さらに高性能で多機能な回路基板を提供できる。

【0116】

また、多層回路基板を2枚用いてさらに多層化しても良い。図7は、完成された2枚の多層回路基板70a、70bを、プリプレグ10でさらに多層化する場合の積層断面図を示している。このときの多層回路基板は、本発明の構造の多層回路基板を使用するのがよい。また、図7では、多層回路基板70a、70bの片面のみに回路パターン30を形成させているが、両面に回路パターンを形成させた多層回路基板を用いても良い。

【0117】

また、本実施の形態1で用いた回路基板はペースト接続の回路基板であるが、スルーホール構造、ビルドアップ構造などの多層回路基板でもよい。

【0118】

以上説明したところから明らかなように、高速高周波の信号を駆動する多層回路基板では、接地配線と信号線間の絶縁層の厚さを均一にする事で高性能な多層回路基板を提供できる。特に接地配線と接地配線にはさまれた信号配線では、基板内において接地配線と信号配線の絶縁層の薄い側の厚さを一定にすることで容易に高性能な基板の提供ができる。すなわち、接地配線と信号配線間の絶縁層の厚さが厚い側のコントロールは考えなくても良く、基板の設計、製作が容易となり、高速高周波駆動用の多層基板が安定して提供できる。

【産業上の利用可能性】

【0119】

本発明にかかる多層回路基板の製造方法および多層回路基板は、特性インピーダンスのミスマッチが生じず、安定して高周波を駆動できる高性能な多層回路基板およびその製造方法を提供することができ、多層回路基板の製造方法および多層回路基板として有用である。

【図面の簡単な説明】

【0120】

【図1】(a)本発明の実施の形態1における両面回路基板の製造方法を示す図(b)本発明の実施の形態1における両面回路基板の製造方法を示す図

【図2】(a)本発明の実施の形態1における多層回路基板の製造工程を示す断面図(b)

10

20

30

40

50

）本発明の実施の形態 1 における多層回路基板の製造工程を示す断面図（c）本発明の実施の形態 1 における多層回路基板の完成状態を示す断面図

【図 3】本発明の実施の形態 1 における多層回路基板の内層部分の高周波特性評価用部分（ストリップライン構造）を模式的に示す断面図

【図 4】（a）本発明の実施の形態 1 における多層回路基板の内層部分の高周波特性評価用部分（ストリップライン構造）を模式的に示す断面図（b）本発明の実施の形態 1 における多層回路基板の内層部分の高周波特性評価用部分（ストリップライン構造）を模式的に示す断面図（c）本発明の実施の形態 1 における多層回路基板の内層部分の高周波特性評価用部分（ストリップライン構造）を模式的に示す断面図

【図 5】本発明の実施の形態 1 における多層基板の、2 つの信号配線が接地配線に挟まれた部分の断面図

10

【図 6】本発明の実施の形態 1 における、複数の層構造を用いた多層回路基板の製造時の断面図

【図 7】本発明の実施の形態 1 における、2 つの多層回路基板で挟み込む場合の多層回路基板の製造時の断面図

【図 8】（a）従来の技術による多層回路基板の製造工程を示す断面図（b）従来の技術による多層回路基板の製造工程を示す断面図（c）従来の技術による多層回路基板の完成状態を示す断面図

【図 9】（a）従来の技術による多層回路基板の内層部分の構成を模式的に示す断面図（b）従来の技術による多層回路基板の内層部分の構成を模式的に示す断面図（c）従来の技術による多層回路基板の内層部分の構成を模式的に示す断面図

20

【符号の説明】

【0 1 2 1】

1 a、1 b、1 c アラミド - エポキシシート（プリプレグ）

2 導電ペースト

3 回路パターン

4 a、4 b 金属箔（銅箔）

5 a、5 b 両面回路基板

1 0、1 0 a、1 0 b、1 0 c、1 0 d、1 0 e プリプレグ

2 0 導電ペースト

3 0 回路パターン

4 0 a、4 0 b 金属箔

5 0、5 0 a、5 0 b、5 0 c、6 0 a、6 0 b 両面回路基板

6 1 4 層回路基板

6 2 8 層回路基板

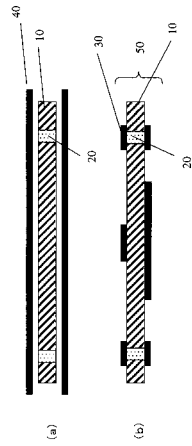
7 0 a、7 0 b 多層回路基板

G 1、G 2 接地配線

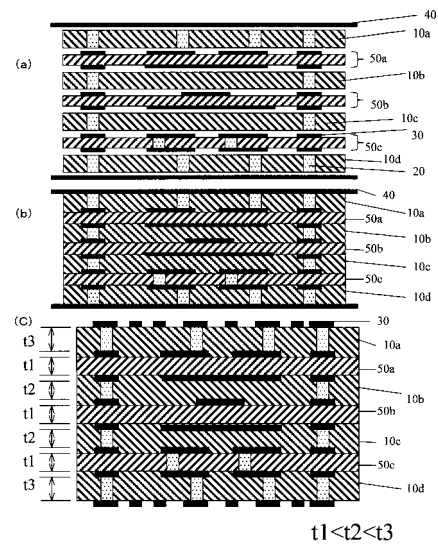
S 1、S 2、S 3 信号配線

30

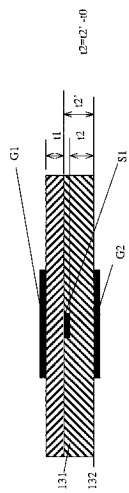
【図 1】



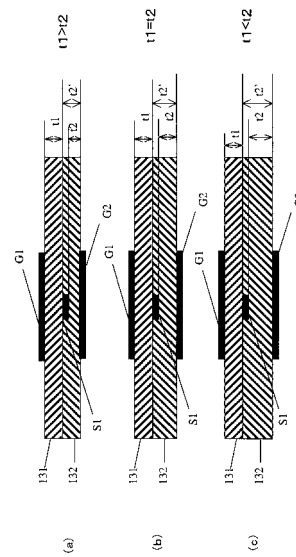
【図 2】



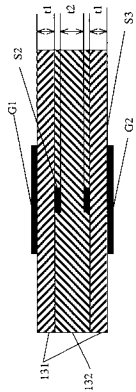
【図 3】



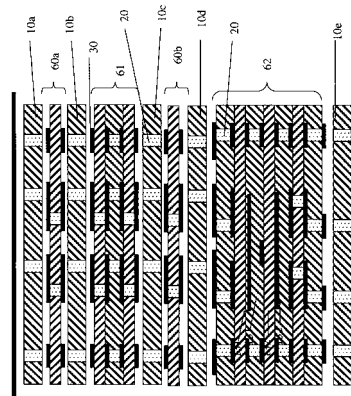
【図 4】



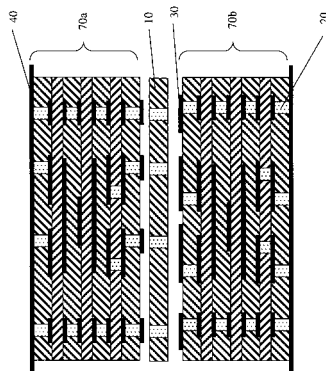
【図 5】



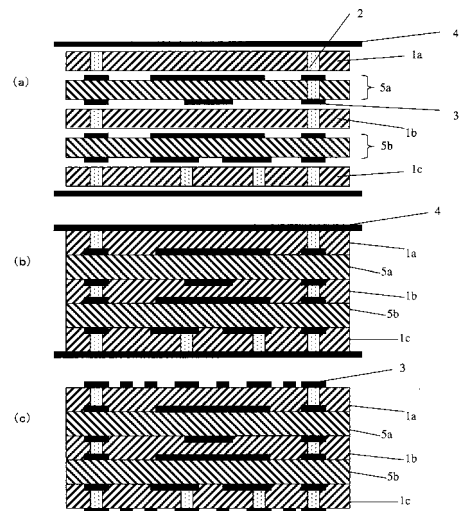
【図 6】



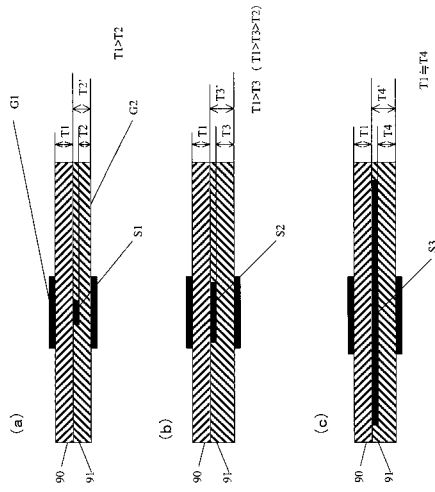
【図 7】



【図 8】



【図 9】



フロントページの続き

- (72)発明者 沖本 力也
大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内
- (72)発明者 越智 正三
大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内
- (72)発明者 留河 悟
大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

審査官 西村 泰英

- (56)参考文献 特開平 0 7 - 2 4 9 8 6 8 (J P , A)
特開平 0 7 - 1 1 1 3 8 6 (J P , A)
特開平 0 3 - 2 1 9 6 9 2 (J P , A)
特開平 0 4 - 0 2 4 9 9 7 (J P , A)
特開昭 5 6 - 1 4 4 9 5 7 (J P , A)
特開 2 0 0 3 - 3 0 9 3 7 8 (J P , A)
特開 2 0 0 1 - 0 0 7 4 8 1 (J P , A)

- (58)調査した分野(Int.Cl. , D B 名)
H05K 3/46