

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第3区分

【発行日】平成19年2月1日(2007.2.1)

【公開番号】特開2006-166305(P2006-166305A)

【公開日】平成18年6月22日(2006.6.22)

【年通号数】公開・登録公報2006-024

【出願番号】特願2004-357869(P2004-357869)

【国際特許分類】

H 03 K 3/03 (2006.01)

H 03 K 3/354 (2006.01)

【F I】

H 03 K 3/03

H 03 K 3/354 Z

【手続補正書】

【提出日】平成18年12月13日(2006.12.13)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

電源電圧で駆動され、上記電源電圧に依存した電流を出力するとともに、上記電源電圧から所定の低下電圧だけ低下してなる基準電圧を出力する電流源と、

上記電源から出力される電流により充電されるコンデンサと、

上記コンデンサの電圧を、上記電流源から出力される基準電圧と比較して、上記基準電圧以上となったとき、出力信号を出力するコンパレータとを備え、

電源電圧の供給開始から、上記コンデンサの電圧が上記コンデンサの充電により経過時間に実質的に比例して上昇し上記基準電圧に到達するまでの遅延時間後に、上記出力信号を出力するタイマー回路を構成したことを特徴とする半導体回路。

【請求項2】

上記電流源は、

第1と第2のPチャンネルMOSFETを含むカレントミラー回路と、

第1の抵抗と、

第2の抵抗とを備え、

上記電源電圧と接地との間に、上記第1のPチャンネルMOSFETと上記第1の抵抗が挿入され、

上記電流源は上記電源電圧から上記第1のPチャンネルMOSFETのしきい値電圧だけ低下した電圧値である上記第1の抵抗の両端の電圧を基準電圧として出力し、

上記電流源は、上記電源電圧から上記第2のPチャンネルMOSFET及び上記第2の抵抗を介して電流を上記コンデンサに出力することを特徴とする請求項1記載の半導体回路。

【請求項3】

上記電流源は、

第1と第2のNチャンネルMOSFETを含む第1のカレントミラー回路と、

第1と第2のPチャンネルMOSFETを含む第2のカレントミラー回路と、

第1の抵抗と、

第2の抵抗とを備え、

上記第1のカレントミラー回路と、上記第2のカレントミラー回路とが縦続に接続され、

上記電源電圧と接地との間に、上記第1の抵抗と上記第1のNチャンネルMOSFETが挿入され、

上記電流源は、上記電源電圧から上記第1の抵抗を介して低下した電圧値である上記第1のNチャンネルMOSFETの両端の電圧を、上記第2のNチャンネルMOSFETを介して出力した電圧を基準電圧として出力し、

上記電流源は、上記電源電圧から上記第2のPチャンネルMOSFET及び上記第2の抵抗を介して電流を上記コンデンサに出力することを特徴とする請求項1記載の半導体回路。

【請求項4】

上記電流源は、

第1と第2のPチャンネルMOSFETを含む第1のカレントミラー回路と、

第1と第2のNチャンネルMOSFETを含む第2のカレントミラー回路と、

第3と第4のPチャンネルMOSFETを含む第3のカレントミラー回路と、

第1の抵抗と、

第2の抵抗とを備え、

上記第1のカレントミラー回路と、上記第2のカレントミラー回路と、上記第3のカレントミラー回路とが縦続に接続され、

上記電源電圧と接地との間に、上記第1のPチャンネルMOSFETと上記第1の抵抗が挿入され、

上記電流源は、上記電源電圧から上記第1のPチャンネルMOSFETのしきい値電圧だけ低下した値である上記第1の抵抗の両端の電圧を、上記第2のPチャンネルMOSFET及び上記第2のカレントミラー回路を介して出力した電圧を基準電圧として出力し、

上記電流源は、上記電源電圧から上記第4のPチャンネルMOSFET及び上記第2の抵抗を介して電流を上記コンデンサに出力することを特徴とする請求項1記載の半導体回路。

【請求項5】

電源電圧で駆動され、上記電源電圧に依存した電流を出力するとともに、上記電源電圧から所定の第1の低下電圧だけ低下してなる第1の基準電圧と、上記第1の基準電圧から所定の第2の低下電圧だけ低下してなる第2の基準電圧とを出力する電流源と、

上記電流源から出力される電流により充電されるコンデンサと、

上記コンデンサの電圧を上記第1の基準電圧と比較して、上記第1の基準電圧以上となつたとき、セット信号を出力する第1のコンパレータと、

上記コンデンサの電圧を、上記第2の基準電圧と比較して、上記第2の基準電圧以下となつたとき、リセット信号を出力する第2のコンパレータと、

上記セット信号に応答してセットされ、上記リセット信号に応答してリセットされ、上記セットされた後上記リセットされるまで出力信号を出力するセットリセット型フリップフロップと、

上記セット信号に応答して上記コンデンサを放電する放電回路とを備え、

上記リセット信号に応答して、上記コンデンサの電圧が上記コンデンサの充電により上記第2の基準電圧から経過時間に実質的に比例して上昇し上記第1の基準電圧に到達した後、上記セット信号に応答して、上記コンデンサの放電により上記第1の基準電圧から経過時間につれて下降して上記第2の基準電圧に到達する動作を繰り返すことにより、上記セットリセット型フリップフロップからの出力信号を、所定の周期を有する発振信号として出力する発振回路を構成したことを特徴とする半導体回路。

【請求項6】

上記電流源は、

第1と第2のNチャンネルMOSFETを含む第1のカレントミラー回路と、

第1と第2のPチャンネルMOSFETを含む第2のカレントミラー回路と、

第1の抵抗と、

第2の抵抗とを備え、

上記第1のカレントミラー回路と、上記第2のカレントミラー回路とが縦続に接続され、

上記電源電圧と接地との間に、上記第1の抵抗と上記第1のNチャンネルMOSFETが挿入され、

上記電流源は、上記電源電圧から上記第1の抵抗を介して低下した電圧値である上記第1のNチャンネルMOSFETの両端の電圧を上記第2の基準電圧として出力し、上記第2の基準電圧を上記第2のNチャンネルMOSFETを介して出力した電圧を第1の基準電圧として出力し、

上記電流源は、上記電源電圧から上記第2のPチャンネルMOSFET及び上記第2の抵抗を介して電流を上記コンデンサに出力することを特徴とする請求項5記載の半導体回路。

【請求項7】

上記電流源は、

第1と第2のPチャンネルMOSFETを含む第1のカレントミラー回路と、

第1と第2のNチャンネルMOSFETを含む第2のカレントミラー回路と、

第3と第4のPチャンネルMOSFETを含む第3のカレントミラー回路と、

第1の抵抗と、

第2の抵抗とを備え、

上記第1のカレントミラー回路と、上記第2のカレントミラー回路と、上記第3のカレントミラー回路とが縦続に接続され、

上記電源電圧と接地との間に、上記第1のPチャンネルMOSFETと上記第1の抵抗が挿入され、

上記電流源は、上記電源電圧から上記第1のPチャンネルMOSFETのしきい値電圧だけ低下した値である上記第1の抵抗の両端の電圧を、上記第2のPチャンネルMOSFETを介して出力した電圧を第2の基準電圧として出力し、上記第2の基準電圧を上記第2のカレントミラー回路を介して出力した電圧を第1の基準電圧として出力し、

上記電流源は、上記電源電圧から上記第4のPチャンネルMOSFET及び上記第2の抵抗を介して電流を上記コンデンサに出力することを特徴とする請求項5記載の半導体回路。

【請求項8】

上記放電回路は、NチャンネルMOSFETで構成されたことを特徴とする請求項5乃至7のうちのいずれか1つに記載の半導体回路。

【請求項9】

電源電圧で駆動され、上記電源電圧に依存した電流を出力するとともに、上記電源電圧から所定の低下電圧だけ低下してなる基準電圧を出力する第1の電流源と、

上記電源電圧で駆動され、上記電源電圧に依存した電流を出力するとともに、上記電源電圧から上記低下電圧だけ低下してなる基準電圧を出力し、上記第1の電流源の動作開始時から所定の時間間隔だけ遅延されて動作が開始される第2の電流源と、

上記第1の電流源から出力される電流により充電される第1のコンデンサと、

上記第2の電流源から出力される電流により充電される第2のコンデンサと、

上記第1のコンデンサの電圧を上記第1の電流源からの基準電圧と比較して、上記第1の電流源からの基準電圧以上となったとき、セット信号を出力する第1のコンパレータと、

上記第2のコンデンサの電圧を上記第2の電流源からの基準電圧と比較して、上記第2の電流源からの基準電圧以上となったとき、リセット信号を出力する第2のコンパレータと、

上記セット信号に応答してセットされ、上記リセット信号に応答してリセットされ、上記リセットされた後上記セットされるまで第1の出力信号を出力し、上記セットされた後

上記リセットされるまで第2の出力信号を出力するセットリセット型フリップフロップと、

上記セット信号に応答して上記第1のコンデンサを放電する第1の放電回路と、

上記リセット信号に応答して上記第2のコンデンサを放電する第2の放電回路とを備え、

上記リセット信号に応答して、上記第1のコンデンサの電圧が上記第1のコンデンサの充電により経過時間に実質的に比例して上昇し上記基準電圧に到達した後、上記セット信号に応答して、上記第1のコンデンサの放電により上記基準電圧から経過時間につれて下降するとともに、上記セット信号に応答して、上記第2のコンデンサの電圧が上記第2のコンデンサの充電により経過時間に実質的に比例して上昇し上記基準電圧に到達した後、上記リセット信号に応答して、上記第2のコンデンサの放電により上記基準電圧から経過時間につれて下降する動作を繰り返すことにより、上記セットリセット型フリップフロップからの第1と第2の出力信号をそれぞれ、所定の周期を有する発振信号として出力する発振回路を構成したことを特徴とする半導体回路。

【請求項10】

電源電圧で駆動され、上記電源電圧に依存した電流を出力するとともに、上記電源電圧から所定の低下電圧だけ低下してなる基準電圧を出力し、互いに所定の時間間隔だけ遅延されて動作が開始される3以上の整数N個の電流源と、

上記N個の電流源からそれぞれ出力される電流により充電されるN個のコンデンサと、セット信号に応答してセットされ、リセット信号に応答してリセットされ、上記リセットされた後上記セットされるまで出力信号を出力するN個のセットリセット型フリップフロップと、

上記N個のコンデンサから出力される信号電圧が所定のしきい値以上となったときそれぞれ、しきい値結果信号を出力するN個のしきい値素子と、

上記N個のしきい値素子のうち、各1対のしきい値素子からのしきい値結果信号が同時に出力されることを示す同時出力信号を、上記N個のセットリセット型フリップフロップのうちの対応する各1対のセットリセット型フリップフロップのセット信号とリセット信号として出力するN個のゲート素子と、

上記N個のセットリセット型フリップフロップから出力される出力信号に応答してそれぞれ上記N個のコンデンサを放電するN個の放電回路とを備え、

上記リセット信号に応答して、上記各コンデンサの電圧が上記各コンデンサの充電により経過時間に実質的に比例して上昇し上記基準電圧に到達した後、上記セット信号に応答して、上記各コンデンサの放電により上記基準電圧から経過時間につれて下降する動作を上記各コンデンサにおいて上記時間間隔だけずれて繰り返すことにより、上記各セットリセット型フリップフロップからの出力信号をそれぞれ、所定の周期を有する発振信号として出力する発振回路を構成したことを特徴とする半導体回路。

【請求項11】

上記各しきい値素子はインバータであり、上記各ゲート素子はノアゲートであることを特徴とする請求項10記載の半導体回路。

【請求項12】

上記各しきい値素子はしきい値バッファであり、上記各ゲート素子は反転入力端子付きオアゲートであることを特徴とする請求項10記載の半導体回路。

【請求項13】

上記各電流源は、

第1と第2のPチャンネルMOSFETを含むカレントミラー回路と、

第1の抵抗と、

第2の抵抗とを備え、

上記電源電圧と接地との間に、上記第1のPチャンネルMOSFETと上記第1の抵抗が挿入され、

上記各電流源は上記電源電圧から上記第1のPチャンネルMOSFETのしきい値電圧

だけ低下した電圧値である上記第1の抵抗の両端の電圧を基準電圧として出力し、

上記各電流源は、上記電源電圧から上記第2のPチャンネルMOSFET及び上記第2の抵抗を介して電流を上記コンデンサに出力することを特徴とする請求項9乃至12のうちのいずれか1つに記載の半導体回路。

【請求項14】

上記各電流源は、

第1と第2のNチャンネルMOSFETを含む第1のカレントミラー回路と、

第1と第2のPチャンネルMOSFETを含む第2のカレントミラー回路と、

第1の抵抗と、

第2の抵抗とを備え、

上記第1のカレントミラー回路と、上記第2のカレントミラー回路とが縦続に接続され、

上記電源電圧と接地との間に、上記第1の抵抗と上記第1のNチャンネルMOSFETが挿入され、

上記各電流源は、上記電源電圧から上記第1の抵抗を介して低下した電圧値である上記第1のNチャンネルMOSFETの両端の電圧を、上記第2のNチャンネルMOSFETを介して出力した電圧を基準電圧として出力し、

上記各電流源は、上記電源電圧から上記第2のPチャンネルMOSFET及び上記第2の抵抗を介して電流を上記コンデンサに出力することを特徴とする請求項9乃至12のうちのいずれか1つに記載の半導体回路。

【請求項15】

上記各電流源は、

第1と第2のPチャンネルMOSFETを含む第1のカレントミラー回路と、

第1と第2のNチャンネルMOSFETを含む第2のカレントミラー回路と、

第3と第4のPチャンネルMOSFETを含む第3のカレントミラー回路と、

第1の抵抗と、

第2の抵抗とを備え、

上記第1のカレントミラー回路と、上記第2のカレントミラー回路と、上記第3のカレントミラー回路とが縦続に接続され、

上記電源電圧と接地との間に、上記第1のPチャンネルMOSFETと上記第1の抵抗が挿入され、

上記各電流源は、上記電源電圧から上記第1のPチャンネルMOSFETのしきい値電圧だけ低下した値である上記第1の抵抗の両端の電圧を、上記第2のPチャンネルMOSFET及び上記第2のカレントミラー回路を介して出力した電圧を基準電圧として出力し、

上記各電流源は、上記電源電圧から上記第4のPチャンネルMOSFET及び上記第2の抵抗を介して電流を上記コンデンサに出力することを特徴とする請求項9乃至12のうちのいずれか1つに記載の半導体回路。

【請求項16】

上記各放電回路は、NチャンネルMOSFETで構成されたことを特徴とする請求項9乃至15のうちいずれか1つに記載の半導体回路。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0019

【補正方法】変更

【補正の内容】

【0019】

また、基準電圧 V_{ref} は、カレントミラー回路M3における1対のPチャンネルMOSFET P3, P4のゲート電位から得ている。当該基準電圧 V_{ref} はPチャンネルMOSFET P3, P4のしきい値電圧分だけ低下してなる電圧値であり、電源電圧 V_{cc}

の低下により低下する。なお、後述する実施の形態において、上記基準電圧 V_{ref} を第1の基準電圧 V_{ref1} として用い、カレントミラー回路M2の1対のNチャンネルMOSFET N1, N2のゲート電位(当該MOSFETのしきい値電圧値である。)を、第1の基準電圧 V_{ref1} よりも低い第2の基準電圧 V_{ref2} として用いることができる。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0027

【補正方法】変更

【補正の内容】

【0027】

ここで、コンパレータ17は、非反転入力端子に入力される電圧 V_{11} が基準電圧 V_{ref1} 以上となったとき、ハイレベルのパルス信号を出力し、また、コンパレータ18は、非反転入力端子に入力される電圧 V_{11} が基準電圧 V_{ref2} 以下となったとき、ハイレベルのパルス信号を出力する。

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0038

【補正方法】変更

【補正の内容】

【0038】

図11において、電流源12-1の一端はスイッチSW1を介して接地され、電流源12-1の他端はコンデンサ11-1を介して接地される。また、電流源12-2の一端はスイッチSW2を介して接地され、電流源12-2の他端はコンデンサ11-2を介して接地される。コンデンサ11-1の両端電圧 V_{11} は放電回路D1及びコンパレータ17の非反転入力端子に印加される。また、コンデンサ11-2の両端電圧 V_{12} は放電回路D2及びコンパレータ18の非反転入力端子に印加される。さらに、2個のコンパレータ17, 18の各反転入力端子には、基準電圧源21からの基準電圧 V_{ref} が印加される。ここで、コンパレータ17, 18はそれぞれ、各非反転入力端子に印加される電圧 V_{11} , V_{12} が基準電圧 V_{ref} 以上となったとき、ハイレベルのパルス信号を出力する。コンパレータ17からの出力信号は電圧 V_s でセットリセット型フリップフロップ19のセット端子Sに出力され、コンパレータ18からの出力信号は電圧 V_r でセットリセット型フリップフロップ19のリセット端子Rに出力される。さらに、セットリセット型フリップフロップ19の非反転出力端子Qから出力される信号は電圧 V_q で出力端子30に出力されるとともに、放電回路D1の制御端子T1に出力される。また、セットリセット型フリップフロップ19の反転出力端子 / Q から出力される信号は電圧 V_{qb} で出力端子31に出力されるとともに、放電回路D2の制御端子T1に出力される。なお、コントローラ25は、当該発振回路40Dの動作の開始後、スイッチSW1をオンした後、所定の時間間隔だけ遅延してスイッチSW2をオンする。