

【公報種別】特許法第 17 条の 2 の規定による補正の掲載
 【部門区分】第 7 部門第 3 区分
 【発行日】平成 19 年 2 月 1 日 (2007.2.1)

【公開番号】特開 2006-166305 (P2006-166305A)
 【公開日】平成 18 年 6 月 22 日 (2006.6.22)
 【年通号数】公開・登録公報 2006-024
 【出願番号】特願 2004-357869 (P2004-357869)
 【国際特許分類】

H 0 3 K 3/03 (2006.01)

H 0 3 K 3/354 (2006.01)

【F I】

H 0 3 K 3/03

H 0 3 K 3/354 Z

【手続補正書】

【提出日】平成 18 年 12 月 13 日 (2006.12.13)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

電源電圧で駆動され、上記電源電圧に依存した電流を出力するとともに、上記電源電圧から所定の低下電圧だけ低下してなる基準電圧を出力する電流源と、

上記電源から出力される電流により充電されるコンデンサと、

上記コンデンサの電圧を、上記電流源から出力される基準電圧と比較して、上記基準電圧以上となったとき、出力信号を出力するコンパレータとを備え、

電源電圧の供給開始から、上記コンデンサの電圧が上記コンデンサの充電により経過時間に実質的に比例して上昇し上記基準電圧に到達するまでの遅延時間後に、上記出力信号を出力するタイマー回路を構成したことを特徴とする半導体回路。

【請求項 2】

上記電流源は、

第 1 と第 2 の P チャンネル MOS F E T を含むカレントミラー回路と、

第 1 の抵抗と、

第 2 の抵抗とを備え、

上記電源電圧と接地との間に、上記第 1 の P チャンネル MOS F E T と上記第 1 の抵抗が挿入され、

上記電流源は上記電源電圧から上記第 1 の P チャンネル MOS F E T のしきい値電圧だけ低下した電圧値である上記第 1 の抵抗の両端の電圧を基準電圧として出力し、

上記電流源は、上記電源電圧から上記第 2 の P チャンネル MOS F E T 及び上記第 2 の抵抗を介して電流を上記コンデンサに出力することを特徴とする請求項 1 記載の半導体回路。

【請求項 3】

上記電流源は、

第 1 と第 2 の N チャンネル MOS F E T を含む第 1 のカレントミラー回路と、

第 1 と第 2 の P チャンネル MOS F E T を含む第 2 のカレントミラー回路と、

第 1 の抵抗と、

第 2 の抵抗とを備え、

上記第 1 のカレントミラー回路と、上記第 2 のカレントミラー回路とが縦続に接続され

、
上記電源電圧と接地との間に、上記第 1 の抵抗と上記第 1 の N チャンネル MOS FET が挿入され、

上記電流源は、上記電源電圧から上記第 1 の抵抗を介して低下した電圧値である上記第 1 の N チャンネル MOS FET の両端の電圧を、上記第 2 の N チャンネル MOS FET を介して出力した電圧を基準電圧として出力し、

上記電流源は、上記電源電圧から上記第 2 の P チャンネル MOS FET 及び上記第 2 の抵抗を介して電流を上記コンデンサに出力することを特徴とする請求項 1 記載の半導体回路。

【請求項 4】

上記電流源は、

第 1 と第 2 の P チャンネル MOS FET を含む第 1 のカレントミラー回路と、

第 1 と第 2 の N チャンネル MOS FET を含む第 2 のカレントミラー回路と、

第 3 と第 4 の P チャンネル MOS FET を含む第 3 のカレントミラー回路と、

第 1 の抵抗と、

第 2 の抵抗とを備え、

上記第 1 のカレントミラー回路と、上記第 2 のカレントミラー回路と、上記第 3 のカレントミラー回路とが縦続に接続され、

上記電源電圧と接地との間に、上記第 1 の P チャンネル MOS FET と上記第 1 の抵抗が挿入され、

上記電流源は、上記電源電圧から上記第 1 の P チャンネル MOS FET のしきい値電圧だけ低下した値である上記第 1 の抵抗の両端の電圧を、上記第 2 の P チャンネル MOS FET 及び上記第 2 のカレントミラー回路を介して出力した電圧を基準電圧として出力し、

上記電流源は、上記電源電圧から上記第 4 の P チャンネル MOS FET 及び上記第 2 の抵抗を介して電流を上記コンデンサに出力することを特徴とする請求項 1 記載の半導体回路。

【請求項 5】

電源電圧で駆動され、上記電源電圧に依存した電流を出力するとともに、上記電源電圧から所定の第 1 の低下電圧だけ低下してなる第 1 の基準電圧と、上記第 1 の基準電圧から所定の第 2 の低下電圧だけ低下してなる第 2 の基準電圧とを出力する電流源と、

上記電流源から出力される電流により充電されるコンデンサと、

上記コンデンサの電圧を上記第 1 の基準電圧と比較して、上記第 1 の基準電圧以上となったとき、セット信号を出力する第 1 のコンパレータと、

上記コンデンサの電圧を、上記第 2 の基準電圧と比較して、上記第 2 の基準電圧以下となったとき、リセット信号を出力する第 2 のコンパレータと、

上記セット信号に応答してセットされ、上記リセット信号に応答してリセットされ、上記セットされた後上記リセットされるまで出力信号を出力するセットリセット型フリップフロップと、

上記セット信号に応答して上記コンデンサを放電する放電回路とを備え、

上記リセット信号に応答して、上記コンデンサの電圧が上記コンデンサの充電により上記第 2 の基準電圧から経過時間に実質的に比例して上昇し上記第 1 の基準電圧に到達した後、上記セット信号に応答して、上記コンデンサの放電により上記第 1 の基準電圧から経過時間につれて下降して上記第 2 の基準電圧に到達する動作を繰り返すことにより、上記セットリセット型フリップフロップからの出力信号を、所定の周期を有する発振信号として出力する発振回路を構成したことを特徴とする半導体回路。

【請求項 6】

上記電流源は、

第 1 と第 2 の N チャンネル MOS FET を含む第 1 のカレントミラー回路と、

第 1 と第 2 の P チャンネル MOS FET を含む第 2 のカレントミラー回路と、

第 1 の抵抗と、

第 2 の抵抗とを備え、

上記第 1 のカレントミラー回路と、上記第 2 のカレントミラー回路とが縦続に接続され、

上記電源電圧と接地との間に、上記第 1 の抵抗と上記第 1 の N チャンネル MOS FET が挿入され、

上記電流源は、上記電源電圧から上記第 1 の抵抗を介して低下した電圧値である上記第 1 の N チャンネル MOS FET の両端の電圧を上記第 2 の基準電圧として出力し、上記第 2 の基準電圧を上記第 2 の N チャンネル MOS FET を介して出力した電圧を第 1 の基準電圧として出力し、

上記電流源は、上記電源電圧から上記第 2 の P チャンネル MOS FET 及び上記第 2 の抵抗を介して電流を上記コンデンサに出力することを特徴とする請求項 5 記載の半導体回路。

【請求項 7】

上記電流源は、

第 1 と第 2 の P チャンネル MOS FET を含む第 1 のカレントミラー回路と、

第 1 と第 2 の N チャンネル MOS FET を含む第 2 のカレントミラー回路と、

第 3 と第 4 の P チャンネル MOS FET を含む第 3 のカレントミラー回路と、

第 1 の抵抗と、

第 2 の抵抗とを備え、

上記第 1 のカレントミラー回路と、上記第 2 のカレントミラー回路と、上記第 3 のカレントミラー回路とが縦続に接続され、

上記電源電圧と接地との間に、上記第 1 の P チャンネル MOS FET と上記第 1 の抵抗が挿入され、

上記電流源は、上記電源電圧から上記第 1 の P チャンネル MOS FET のしきい値電圧だけ低下した値である上記第 1 の抵抗の両端の電圧を、上記第 2 の P チャンネル MOS FET を介して出力した電圧を第 2 の基準電圧として出力し、上記第 2 の基準電圧を上記第 2 のカレントミラー回路を介して出力した電圧を第 1 の基準電圧として出力し、

上記電流源は、上記電源電圧から上記第 4 の P チャンネル MOS FET 及び上記第 2 の抵抗を介して電流を上記コンデンサに出力することを特徴とする請求項 5 記載の半導体回路。

【請求項 8】

上記放電回路は、N チャンネル MOS FET で構成されたことを特徴とする請求項 5 乃至 7 のうちのいずれか 1 つに記載の半導体回路。

【請求項 9】

電源電圧で駆動され、上記電源電圧に依存した電流を出力するとともに、上記電源電圧から所定の低下電圧だけ低下してなる基準電圧を出力する第 1 の電流源と、

上記電源電圧で駆動され、上記電源電圧に依存した電流を出力するとともに、上記電源電圧から上記低下電圧だけ低下してなる基準電圧を出力し、上記第 1 の電流源の動作開始時から所定の時間間隔だけ遅延されて動作が開始される第 2 の電流源と、

上記第 1 の電流源から出力される電流により充電される第 1 のコンデンサと、

上記第 2 の電流源から出力される電流により充電される第 2 のコンデンサと、

上記第 1 のコンデンサの電圧を上記第 1 の電流源からの基準電圧と比較して、上記第 1 の電流源からの基準電圧以上となったとき、セット信号を出力する第 1 のコンパレータと、

上記第 2 のコンデンサの電圧を上記第 2 の電流源からの基準電圧と比較して、上記第 2 の電流源からの基準電圧以上となったとき、リセット信号を出力する第 2 のコンパレータと、

上記セット信号に応答してセットされ、上記リセット信号に応答してリセットされ、上記リセットされた後上記セットされるまで第 1 の出力信号を出力し、上記セットされた後

上記リセットされるまで第 2 の出力信号を出力するセトリセット型フリップフロップと、

上記セット信号に応答して上記第 1 のコンデンサを放電する第 1 の放電回路と、

上記リセット信号に応答して上記第 2 のコンデンサを放電する第 2 の放電回路とを備え、

上記リセット信号に応答して、上記第 1 のコンデンサの電圧が上記第 1 のコンデンサの充電により経過時間に実質的に比例して上昇し上記基準電圧に到達した後、上記セット信号に応答して、上記第 1 のコンデンサの放電により上記基準電圧から経過時間につれて下降するとともに、上記セット信号に応答して、上記第 2 のコンデンサの電圧が上記第 2 のコンデンサの充電により経過時間に実質的に比例して上昇し上記基準電圧に到達した後、上記リセット信号に応答して、上記第 2 のコンデンサの放電により上記基準電圧から経過時間につれて下降する動作を繰り返すことにより、上記セトリセット型フリップフロップからの第 1 と第 2 の出力信号をそれぞれ、所定の周期を有する発振信号として出力する発振回路を構成したことを特徴とする半導体回路。

【請求項 10】

電源電圧で駆動され、上記電源電圧に依存した電流を出力するとともに、上記電源電圧から所定の低下電圧だけ低下してなる基準電圧を出力し、互いに所定の時間間隔だけ遅延されて動作が開始される 3 以上の整数 N 個の電流源と、

上記 N 個の電流源からそれぞれ出力される電流により充電される N 個のコンデンサと、

セット信号に応答してセットされ、リセット信号に応答してリセットされ、上記リセットされた後上記セットされるまで出力信号を出力する N 個のセトリセット型フリップフロップと、

上記 N 個のコンデンサから出力される信号電圧が所定のしきい値以上となったときそれぞれ、しきい値結果信号を出力する N 個のしきい値素子と、

上記 N 個のしきい値素子のうち、各 1 対のしきい値素子からのしきい値結果信号が同時に出力されることを示す同時出力信号を、上記 N 個のセトリセット型フリップフロップのうちの対応する各 1 対のセトリセット型フリップフロップのセット信号とリセット信号として出力する N 個のゲート素子と、

上記 N 個のセトリセット型フリップフロップから出力される出力信号に応答してそれぞれ上記 N 個のコンデンサを放電する N 個の放電回路とを備え、

上記リセット信号に応答して、上記各コンデンサの電圧が上記各コンデンサの充電により経過時間に実質的に比例して上昇し上記基準電圧に到達した後、上記セット信号に応答して、上記各コンデンサの放電により上記基準電圧から経過時間につれて下降する動作を上記各コンデンサにおいて上記時間間隔だけずれて繰り返すことにより、上記各セトリセット型フリップフロップからの出力信号をそれぞれ、所定の周期を有する発振信号として出力する発振回路を構成したことを特徴とする半導体回路。

【請求項 11】

上記各しきい値素子はインバータであり、上記各ゲート素子はノアゲートであることを特徴とする請求項 10 記載の半導体回路。

【請求項 12】

上記各しきい値素子はしきい値バッファであり、上記各ゲート素子は反転入力端子付きオアゲートであることを特徴とする請求項 10 記載の半導体回路。

【請求項 13】

上記各電流源は、

第 1 と第 2 の P チャンネル MOS FET を含むカレントミラー回路と、

第 1 の抵抗と、

第 2 の抵抗とを備え、

上記電源電圧と接地との間に、上記第 1 の P チャンネル MOS FET と上記第 1 の抵抗が挿入され、

上記各電流源は上記電源電圧から上記第 1 の P チャンネル MOS FET のしきい値電圧

だけ低下した電圧値である上記第 1 の抵抗の両端の電圧を基準電圧として出力し、

上記各電流源は、上記電源電圧から上記第 2 の P チャンネル MOS F E T 及び上記第 2 の抵抗を介して電流を上記コンデンサに出力することを特徴とする請求項 9 乃至 1 2 のうちのいずれか 1 つに記載の半導体回路。

【請求項 1 4】

上記各電流源は、

第 1 と第 2 の N チャンネル MOS F E T を含む第 1 のカレントミラー回路と、

第 1 と第 2 の P チャンネル MOS F E T を含む第 2 のカレントミラー回路と、

第 1 の抵抗と、

第 2 の抵抗とを備え、

上記第 1 のカレントミラー回路と、上記第 2 のカレントミラー回路とが縦続に接続され、

上記電源電圧と接地との間に、上記第 1 の抵抗と上記第 1 の N チャンネル MOS F E T が挿入され、

上記各電流源は、上記電源電圧から上記第 1 の抵抗を介して低下した電圧値である上記第 1 の N チャンネル MOS F E T の両端の電圧を、上記第 2 の N チャンネル MOS F E T を介して出力した電圧を基準電圧として出力し、

上記各電流源は、上記電源電圧から上記第 2 の P チャンネル MOS F E T 及び上記第 2 の抵抗を介して電流を上記コンデンサに出力することを特徴とする請求項 9 乃至 1 2 のうちのいずれか 1 つに記載の半導体回路。

【請求項 1 5】

上記各電流源は、

第 1 と第 2 の P チャンネル MOS F E T を含む第 1 のカレントミラー回路と、

第 1 と第 2 の N チャンネル MOS F E T を含む第 2 のカレントミラー回路と、

第 3 と第 4 の P チャンネル MOS F E T を含む第 3 のカレントミラー回路と、

第 1 の抵抗と、

第 2 の抵抗とを備え、

上記第 1 のカレントミラー回路と、上記第 2 のカレントミラー回路と、上記第 3 のカレントミラー回路とが縦続に接続され、

上記電源電圧と接地との間に、上記第 1 の P チャンネル MOS F E T と上記第 1 の抵抗が挿入され、

上記各電流源は、上記電源電圧から上記第 1 の P チャンネル MOS F E T のしきい値電圧だけ低下した値である上記第 1 の抵抗の両端の電圧を、上記第 2 の P チャンネル MOS F E T 及び上記第 2 のカレントミラー回路を介して出力した電圧を基準電圧として出力し、

上記各電流源は、上記電源電圧から上記第 4 の P チャンネル MOS F E T 及び上記第 2 の抵抗を介して電流を上記コンデンサに出力することを特徴とする請求項 9 乃至 1 2 のうちのいずれか 1 つに記載の半導体回路。

【請求項 1 6】

上記各放電回路は、N チャンネル MOS F E T で構成されたことを特徴とする請求項 9 乃至 1 5 のうちいずれか 1 つに記載の半導体回路。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0 0 1 9

【補正方法】変更

【補正の内容】

【0 0 1 9】

また、基準電圧 V_{ref} は、カレントミラー回路 M 3 における 1 対の P チャンネル MOS F E T P 3 , P 4 のゲート電位から得ている。当該基準電圧 V_{ref} は P チャンネル MOS F E T P 3 , P 4 のしきい値電圧分だけ低下してなる電圧値であり、電源電圧 V_{cc}

の低下により低下する。なお、後述する実施の形態において、上記基準電圧 V_{ref} を第 1 の基準電圧 V_{ref1} として用い、カレントミラー回路 M2 の 1 対の N チャンネル MOSFET N1, N2 のゲート電位 (当該 MOSFET のしきい値電圧値である。) を、第 1 の基準電圧 V_{ref1} よりも低い第 2 の基準電圧 V_{ref2} として用いることができる。

【手続補正 3】

【補正対象書類名】明細書

【補正対象項目名】0027

【補正方法】変更

【補正の内容】

【0027】

ここで、コンパレータ 17 は、非反転入力端子に入力される電圧 V_{11} が基準電圧 V_{ref1} 以上となったとき、ハイレベルのパルス信号を出力し、また、コンパレータ 18 は、非反転入力端子に入力される電圧 V_{11} が基準電圧 V_{ref2} 以下となったとき、ハイレベルのパルス信号を出力する。

【手続補正 4】

【補正対象書類名】明細書

【補正対象項目名】0038

【補正方法】変更

【補正の内容】

【0038】

図 11 において、電流源 12-1 の一端はスイッチ SW1 を介して接地され、電流源 12-1 の他端はコンデンサ 11-1 を介して接地される。また、電流源 12-2 の一端はスイッチ SW2 を介して接地され、電流源 12-2 の他端はコンデンサ 11-2 を介して接地される。コンデンサ 11-1 の両端電圧 V_{11} は放電回路 D1 及びコンパレータ 17 の非反転入力端子に印加される。また、コンデンサ 11-2 の両端電圧 V_{12} は放電回路 D2 及びコンパレータ 18 の非反転入力端子に印加される。さらに、2 個のコンパレータ 17, 18 の各反転入力端子には、基準電圧源 21 からの基準電圧 V_{ref} が印加される。ここで、コンパレータ 17, 18 はそれぞれ、各非反転入力端子に印加される電圧 V_{11} , V_{12} が基準電圧 V_{ref} 以上となったとき、ハイレベルのパルス信号を出力する。コンパレータ 17 からの出力信号は電圧 V_s でセットリセット型フリップフロップ 19 のセット端子 S に出力され、コンパレータ 18 からの出力信号は電圧 V_r でセットリセット型フリップフロップ 19 のリセット端子 R に出力される。さらに、セットリセット型フリップフロップ 19 の非反転出力端子 Q から出力される信号は電圧 V_q で出力端子 30 に出力されるとともに、放電回路 D1 の制御端子 T1 に出力される。また、セットリセット型フリップフロップ 19 の反転出力端子 \bar{Q} から出力される信号は電圧 V_{qb} で出力端子 31 に出力されるとともに、放電回路 D2 の制御端子 T1 に出力される。なお、コントローラ 25 は、当該発振回路 40D の動作の開始後、スイッチ SW1 をオンした後、所定の時間間隔だけ遅延してスイッチ SW2 をオンする。