

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 4 区分

【発行日】平成 29 年 2 月 16 日 (2017.2.16)

【公開番号】特開 2014-176290 (P2014-176290A)

【公開日】平成 26 年 9 月 22 日 (2014.9.22)

【年通号数】公開・登録公報 2014-051

【出願番号】特願 2014-21259 (P2014-21259)

【国際特許分類】

H 0 2 M 3/155 (2006.01)

H 0 3 K 17/16 (2006.01)

H 0 3 K 17/687 (2006.01)

【F I】

H 0 2 M 3/155 C

H 0 3 K 17/16 H

H 0 3 K 17/687 F

【手続補正書】

【提出日】平成 29 年 1 月 13 日 (2017.1.13)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

回路において、

第 1 の通電電極および第 2 の通電電極を有する第 1 のスイッチング素子と、

第 1 の通電電極および第 2 の通電電極を有する第 2 のスイッチング素子であって、前記第 2 のスイッチング素子の前記第 1 の通電電極は、前記第 1 のスイッチング素子の前記第 2 の通電電極に結合される、第 2 のスイッチング素子と、

アノードおよびカソードを有する第 1 の整流素子であって、前記第 1 の整流素子の前記カソードは、前記第 1 のスイッチング素子の前記第 2 の通電電極に結合される、第 1 の整流素子と、

アノードおよびカソードを有する第 2 の整流素子であって、前記第 2 の整流素子の前記アノードは、前記第 2 のスイッチング素子の前記第 1 の通電電極に結合される、第 2 の整流素子と、

第 1 の端子および第 2 の端子を有する第 1 の電荷蓄積素子であって、前記第 1 の電荷蓄積素子の前記第 1 の端子は、前記第 1 のスイッチング素子の前記第 1 の通電電極に結合され、前記第 1 の電荷蓄積素子の前記第 2 の端子は、前記第 1 の整流素子の前記アノードに結合される、第 1 の電荷蓄積素子と、

第 1 の端子および第 2 の端子を有する第 2 の電荷蓄積素子であって、前記第 2 の電荷蓄積素子の前記第 1 の端子は、前記第 2 の整流素子の前記カソードに結合され、前記第 2 の電荷蓄積素子の前記第 2 の端子は、前記第 2 のスイッチング素子の前記第 2 の通電電極に結合される、第 2 の電荷蓄積素子と、を備え、

前記回路の負極端子と前記第 1 の電荷蓄積素子との間の寄生特徴は、前記第 1 のスイッチング素子と前記第 1 の電荷蓄積素子との間の寄生特徴より大きい、あるいは、

前記回路の正極端子と前記第 2 の電荷蓄積素子との間の寄生特徴は、前記第 2 のスイッチング素子と前記第 2 の電荷蓄積素子との間の寄生特徴より大きい、

ことを特徴とする回路。

【請求項 2】

回路において、

第 1 の通電電極および第 2 の通電電極を有するハイサイドトランジスタと、

第 1 の通電電極および第 2 の通電電極を有するローサイドトランジスタであって、前記ローサイドトランジスタの前記第 1 の通電電極は、前記ハイサイドトランジスタの前記第 2 の通電電極に結合される、ローサイドトランジスタと、

アノードおよびカソードを有する第 1 の整流素子であって、前記第 1 の整流素子の前記カソードは、前記ハイサイドトランジスタの前記第 2 の通電電極に結合される、第 1 の整流素子と、

アノードおよびカソードを有する第 2 の整流素子であって、前記第 2 の整流素子の前記アノードは、前記ローサイドトランジスタの前記第 1 の通電電極に結合される、第 2 の整流素子と、

第 1 の端子および第 2 の端子を有する第 1 の電荷蓄積素子であって、前記第 1 の電荷蓄積素子の前記第 1 の端子は、前記ハイサイドトランジスタの前記第 1 の通電電極に結合され、前記第 1 の電荷蓄積素子の前記第 2 の端子は、前記第 1 の整流素子の前記アノードに結合される、第 1 の電荷蓄積素子と、

第 1 の端子および第 2 の端子を有する第 2 の電荷蓄積素子であって、前記第 2 の電荷蓄積素子の前記第 1 の端子は、前記第 2 の整流素子の前記カソードに結合され、前記第 2 の電荷蓄積素子の前記第 2 の端子は、前記ローサイドトランジスタの前記第 2 の通電電極に結合される、第 2 の電荷蓄積素子と、を備え、

前記回路の負極端子と前記第 1 の電荷蓄積素子との間の寄生特徴は、前記ハイサイドトランジスタと前記第 1 の電荷蓄積素子との間の寄生特徴より大きいか、あるいは、

前記回路の正極端子と前記第 2 の電荷蓄積素子との間の寄生特徴は、前記ローサイドトランジスタと前記第 2 の電荷蓄積素子との間の寄生特徴より大きく、

前記第 1 の整流素子は、前記回路の負極端子より前記ハイサイドトランジスタに近接するか、あるいは、

前記第 2 の整流素子は、前記回路の正極端子より前記ローサイドトランジスタに近接する、

ことを特徴とする回路。

【請求項 3】

前記第 1 または第 2 の電荷蓄積素子は静電容量を有し、前記ハイサイドトランジスタ、前記ローサイドトランジスタ、または前記ハイサイドおよびローサイドトランジスタのそれぞれは、その対応する第 1 および第 2 の通電電極間に静電容量を有し、前記第 1 または第 2 の電荷蓄積素子の前記静電容量と、前記その対応する第 1 および第 2 の通電電極間の静電容量との比率は、少なくとも 1 . 5 : 1 であることを特徴とする請求項 2 記載の回路。

【請求項 4】

前記第 1 または第 2 の整流素子は、並列に電氣的に接続されるショットキーダイオードおよび p n 接合ダイオードを含むことを特徴とする請求項 2 記載の回路。

【請求項 5】

スイッチング回路において、

ソース、ゲート、およびドレインを有するハイサイドトランジスタであって、

前記ハイサイドトランジスタの前記ドレインは、第 1 の電力端子に電氣的に接続され、

前記ハイサイドトランジスタの前記ゲートは、前記スイッチング回路の第 1 の入力に電氣的に接続され、

前記ハイサイドトランジスタの前記ソースは、前記スイッチング回路の出力端子に電氣的に接続される、ハイサイドトランジスタと、

ソース、ゲート、およびドレインを有するローサイドトランジスタであって、

前記ローサイドトランジスタの前記ドレインは、前記出力端子に電氣的に接続され、

前記ローサイドトランジスタの前記ゲートは、前記スイッチング回路の第２の入力に電氣的に接続され、

前記ローサイドトランジスタの前記ソースは、第２の電力端子に電氣的に接続される、ローサイドトランジスタと、

アノードおよびカソードを有する第１のショットキーダイオードであって、前記第１のショットキーダイオードの前記カソードは、前記ハイサイドトランジスタの前記ソースに電氣的に接続される、第１のショットキーダイオードと、

アノードおよびカソードを有する第２のショットキーダイオードであって、前記第２のショットキーダイオードの前記アノードは、前記ローサイドトランジスタの前記ドレインに電氣的に接続される、第２のショットキーダイオードと、

第１の端子および第２の端子を有する第１のコンデンサであって、前記第１のコンデンサの前記第１の端子は、前記第１の電力端子に電氣的に接続され、前記第１のコンデンサの前記第２の端子は、前記第１のショットキーダイオードの前記アノードに電氣的に接続される、第１のコンデンサと、

第１の端子および第２の端子を有する第２のコンデンサであって、前記第２のコンデンサの前記第１の端子は、前記第２の電力端子に電氣的に接続され、前記第２のコンデンサの前記第２の端子は、前記第２のショットキーダイオードの前記カソードに電氣的に接続される、第２のコンデンサと、を備え、

前記回路の負極端子と前記第１のコンデンサとの間の寄生特徴は、前記ハイサイドトランジスタと前記第１のコンデンサとの間の寄生特徴より大きい、あるいは、

前記回路の正極端子と前記第２のコンデンサとの間の寄生特徴は、前記ローサイドトランジスタと前記第２のコンデンサとの間の寄生特徴より大きい、

ことを特徴とするスイッチング回路。