

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第4区分

【発行日】平成29年2月16日(2017.2.16)

【公開番号】特開2014-176290(P2014-176290A)

【公開日】平成26年9月22日(2014.9.22)

【年通号数】公開・登録公報2014-051

【出願番号】特願2014-21259(P2014-21259)

【国際特許分類】

H 02 M 3/155 (2006.01)

H 03 K 17/16 (2006.01)

H 03 K 17/687 (2006.01)

【F I】

H 02 M 3/155 C

H 03 K 17/16 H

H 03 K 17/687 F

【手続補正書】

【提出日】平成29年1月13日(2017.1.13)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

回路において、

第1の通電電極および第2の通電電極を有する第1のスイッチング素子と、

第1の通電電極および第2の通電電極を有する第2のスイッチング素子であって、前記第2のスイッチング素子の前記第1の通電電極は、前記第1のスイッチング素子の前記第2の通電電極に結合される、第2のスイッチング素子と、

アノードおよびカソードを有する第1の整流素子であって、前記第1の整流素子の前記カソードは、前記第1のスイッチング素子の前記第2の通電電極に結合される、第1の整流素子と、

アノードおよびカソードを有する第2の整流素子であって、前記第2の整流素子の前記アノードは、前記第2のスイッチング素子の前記第1の通電電極に結合される、第2の整流素子と、

第1の端子および第2の端子を有する第1の電荷蓄積素子であって、前記第1の電荷蓄積素子の前記第1の端子は、前記第1のスイッチング素子の前記第1の通電電極に結合され、前記第1の電荷蓄積素子の前記第2の端子は、前記第1の整流素子の前記アノードに結合される、第1の電荷蓄積素子と、

第1の端子および第2の端子を有する第2の電荷蓄積素子であって、前記第2の電荷蓄積素子の前記第1の端子は、前記第2の整流素子の前記カソードに結合され、前記第2の電荷蓄積素子の前記第2の端子は、前記第2のスイッチング素子の前記第2の通電電極に結合される、第2の電荷蓄積素子と、を備え、

前記回路の負極端子と前記第1の電荷蓄積素子との間の寄生特徴は、前記第1のスイッチング素子と前記第1の電荷蓄積素子との間の寄生特徴より大きいか、あるいは、

前記回路の正極端子と前記第2の電荷蓄積素子との間の寄生特徴は、前記第2のスイッチング素子と前記第2の電荷蓄積素子との間の寄生特徴より大きい、

ことを特徴とする回路。

**【請求項 2】**

回路において、

第1の通電電極および第2の通電電極を有するハイサイドトランジスタと、

第1の通電電極および第2の通電電極を有するローサイドトランジスタであって、前記ローサイドトランジスタの前記第1の通電電極は、前記ハイサイドトランジスタの前記第2の通電電極に結合される、ローサイドトランジスタと、

アノードおよびカソードを有する第1の整流素子であって、前記第1の整流素子の前記カソードは、前記ハイサイドトランジスタの前記第2の通電電極に結合される、第1の整流素子と、

アノードおよびカソードを有する第2の整流素子であって、前記第2の整流素子の前記アノードは、前記ローサイドトランジスタの前記第1の通電電極に結合される、第2の整流素子と、

第1の端子および第2の端子を有する第1の電荷蓄積素子であって、前記第1の電荷蓄積素子の前記第1の端子は、前記ハイサイドトランジスタの前記第1の通電電極に結合され、前記第1の電荷蓄積素子の前記第2の端子は、前記第1の整流素子の前記アノードに結合される、第1の電荷蓄積素子と、

第1の端子および第2の端子を有する第2の電荷蓄積素子であって、前記第2の電荷蓄積素子の前記第1の端子は、前記第2の整流素子の前記カソードに結合され、前記第2の電荷蓄積素子の前記第2の端子は、前記ローサイドトランジスタの前記第2の通電電極に結合される、第2の電荷蓄積素子と、を備え、

前記回路の負極端子と前記第1の電荷蓄積素子との間の寄生特徴は、前記ハイサイドトランジスタと前記第1の電荷蓄積素子との間の寄生特徴より大きいか、あるいは、

前記回路の正極端子と前記第2の電荷蓄積素子との間の寄生特徴は、前記ローサイドトランジスタと前記第2の電荷蓄積素子との間の寄生特徴より大きく、

前記第1の整流素子は、前記回路の負極端子より前記ハイサイドトランジスタに近接するか、あるいは、

前記第2の整流素子は、前記回路の正極端子より前記ローサイドトランジスタに近接する、

ことを特徴とする回路。

**【請求項 3】**

前記第1または第2の電荷蓄積素子は静電容量を有し、前記ハイサイドトランジスタ、前記ローサイドトランジスタ、または前記ハイサイドおよびローサイドトランジスタのそれぞれは、その対応する第1および第2の通電電極間に静電容量を有し、前記第1または第2の電荷蓄積素子の前記静電容量と、前記その対応する第1および第2の通電電極間の静電容量との比率は、少なくとも1.5:1であることを特徴とする請求項2記載の回路。

**【請求項 4】**

前記第1または第2の整流素子は、並列に電気的に接続されるショットキーダイオードおよびp-n接合ダイオードを含むことを特徴とする請求項2記載の回路。

**【請求項 5】**

スイッチング回路において、

ソース、ゲート、およびドレインを有するハイサイドトランジスタであって、

前記ハイサイドトランジスタの前記ドレインは、第1の電力端子に電気的に接続され、

前記ハイサイドトランジスタの前記ゲートは、前記スイッチング回路の第1の入力に電気的に接続され、

前記ハイサイドトランジスタの前記ソースは、前記スイッチング回路の出力端子に電気的に接続される、ハイサイドトランジスタと、

ソース、ゲート、およびドレインを有するローサイドトランジスタであって、

前記ローサイドトランジスタの前記ドレインは、前記出力端子に電気的に接続され、

前記ローサイドトランジスタの前記ゲートは、前記スイッチング回路の第2の入力に電気的に接続され、

前記ローサイドトランジスタの前記ソースは、第2の電力端子に電気的に接続される、ローサイドトランジスタと、

アノードおよびカソードを有する第1のショットキーダイオードであって、前記第1のショットキーダイオードの前記カソードは、前記ハイサイドトランジスタの前記ソースに電気的に接続される、第1のショットキーダイオードと、

アノードおよびカソードを有する第2のショットキーダイオードであって、前記第2のショットキーダイオードの前記アノードは、前記ローサイドトランジスタの前記ドレインに電気的に接続される、第2のショットキーダイオードと、

第1の端子および第2の端子を有する第1のコンデンサであって、前記第1のコンデンサの前記第1の端子は、前記第1の電力端子に電気的に接続され、前記第1のコンデンサの前記第2の端子は、前記第1のショットキーダイオードの前記アノードに電気的に接続される、第1のコンデンサと、

第1の端子および第2の端子を有する第2のコンデンサであって、前記第2のコンデンサの前記第1の端子は、前記第2の電力端子に電気的に接続され、前記第2のコンデンサの前記第2の端子は、前記第2のショットキーダイオードの前記カソードに電気的に接続される、第2のコンデンサと、を備え、

前記回路の負極端子と前記第1のコンデンサとの間の寄生特徴は、前記ハイサイドトランジスタと前記第1のコンデンサとの間の寄生特徴より大きいか、あるいは、

前記回路の正極端子と前記第2のコンデンサとの間の寄生特徴は、前記ローサイドトランジスタと前記第2のコンデンサとの間の寄生特徴より大きい、

ことを特徴とするスイッチング回路。