

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.⁶
G06F 15/16

(11) 공개번호 특2000-0042702
(43) 공개일자 2000년07월 15일

(21) 출원번호	10-1998-0058968
(22) 출원일자	1998년12월26일
(71) 출원인	엘지정보통신 주식회사 서평원
	서울특별시 강남구 역삼동 679
(72) 발명자	차현열
	경상북도 구미시 오대동 44 블록 대원2차 505호
(74) 대리인	홍성철

심사청구 : 있음

(54) 교환기에서 디바이스 액세스 버스 이중화 제어회로

요약

본 발명의 목적은, 고도의 신뢰성이 요구되는 교환기의 프로세서와 디바이스 간에 이중화되어 있는 통신 버스를 제어하는 회로에 있어서, 구동중인 프로세서의 기능 불량, 리셋, 보드 탈장등의 문제가 발생하더라도, 이중화된 대기 프로세서로의 절체를 수행할 때, 즉각적이고 원활한 절체가 이루어지도록 함으로써, 통신 서비스의 질을 향상시키도록 하는 데에 있다.

본 발명의 구성은, 통상 제어신호를 생성하여 출력하는 통상신호 출력부(51, 61); 상대방 통상신호 출력부(61, 51)로부터 출력되는 신호를 검출하는 신호검출부(52, 62); 상기 신호검출부(52, 62)로부터 출력되는 상대방 검출신호와 리셋신호, 상대방 보드 탈장 및 기능 상태 등 문제 상황에 대한 신호를 입력받아, 그에 따른 구동설정신호를 생성하여 출력하는 돌발신호 출력부(53, 63); 상기 신호출력부(51, 61)로부터 출력되는 통상 제어신호를 입력받아 클럭에 맞추어 출력하는데, 상기 돌발신호 출력부(53, 63)로부터 출력되는 구동설정신호에 따라 돌발 상황시에 설정된 신호를 출력하는 신호조정부(54, 64); 상기 신호조정부(54, 64)로부터 출력되는 신호와, 상기 신호검출부(51, 62)로부터 출력되는 검출신호를 입력받아, 두 신호값이 같은지의 여부에 따라 해당하는 이중화 제어신호를 상기 디바이스(70)로 출력하는 신호선택부(55, 65)를 포함하여 이루어진다.

대표도

도2

명세서

도면의 간단한 설명

도 1은 종래 기술에 의한 교환기에서 디바이스 액세스 버스 이중화 제어회로를 적용한 블럭도,
도 2는 본 발명의 실시예에 따른 교환기에서 디바이스 액세스 버스 이중화 제어회로를 적용한 블럭도이다.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은 교환기에서 디바이스 액세스 버스 이중화 제어회로에 관한 것으로서, 더 상세하게 말하자면, 고도의 신뢰성이 요구되는 교환기의 프로세서와 디바이스 간에 이중화되어 있는 통신 버스를 제어하는 회로에 있어서, 이중화된 프로세서의 절체가 일어날 때 통신 단절없이 원활한 절체가 이루어지도록 한 교환기에서 디바이스 액세스 버스 이중화 제어회로에 관한 것이다.

일반적으로 교환기는 신뢰성이 우선적으로 요구되며, 어떠한 경우라도 서비스를 수행하기 위하여 내부의 각종 기능을 수행하는 회로팩을 이중적으로 설치하여 자동적으로 절체되는 이중화 회로를 적용하여 운용하고 있다.

즉, 상기 이중화 회로는 리던던시 스트럭처(redundancy structure)라고도 하며, 교환기에서 어떤 기능을 수행하는 하나의 회로팩이 구동(active)중일 때, 똑같은 기능을 하는 다른 회로팩을 장착하여 대기(standby) 상태로 만들어 놓고, 상기 구동중인 회로팩의 기능에 문제가 발생하는 경우, 상기 대기 상대의 회로팩을 절체하여 그 기능을 수행하도록 하는 회로를 말한다.

여기서, 회로팩이란, 소자들이 실장되어 있으며, 조립이 완벽하게 이루어져 어떠한 기능을 수행할 수 있도록 완비된 회로 보드(circuit board)를 말한다.

그런데, 상기 이중화 회로가 적용되는 대표적인 것으로 프로세서 보드의 이중화 회로와, 스위칭 보드의 이중화 회로가 있으며, 본 고안에서 적용하고자 하는 부분은 프로세서 보드의 이중화 회로에 관한 것이다.

이하, 첨부된 도면을 참조하여, 종래 기술의 교환기에서 디바이스 액세스 버스 이중화 제어회로를 설명하기로 한다.

도 1에 도시되어 있듯이, 종래 기술에 의한 교환기에서 디바이스 액세스 버스 이중화 제어회로의 구성은 다음과 같이 이루어진다.

교환기 디바이스(30)의 통신을 위하여, 상기 디바이스와 제1버스를 통하여 연결된 제1프로세서의 이중화 절체를 제어하는 제1제어부(10)와, 상기 디바이스와 제2버스를 통하여 연결된 제2프로세서의 이중화 절체를 제어하는 제2제어부(20)로 이루어진 디바이스 액세스 버스 이중화 제어회로에 있어서,

상기 각각의 제어부(10, 20)는, 입력되는 상대방 신호등 이중화 관련신호를 분석하여 그에 따른 자기의 이중화 제어신호를 생성하여 출력하는 신호출력부(11, 21)와,

상대방의 신호출력부(21, 11)로부터 출력되는 상대방의 이중화 제어신호를 입력받아 분석하여, 그에 따라 해당하는 상대방 신호를 각각의 자기 신호출력부(11, 21)로 출력하는 신호검출부(12, 22)를 포함하여 이루어지고,

상기 디바이스(30)는 상기 각각의 제어부(30)의 신호출력부(11, 21)로부터 출력되는 이중화 제어신호를 입력받아, 그 값에 따라 해당하는 하나의 구동가능한 버스를 선택하는 신호를 출력하는 버스 선택부(31)와, 상기 버스 선택부(31)로부터 출력되는 신호에 따라 선택되지 않은 다른 버스를 대기 상태로 천이시키는 천이부(32)를 포함하여 이루어진다.

상기와 같이 이루어진 종래 기술의 교환기에서 디바이스 액세스 버스 이중화 제어회로의 동작은 다음과 같다.

프로세서의 신호출력부(11, 21)는 자기 프로세서의 구동 또는 대기 상태에 따라 해당하는 이중화 제어신호(Se1_OUT_A, Se1_OUT_B)를 출력하는데, 각각의 신호검출부(12, 22)를 통해 입력되는 서로 상대의 이중화 제어신호에 따른 상대방 신호를 분석하여, 소프트웨어 프로그램(software program)에 의하여 판단된 신호를 출력한다.

신호검출부(12, 22)는 상기 각각의 상대방 신호출력부(21, 11)로부터 출력되는 상대방의 이중화 제어신호를 입력받아 분석하여, 그에 따라 해당하는 상대방 신호를 각각의 자기 신호출력부(11, 21)로 출력한다.

디바이스(30)의 버스 선택부(31)는 두 개의 통신버스(DA_BUS_A, DA_BUS_B) 중에서 실제 통신이 가능한 버스 및 프로세서를 선택해야 한다.

즉, 상기 버스 선택부(31)는 각각의 프로세서의 신호출력부(11, 21)에서 출력되어 입력되는 두 개의 이중화 제어신호(Se1_OUT_A, Se1_OUT_B)를 분석하여, 하나의 버스를 선택하는데, 상기 두 이중화 제어신호(Se1_OUT_A, Se1_OUT_B)의 값이 다르면 제1버스(DA_BUS_A)를 선택하고, 두 이중화 제어신호(Se1_OUT_A, Se1_OUT_B)의 값이 같으면 제2버스(DA_BUS_B)를 선택한다.

예를 들어, 제1제어부(10)의 제1신호출력부(11)는 제1프로세서가 구동(Active) 상태이고 제2프로세서가 대기(Standby) 상태인 경우, 우선 상대 프로세서의 이중화 제어신호(Se1_OUT_B)의 상태를 신호검출부(12)를 통하여 입력받아, 그 값이 논리적으로 '0'이면 출력되는 이중화 제어신호(Se1_OUT_A)의 값을 '1'로 설정하고, 그 값이 '1'이면 출력되는 이중화 제어신호(Se1_OUT_A)의 값을 '0'으로 설정한다.

상기와 같이 함으로써, 상기 디바이스(30)의 버스 선택부(31)에서 판단하기에 두 이중화 제어신호(Se1_OUT_A, Se1_OUT_B)의 값이 다르므로, 제1버스(DA_BUS_A)를 선택하도록 한다.

상기와 마찬가지로 방법으로, 상기 제1프로세서의 기능상 문제가 발생하여 제1프로세서가 대기 상태로 바뀌고, 제2프로세서가 구동 상태로 바뀔 때에는, 두 이중화 제어신호(Se1_OUT_A, Se1_OUT_B)의 값을 다르게 하여, 제2버스(DA_BUS_B)를 선택하도록 한다.

그런데, 상기와 같이 동작하는 종래 기술의 액세스 버스 이중화 제어회로는 프로세서 절체 발생시 이중화 제어신호(Se1_OUT_A, Se1_OUT_B)의 설정에 있어서, 소프트웨어적으로만 수행하기 때문에, 상기 소프트웨어가 정상적으로 동작하기 어려운 상태, 즉, 프로세서의 기능 불량 및 프로세서 리셋(reset) 및 보드의 탈장시 등에는 소프트웨어에서 상태를 파악한 후에 설정해야 되기 때문에, 버스 절체시 소요되는 시간이 지연됨에 따라, 순간적인 통신 두절이 발생하는 문제점이 있다.

그리고, 상기와 같이 동작하는 종래 기술의 액세스 버스 이중화 제어회로는 이중화 제어신호에 따라 해당하는 프로세서를 선택하는 선택회로가 모든 디바이스에 있어야 하기 때문에 비효율적인 문제점이 있다.

발명이 이루고자 하는 기술적 과제

따라서, 본 발명의 목적은 상기와 같은 종래 기술의 문제점을 해결하기 위한 것으로서, 고도의 신뢰성이 요구되는 교환기의 프로세서와 디바이스 간에 이중화되어 있는 통신 버스를 제어하는 회로에 있어서, 구동중인 프로세서의 기능 불량, 리셋, 보드 탈장등의 문제가 발생하더라도, 이중화된 대기 프로세서로의 절체를 수행할 때, 즉각적이고 원활한 절체가 이루어지도록 함으로써, 통신 서비스의 질을 향상시키도록 하는 데에 있다.

또, 본 발명의 다른 목적은, 디바이스마다 각각 이중화 제어신호에 따라 해당하는 프로세서를 선택하는 선택회로가 필요없이, 자동적으로 절체가 이루어지는 교환기에서 디바이스 액세스 버스 이중화 제어회로

를 제공하는 데에 있다.

발명의 구성 및 작용

상기 목적을 달성하기 위한 본 발명의 구성은 다음과 같이 이루어진다.

교환기 디바이스의 통신을 위하여, 상기 디바이스와 제1버스를 통하여 연결된 제1프로세서의 이중화 절체를 제어하는 제1제어수단과, 상기 디바이스와 제2버스를 통하여 연결된 제2프로세서의 이중화 절체를 제어하는 제2제어수단으로 이루어진 디바이스 액세스 버스 이중화 제어회로에 있어서, 상기 각각의 제어수단의 구성은,

이중화 관련신호를 분석하여 그에 따른 자기 버스의 이중화를 제어하는 통상 제어신호를 생성하여 출력하는 통상신호 출력수단;

상대방 통상신호 출력수단으로부터 출력되는 이중화 제어신호를 입력받아 분석하여 그에 따른 검출신호를 출력하는 신호검출수단;

상기 신호검출수단으로부터 출력되는 상대방 검출신호와 리셋신호, 상대방 보드 탈장 및 기능 상태 등 문제 상황에 대한 신호를 입력받아, 그에 따른 구동설정신호를 생성하여 출력하는 돌발신호 출력수단;

상기 신호출력수단으로부터 출력되는 통상 제어신호를 입력받아 클럭에 맞추어 출력하는데, 상기 돌발신호 출력수단으로부터 출력되는 구동설정신호에 따라 돌발 상황시에 설정된 신호를 출력하는 신호조정수단;

상기 신호조정수단으로부터 출력되는 신호와, 상기 신호검출수단으로부터 출력되는 검출신호를 입력받아, 두 신호값이 같은지의 여부에 따라 해당하는 이중화 제어신호를 상기 디바이스로 출력하는 신호선택수단을 포함하여 이루어진 것을 특징으로 한다.

이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 설명한다.

도 2에 도시되어 있듯이, 본 발명의 실시예에 의한 교환기에서 디바이스 액세스 버스 이중화 제어회로의 구성은 다음과 같이 이루어진다.

교환기 디바이스(70)의 통신을 위하여, 상기 디바이스(70)와 제1버스를 통하여 연결된 제1프로세서의 이중화 절체를 제어하는 제1제어부(50)와, 상기 디바이스(70)와 제2버스를 통하여 연결된 제2프로세서의 이중화 절체를 제어하는 제2제어부(60)로 이루어진 디바이스 액세스 버스 이중화 제어회로에 있어서, 상기 각각의 제어부(50, 60)의 구성은,

이중화 관련신호를 분석하여 그에 따른 자기 버스의 이중화를 제어하는 통상 제어신호를 생성하여 출력하는 통상신호 출력부(51, 61);

상대방 통상신호 출력부(61, 51)로부터 출력되는 이중화 제어신호를 입력받아 분석하여 그에 따른 검출신호를 출력하는 신호검출부(52, 62);

상기 신호검출부(52, 62)로부터 출력되는 상대방 검출신호와 리셋신호, 상대방 보드 탈장 및 기능 상태 등 문제 상황에 대한 신호를 입력받아, 그에 따른 구동설정신호를 생성하여 출력하는 돌발신호 출력부(53, 63);

상기 신호출력부(51, 61)로부터 출력되는 통상 제어신호를 입력받아 클럭에 맞추어 출력하는데, 상기 돌발신호 출력부(53, 63)로부터 출력되는 구동설정신호에 따라 돌발 상황시에 설정된 신호를 출력하는 신호조정부(54, 64);

상기 신호조정부(54, 64)로부터 출력되는 신호와, 상기 신호검출부(51, 62)로부터 출력되는 검출신호를 입력받아, 두 신호값이 같은지의 여부에 따라 해당하는 이중화 제어신호를 상기 디바이스(70)로 출력하는 신호선택부(55, 65)를 포함하여 이루어진다.

상기 각각의 신호선택부(55, 65)의 구성은,

상기 각각의 신호조정부(54, 64)로부터 출력되는 신호와, 상기 신호검출부(52, 62)로부터 출력되는 검출신호를 입력받아, 두 신호값이 같은 경우 논리적으로 하이의 신호를 출력하고 다른 경우 논리적으로 로우의 신호를 출력하는 배타적 논리합(EXOR55, EXOR65)와,

상기 각각의 배타적 논리합(EXOR55, EXOR65)으로부터 출력되는 신호를 반전시켜 출력하는 인버터(INV55, INV65);

상기 각각의 배타적 논리합(EXOR55, EXOR65)으로부터 출력되는 신호와 인버터(INV55, INV65)로부터 출력되는 신호를 입력받아, 각각 입력되는 선택신호(SIDE)와 반전선택신호(SIDEB)에 따라 해당하는 신호 하나만 선택하여 상기 디바이스(70)로 출력하는 선택기(MX55, MX65)를 포함하여 이루어진다.

상기와 같이 이루어진 본 발명의 실시예의 동작은 다음과 같다.

교환기 디바이스(70)의 통신을 위하여, 제1버스를 통하여 연결되어 있는 제1프로세서와 제2버스를 통하여 연결되어 있는 제2프로세서 중에서 하나의 버스를 선택하는데, 각각 제1제어부(50)와, 제2제어부(60)에 의하여 선택된다.

상기 제1제어부(50)는 상기 디바이스(70)와 제1버스를 통하여 연결된 제1프로세서의 이중화 절체를 제어하고, 상기 제2제어부(60)는 상기 디바이스(70)와 제2버스를 통하여 연결된 제2프로세서의 이중화 절체를 제어하며, 각각의 제어부 내부의 구성과 동작은 같고, 다만, 상기 디바이스(70)로 입력되는 이중화 제어신호의 단자만 다를 뿐이다.

이하, 상기 제1제어부(50)를 기준으로 상세한 동작을 설명한다.

통산신호 출력부(51)는 이중화 관련신호를 분석하여 그에 따른 자기 버스의 이중화를 제어하는 통상 제어신호를 생성하여 출력하고, 신호검출부(52)는 상대방 통상신호 출력부(61, 51)로부터 출력되는 이중화 제어신호를 입력받아 분석하여 그에 따른 검출신호를 출력한다.

그리고, 돌발신호 출력부(53)는 상기 신호검출부(52)로부터 출력되는 상대방 검출신호와 리셋신호, 상대방 보드 탈장 및 기능 상태 등 문제 상황에 대한 신호를 입력받아, 그에 따른 구동설정신호를 생성하여 출력하고, 신호 조정부(54)는 상기 신호출력부(51)로부터 출력되는 통상 제어신호를 입력받아 클럭에 맞추어 출력하는데, 상기 돌발신호 출력부(53)로부터 출력되는 구동설정신호에 따라 돌발 상황시에 설정된 신호를 출력한다.

신호선택부(55)는 상기 신호조정부(54)로부터 출력되는 신호와, 상기 신호검출부(51)로부터 출력되는 검출신호를 입력받아, 두 신호값이 같은지의 여부에 따라 해당하는 이중화 제어신호를 상기 디바이스(70)로 출력한다.

상기 신호선택부(55)의 동작을 구체적으로 설명하면 다음과 같다.

상기 신호선택부(55)의 배타적 논리합(EXOR55)은 상기 각각의 신호조정부(54)로부터 출력되는 신호와, 상기 신호검출부(52)로부터 출력되는 검출신호를 입력받아, 두 신호값이 같은 경우 논리적으로 하이의 신호를 출력하고 다른 경우 논리적으로 로우의 신호를 출력한다.

그리고, 인버터(INV55)는 상기 배타적 논리합(EXOR55)으로부터 출력되는 신호를 반전시켜 출력하며, 선택기(MX55)는 상기 배타적 논리합(EXOR55)으로부터 출력되는 신호와 인버터(INV55)로부터 출력되는 신호를 입력받아, 입력되는 선택신호(SIDE)에 따라 해당하는 신호 하나를 선택하여 상기 디바이스(70)로 출력한다.

제2제어부(60)에 구성된 요소들의 동작도 상기 제1제어부(50)의 구성 요소들과 같은 방법으로 동작을 함으로써 이중화 제어신호를 출력한다.

예를 들어, 상기에서 제1프로세서가 구동(Active)되고 있는 경우, 상기 신호검출부(52)는 상기 제2프로세서의 제어부(60)의 신호 조정부(64)로부터 출력되는 신호를 입력받아 그 값이 '1'인 것으로 검출되는 경우, 상기 통산신호 출력부(51)는 통상 제어신호를 '0'으로 설정하여 출력한다.

그리고, 상기 신호 조정부(54)는 그 값을 입력받았다가 클럭에 맞추어 출력하는데, 정상 상태이므로, 상기 돌발신호 출력부(53)는 상기 신호 조정부(54)의 동작에 관여하지 않는다.

그리고, 신호선택부(55)의 배타적 논리합(EXOR55)은 상기 신호 조정부(54)로부터 출력되는 신호값인 '0'과 상기 제2제어부(60)의 신호 조정부(64)로부터 출력되는 신호값인 '1'을 논리 연산하여 '1'을 출력한다.

그리고, 상기 신호선택부(55)의 선택기(MX55)는 상기 배타적 논리합(EXOR55)으로부터 출력되는 신호값인 '1'과, 인버터(INV55)에 의하여 반전된 값인 '0'을 입력받아, 선택 제어신호(SIDE)에 따라 해당하는 값을 하나 선택하여 상기 디바이스(70)의 제1입력단자(A_ACTIVE)로 출력하는데, 여기서는 상기 인버터(INV55)에 의하여 반전된 값인 '0'을 출력한다.

한편, 상기 제2제어부(60)는 상기와 같은 동작을 하는데, 다만 신호선택부(65)의 선택기(MX65)에서

상기 디바이스(70)는 입력되는 반전선택 제어신호(SIDE_B)에 따라 해당하는 값을 하나 선택하여 상기 디바이스(70)의 제1입력단자(A_ACTIVE)로 출력하는데, 여기서는 상기 제1제어부(50)와는 반대로 배타적 논리합(EXOR65)로부터 출력되는 값인 '1'을 상기 디바이스(70)의 제2입력단자(B_ACTIVE)로 출력한다.

여기서, 상기 디바이스(70)는 입력되는 이중화 제어신호의 값이 '0'인 제어부에 해당하는 버스를 선택하도록 되어 있으므로, 제1제어부(50)에 의하여 제1버스를 통하고, 제1프로세서를 이용한다.

그런데, 상기와 같이 정상적인 경우가 아니고, 돌발적인 상황이 발생하는 경우에는 상기 돌발신호 출력부(53)가 동작을 하는데, 돌발적인 상황의 예로는 상기 통산신호 출력부(51)의 소프트웨어 제어가 불가능한 상황, 즉 보드의 기능 불량과 리셋신호 상태, 그리고 보드의 탈장과 같은 경우를 말한다.

상기와 같은 상황에는 상기 돌발신호 출력부(53)가 돌발 제어신호를 출력하여 상기 신호 조정부(54)를 클리어(clear)시키거나, 프리셋(preset)함으로써, 상기 통산신호 출력부(51)의 출력신호인 통상 제어신호에 상관없이 돌발상황의 처리에 적합한 신호를 만들어낸다.

즉, 제1프로세서의 기능이 불량하거나 리셋 상태 등 좋지 않은 상태이고 제2프로세서의 기능은 정상인 경우, 상기 제2제어부(60)의 신호 조정부(64)의 출력신호가 '1'이라면, 제1돌발신호 출력부(53)에서 돌발 제어신호를 출력하여 제1제어부(50)의 신호 조정부(54)의 출력신호를 '1'로 만들어 제1제어부(50)의 신호선택부(55)의 배타적 논리합(EXOR55)과 제2제어부(60)의 배타적 논리합(EXOR65)의 출력신호를 모두 '0'으로 만들고, 제1제어부(50)의 선택기(MX55)의 출력신호를 '1'로 만들고, 제2제어부(60)의 선택기(MX65)의 출력신호를 '0'으로 만듦으로써, 상기 디바이스(70)에서 제1프로세서를 선택하지 않고 제2프로세서 및 그 버스를 선택하여 구동시키도록 한다.

또한, 제1프로세서 탈장시는 상기 제2돌발신호 출력부(63)에서 돌발 제어신호를 출력하여 제2제어부(60)의 신호 조정부(64)의 출력신호를 '1'로 만들어 신호 선택부(65)의 배타적 논리합(EXOR65)의 출력신호를 '0'으로 만들고, 선택기(MX65)의 출력은 '0'으로 만듦으로써, 상기 디바이스(70)에서 제2프로세서를 선택하여 제2프로세서 및 그 버스가 구동된다.

반대로, 제2프로세서의 기능이 불량하거나 리셋 상태 등 좋지 않은 상태이고 제1프로세서의 기능은 정상인 경우, 상기 제1제어부(50)의 신호 조정부(54)의 출력신호가 '1'이라면, 제2돌발신호 출력부(63)에서 돌발 제어신호를 출력하여 제2제어부(60)의 신호 조정부(64)의 출력신호를 '1'로 만들어 제1제어부(50)의

신호선택부(55)의 배타적 논리합(EXOR55)과 제2제어부(60)의 배타적 논리합(EXOR65)의 출력신호를 모두 '1'로 만들고, 제1제어부(50)의 선택기(MX55)의 출력신호를 '0'으로 만들고, 제2제어부(60)의 선택기(MX55)의 출력신호를 '1'로 만듦으로써, 상기 디바이스(70)에서 제2프로세서를 선택하지 않고 제1프로세서 및 그 버스를 선택하여 구동시키도록 한다.

또한, 제2프로세서 탈장시는 상기 제1돌발신호 출력부(53)에서 돌발 제어신호를 출력하여 제1제어부(50)의 신호 조정부(54)의 출력신호를 '1'로 만들어 신호 선택부(55)의 배타적 논리합(EXOR55)의 출력신호를 '0'으로 만들고, 선택기(MX55)의 출력은 '0'으로 만듦으로써, 상기 디바이스(70)에서 제1프로세서를 선택하여 제1프로세서 및 그 버스가 구동된다.

상기와 같이 함으로써, 보드의 기능 불량이나, 보드의 탈장 및 리셋에 의한 초기와 등으로 인하여 소프트웨어에 의한 이중화 절체의 제어에 신뢰도가 떨어지는 경우, 돌발신호 출력부(53)에 의한 즉각적인 이중화 절체 제어를 수행함으로써, 통신 서비스의 품질을 향상시킬 수 있다.

그리고, 상기 신호선택부(55)에서 출력되는 이중화 제어신호를 직접 버스 구동신호로 사용함으로써, 종래 기술에 비하여, 각각의 디바이스 내에 선택회로를 장착하지 않아도 이중화 절체기능을 적절하게 구현할 수 있다.

이상에서 설명한 본 발명은 전술한 실시예 및 첨부된 도면에 의해 한정된 것이 아니고, 본 발명의 기술적 사상을 벗어나지 않는 범위내에서 여러가지 치환, 변환 및 변경이 가능한 것이 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에게 명백할 것이다.

발명의 효과

따라서, 상기와 같이 동작하는 본 발명은 고도의 신뢰성이 요구되는 교환기의 프로세서와 디바이스 간에 이중화되어 있는 통신 버스를 제어하는 회로에 있어서, 구동중인 프로세서의 기능 불량, 리셋, 보드 탈장 등의 문제가 발생하더라도, 이중화된 대기 프로세서로의 절체를 수행할 때, 즉각적이고 원활한 절체가 이루어지도록 함으로써, 통신 서비스의 질을 향상시키는 효과가 있다.

또한, 본 발명은, 디바이스마다 각각 이중화 제어신호에 따라 해당하는 프로세서를 선택하는 선택회로가 없이도, 자동적으로 절체가 이루어지므로 복잡한 디바이스 회로의 기능 부담을 덜어주는 효과가 있다.

(57) 청구의 범위

청구항 1

교환기 디바이스의 통신을 위하여, 상기 디바이스와 제1버스를 통하여 연결된 제1프로세서의 이중화 절체를 제어하는 제1제어수단과, 상기 디바이스와 제2버스를 통하여 연결된 제2프로세서의 이중화 절체를 제어하는 제2제어수단으로 이루어진 디바이스 액세스 버스 이중화 제어회로에 있어서, 상기 각각의 제어수단의 구성은,

이중화 관련신호를 분석하여 그에 따른 자기 버스의 이중화를 제어하는 통상 제어신호를 생성하여 출력하는 통상신호 출력수단;

상대방 통상신호 출력수단으로부터 출력되는 이중화 제어신호를 입력받아 분석하여 그에 따른 검출신호를 출력하는 신호검출수단;

상기 신호검출수단으로부터 출력되는 상대방 검출신호와 리셋신호, 상대방 보드 탈장 및 기능 상태 등 문제 상황에 대한 신호를 입력받아, 그에 따른 구동설정신호를 생성하여 출력하는 돌발신호 출력수단;

상기 신호출력수단으로부터 출력되는 통상 제어신호를 입력받아 클럭에 맞추어 출력하는데, 상기 돌발신호 출력수단으로부터 출력되는 구동설정신호에 따라 돌발 상황시에 설정된 신호를 출력하는 신호조정수단;

상기 신호조정수단으로부터 출력되는 신호와, 상기 신호검출수단으로부터 출력되는 검출신호를 입력받아, 두 신호값이 같은지의 여부에 따라 해당하는 이중화 제어신호를 상기 디바이스로 출력하는 신호선택수단을 포함하여 이루어진 것을 특징으로 하는 교환기에서 디바이스 액세스 버스 이중화 제어회로.

청구항 2

제1항에 있어서, 상기 신호선택수단의 구성은,

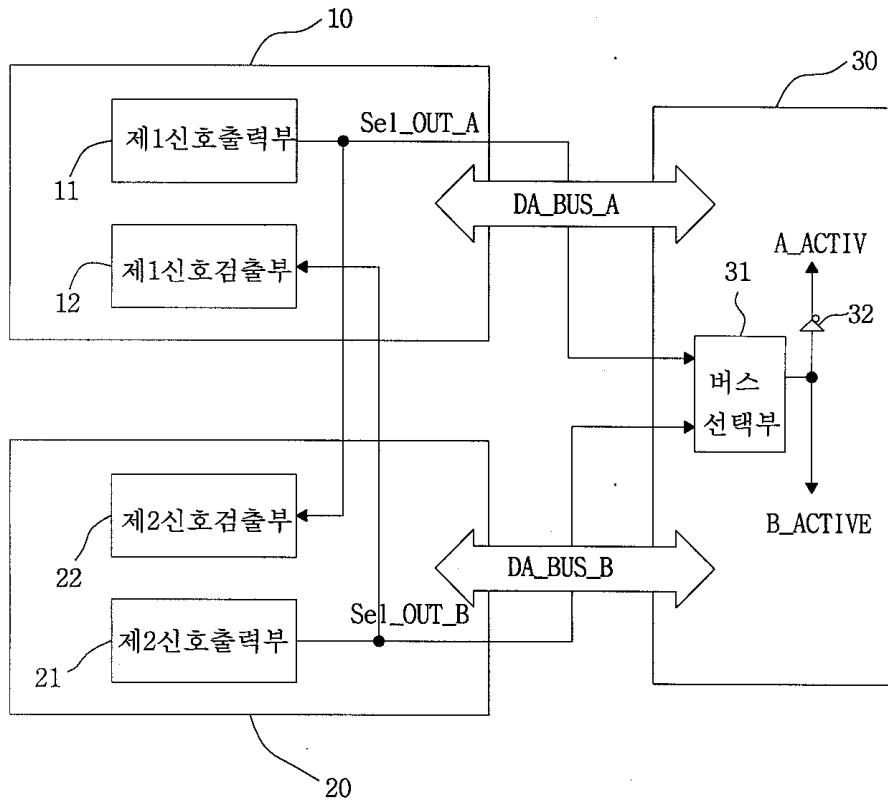
상기 각각의 신호조정수단으로부터 출력되는 신호와, 상기 신호검출수단으로부터 출력되는 검출신호를 입력받아, 두 신호값이 같은 경우 논리적으로 하이의 신호를 출력하고 다른 경우 논리적으로 로우의 신호를 출력하는 배타적 논리합;

상기 각각의 배타적 논리합으로부터 출력되는 신호를 반전시켜 출력하는 인버터;

상기 각각의 배타적 논리합으로부터 출력되는 신호와, 인버터로부터 출력되는 신호를 입력받아, 각각 입력되는 선택신호와 반전선택신호에 따라 해당하는 신호 하나만 선택하여 상기 디바이스로 출력하는 각각의 선택수단을 포함하여 이루어진 것을 특징으로 하는 교환기에서 디바이스 액세스 버스 이중화 제어회로.

도면

도면1



도면2

