

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7554075号
(P7554075)

(45)発行日 令和6年9月19日(2024.9.19)

(24)登録日 令和6年9月10日(2024.9.10)

(51)国際特許分類		F I			
H 0 3 F	3/45 (2006.01)	H 0 3 F	3/45	2 1 0	
H 0 3 F	1/52 (2006.01)	H 0 3 F	1/52	2 1 0	

請求項の数 5 (全26頁)

(21)出願番号	特願2020-142809(P2020-142809)	(73)特許権者	000191238 日清紡マイクロデバイス株式会社 東京都中央区日本橋横山町3-10
(22)出願日	令和2年8月26日(2020.8.26)	(74)代理人	100099818 弁理士 安孫子 勉
(65)公開番号	特開2022-38352(P2022-38352A)	(72)発明者	境 要典 東京都中央区日本橋横山町3番10号 新日本無線株式会社内
(43)公開日	令和4年3月10日(2022.3.10)	(72)発明者	小川 正訓 東京都中央区日本橋横山町3番10号 新日本無線株式会社内
審査請求日	令和5年7月10日(2023.7.10)	審査官	工藤 一光

最終頁に続く

(54)【発明の名称】 演算増幅器

(57)【特許請求の範囲】

【請求項1】

非反転入力端子と反転入力端子間に印加された入力信号の差動増幅可能に構成されてなる演算増幅器であって、

前記演算増幅器は、出力段における過電流が検出された場合に前記出力段の電流抑圧を可能としてなる過電流保護回路を有し、前記過電流保護回路は、所望の高周波領域における過電流検出の感度を抑制する高周波ノイズ対策回路が設けられてなり、

前記過電流保護回路は、過電流検出用トランジスタと、前記出力段に流れる電流検出のために前記出力段に設けられた検出用抵抗器とを有し、前記過電流検出用トランジスタのベースとエミッタ間に前記検出用抵抗器が接続されて、前記検出用抵抗器における過電流が検出された場合に前記過電流検出用トランジスタにより前記出力段の電流を低減するよう構成されてなり、

前記高周波ノイズ対策回路は、前記検出用抵抗器と並列接続された第1のノイズ対策コンデンサを有してなり、

前記第1のノイズ対策コンデンサの容量値 $C \times 2$ は、

不等式 $C \times 2 > 1 / (2 \times 2^{1/2} \times f_c \times R_2)$ を満たす値に設定され、

前記不等式における f_c は、除去する高周波ノイズの周波数、前記不等式における R_2 は、前記検出用抵抗器の抵抗値であり、

前記検出用抵抗器と前記第1のノイズ対策コンデンサとの並列接続部分におけるインピーダンスの低下により前記過電流保護回路における前記高周波領域での過電流検出感度を

10

20

低下せしめることで前記高周波ノイズに起因する出力電圧の変動抑圧を図ったことを特徴とする演算増幅器。

【請求項 2】

前記検出用抵抗器と前記過電流検出用トランジスタのベースとの間に、ノイズ対策抵抗器が接続される一方、前記第 1 のノイズ対策コンデンサに代えて第 2 のノイズ対策コンデンサが前記過電流検出用トランジスタのベースとエミッタ間に接続され、

前記ノイズ対策抵抗器の抵抗値 $R \times 2$ と前記第 2 のノイズ対策コンデンサの容量値 $C \times 3$ は、

不等式 $f_c > 1 / (2 \times C \times 3 \times R \times 2)$ を満たす値に設定され、

前記ノイズ対策抵抗器と前記第 2 のノイズ対策コンデンサによるローパスフィルタ作用により前記過電流保護回路における高周波領域での過電流検出感度を低下せしめることで前記高周波ノイズに起因する出力電圧の変動抑圧を図ったことを特徴とする請求項 1 記載の演算増幅器。

10

【請求項 3】

前記過電流検出用トランジスタのベースと前記検出用抵抗器との間に、ノイズ対策抵抗器が設けられると共に、前記過電流検出用トランジスタのベースとエミッタとの間に第 2 のノイズ対策コンデンサが設けられ

前記ノイズ対策抵抗器の抵抗値 $R \times 2$ と前記第 2 のノイズ対策コンデンサの容量値 $C \times 3$ は、

不等式 $f_c > 1 / (2 \times C \times 3 \times R \times 2)$ を満たす値に設定され、

前記検出用抵抗器と前記第 1 のノイズ対策コンデンサとの並列接続部分におけるインピーダンスの低下による前記高周波ノイズに起因する出力電圧の変動抑圧に加えて、

前記ノイズ対策抵抗器と前記第 2 のノイズ対策コンデンサによるローパスフィルタ作用により前記過電流保護回路における高周波領域での過電流検出感度を低下せしめることで前記高周波ノイズに起因する出力電圧の変動抑圧を図ったことを特徴とする請求項 1 記載の演算増幅器。

20

【請求項 4】

前記第 1 のノイズ対策コンデンサを前記過電流検出用トランジスタのベース・エミッタ間の寄生容量とすることを特徴とする請求項 1 記載の演算増幅器。

【請求項 5】

前記第 2 のノイズ対策コンデンサを前記過電流検出用トランジスタのベース・エミッタ間の寄生容量とすることを特徴とする請求項 2 又は請求項 3 記載の演算増幅器。

30

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、演算増幅器に係り、特に、高周波外来ノイズに起因する出力特性の劣化防止、動作の安定性確保等を図ったものに関する。

【背景技術】

【0002】

従来、演算増幅器における高周波外来ノイズに対する方策としては、ノイズが入力端子に混入することに着目して対策を施したものが多い。例えば、特許文献 1 等には、入力に混入する高周波外来ノイズをコンデンサと抵抗器で構成されるローパスフィルタ (LPF) で軽減するものが提案されている。

40

【0003】

特許文献 1 においては、同文献で開示されたローパスフィルタによる高周波外来ノイズ対策は、図 10 に示された回路を用いて高周波外来ノイズの混入について検証した結果を反映したものである旨が述べられている。

図 10 に示された検証回路は、演算増幅器 OP 1 の非反転入力端子に、DC カット用コンデンサ CA 1 を介して AC 電圧源 RF が接続されているところに特徴を有するものである。

50

【 0 0 0 4 】

また、図 1 1 には、演算増幅器 O P 1 の具体的な回路構成例が示されている。

この図 1 1 に示された回路は、特許文献 1 において演算増幅器 O P 1 の従来回路として開示されているものと基本的に同一構成のものであるが、図 1 1 においては、電流分配用のカレントミラー回路の具体回路構成も示されたものとなっている。

この電流分配用のカレントミラー回路は、カレントミラー元であるトランジスタ Q 1 0 9 と電流源 C S 1 とを用いて構成されており、トランジスタ Q 1 0 9 に電流源 C S 1 が接続されて、この電流源 C S 1 の電流がトランジスタ Q 1 1 0 ~ Q 1 1 7 にミラーされている。

【 0 0 0 5 】

図 1 2 には、図 1 0 に示された検証回路において、A C 電圧源 R F により A C 電圧を演算増幅器 O P 1 に印加した場合の出力電圧 V_{out} の変化の測定結果が示されている。なお、A C 電圧源 R F の電圧振幅は $0.2 V_{pp}$ である。

同図によれば、出力電圧 V_{out} は、周波数が低い領域では $0 V$ 付近で安定しているが、周波数が高くなるにつれて変動することが確認できる。この出力電圧 V_{out} の変動は、演算増幅器の後段の集積回路において誤動作を招く原因となる。

【 0 0 0 6 】

かかる出力電圧 V_{out} の変動対策として、特許文献 1 においては、図 1 3 に示されたように、反転入力端子 I N M とトランジスタ Q 1 のベースとの間に抵抗器 R_{in1} を、非反転入力端子 I N P とトランジスタ Q 2 のベースとの間に抵抗器 R_{in2} を、それぞれ挿入した構成が開示されている。

上述の構成において、トランジスタ Q 1、Q 2 のベースと負電源端子 V E E との間には、寄生容量 C_{in1} 、 C_{in2} が存在する。

その結果、抵抗器 R_{in1} 、 R_{in2} と寄生容量 C_{in1} 、 C_{in2} とでローパスフィルタ (L P F) が構成され、それによる高周波外来ノイズの低減によって出力電圧 V_{out} の変動抑制が可能となっている。

【 0 0 0 7 】

本願発明者は、実際に図 1 3 の構成における高周波外来ノイズの低減効果の検証を行った。図 1 4 には、その検証結果である入力周波数変化に対する出力電圧 V_{out} の変化特性が示されている。すなわち、同図において、実線の特性線は、図 1 3 に示された回路構成における入力周波数変化に対する出力電圧 V_{out} の変化特性であり、対策がない場合 (点線の特性線) に比して、高周波外来ノイズに対する一定の低減効果が確認できる。

【 0 0 0 8 】

ところが、高周波外来ノイズが混入するのは入力端子だけとは限らず、例えば、電源ラインに混入する可能性を否定できない。特に、近年の車載半導体においては、電源ラインにおける高周波外来ノイズに対する高い耐性が求められる場合が増加している。

本願発明者は、かかる観点から、先の図 1 3 に示された演算増幅器における電源ラインへの高周波外来ノイズ混入の際の出力電圧 V_{out} の挙動を検証した。

【 0 0 0 9 】

図 1 5 には、検証に用いた回路例が示されており、同図を参照しつつ検証内容について説明する。

まず、図 1 5 に示された回路例において、演算増幅器 O P 1 は、先の図 1 3 の回路構成のものである。演算増幅器 O P 1 の端子にはインダクタンス L 1 ~ L 5 が付加されているが、これらは、パッケージングされた演算増幅器 O P 1 に用いられている金線のインダクタンスを等価的に表したものである。

【 0 0 1 0 】

図 1 5 に示された回路例は、演算増幅器 O P 1 によりボルテージフォロア回路が構成されており、反転入力端子 I N M は寄生インダクタンス L 2、L 5 を介して出力端子 O U T に接続されている。

一方、非反転入力端子 I N P は、寄生インダクタンス L 3 を介して D C 電圧源 $V_2 = 6$

10

20

30

40

50

Vに接続されている。

【0011】

また、負電源端子V E Eは、寄生インダクタンスL 4を介してグラウンドに接続されている。

正電源端子V C Cは、寄生インダクタンスL 1及びインダクタL A 1を介してD C電圧源V 1 = 12 Vに接続されると共に、D Cカット用コンデンサC A 1を介してA C電圧源R Fに接続されている。インダクタL A 1は、D C電圧源への高周波信号を遮断する。

A C電圧源R Fは、高周波外来ノイズを模しており、出力はP i n (d B m)である。

【0012】

ここで、D C電圧源V 1 = 12 Vと、D CカットコンデンサC A 1と、寄生インダクタンスL 1とが電氣的に導通状態とされるノードを、以下、説明の便宜上”電源ライン”と称する。

10

以下、この電源ラインにおける高周波外来ノイズの混入に対する演算増幅器O P 1への影響に関する検証について説明する。

【0013】

かかる検証は、A C電圧源R Fからの入力電力を増加した場合の出力電圧V o u tのD Cレベルを計測することで行う。

例えば、図15の回路において、A C電圧源R Fからの入力電圧が無い場合、出力電圧V o u tが6 Vとなることは自明である。しかし、A C電圧源R Fからの入力電力P i nが増加すると、演算増幅器O P 1は何等かの影響を受け、出力電圧V o u tは変動を来す。

20

【0014】

図16には、図15の回路における検証結果として、電源ラインへのA C入力電力P i nの変化に対する出力電圧V o u tの変化特性が点線の特性線により示されている。

この検証結果は、入力電力P i nを変化させた際の、出力電圧V o u tの変化を計測した結果である。

なお、A C電圧源R Fの周波数は0.5 GHzである。

【0015】

演算増幅器O P 1は、先に図13に示されたように入力端子に対する高周波外来ノイズに対する対策が施されたものであるが、図16に示された検証結果においては、A C電圧源R Fの入力電力P i nが28 d B m付近になると、出力電圧V o u tは大きく変動し始めていることが確認できる。

30

これは、高周波外来ノイズが電源ラインに混入すると、出力電圧V o u tが変動することを意味するものである。

【0016】

このような出力電圧V o u tの変動は、実使用において誤動作を招く原因となる。なお、このようにA C電源などを用いて、特定の端子に高周波外来ノイズを印加する実験は、Direct Power Injectionと称され、D P Iと略称されることもある。

本願発明者は、多くの試験を積み重ね、鋭意研究の結果、図17に示された回路構成を用いることで、正電源端子への高周波外来ノイズ耐性の高い演算増幅器を得ることができる結論を導くに至った。

40

【0017】

この図17に示された回路構成は、コンデンサC X 1と抵抗器R X 1、R X 1 1及びダイオードD X 1を設けると共に、それぞれ、所定の条件を満たす回路定数を選定することで、次述するように高い高周波外来ノイズ耐性を得ることができるものとなっている。

【0018】

以下、図18に示された特性線図を参照しつつ、図17に示された回路構成の演算増幅器の高周波外来ノイズ耐性について説明する。

図18は、演算増幅器における高周波外来ノイズの入力電力変化に対する出力電圧の変化特性例を示す特性線図であり、横軸は電源ラインへの高周波外来ノイズのA C入力電力を、縦軸は出力電圧を、それぞれ示している。

50

【 0 0 1 9 】

同図には、先に図 1 3 に示された回路構成の演算増幅器（従回路）における高周波外来ノイズの A C 入力電力変化に対する出力電圧 V_{out} の変化例が点線の特性線により、また、図 1 7 の回路構成の演算増幅器（提案回路）における高周波外来ノイズの A C 入力電力変化に対する出力電圧 V_{out} の変化例が実線の特性線により、それぞれ示されている。なお、いずれの特性線も高周波外来ノイズの周波数が 0 . 5 G H z とした場合のものである。

【 0 0 2 0 】

まず、図 1 3 に示された回路構成の演算増幅器の場合、A C 入力電力が 2 8 d B m 付近から A C 入力電力の増加に伴い出力電力 V_{out} が低下する傾向を示している。

10

これに対して、図 1 7 に示された回路構成の演算増幅器の場合、A C 入力電力が 3 3 d B m となるまでは出力電力 V_{out} をほぼ一定に維持できていることが確認できるものとなっている。

【 先行技術文献 】

【 特許文献 】

【 0 0 2 1 】

【 文献 】 特許第 3 8 8 6 0 9 0 号公報

【 0 0 2 2 】

【 文献 】 P.R.グレイ等著、「アナログ集積回路設計技術 上巻」、培風館

【 発明の概要 】

20

【 発明が解決しようとする課題 】

【 0 0 2 3 】

しかしながら、本願発明者のさらなる研究の結果、特定の高周波 0 . 6 1 G H z において正電源端子に A C 電力を入射すると、出力電圧 V_{out} が著しく悪化することを見出すに至った。

図 1 9 には、この事を説明する特性線図が示されており、以下、同図を参照しつつ、上述の現象について説明する。

まず、図 1 9 は、電源ラインへの A C 入力電力 P_{in} の変化に対する出力電圧 V_{out} の変化特性を示した特性線図である。

同図において、横軸は電源ラインへの高周波外来ノイズの A C 入力電力を、縦軸は出力電圧を、それぞれ示している。

30

【 0 0 2 4 】

図 1 9 において、点線の特性線は、図 1 7 に示された回路において、A C 入力電力の周波数を 0 . 6 1 G H z とした場合の電源ラインへの A C 入力電力 P_{in} の変化に対する出力電圧 V_{out} の変化特性を示している。

また、二点鎖線の特性線は、同回路において、A C 入力電力の周波数を 0 . 5 G H z とした場合の電源ラインへの A C 入力電力 P_{in} の変化に対する出力電圧 V_{out} の変化特性を、実線の特性線は、A C 入力電力の周波数を 0 . 7 G H z とした場合の電源ラインへの A C 入力電力 P_{in} の変化に対する出力電圧 V_{out} の変化特性を、それぞれ示している。

40

【 0 0 2 5 】

図 1 9 によれば、A C 入力電力の周波数が 0 . 5 G H z 、 0 . 7 G H z の場合、入力電力が 3 3 d B m 付近までは出力電圧 V_{out} が一定値を維持できるのに対して、周波数 0 . 6 1 G H z では入力電力 2 9 d B m 付近までしか出力電圧 V_{out} を一定値に維持することができず、入力電力 2 9 d B m 以降は急激な電圧低下が生じていることが確認できる。

すなわち、図 1 7 に示された回路の演算増幅器は、周波数 0 . 6 1 G H z の高周波外来ノイズが正電源端子に混入した際、出力電圧 V_{out} の大きな変動が生ずることとなる。

【 0 0 2 6 】

本願発明者は、このような特定の周波数 0 . 6 1 G H z においてのみノイズ耐性が大幅に劣化する原因について、鋭意研究の結果、演算増幅器の終段部分に設けられている過電

50

流保護回路に原因があることを導くに至った。

図 20 には、過電流保護回路 C L i m 1 に該当する部分を点線で囲んだ図 17 と同一の回路構成が示されている。

同回路において、トランジスタ Q 14 ~ Q 16、及び、抵抗器 R 1, R 2 から構成される部分が過電流保護回路 C L i m 1 であり、本願発明者は、特定の周波数 0.61 GHz においてのみ、過電流保護回路 C L i m 1 が極端に ON し易い状態に陥ることを突き止めるに至った。

【0027】

換言すれば、図 20 に示された回路構成の演算増幅器の正電源端子に高周波外来ノイズが混入すると、例えノイズ振幅が小さくとも、そのノイズ周波数が 0.61 GHz である場合には、過電流保護回路 C L i m 1 は ON 状態となり、出力電圧 V o u t が悪化するという現象が生ずる。

10

【0028】

トランジスタ Q 14 ~ Q 16、抵抗器 R 1, R 2 から構成される過電流保護回路 C L i m 1 の動作は、従来から良く知られている回路（例えば、非特許文献 1 等参照）であるので、以下、概括的に説明する。

この過電流保護回路 C L i m 1 は、抵抗器 R 2 に流れる電流 I o u t が下記する式 1 の条件を満たすまで増加した際に ON 状態となる。

【0029】

$$V_{be}(Q14) = R2 \times I_{out} \cdots \text{式 1}$$

20

【0030】

ここで、 $V_{be}(Q14)$ は、トランジスタ Q 14 のベース・エミッタ間電圧であって、具体的には、約 0.6 V である。

また、R 2 は、抵抗器 R 2 の抵抗値、I o u t は、抵抗器 R 2 を介して流れる出力電流の電流値である。

出力電流 I o u t が増加し、式 1 の条件を満たす状態となった際に、トランジスタ Q 14 のコレクタ電流 I c Q 14 が流れ、トランジスタ Q 15 のベース電流 I b Q 15 が制限されることとなる（図 20 参照）。

【0031】

その結果、トランジスタ Q 15 とダーリントン接続されたトランジスタ Q 16 のエミッタ電流は、式 1 を満たす出力電流 I o u t を越える大きな電流を流さなくなる。

30

かかる動作を有する過電流保護回路 C L i m 1 の回路構成は、フィードバック回路が構成されたものとなっている。

このような回路構成であることを考慮しつつ、周波数 0.61 GHz のノイズが混入した際に、この演算増幅器の出力電圧 V o u t が低下する理由を、図 21 を参照しつつ説明する。

【0032】

まず、過電流保護回路 C L i m 1 に周波数 0.61 GHz の僅かな電圧振幅の信号が正電源端子に混入すると、過電流保護回路 C L i m 1 が ON 状態になる。

過電流保護回路 C L i m 1 が ON していない通常の状態であれば、トランジスタ Q 10 のコレクタ電位は、トランジスタ Q 15, Q 16 及び抵抗器 R 2 を介して出力端子 O U T に伝達される。

40

しかし、過電流保護回路 C L i m 1 が ON した状態であると、トランジスタ Q 15 のベース電流 I b Q 15 が制限されるため、トランジスタ Q 15 のベースからエミッタへ、トランジスタ Q 10 の電圧信号を伝達することができなくなる。

【0033】

そのため、トランジスタ Q 10 のコレクタ電位の信号は、別の伝達ルートとして、トランジスタ Q 17 を介して出力端子 O U T に伝達されることとなる。

また、過電流保護回路 C L i m 1 が ON していない通常の状態であれば、トランジスタ Q 117 コレクタ電流 I c Q 117 は、一定程度、トランジスタ Q 10 のコレクタに流れる

50

。しかし、過電流保護回路 $CLim1$ が ON すると、トランジスタ $Q14$ のコレクタ電流 $IcQ14$ にトランジスタ $Q117$ のコレクタ電流 $IcQ117$ の大部分が費やされる。その結果、トランジスタ $Q10$ のコレクタ電流 $IcQ10$ は、トランジスタ $Q17$ のベース電流 $IbQ17$ でのみ補われることとなる。

【0034】

しかし、トランジスタ $Q17$ のベース電流 $IbQ17$ の大きさは限られており、トランジスタ $Q10$ のコレクタ電流 $IcQ10$ は、過電流保護回路 $CLim1$ が ON する前に比較して減少せざる得なくなる。

一方、トランジスタ $Q10$ のベース電流 $IbQ10$ は、過電流保護回路 $CLim1$ の ON、OFF に拘わらず一定の大きさである。

したがって、トランジスタ $Q10$ のベース電流 $IbQ10$ が一定である一方、コレクタ電流 $IcQ10$ が減少するという状態に陥る。

【0035】

そして、トランジスタ $Q10$ のコレクタ電位は、コレクタ電流 $IcQ10$ を減少させるために低下する。このトランジスタ $Q10$ のコレクタ電位の低下は、トランジスタ 17 を介して出力端子 OUT に伝達され、結果として、出力電圧 $Vout$ が低下する現象が表れる。以上が周波数 0.61GHz のノイズが正電源端子に混入した際に出力電圧 $Vout$ が低下する理由である。

【0036】

上述の問題を解決する方策としては、過電流保護回路 $CLim1$ が簡単に ON しないように、電流検出抵抗器 $R2$ の抵抗値を小さくする方法が考えられる。しかし、抵抗器 $R2$ の抵抗値を小さくすることは、先の式 1 を参照すると、出力電流 $Iout$ の増大を意味する。

演算増幅器の出力電流 $Iout$ の増大は、出力電流 $Iout$ を所望の値以下に抑えて演算増幅器や周囲の回路を保護するという過電流保護回路の機能が果たせなくなるという問題を招くこととなる。

【0037】

本発明は、上記実状に鑑みてなされたもので、過電流保護回路の出力電流値の不要な増加を招くことなく、電源ラインに高周波外来ノイズが混入しても安定した出力特性を得ることのできる演算増幅器を提供するものである。

【課題を解決するための手段】

【0038】

上記本発明の目的を達成するため、本発明に係る演算増幅器は、

非反転入力端子と反転入力端子間に印加された入力信号の差動増幅可能に構成されてなる演算増幅器であって、

前記演算増幅器は、出力段における過電流を検出すると共に、前記過電流が検出された場合に前記出力段の電流抑圧を可能としてなる過電流保護回路を有し、前記過電流保護回路は、所望の高周波領域における過電流検出の感度を抑制する高周波ノイズ対策回路が設けられてなり、

前記過電流保護回路は、過電流検出用トランジスタと、前記出力段に流れる電流検出のために前記出力段に設けられた検出用抵抗器とを有し、前記過電流検出用トランジスタのベースとエミッタ間に前記検出用抵抗器が接続されて、前記検出用抵抗器における過電流が検出された場合に前記過電流検出用トランジスタにより前記出力段の電流を低減するよう構成されてなり、

前記高周波ノイズ対策回路は、前記検出用抵抗器と並列接続された第1のノイズ対策コンデンサを有してなり、

前記第1のノイズ対策コンデンサの容量値 $CX2$ は、

不等式 $CX2 > 1 / (2 \times 2^{1/2} \times fc \times R2)$ を満たす値に設定され、

前記不等式における fc は、除去する高周波ノイズの周波数、前記不等式における $R2$ は、前記検出用抵抗器の抵抗値であり、

10

20

30

40

50

前記検出用抵抗器と前記第 1 のノイズ対策コンデンサとの並列接続部分におけるインピーダンスの低下により前記過電流保護回路における前記高周波領域での過電流検出感度を低下せしめることで前記高周波ノイズに起因する出力電圧の変動抑圧を図ったものである。

【発明の効果】

【0039】

本発明によれば、過電流保護回路の出力電流値を変化させることなく、電源ラインに混入する高周波外来ノイズによる演算増幅器の出力電圧への影響を低減することができ、出力特性の安定した演算増幅器を提供することができるという効果を奏するものである。

【図面の簡単な説明】

【0040】

【図 1】本発明の実施の形態における演算増幅器の基本構成を示す構成図である。

【図 2】本発明の実施の形態における演算増幅器の第 1 の回路構成例を示す回路図である。

【図 3】本発明の実施の形態における演算増幅器の第 2 の回路構成例を示す回路図である。

【図 4】本発明の実施の形態における演算増幅器の第 3 の回路構成例を示す回路図である。

【図 5】本発明の実施の形態における演算増幅器の抵抗器とコンデンサの合成インピーダンスの周波数特性を示す特性線図である。

【図 6】第 1 の回路構成を有する演算増幅器における高周波外来ノイズの入力電力変化に対する出力電圧の変化特性例を示した特性線図である。

【図 7】第 2 の回路構成を有する演算増幅器における高周波外来ノイズの入力電力変化に対する出力電圧の変化特性例を示した特性線図である。

【図 8】第 3 の回路構成を有する演算増幅器における高周波外来ノイズの入力電力変化に対する出力電圧の変化特性例を示した特性線図である。

【図 9】第 1 乃至第 3 の回路構成におけるそれぞれの出力電流リミット値と従来回路における出力電流リミット値を説明する説明図である。

【図 10】演算増幅器の入力端子に混入する高周波外来ノイズの出力電圧に対する影響を検証するための検証回路の回路構成を示す回路図である。

【図 11】図 10 に示された検証回路に用いられた従来の演算増幅器の具体的な回路構成例を示す回路図である。

【図 12】図 10 に示された回路における AC 電圧源 RF の周波数変化に対する演算増幅器 OP1 の出力電圧 Vout の変化特性例を示す特性線図である。

【図 13】高周波外来ノイズに対する出力電圧の変動対策を施した従来の演算増幅器の回路構成例を示す回路図である。

【図 14】図 13 に示された従来回路における高周波外来ノイズの周波数変化に対する出力電圧の変化特性を示す特性線図である。

【図 15】演算増幅器の電源ラインに混入する高周波外来ノイズの出力電圧に対する影響を検出する検証回路の回路構成を示す回路図である。

【図 16】図 15 に示された検証回路を用いた検証結果である電源ラインへの AC 入力電力の変化に対する出力電圧の変化特性を示す特性線図である。

【図 17】従来の演算増幅器の正電源端子への高周波外来ノイズの混入に対するノイズ耐性策を施した本願発明者提案の演算増幅器の回路構成例を示す回路図である。

【図 18】図 17 に示された演算増幅器の電源ラインへの AC 入力電力の変化に対する出力電圧の変化特性を示す特性線図である。

【図 19】図 17 に示された演算増幅器の電源ラインへの AC 入力の周波数の違いによる AC 入力電力の変化に対する出力電圧の変化特性を示す特性線図である。

【図 20】図 17 に示された回路構成の演算増幅器の過電流保護回路を明確にした回路図である。

【図 21】図 17 に示された回路構成の演算増幅器の動作を説明するため主要な電流経路を示した回路図である。

【発明を実施するための形態】

【0041】

10

20

30

40

50

以下、本発明の実施の形態について、図1乃至図9を参照しつつ説明する。

なお、以下に説明する部材、配置等は本発明を限定するものではなく、本発明の趣旨の範囲内で種々変更することができるものである。

最初に、本発明の実施の形態における演算増幅器の基本回路構成について、図1を参照しつつ説明する。

本発明の実施の形態における演算増幅器は、差動増幅回路（図1においては「DIF1」と表記）110と、出力回路（図1においては「OST1」と表記）116に大別されて構成されたものとなっている。

【0042】

この演算増幅器の正電源端子64は、差動増幅回路110の端子D3及び出力回路116の端子D6に、それぞれ接続されている。

10

また、負電源端子65は、差動増幅回路110の端子D4及び出力回路116の端子D7に、それぞれ接続されている。

演算増幅器の非反転入力端子（図1においては「INP」と表記）62は、端子D2に、反転入力端子（図1においては「INM」と表記）61は、端子D1に、それぞれ接続されている。

【0043】

さらに、演算増幅器の出力端子63は、出力回路116の端子D9に接続されている。

また、差動増幅回路110の出力端子D5は、出力回路116の入力端子D8に接続されている。

20

【0044】

差動増幅回路110は、差動対をなす2つのトランジスタなどを主たる構成要素として構成された従来から良く知られた構成を有して差動増幅を行う回路である。

かかる差動増幅回路110は、例えば、ダーリントン接続の入力差動対や、正電源電位から負電源電位までの入力信号に対応した、いわゆる入力フルスイング演算増幅器を構成するようにしても良く、特定の構成に限定される必要はない。

一方、本発明の実施の形態における出力回路116は、差動増幅回路110の出力信号を所望の電圧レベルとして出力するための従来同様の回路である。

【0045】

この出力回路116は、過電流保護回路（図1においては「CLIM」と表記）117を有している。

30

さらに、本発明の過電流保護回路117は、従来と異なり高周波ノイズ対策回路（図1においては「EX」と表記）122が内蔵されているが、その点を除けば基本的に従来同様の構成を有してなるものである。

この高周波ノイズ対策回路122は、過電流保護回路117が高周波成分に反応しないようにする機能を有してなるものである。すなわち、高周波ノイズ対策回路122は、高周波ノイズにより過電流保護回路117の電流リミット値が変化することのないように構成されたものである（詳細は後述）。

【0046】

図2には、上述の基本構成における具体的な回路構成の一つである第1の回路構成例が示されており、以下、同図を参照しつつ説明する。

40

本発明の実施の形態における演算増幅器は、差動増幅回路110と、第1及び第2のレベルシフト回路111、112と、第3及び第4のレベルシフト回路113、114と、高利得増幅回路115と、出力回路116と、過電流保護回路117と、起動回路121と、電流源回路118と、ローパスフィルタ119とに大別されて構成されたものとなっている。

【0047】

本発明の実施の形態における演算増幅器は、従来の演算増幅器の回路構成と基本的に同様の回路構成を有するものであるが、電源ラインへ混入する高周波外来ノイズによる出力特性の変動を抑圧するための高周波外来ノイズ対策回路122が過電流保護回路117に

50

設けられた構成を有する点が従来と異なるものである（詳細は後述）。

【0048】

以下、本発明の実施の形態における演算増幅器の具体的な回路構成について説明する。

まず、差動増幅回路110は、差動対を構成する第3及び第4のトランジスタ（図2においては、それぞれ「Q3」、「Q4」と表記）3,4と、アクティブ負荷を構成する第5及び第6のトランジスタ（図2においては、それぞれ「Q5」、「Q6」と表記）5,6を主たる構成要素として構成されている。

なお、本発明の実施の形態においては、第3及び第4のトランジスタ3,4にPNP型バイポーラトランジスタが、第5及び第6のトランジスタ5,6には、NPN型バイポーラトランジスタが、それぞれ用いられている。

10

【0049】

第3及び第4のトランジスタ3,4は、エミッタが相互に接続されると共に、PNP型バイポーラトランジスタを用いた第112のトランジスタ（図2においては「Q112」と表記）32のコレクタに接続されている。そして、この第112のトランジスタ32のエミッタには、正電源電圧VCCが印加されるようになっている。

【0050】

一方、第5及び第6のトランジスタ5,6は、カレントミラー接続されて設けられている。

すなわち、第5及び第6のトランジスタ5,6は、ベースが相互に接続されると共に、第5のトランジスタ5のコレクタと接続されて、第5のトランジスタ5は、いわゆるダイオード接続されて設けられている。

20

第5のトランジスタ5のコレクタには、第3のトランジスタ3のコレクタが、第6のトランジスタ6のコレクタには、第4のトランジスタ4のコレクタが、それぞれ接続されている。また、第5及び第6のトランジスタ5,6のエミッタには、負電源電圧VEEが印加されるようになっている。

【0051】

次に、第1及び第2のレベルシフト回路111,112は、反転入力端子（図2においては「INM」と表記）61と非反転入力端子（図2においては「INP」と表記）62に入力される入力信号のダイナミックレンジの下限レベルを負電源端子の電位以下に拡大する機能を果たすものである。

30

第1のレベルシフト回路111は、第1のトランジスタ（図2においては「Q1」と表記）1と、第111のトランジスタ（図2においては「Q111」と表記）31と、第1の入力抵抗器（図2においては「Rin1」と表記）41とを有して構成されている。

【0052】

また、第2のレベルシフト回路112は、第2のトランジスタ（図2においては「Q2」と表記）2と、第113のトランジスタ（図2においては「Q113」と表記）33と、第2の入力抵抗器（図2においては「Rin2」と表記）42とを有して構成されている。いずれのレベルシフト回路111,112も基本的構成は同一である。

【0053】

なお、本発明の実施の形態においては、第1及び第2のトランジスタ1,2、並びに、第111及び第113のトランジスタ31,33には、PNP型バイポーラトランジスタが用いられている。

40

【0054】

第1のトランジスタ1のエミッタは、第3のトランジスタ3のベースに接続されると共に、第111のトランジスタ31のコレクタに接続されている。そして、第111のトランジスタ31のエミッタには、正電源電圧VCCが印加されるようになっている。

また、第1のトランジスタ1のコレクタは、負電源電圧VEEが印加される一方、ベースは、第1の入力抵抗器41を介して反転入力端子61に接続されている。

【0055】

第2のトランジスタ2のエミッタは、第4のトランジスタ4のベースに接続されると共

50

に、第 1 1 3 のトランジスタ 3 3 のコレクタに接続されている。そして、第 1 1 3 のトランジスタ 3 3 のエミッタには、正電源電圧 V_{CC} が印加されるようになっている。

また、第 2 のトランジスタ 2 のコレクタは、負電源電圧 V_{EE} が印加される一方、ベースは、第 2 の入力抵抗器 4 2 を介して非反転入力端子 6 2 に接続されている。

【 0 0 5 6 】

第 3 のレベルシフト回路 1 1 3 は、第 7 のトランジスタ（図 2 においては「 Q_7 」と表記）7 と第 1 1 0 のトランジスタ（図 2 においては「 Q_{110} 」と表記）3 0 とを有して構成されている。この第 3 のレベルシフト回路 1 1 3 は、第 5 及び第 6 のトランジスタ 5 , 6 により構成されたアクティブ負荷に流れる電流の誤差をなくすために設けられたダミー回路である。

なお、本発明の実施の形態においては、第 7 のトランジスタ 7 及び第 1 1 0 のトランジスタ 3 0 に、PNP 型バイポーラトランジスタが用いられている。

【 0 0 5 7 】

第 7 のトランジスタ 7 のエミッタは、第 1 1 0 のトランジスタ 3 0 のコレクタに接続され、第 1 1 0 のトランジスタ 3 0 のエミッタには、正電源電圧 V_{CC} が印加されるようになっている。

また、第 7 のトランジスタ 7 のコレクタには、負電源電圧 V_{EE} が印加される一方、ベースは第 5 のトランジスタ 5 のコレクタに接続されている。

【 0 0 5 8 】

第 4 のレベルシフト回路 1 1 4 は、第 8 のトランジスタ（図 2 においては「 Q_8 」と表記）8 と第 1 1 4 のトランジスタ 3 4 とを有して構成されている。

なお、本発明の実施の形態において、第 8 のトランジスタ 8 及び第 1 1 4 のトランジスタ 3 4 には、PNP 型バイポーラトランジスタが用いられている。

第 8 のトランジスタ 8 のエミッタは、第 1 1 4 のトランジスタ 3 4 のコレクタに接続され、第 1 1 4 のトランジスタ 3 4 のエミッタには、正電源電圧 V_{CC} が印加されるようになっている。

【 0 0 5 9 】

この第 4 のレベルシフト回路 1 1 4 は、アクティブ負荷となる第 6 のトランジスタ 6 のコレクタ・エミッタ電圧を、第 5 のトランジスタ 5 のコレクタ・エミッタ間電圧 V_{ce} ($= V_{be}$: ベース・エミッタ間電圧) と同一電位にバイアスする機能を果たす。

【 0 0 6 0 】

高利得増幅回路 1 1 5 は、ダーリントン接続された第 9 及び第 1 0 のトランジスタ（図 2 においては、それぞれ「 Q_9 」、「 Q_{10} 」と表記）9 , 1 0 と、第 1 1 5 及び第 1 1 7 のトランジスタ（図 2 においては、それぞれ「 Q_{115} 」、「 Q_{117} 」と表記）3 5 , 3 7 とを有して構成されている。

本発明に実施の形態において、第 9 及び第 1 0 のトランジスタ 9 , 1 0 には、NPN 型バイポーラトランジスタが、第 1 1 5 及び第 1 1 7 のトランジスタ 3 5 , 3 7 には、PNP 型バイポーラトランジスタが、それぞれ用いられている。

【 0 0 6 1 】

第 9 のトランジスタ 9 のベースは、第 8 のトランジスタ 8 のエミッタに接続される一方、エミッタは、第 1 0 のトランジスタ 1 0 のベースに接続されている。

また、第 9 のトランジスタ 9 のコレクタは、第 1 1 5 のトランジスタ 3 5 のコレクタに接続されており、この第 1 1 5 のトランジスタ 3 5 のエミッタには、正電源電圧 V_{CC} が印加されるようになっている。

【 0 0 6 2 】

一方、第 1 0 のトランジスタ 1 0 のコレクタは、第 1 1 7 のトランジスタ 3 7 のコレクタに接続されており、この第 1 1 7 のトランジスタ 3 7 のエミッタには、正電源電圧 V_{CC} が印加されるようになっている。

また、第 1 0 のトランジスタ 1 0 のエミッタは、負電源電圧 V_{EE} が印加されるようになっている。

10

20

30

40

50

そして、第10のトランジスタ10のコレクタは、次述する出力回路116の入力段に接続されている。

【0063】

出力回路116は、第15乃至第17のトランジスタ(図2においては、それぞれ「Q15」、「Q16」、「Q17」と表記)15~17と、第1及び第2の抵抗器(図2においては、それぞれ「R1」、「R2」と表記)43,44とを有して構成されている。

本発明の実施の形態において、第15及び第16のトランジスタ15,16には、NPN型バイポーラトランジスタが、第17のトランジスタ17には、PNP型バイポーラトランジスタが、それぞれ用いられている。

【0064】

正電源電圧VCCと負電源電圧VEEとの間に、正電源電圧VCC側から、第16のトランジスタ16、第2の抵抗器44、及び、第17のトランジスタ17が直列接続されて設けられている。

第16のトランジスタ16のベースには、この第16のトランジスタ16とダーリントン回路を構成する第15のトランジスタ15のエミッタが接続されると共に、第1の抵抗器43を介して第16のトランジスタ16のエミッタが接続されている。

【0065】

第15のトランジスタ15のコレクタには、正電源電圧VCCが印加されるようになっている一方、ベースは、高利得増幅回路115の第10のトランジスタ10のコレクタに接続されている。

なお、第15のトランジスタ15のベースと第8のトランジスタ8のベースとの間には、第15のトランジスタ15のベース側から、減衰抵抗器(図2においては「RX11」と表記)49、位相補償用コンデンサ(図2においては「C1」と表記)51の順で直列接続されて設けられている。

【0066】

過電流保護回路117は、第11乃至第14のトランジスタ(図2においては、それぞれ「Q11」、「Q12」、「Q13」、「Q14」と表記)11~14と、第116のトランジスタ(図2においては「Q116」と表記)36とを有して構成されている。かかる過電流保護回路117は、出力回路116の第16のトランジスタ16に流れる電流の抑圧と、第9のトランジスタ9のコレクタ電流の制限を行うものである。本発明の実施の形態においては、出力段に設けられた第2の抵抗器44が、過電流保護回路117の検出用抵抗器として流用される構成となっている。

なお、本発明の実施の形態において、第11及び第116のトランジスタ11,36には、PNP型バイポーラトランジスタが、第12乃至第14のトランジスタ12~14には、NPN型バイポーラトランジスタが、それぞれ用いられている。

【0067】

第12及び第13のトランジスタ12,13は、カレントミラー回路を構成している。すなわち、第12及び第13のトランジスタ12,13のベースは相互に接続されると共に、第12のトランジスタ12のコレクタに接続されている一方、各々のエミッタには、負電源電圧VEEが印加されるようになっている。

【0068】

また、第12のトランジスタ12のコレクタは、第116のトランジスタ36のコレクタに接続され、第116のトランジスタ36のエミッタには、正電源電圧VCCが印加されるようになっている。さらに、第12のトランジスタ12のコレクタには、第11のトランジスタ11のベースが接続されている。

第11のトランジスタ11のエミッタは、第9のトランジスタ9のコレクタに接続される一方、第11のトランジスタ11のコレクタには、負電源電圧VEEが印加されるようになっている。

【0069】

また、第13のトランジスタ13のコレクタは、過電流検出用トランジスタである第1

10

20

30

40

50

4のトランジスタ14のベースと共に第16のトランジスタ16のエミッタに接続されている。

そして、第14のトランジスタ14のコレクタは、第15のトランジスタ15のベースに接続される一方、第14のトランジスタ14のエミッタは、第17のトランジスタ17のエミッタと共に出力端子63に接続されている。

【0070】

本発明の実施の形態における過電流保護回路117には、従来と異なり、次述するように高周波ノイズ対策回路122が設けられている。

すなわち、高周波ノイズ対策回路122は、第1のノイズ対策コンデンサ(図2においては「CX2」と表記)53と、第2の抵抗器44とを有して構成されている。

第1のノイズ対策コンデンサ53と第2の抵抗器44は、並列接続状態とされて、その一端は第16のトランジスタ16のエミッタに、他端は出力端子63に、それぞれ接続されている。

【0071】

電流源回路118は、第109乃至第117のトランジスタ(図2においては、それぞれ「Q109」、「Q110」、「Q111」、「Q112」、「Q113」、「Q114」、「Q115」、「Q116」、「Q117」と表記)29~37と、定電流源回路120とを有して構成されている。

本発明の実施の形態において、第109乃至第117のトランジスタ29~37には、PNP型バイポーラトランジスタが用いられている。

【0072】

第109のトランジスタ29と、第110乃至第117のトランジスタ30~37は、カレントミラー回路を構成しており、入力段を構成する第109のトランジスタ29側から出力段となる第110乃至第117のトランジスタ30~37の各トランジスタに電流出力が得られるようになっている。

すなわち、第109のトランジスタ29のエミッタには、正電源電圧VCCが印加されるようになっている一方、ベースとコレクタとは相互に接続されて、その接続点と負電源電圧VEEとの間に定電流源120が設けられている。

そして、第109のトランジスタ29のベースは、第110乃至第117のトランジスタ30~37の各ベースと相互に接続されている。

【0073】

定電流源回路120は、第103乃至第108のトランジスタ(図2においては、それぞれ「Q103」、「Q104」、「Q105」、「Q106」、「Q107」、「Q108」と表記)23~28と、電流源用第1乃至第3の抵抗器(図2においては、それぞれ「R101」、「R102」、「R103」と表記)46~48を有して構成されている。

【0074】

この第1の回路構成例において、第103及び第104のトランジスタ23,24、並びに第107及び第108のトランジスタ27,28には、NPN型バイポーラトランジスタが、第105及び第106のトランジスタ25,26には、PNP型バイポーラトランジスタが、それぞれ用いられている。

【0075】

第103のトランジスタ23は、第102のトランジスタ22と相互のコレクタ同士、相互のエミッタ同士が、それぞれ接続されており、エミッタ同士の接続点と負電源端子65との間には電流源用第2の抵抗器47が接続されている。

第102及び第103のトランジスタ22,23のコレクタ同士の接続点は、第105のトランジスタ25のベースに接続されると共に、電流源用第1の抵抗器46を介して第105のトランジスタ25のコレクタ及び第106のトランジスタ26のベースに接続されている。

【0076】

10

20

30

40

50

第 105 及び第 106 のトランジスタ 25, 26 のエミッタは、共に正電源端子 64 に接続されている。

また、第 103 のトランジスタ 23 のベースは、第 104 のトランジスタ 24 のベースと相互に接続されると共に、第 104 のトランジスタ 24 のコレクタに接続されている。そして、第 103 のトランジスタ 23 と第 104 のトランジスタ 24 は、カレントミラー回路を構成している。

【0077】

第 104 のトランジスタ 24 のコレクタは、第 106 のトランジスタ 26 のコレクタに接続される一方、第 104 のトランジスタ 24 のエミッタは、電流源用第 3 の抵抗器 48 を介して第 107 のトランジスタ 27 のコレクタに接続されている。

10

また、第 107 のトランジスタ 27 のベースは、第 104 のトランジスタ 24 のエミッタに接続され、第 107 のトランジスタ 27 のコレクタには、第 108 のトランジスタ 28 のベースが接続されている。

【0078】

第 107 及び第 108 のトランジスタ 27, 28 のエミッタは、共に負電源端子 65 に接続される一方、第 108 のトランジスタ 28 のコレクタは、第 109 のトランジスタ 29 のコレクタ及びベースに接続されている。

第 109 のトランジスタ 29 のエミッタは、正電源端子 64 に接続されている。この第 109 のトランジスタ 29 は、第 110 乃至第 117 のトランジスタ 30 ~ 37 と共にカレントミラー回路を構成している。

20

【0079】

次に、起動回路 121 は、起動用ダイオード（フィルタ用ダイオード）55 と、起動用抵抗器（フィルタ用抵抗器）56 と、第 102 のトランジスタ（図 2 においては「Q102」と表記）22 とを有して構成されている。

起動用ダイオード（図 2 においては「DX1」と表記）55 のアノードは、起動用抵抗器（図 2 においては「RX1」と表記）56 を介して正電源端子 64 に接続される一方、カソードは、負電源端子 65 に接続されている。

また、起動用ダイオード 55 のアノードには、第 102 のトランジスタ（起動用トランジスタ）22 のベースが接続されている。

なお、第 102 のトランジスタ 22 には、NPN 型バイポーラトランジスタが用いられている。

30

【0080】

ローパスフィルタ 119 は、フィルタ用抵抗器を兼ねる起動用抵抗器 56 と、フィルタ用ダイオードを兼ねる起動用ダイオード 55 と、フィルタ用コンデンサ（図 2 においては「CX1」と表記）52 とを有して構成されており、起動回路 121 の起動用抵抗器 56 と起動用ダイオード 55 を流用する構成となっている。

【0081】

次に、過電流保護回路 117 の動作について説明する。

ここでは、高周波外来ノイズの電源ラインへの混入が無い正常時における動作について説明する。

40

高周波外来ノイズの電源ラインへの混入が無い正常における過電流保護回路 117 の動作は、従来同様であるので、以下、概括的に説明する。

過電流保護回路 117 は、第 2 の抵抗器 44 に流れる電流 I_{out} が下記する式 2 の条件を満たすまで増加した際に ON 状態となる。

【0082】

$$V_{be}(Q14) = R2 \times I_{out} \dots \text{式 2}$$

【0083】

ここで、 $V_{be}(Q14)$ は、過電流検出用トランジスタである第 14 のトランジスタ 14 のベース・エミッタ間電圧であって、具体的には、約 0.6 V である。

また、 $R2$ は、第 2 の抵抗器 44 の抵抗値、 I_{out} は、第 2 の抵抗器 44 を流れる出

50

力電流の電流値である。

出力電流 I_{out} が増加し、式 2 の条件を満たす状態となった際に、第 14 のトランジスタ 14 のコレクタ電流 I_{cQ14} が流れ、第 15 のトランジスタ 15 のベース電流 I_{bQ15} が制限されることとなる。

【0084】

その結果、第 15 のトランジスタ 15 とダーリントン接続された第 16 のトランジスタ 16 のエミッタ電流は、式 2 を満たす出力電流 I_{out} を越える大きな電流を流せなくなり、過電流保護が図られることとなる。

かかる動作を有する過電流保護回路 117 の回路構成は、フィードバック回路が構成されたものとなっている。

【0085】

次に、高周波ノイズ対策回路 122 を構成する第 1 のノイズ対策コンデンサ 53 の容量値 $CX2$ の選定について説明する。

第 1 のノイズ対策コンデンサ 53 の容量値 $CX2$ は、下記する式 3 の条件を満たすものを選択するのが好適である。

【0086】

$$CX2 > 1 / (2 \times 2^{1/2} \times f_c \times R2) \dots \text{式 3}$$

【0087】

ここで、 $CX2$ は第 1 のノイズ対策コンデンサ 53 の容量値、 f_c は除去する高周波ノイズの周波数、 $R2$ は第 2 の抵抗器 44 の抵抗値である。

かかる容量値の第 1 のノイズ対策コンデンサ 53 を用いることで、過電流保護回路 117 の検出抵抗のインピーダンス Z が引き下げられ、高周波領域での過電流保護回路 117 の過電流検出の感度が低下し、動作し難くなる。そのため、高周波ノイズの混入に起因して過電流保護回路 117 が安易に動作することがなく、従来と異なり、出力電流の不用意な低下を招くようなことが抑圧、防止されることとなる。

上述のインピーダンス Z は、下記する式 4 で表される。

【0088】

$$Z = 1 / \{ (1 / R2)^2 + (2 \cdot f_c \cdot CX2)^2 \}^{1/2} \dots \text{式 4}$$

【0089】

ここで、 Z は過電流保護回路 117 の検出抵抗の合成インピーダンスの大きさ、 $R2$ は第 2 の抵抗器 44 の抵抗値、 f_c は除去を望む高周波ノイズの周波数、 $CX2$ は第 1 のノイズ対策コンデンサ 53 の容量値である。なお、過電流保護回路 117 の検出抵抗は、第 2 の抵抗器 44 と第 1 のノイズ対策コンデンサ 53 との並列接続部分を意味する。

【0090】

図 5 には、第 2 の抵抗器 44 の抵抗値を一定の値とし、第 1 のノイズ対策コンデンサ 53 の容量値を種々変えた場合の式 4 で示される検出抵抗の合成インピーダンス Z の周波数変化に対する変化特性例が示されており、以下、同図について説明する。

図 5 においては、第 2 の抵抗器 44 の抵抗値を 15Ω とした場合に、第 1 のノイズ対策コンデンサ 53 の容量値 $CX2$ を、 $CX2 = 5 \text{ pF}$ 、 $CX2 = 10 \text{ pF}$ 、 $CX2 = 15 \text{ pF}$ とした場合の、それぞれの合成インピーダンス Z の周波数変化を示す特性線が示されている。

【0091】

いずれの場合も、遮断、低減の対象とする高周波ノイズの周波数が高くなるにつれて、インピーダンス Z が容量値に応じた変化率で低下してゆくものとなっていることが確認できる。

したがって、このような容量値と合成インピーダンス Z との相関関係を考慮しつつ、遮断の対象とする高周波ノイズ周波数に応じて、第 1 のノイズ対策コンデンサ 53 の容量値を適宜選定することが重要となる。

【0092】

図 6 には、図 2 に示された回路構成において、第 1 のノイズ対策コンデンサ 53 の容量

10

20

30

40

50

値 $C \times 2$ を 14 pF とし、先に図 15 に示された検証回路を用いて計測された電源ラインへの AC 入力電力の変化に対する出力電圧 V_{out} の変化特性例が示されており、以下、同図について説明する。

【0093】

図 6 において、第 1 の回路構成（実施例 1）の特性例が実線の特性線により、従来回路（図 17 参照）の特性例が点線の特性線により、それぞれ示されている。

なお、AC 電圧源 RF の出力周波数は 0.61 GHz である。

【0094】

従来回路の場合、AC 電圧源 RF の入力電力 P_{in} が $P_{in} = 29 \text{ dBm}$ までしか出力電圧 V_{out} を一定保つことができなかつた（図 6 の点線の特性線参照）。

これに対して、第 1 の回路構成（実施例 1）にあっては、入力電力 P_{in} が $P_{in} = 31 \text{ dBm}$ まで出力電圧 V_{out} を一定値 6 V に保つことができるものとなっていることが確認できる（図 6 の実線の特性線参照）。

【0095】

このような顕著な効果は、先に述べたように、第 1 のノイズ対策コンデンサ 53 と第 2 の抵抗器 44 とを並列接続状態で設けることで、過電流保護回路 117 の高周波領域での合成インピーダンスを低下させ、高周波領域で過電流保護回路 117 を動作し難くしたことによるものである。

一方、直流レベルでの過電流保護回路 117 の電流リミット値 $I_{out r}$ は、第 1 のノイズ対策コンデンサ 53 を設ける以前と変わらない。

ここで、電流リミット値 $I_{out r}$ は、過電流保護回路 117 が第 2 の抵抗器 44 に流れる電流が過電流であるとする際の電流値である。

【0096】

図 9 には、回路構成毎の電流リミット値を説明する説明図が示されているが、同図によれば、上述した第 1 の回路構成（実施例 1）、また、後述する第 2 及び第 3（実施例 2 及び実施例 3）の回路構成、さらに、従来回路のいずれにおいても電流リミット値は変わらないことが確認できる。なお、図 9 における従来回路は、図 17 に示された回路構成のものである。

このように電流リミット値が変わらないのは、直流レベルでは第 1 のノイズ対策コンデンサ 53 のインピーダンスは無窮大と近似できるためである。

過電流保護回路 117 の電流リミット値 $I_{out r}$ が変わらないことで、出力電流 I_{out} を所望の電流値以下に抑制することができ、過電流による回路焼損などのクリティカルな問題発生を防止することが可能となる。

【0097】

したがって、本発明の実施の形態の回路構成を採ることで、高周波ノイズ対策に起因して直流レベルでの過電流保護回路 117 の電流リミット値を変化させることなく、電源ラインに混入する高周波ノイズに対して出力電圧の変動を抑制する演算増幅器を提供することが可能となる。

【0098】

なお、この第 1 の回路構成例において、第 1 のノイズ対策コンデンサ 53 を、第 14 のトランジスタ 14 のベース・エミッタ間の PN 接合により生ずる寄生容量に代替させても良い。この場合、第 1 のノイズ対策コンデンサ 53 の素子面積を確保する必要がなくなるため、チップ面積の縮小化を図ることが可能となる。

【0099】

次に、第 2 の回路構成例について、図 3 を参照しつつ説明する。

なお、図 1 に示された第 1 の回路構成例における構成要素と同一の構成要素については同一の符号を付して、その詳細な説明を省略し、以下、異なる点を中心に説明する。

この第 2 の回路構成例は、次述する構成の高周波ノイズ対策回路 122A が設けられたものである。この高周波ノイズ対策回路 122A は、ノイズ対策抵抗器（図 3 においては「RX2」と表記）57 と第 2 のノイズ対策コンデンサ（図 3 においては「CX3」と表

10

20

30

40

50

記) 5 4 とを有して次述するように構成されたものとなっている。

【 0 1 0 0 】

ノイズ対策抵抗器 5 7 は、その一端が第 1 4 のトランジスタ 1 4 のベースに接続され、他端は第 1 6 のトランジスタ 1 6 のエミッタ、換言すれば、第 1 6 のトランジスタ 1 6 のエミッタと第 2 の抵抗器 4 4 との接続点に接続されている。

また、第 2 のノイズ対策コンデンサ 5 4 は、その一端が第 1 4 のトランジスタ 1 4 のベースに、他端が第 1 4 のトランジスタ 1 4 のエミッタに、それぞれ接続されたものとなっている。

【 0 1 0 1 】

次に、かかる構成における動作等について説明する。

この第 2 の回路構成は、過電流保護回路 1 1 7 において、第 2 の抵抗器 4 4 を介して出力電流値の検出を行う第 1 4 のトランジスタ 1 4 のベースとエミッタ間の電圧に、ノイズ対策抵抗器 5 7 と第 2 のノイズ対策コンデンサ 5 4 によるローパスフィルタによるフィルタリングが施されるものとなっている。

【 0 1 0 2 】

ノイズ対策抵抗器 5 7 と第 2 のノイズ対策コンデンサ 5 4 の各々の大きさは、下記する式 5 の条件を満たすものとする。

【 0 1 0 3 】

$$f_c > 1 / (2 \times C_{X3} \times R_{X2}) \cdots \text{式 5}$$

【 0 1 0 4 】

ここで、 f_c は除去する高周波ノイズの周波数、 C_{X3} は第 2 のノイズ対策コンデンサ 5 4 の容量値、 R_{X2} はノイズ対策抵抗器 5 7 の抵抗値である。

【 0 1 0 5 】

図 7 には、図 3 に示された回路構成において、ノイズ対策抵抗器 5 7 の抵抗値 R_{X2} を $R_{X2} = 1 \text{ K}$ 、第 2 のノイズ対策コンデンサ 5 4 の容量値 C_{X3} を $C_{X3} = 4 \text{ pF}$ とし、先に図 1 5 に示された検証回路を用いて計測された電源ラインへの AC 入力電力の変化に対する出力電圧 V_{out} の変化特性例が示されており、以下、同図について説明する。

【 0 1 0 6 】

図 7 において、第 2 の回路構成（実施例 2）の特性例が実線の特性線により、従来回路（図 1 7 参照）の特性例が点線の特性線により、それぞれ示されている。

なお、AC 電圧源 RF の出力周波数は 0 . 6 1 GHz である。

【 0 1 0 7 】

従来回路の場合、AC 電圧源 RF の入力電力 P_{in} が $P_{in} = 29 \text{ dBm}$ までしか出力電圧 V_{out} を一定保つことができなかつた（図 7 の点線の特性線参照）。

これに対して、第 2 の回路構成（実施例 2）にあっては、入力電力 P_{in} が $P_{in} = 32 \text{ dBm}$ まで出力電圧 V_{out} を一定値 6 V に保つことができるものとなっていることが確認できる（図 7 の実線の特性線参照）。

【 0 1 0 8 】

このような顕著な効果が生ずるのは、先に述べたように、第 2 のノイズ対策コンデンサ 5 4 とノイズ対策抵抗器 5 7 とを設けることで、第 1 4 のトランジスタ 1 4 のベース・エミッタ間の電圧に対して、第 2 のノイズ対策コンデンサ 5 4 とノイズ対策抵抗器 5 7 とによるローパスフィルタによるフィルタリング（ローパスフィルタ作用）が施されることとなるためである。すなわち、上述のローパスフィルタ作用により、第 1 4 のトランジスタ 1 4 が高周波信号に対して反応し難くなり、高周波領域で過電流保護回路 1 1 7 が動作し難くなる、すなわち、換言すれば、高周波領域での過電流保護回路 1 1 7 の過電流検出感度が低下するためである。

【 0 1 0 9 】

一方、直流レベルでの過電流保護回路 1 1 7 の電流リミット値 I_{out_r} は、第 2 のノイズ対策コンデンサ 5 4 及びノイズ対策抵抗器 5 7 を設ける以前と変わらない（図 9 参照）。

10

20

30

40

50

したがって、この第2の回路構成にあっても、第1の回路構成と同様に、高周波ノイズ対策に起因して直流レベルでの過電流保護回路117の電流リミット値を変化させることなく、電源ラインに混入する高周波ノイズに対して出力電圧の変動を抑制する演算増幅器を提供することが可能となる。

【0110】

なお、第2のノイズ対策コンデンサ54を設けることに代えて、第14のトランジスタ14のベース・エミッタ間のPN接合により生ずる寄生容量に代替させても良い。この場合、第2のノイズ対策コンデンサ54の素子面積を確保する必要がなくなるため、チップ面積の縮小化を図ることが可能となる。

【0111】

次に、第3の回路構成例について、図4を参照しつつ説明する。

なお、図1、図2又は図3に示された回路構成例における構成要素と同一の構成要素については同一の符号を付して、その詳細な説明を省略し、以下、異なる点を中心に説明する。

この第3の回路構成例は、図2に示された第1の回路構成における高周波ノイズ対策回路122の構成と図3に示された第2の回路構成における高周波ノイズ対策回路122Aの構成の双方を備えたものである。

【0112】

すなわち、第3の回路構成例における高周波対策回路122Bは、第2の抵抗器44と、第1のノイズ対策コンデンサ53と、ノイズ対策抵抗器57と、第2のノイズ対策コンデンサ54とを有して構成されたものとなっている。

以下、具体的に説明すれば、まず、第2の抵抗器44は、第16のトランジスタ16のエミッタと第17のトランジスタ17のエミッタ間に直列接続されて設けられて、この第2の抵抗器44と第1のノイズ対策コンデンサ53が並列接続されている点は、基本的に第1の回路構成で説明した構成と同一である。

かかる構成により、第14のトランジスタ14における検出抵抗の合成インピーダンスは、第1の回路構成と同様に引き下げられ、高周波領域で過電流保護回路117が動作し難くなる。

【0113】

また、ノイズ対策抵抗器57が第14のトランジスタ14のベースと第16のトランジスタ16のエミッタ間に直列接続されて設けられ、第2のノイズ対策コンデンサ54が第14のトランジスタ14のベースとエミッタ間に接続されてローパスフィルタとして機能する点も、基本的に第2の回路構成で説明した構成と同一である。

【0114】

したがって、第2の回路構成同様、第14のトランジスタ14のベースとエミッタ間の電圧に対するローパスフィルタ作用により、高周波領域で過電流保護回路117が動作し難くなる。

この第3の回路構成例は、ローパスフィルタ作用と、第14のトランジスタ14の検出抵抗の合成インピーダンスの低下の2つが機能するため、第1の回路構成、又は、第2の回路構成のいずれかを採る場合に比して、より高い高周波外来ノイズ耐性を確保可能となっている。

【0115】

図8には、この第3の回路構成における演算増幅器の電源ラインへのAC入力電力の変化に対する出力電圧 V_{out} の変化特性例が示されており、以下、同図について説明する。

図8に示された特性例は、ノイズ対策抵抗器57の抵抗値 R_{X2} を $R_{X2} = 1\text{K}$ 、第1のノイズ対策コンデンサ53の容量値 C_{X2} を $C_{X2} = 14\text{pF}$ 、第2のノイズ対策コンデンサ54の容量値 C_{X3} を $C_{X3} = 4\text{pF}$ とし、先に図15に示された検証回路を用いて計測されたものである。

【0116】

図8において、第3の回路構成(実施例3)の特性例が実線の特性線により、従来回路

10

20

30

40

50

(図17参照)の特性例が点線の特性線により、それぞれ示されている。

いずれの特性例も、AC電圧源RFの出力周波数は0.61GHzで、AC電圧源RFの入力電力Pinを変化させた場合の出力電圧Voutの変動特性を示したものである。

【0117】

従来回路の場合、RF入力電力PinがPin=29dBmまでしか出力電圧Voutを一定保つことができなかった(図8の点線の特性線参照)。

これに対して、第3の回路構成(実施例3)にあつては、RF入力電力PinがPin=33dBmまで出力電圧Voutを一定値6Vに保つことができるものとなっていることが確認できる(図8の実線の特性線参照)。

一方、直流レベルでの過電流保護回路117の電流リミット値Ioutrは、ノイズ対策抵抗器57、第1及び第2のノイズ対策コンデンサ53, 54を設ける以前と変わらない(図9参照)。この図9の測定例の場合、電流リミット値Ioutrは45mAで一定している。

【0118】

なお、この第3の回路構成例においても、先の第2の回路構成例の場合と同様、第2のノイズ対策コンデンサ54を、第14のトランジスタ14のベース・エミッタ間のPN接合により生ずる寄生容量に代替させても良い。

【産業上の利用可能性】

【0119】

過電流保護回路の出力電流値の不要な増加を招くことなく、電源ラインへの高周波外来ノイズの混入に対して安定した出力特性が所望される演算増幅器に適用できる。

【符号の説明】

【0120】

- 44 ... 第2の抵抗器
- 53 ... 第1のノイズ対策コンデンサ
- 54 ... 第2のノイズ対策コンデンサ
- 57 ... ノイズ対策抵抗器
- 117 ... 過電流保護回路
- 122 ... 高周波ノイズ対策回路

10

20

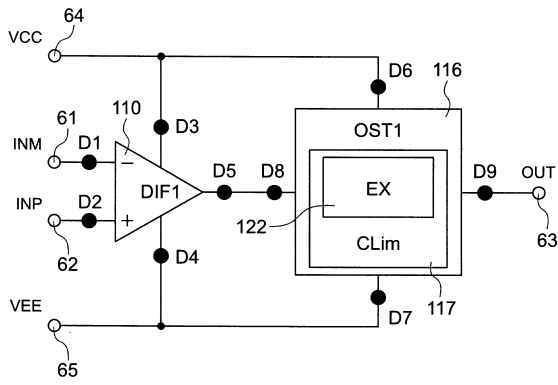
30

40

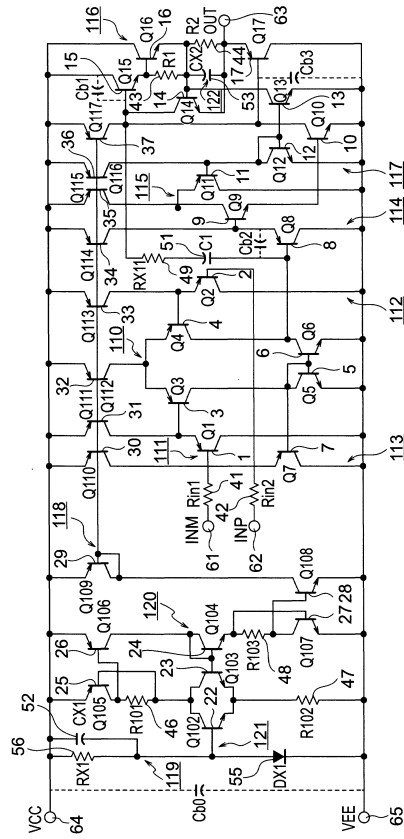
50

【図面】

【図 1】



【図 2】



10

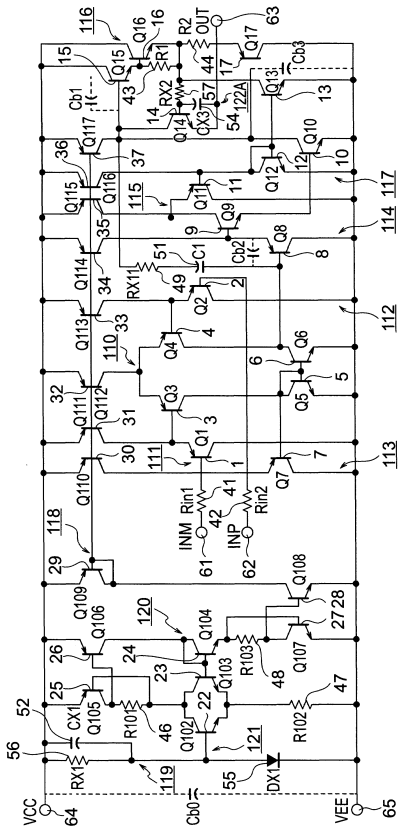
20

30

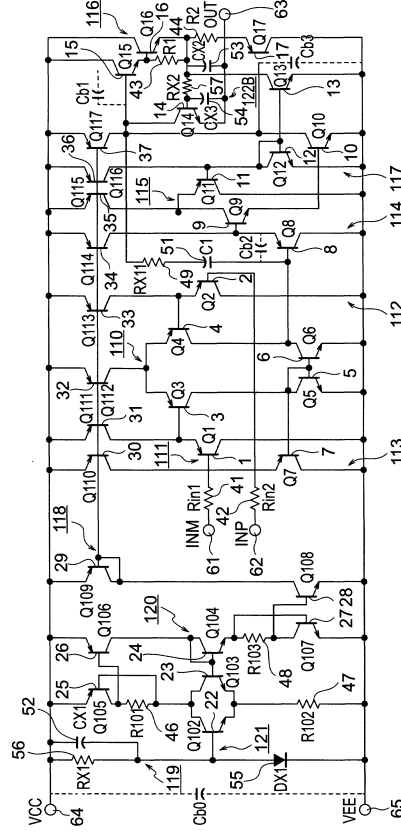
40

50

【図 3】



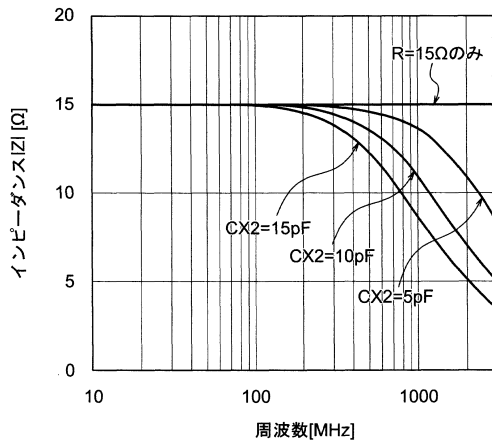
【図 4】



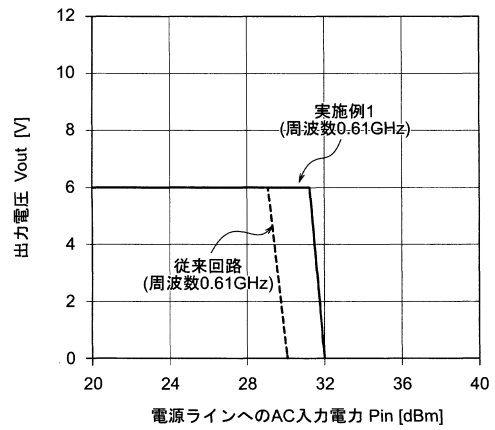
10

20

【図 5】



【図 6】

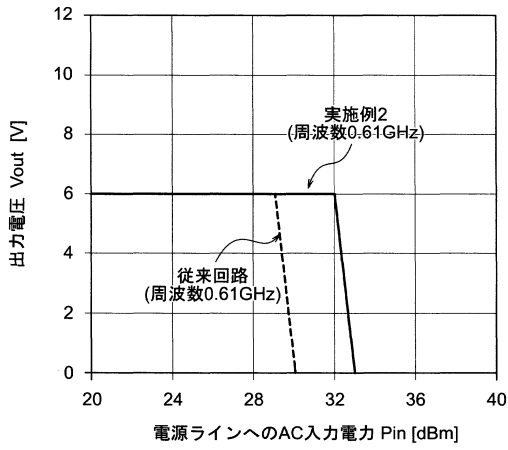


30

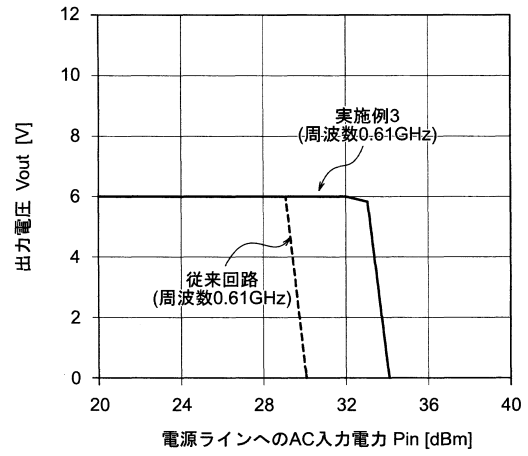
40

50

【図7】



【図8】

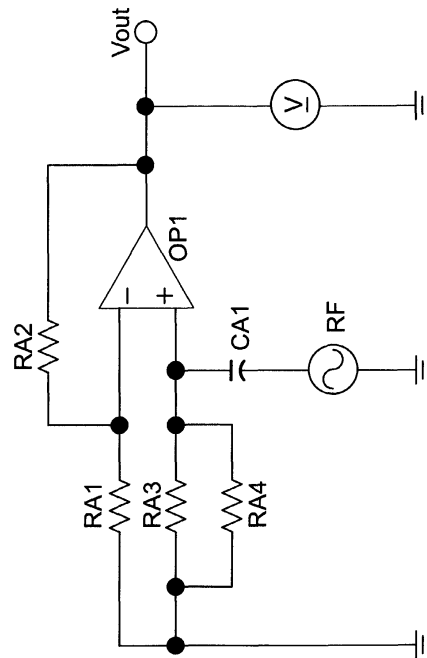


10

【図9】

実施例3	45mA
実施例2	45mA
実施例1	45mA
従来回路	45mA
出力電流リミット値	

【図10】

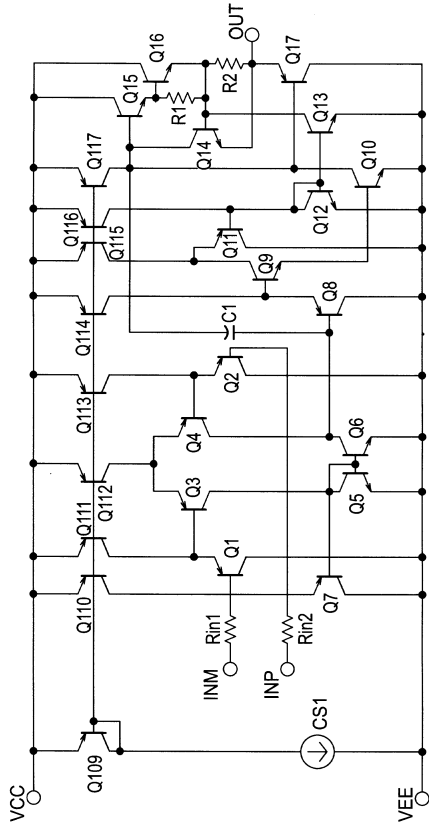


30

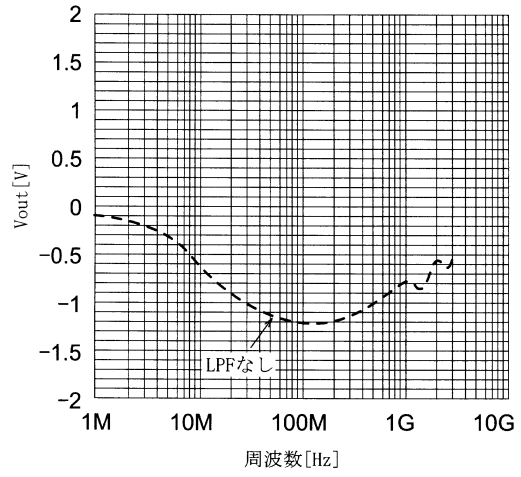
40

50

【図 1 1】



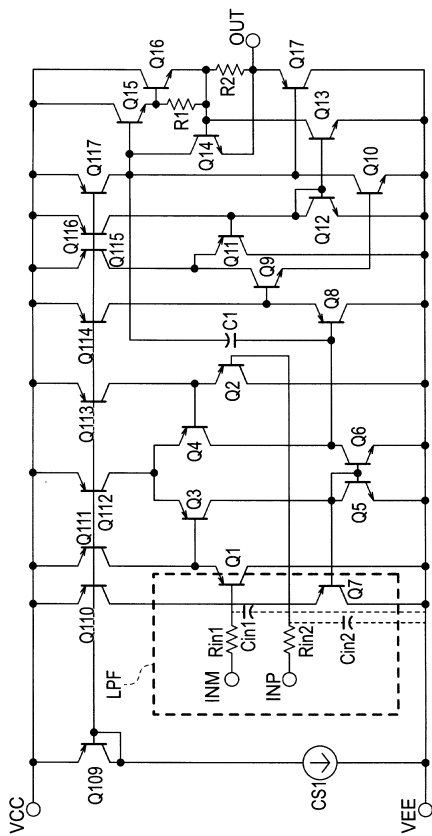
【図 1 2】



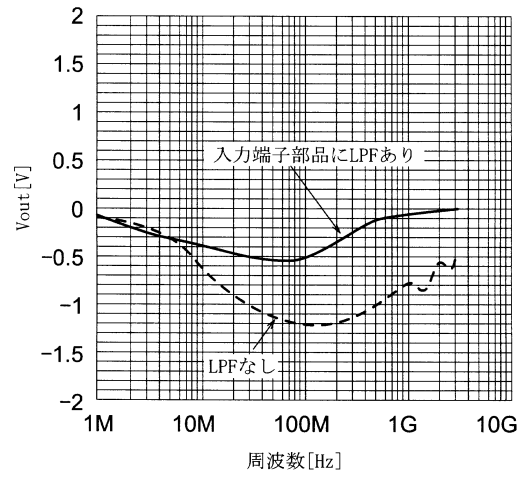
10

20

【図 1 3】



【図 1 4】

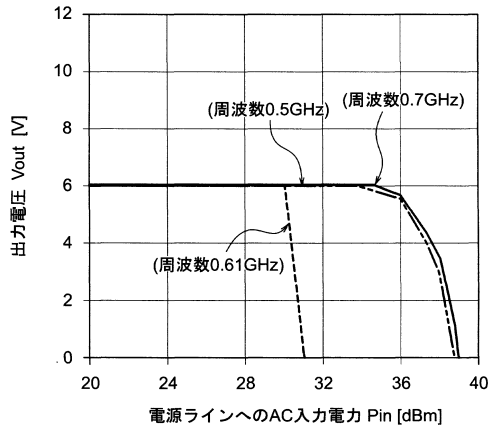


30

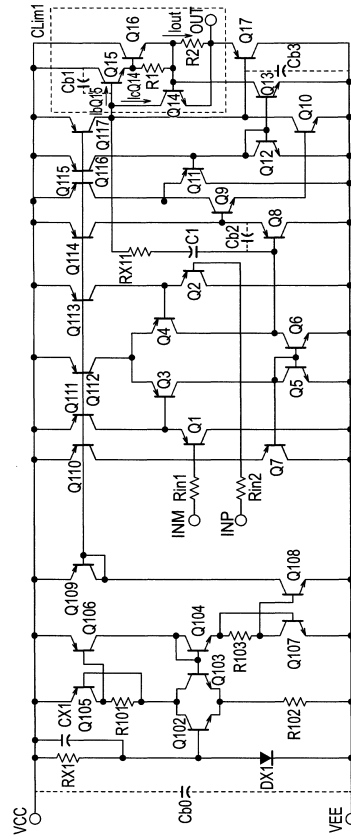
40

50

【 図 19 】



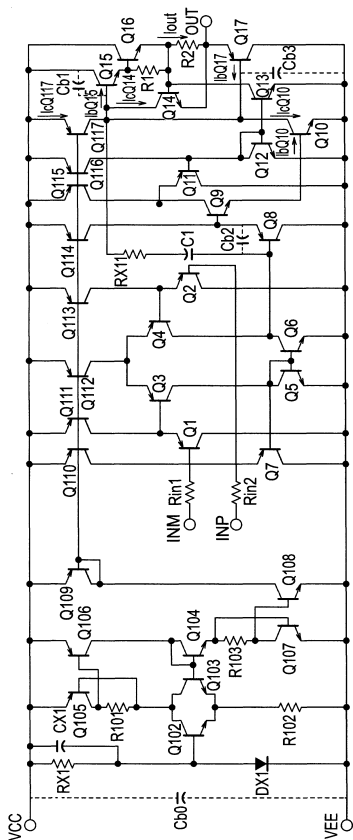
【 図 20 】



10

20

【 図 21 】



30

40

50

フロントページの続き

- (56)参考文献 特開 2 0 0 1 - 2 3 0 6 3 9 (J P , A)
特開 2 0 0 2 - 2 9 1 2 3 7 (J P , A)
米国特許出願公開第 2 0 0 9 / 0 0 3 9 9 6 3 (U S , A 1)
特開 2 0 1 9 - 3 3 4 6 0 (J P , A)
- (58)調査した分野 (Int.Cl. , D B 名)
- H 0 3 F 1 / 0 0 - 3 / 7 2
H 0 2 M 3 / 3 2 5 - 3 / 3 3 8