



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 201220497 A1

(43)公開日：中華民國 101 (2012) 年 05 月 16 日

(21)申請案號：100126358

(22)申請日：中華民國 100 (2011) 年 07 月 26 日

(51)Int. Cl. : **H01L29/78 (2006.01)**

H01L21/324 (2006.01)

(30)優先權：2010/07/27 日本

2010-168404

(71)申請人：半導體能源研究所股份有限公司 (日本) SEMICONDUCTOR ENERGY
LABORATORY CO., LTD. (JP)

日本

(72)發明人：佐佐木俊成 SASAKI, TOSHINARI (JP)；佐藤瞳 SATO, HITOMI (JP)；野田耕生
NODA, KOSEI (JP)；遠藤佑太 ENDO, YUTA (JP)；五十嵐瑞穂 IGARASHI,
MIZUHO (JP)；今井馨太郎 IMAI, KEITARO (JP)；磯部敦生 ISOBE, ATSUO
(JP)；岡崎豐 OKAZAKI, YUTAKA (JP)

(74)代理人：林志剛

申請實體審查：無 申請專利範圍項數：10 項 圖式數：21 共 92 頁

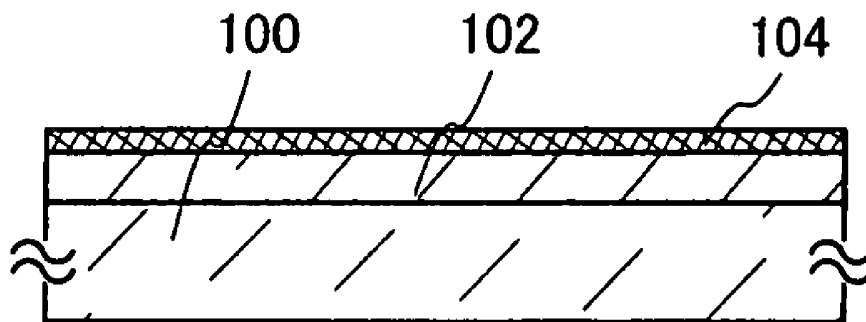
(54)名稱

半導體裝置及其製造方法

SEMICONDUCTOR DEVICE AND METHOD OF MANUFACTURING THE SAME

(57)摘要

本發明之目的在於製造半導體裝置，其中包含氧化物半導體的電晶體具有常態關閉之特徵，小的變動於電性特徵中，以及高的可靠度。首先，執行第一熱處理於基板上，形成基底絕緣層於基板上，及形成氧化物半導體層於基底絕緣層上，而自執行第一熱處理之步驟至形成氧化物半導體層之步驟係無需暴露至空氣而執行。其次，在形成氧化物半導體層之後，則執行第二熱處理。其中氧係藉由加熱而被釋放出之絕緣層係使用做為基底絕緣層。



100：基板

102：基底絕緣層

104：氧化物半導體層



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 201220497 A1

(43)公開日：中華民國 101 (2012) 年 05 月 16 日

(21)申請案號：100126358

(22)申請日：中華民國 100 (2011) 年 07 月 26 日

(51)Int. Cl. : **H01L29/78 (2006.01)**

H01L21/324 (2006.01)

(30)優先權：2010/07/27 日本

2010-168404

(71)申請人：半導體能源研究所股份有限公司 (日本) SEMICONDUCTOR ENERGY
LABORATORY CO., LTD. (JP)

日本

(72)發明人：佐佐木俊成 SASAKI, TOSHINARI (JP)；佐藤瞳 SATO, HITOMI (JP)；野田耕生
NODA, KOSEI (JP)；遠藤佑太 ENDO, YUTA (JP)；五十嵐瑞穂 IGARASHI,
MIZUHO (JP)；今井馨太郎 IMAI, KEITARO (JP)；磯部敦生 ISOBE, ATSUO
(JP)；岡崎豐 OKAZAKI, YUTAKA (JP)

(74)代理人：林志剛

申請實體審查：無 申請專利範圍項數：10 項 圖式數：21 共 92 頁

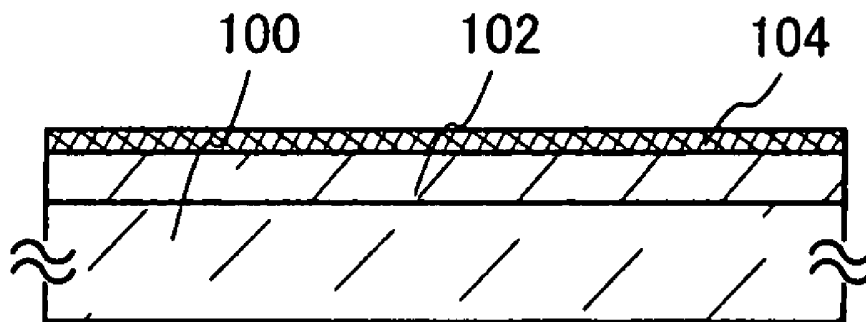
(54)名稱

半導體裝置及其製造方法

SEMICONDUCTOR DEVICE AND METHOD OF MANUFACTURING THE SAME

(57)摘要

本發明之目的在於製造半導體裝置，其中包含氧化物半導體的電晶體具有常態關閉之特徵，小的變動於電性特徵中，以及高的可靠度。首先，執行第一熱處理於基板上，形成基底絕緣層於基板上，及形成氧化物半導體層於基底絕緣層上，而自執行第一熱處理之步驟至形成氧化物半導體層之步驟係無需暴露至空氣而執行。其次，在形成氧化物半導體層之後，則執行第二熱處理。其中氧係藉由加熱而被釋放出之絕緣層係使用做為基底絕緣層。



100：基板

102：基底絕緣層

104：氧化物半導體層

六、發明說明：

【發明所屬之技術領域】

本發明有關半導體裝置及該半導體裝置的製造方法。

在此說明書中，半導體裝置意指可藉由使用半導體特徵而作用的一般裝置，且電光裝置、半導體電路、及電子裝置均係半導體裝置。

【先前技術】

其中電晶體係使用半導體薄膜而形成於具有絕緣表面之基板上的技術已引起注意。該等電晶體被施加至諸如積體電路（IC）或影像顯示裝置（顯示裝置）之寬廣範圍的電子裝置。做為可應用至該等電晶體之半導體薄膜的材料，已廣泛使用以矽為主的半導體材料，但成為選擇性材料之氧化物半導體正引起注意。

例如，揭示有其中主動層係使用非晶氧化物以形成，而該非晶氧化物包含銦（In）、鎵（Ga）、及鋅（Zn）且具有小於 $10^{18}/\text{cm}^3$ （ $10^{18}/\text{立方公分}$ ）之電子載子濃度的電晶體（請參閱專利文獻1）。

雖然包含氧化物半導體的電晶體可操作於比包含非晶矽之電晶體更高的速度處，且可以比包含多晶矽之電晶體更容易地被製造出，但因為電子特徵中之變動的高可能性，所以包含氧化物半導體的電晶體係已知為具有低可靠度之問題。例如，電晶體的臨限電壓會在偏壓溫度應力測試（BT 測試）之後變動。注意的是，在此說明書中，臨限

電壓表示要使電晶體導通所需的閘極電壓。閘極電壓表示當使用源極的電位做為參考電位時之源極與閘極間的電位差。

[參考文件]

[專利文獻 1] 日本公開專利申請案第 2006-165528 號

[專利文獻 2] 日本公開專利申請案第 2009-141002 號

[專利文獻 3] 日本公開專利申請案第 2009-295997 號

【發明內容】

包含氧化物半導體的電晶體之由於 BT 測試的臨限電壓中之變動會急遽地降低包含氧化物半導體之該電晶體的可靠度。本發明之一實施例的目的在於增進包含氧化物半導體之半導體裝置的可靠度。

進一步地，存在有其中包含氧化物半導體的電晶體易於具有常態導通的特徵，且不容易提供適合操作於驅動器電路中的邏輯電路之問題。因此，本發明之一實施例的目的在於獲得包含氧化物半導體的電晶體之常態截止的特徵。

本發明之一實施例係半導體裝置，其包含覆蓋基板的基底絕緣層及設置在該基底絕緣層上的氧化物半導體層。在該半導體裝置中，於基板與基底絕緣層間之介面處的氫濃度係小於或等於 1.1×10^{20} 原子/立方公分。

注意的是，在本發明中，“氫”之用語表示氫原子。

例如，「包含氫」之用語包含氫氧基、水、碳化氫、或其類似物，以及氫分子。

本發明之一實施例係半導體裝置的製造方法，其中透過基底絕緣層而自基板擴散進入氧化物半導體層內之氫的不利效應被降低於包含氧化物半導體的電晶體中。

在某些情況中，電荷係由於氧化物半導體層與氫之間的鍵而產生。通常，當氫係鍵結至氧化物半導體時，則鍵的一部分會變成施體且產生電子，亦即，載子。因而，電晶體的臨限電壓會負向地偏移。依據本發明之一實施例，由基板及基底絕緣層所擴散之氫的不利效應會被降低，而臨限電壓的負向偏移可藉以減少。此傾向會顯著地產生於氧化物半導體層的背面通道側。

本發明之另一實施例係半導體裝置的製造方法，其中第一熱處理係執行於基板上；基底絕緣層係形成於基板上；氧化物半導體層係形成於基底絕緣層上；以及第一熱處理的執行步驟至氧化物半導體層的形成步驟係無需暴露至空氣而執行。

在此，第一熱處理係執行於其中可消除基板中所吸附或所包含之氫的溫度。具體而言，第一熱處理的溫度係高於或等於 100°C 且低於基板的應變點，較佳地高於或等於 300°C 且低於或等於 600°C 。第一熱處理係在包含盡量少的氫之氛圍下執行。較佳地，第一熱處理係在小於或等於 1×10^{-4} 帕 (Pa) 的高真空中執行。因而，可將吸附在基板表面上的氫有效率地降低。

從第一熱處理的執行步驟到氧化物半導體層的形成步驟之該等步驟係在真空中連續地執行。藉由在真空中連續地執行第一熱處理的執行步驟至氧化物半導體層的形成步驟，可抑制會在當暴露至空氣時所產生之基板表面的污染及氫的吸附。

在隨後的步驟中之氫至氧化物半導體層內的擴散可藉由降低基板與基底絕緣層間之介面處所存在的氫，而予以抑制。因而，可降低電晶體之臨限電壓的負向偏移且可增進可靠度。

注意的是，在此說明書中，常態截止之電晶體意指臨限電壓係正值的 n 通道電晶體或臨限電壓係負值的 p 通道電晶體。對照地，常態導通之電晶體意指臨限電壓係負值的 n 通道電晶體或臨限電壓係正值的 p 通道電晶體。

連續的真空意指其中真空係保持於處理之間的狀態（例如，小於或等於 10 帕，較佳地小於或等於 1 帕之降低的壓力狀態）。

做為基底絕緣層，係使用其中氧係藉由加熱而釋放出的絕緣層。進一步地，做為基底絕緣層，係使用氫濃度小於或等於 1.1×10^{20} 原子/立方公分的絕緣層。

“氧係藉由加熱而釋放出”意指的是，所釋放出而被轉換成為氧原子之氧的數量係在熱脫附光譜儀（TDS）分析中大於或等於 1.0×10^{18} 原子/立方公分，較佳地，大於或等於 3.0×10^{20} 原子/立方公分。

在上述結構中，其中氧係藉由加熱而釋放出的絕緣層

可使用氧過量之氧化矽（ SiO_x （ $x>2$ ））而形成。在該氧過量之氧化矽（ SiO_x （ $x>2$ ））中，每一單位體積之氧原子的數目係比每一單位體積之矽原子的數目大兩倍以上。每一單位體積之矽原子的數目及氧原子的數目係藉由拉塞福（Rutherford）反向散射光譜測量儀（RBS）所測量。

藉由自基底絕緣層而供應氧至氧化物半導體層，可降低基底絕緣層與氧化物半導體層之間的介面狀態。因而，可充分地抑制可由於半導體裝置之操作或其類似者所產生之電荷或其類似物的陷獲於上述之基底絕緣層與氧化物半導體層間的介面處。

進一步地，在某些情況中，電荷係由於氧化物半導體層中之氧缺乏。通常，當氧缺乏係產生於氧化物半導體層之中時，氧缺乏的一部分會變成施體，且產生電子，亦即，載子。因而，電晶體的臨限電壓會負向地偏移。此傾向可顯著地發生於背面通道側所造成的氧缺乏中。注意的是，在此說明書中，“背面通道”意指基底絕緣層側之氧化物半導體層的區域。具體而言，背面通道係氧化物半導體層中之與基底絕緣層接觸的區域之附近。氧可自基底絕緣層充分地供應至氧化物半導體層，而在氧化物半導體層中之會造成臨限電壓負向偏移的氧缺乏可藉以降低。

換言之，當氧缺乏係產生於氧化物半導體層之中時，則不容易抑制基底絕緣層與氧化物半導體層間之介面處的電荷陷獲。然而，藉由提供其中氧係藉由加熱而釋放出的絕緣層以供基底絕緣層之用，可降低氧化物半導體層與基

底絕緣層之間的介面狀態及氧化物半導體層之中的氧缺乏，且可使氧化物半導體層與基底絕緣層間之介面處的電荷陷獲變小。

然而，爲了要自基底絕緣層充分地供應氧至氧化物半導體層，執行長時間的熱處理或執行高溫的熱處理係有效的。

因此，第二熱處理係在形成氧化物半導體層之後執行。

第二熱處理係執行於其中可使氧自基底絕緣層供應至氧化物半導體層的溫度處。特別地，第二熱處理的溫度係高於或等於 150°C 且低於基板的應變點，較佳地係高於或等於 250°C 且低於或等於 450°C 。藉由該第二處理，氧係自基底絕緣層釋放出，而在基底絕緣層與氧化物半導體層之間的介面狀態以及在氧化物半導體層之中的氧缺乏可藉由該氧而降低。注意的是，第二熱處理可在任何時序執行，只要其係在氧化物半導體層形成之後執行即可。此外，該第二熱處理可執行一次或複數次。

注意的是，由於該第二熱處理，存在於基板表面的氫會透過基底絕緣層而擴散至氧化物半導體層之內。此外，所擴散之氫的數量傾向於由於執行第二熱處理於更長時間或更高溫度而增加。在其中於基板與基底絕緣層間之介面處的氫濃度係高的該情況中，將不容易在用以供應足夠數量之氧的數量之溫度處或時間內執行第二熱處理，以供降低基底絕緣層與氧化物半導體層之間的介面狀態及氧化物

半導體層之中的氧缺乏。因此，爲了要藉由加熱而自基底絕緣層充分地供應氧至氧化物半導體層，需將基板與基底絕緣層間之介面處的氫濃度予以降低。

於此方式中，本發明之一實施例係在於降低基板與基底絕緣層間之介面處的氫濃度，且在於自基底絕緣層而供應足夠數量的氧至氧化物半導體層。

注意的是，其中氧係藉由加熱而釋放出的基底絕緣層較佳地具有相對於氧化物半導體層之厚度的足夠厚度。此係因爲當其中氧係藉由加熱而釋放出的基底絕緣層之厚度係相對於氧化物半導體層之厚度而變小時，則在某些情況中，氧並不會被充分地供應至氧化物半導體層。選擇性地，此係因爲當基底絕緣層並不具有相對於氧化物半導體層之厚度的足夠厚度時，由於來自基板表面之氫的擴散所造成之不利效應會變成更大之緣故。

例如，基底絕緣層可使用氧化矽、氮氧化矽、氧化氮化矽、氧化鋁、或包含任何該等者之堆疊層而形成。

在此說明書中，氮氧化矽表示包含氧比氮更多的物質，且例如，氮氧化矽分別包含大於或等於 50 原子百分比且小於或等於 70 原子百分比、大於或等於 0.5 原子百分比且小於或等於 15 原子百分比、大於或等於 25 原子百分比且小於或等於 35 原子百分比、及大於或等於 0 原子百分比且小於或等於 10 原子百分比之濃度範圍的氧、氮、矽、及氫。此外，氧化物化矽表示包含氮比氧更多的物質，且例如，氧化氮化矽分別包含大於或等於 5 原子百分比

且小於或等於 30 原子百分比、大於或等於 20 原子百分比
且小於或等於 55 原子百分比、大於或等於 25 原子百分比
且小於或等於 35 原子百分比、及大於或等於 10 原子百分比
且小於或等於 25 原子百分比之濃度範圍的氧、氮、矽、
及氫。注意的是，氧、氮、矽、及氫的比例係在其中測量
係使用拉塞福反向散射光譜測量儀或氫順向散射光譜測量
儀（HFS）而執行的情況中，落在上述範圍之中。此外，
該等構成元素之百分比的總計並不超過 100 原子百分比。
。

如上述地，具有常態截止特徵及高可靠度之電晶體可以
以此方式而獲得，亦即，防止基板與基底絕緣層間之介面
處所存在的氫擴散進入至氧化物半導體層之內，且以來自
基底絕緣層所供應之氧而降低氧化物半導體層中的氧缺乏
之方式。

依據本發明之一實施例，可提供包含氧化物半導體之
高度可靠的電晶體。

進一步地，依據本發明之另一實施例，在包含氧化物
半導體的電晶體中，可抑制臨限電壓中之變動、獲得常態
截止的特徵、以及可在其中未施加閘極電壓的情況中使源
極與汲極之間的電流值變小。

進一步地，依據實施例之另一實施例，在源極與汲極
之間的漏電流係在當半導體裝置中之電晶體的閘極電壓係
0 伏特（V）時被降低；因此，可提供具有低功率消耗的
半導體裝置。

【實施方式】

本發明之實施例將參照附圖而詳細敘述於下文。然而，本發明並未受限於以下之說明，且熟習於本項技藝之該等人士將易於瞭解的是，模式和細節可予以各式各樣地改變。因此，本發明不應被解讀為受限於該等實施例的說明。在參照該等圖式而敘述本發明的結構之中，相同的參考符號係共同地使用於不同圖式中的相同部分。注意的是，相同的影線圖係施加至相同的部件，且在某些情況中，相似的部件並未藉由參考符號來加以特別地表示。

注意的是，在此說明書中之諸如“第一”及“第二”的順序號碼係為便利性而使用，且並不表示步驟的順序或層之堆疊順序。此外，在此說明書中之該等順序號碼並非指明本發明的特殊名稱。

[實施例 1]

在此實施例中，將參照第 1A 至 1C 圖、第 2A 至 2C 圖、第 3A 至 3C 圖、第 4A 至 4C 圖、第 5A 至 5E 圖、及第 6A 至 6E 圖來敘述本發明一實施例之半導體裝置的一模式及該半導體裝置的製造方法。

第 1A 至 1C 圖係做為依據本發明一實施例之半導體裝置的實例之頂部閘極頂部接觸型電晶體 151 的頂視圖及橫剖面視圖。在此，第 1A 圖係頂視圖，第 1B 圖係沿著第 1A 圖之 A-B 所取得的橫剖面視圖，以及第 1C 圖係沿

著第 1A 圖之 C-D 所取得的橫剖面視圖。注意的是，在第 1A 圖中，電晶體 151 之若干組件（例如，閘極絕緣層 112）係為簡明的緣故而被省略。

在第 1A 至 1C 圖中所描繪的電晶體 151 包含：基板 100；基底絕緣層 102，在基板 100 上；氧化物半導體層 106，在基底絕緣層 102 上；源極電極 108a 及汲極電極 108b 之對，係設置在氧化物半導體層 106 之上；閘極絕緣層 112，其覆蓋源極電極 108a 及汲極電極 108b 之對，且與氧化物半導體層 106 部分地接觸；以及閘極電極 114，係設置在氧化物半導體層 106 之上，而閘極絕緣層 112 介於其間。

基底絕緣層 102 可至少使用例如，氧化矽、氮氧化矽、氧化氮化矽、及氧化鋁之任何者，而形成為具有單層結構或堆疊層結構。當基底絕緣層 102 具有氮化矽層及氧化矽層之堆疊層結構時，可防止來自基板或其類似物之水分進入至電晶體 151。注意的是，基底絕緣層 102 作用成為電晶體 151 的基底層。注意的是，其中氧係藉由加熱而釋放出的絕緣層係較佳地使用做為與氧化物半導體層接觸之基底絕緣層 102。

例如，可使用其中每一單位體積之氧原子的數目係比每一單位體積之矽原子的數目大兩倍以上之氧化矽（ SiO_x （ $x>2$ ）），做為基底絕緣層 102 的材料。

此時，在基板與基底絕緣層間之介面處的氫濃度係小於或等於 1.1×10^{20} 原子/立方公分。當基板與基底絕緣層

間之介面處的氫濃度係小於或等於 1.1×10^{20} 原子/立方公分時，則可降低基板與基底絕緣層間之介面處的氫擴散至氧化物半導體層之內的不利效應。因而，可降低電晶體之臨限電壓的負向偏移，且可增進可靠度。

做為使用於氧化物半導體層 106 之材料，可使用四成分金屬氧化物之 In-Sn-Ga-Zn-O 為主的材料；三成分金屬氧化物之 In-Ga-Zn-O 為主的材料，In-Sn-Zn-O 為主的材料，In-Al-Zn-O 為主的材料，Sn-Ga-Zn-O 為主的材料，Al-Ga-Zn-O 為主的材料，或 Sn-Al-Zn-O 為主的材料；二成分金屬氧化物之 In-Zn-O 為主的材料，Sn-Zn-O 為主的材料，Al-Zn-O 為主的材料，Zn-Mg-O 為主的材料，Sn-Mg-O 為主的材料，In-Mg-O 為主的材料，或 In-Ga-O 為主的材料；In-O 為主的材料；Sn-O 為主的材料；Zn-O 為主的材料；或其類似物。此外，氧化矽可包含於上述材料中。在此，例如，In-Ga-Zn-O 為主的材料意指包含銦（In）、鎵（Ga）、及鋅（Zn）之氧化物層，且在組成比例上並無特殊的限制。進一步地，該 In-Ga-Zn-O 為主的氧化物半導體可包含除了 In、Ga、及 Zn 之外的元素。

在其中使用 In-Zn-O 為主的材料做為氧化物半導體層 106 的情況中，係使用以下之任一者；In/Zn 係在原子比中大於或等於 0.5 且小於或等於 50，較佳地，In/Zn 係在原子比中大於或等於 1 且小於或等於 20，或更佳地，In/Zn 係在原子比中大於或等於 1.5 且小於或等於 15。當 Zn 的原子比係在上述範圍之中時，則可增進電晶體的場

效應遷移率。在此，當該化合物的原子比係 $\text{In} : \text{Zn} : \text{O} = \text{X} : \text{Y} : \text{Z}$ 時，則較佳地，要滿足 $\text{Z} > 1.5\text{X} + \text{Y}$ 的關係。

用於氧化物半導體層 106 之薄膜係使用藉由 $\text{InMO}_3(\text{ZnO})_m$ ($m > 0$) 之化學式所代表的材料而形成。在此，M 表示選自 Ga、Al、Mn、及 Co 之一或更多個金屬元素。例如，M 可係 Ga、Ga 及 Al、Ga 及 Mn、Ga 及 Co、或其類似物。

進一步地，在氧化物半導體層 106 中之鹼金屬及鹼土金屬的濃度係較佳地小於或等於 2×10^{16} 原子/立方公分或小於或等於 1×10^{18} 原子/立方公分。當鹼金屬及鹼土金屬係鍵結至氧化物半導體時，則一部分的鍵會產生載子，而致使臨限電壓負向地偏移。

再者，基底絕緣層 102 與氧化物半導體層 106 之間的介面狀態及氧化物半導體層 106 之中的氧缺乏，可在當氧化物半導體層與基底絕緣層接觸時降低。藉由在上述之介面狀態的降低，可減低 BT 測試後之臨限電壓的變動。臨限電壓之負向偏移的量係由於氧缺乏的降低而減低；因此，可獲得常態截止的特徵。

做為使用於源極電極 108a 及汲極電極 108b 之導電層，例如，可使用包含選自 Al、Cr、Cu、Ta、Ti、Mo、及 W 之元素的金屬層、或包含上述元素之任一者做為成分的金屬氮化物層（例如，氮化鈦層、氮化鉬層、或氮化鎢層）。Ti、Mo、W、或其類似物的高熔點金屬層，或該等元素之任一者的金屬氮化物層（例如，氮化鈦層、氮化鉬層

、或氮化鎢層)可堆疊於 Al、Cu、或其類似物之金屬層的底部側及頂部側之其中一者或二者上。注意的是，在此說明書中，“源極電極”及“汲極電極”的用語係在電晶體的操作中為便利性所採用之名稱，而無特殊區別於源極電極與汲極電極之間。

選擇性地，使用於源極電極 108a 及汲極電極 108b 之導電層可使用導電金屬氧化物而形成。做為導電金屬氧化物，可使用氧化銦 (In_2O_3 或其類似物)、氧化錫 (SnO_2 或其類似物)、氧化鋅 (ZnO 或其類似物)、氧化銦-氧化錫合金 ($\text{In}_2\text{O}_3\text{-SnO}_2$ 或其類似物，而縮寫為 ITO)、氧化銦-氧化鋅合金 ($\text{In}_2\text{O}_3\text{-ZnO}$ 或其類似物)、或包含氧化矽之該等金屬氧化物材料的任一者。

在此，可提供導電層於源極電極 108a 及汲極電極 108b 與氧化物半導體層 106 之間，而該導電層的電阻係高於源極電極 108a 及汲極電極 108b 的電阻，且低於氧化物半導體層 106 的電阻。該導電層係使用可降低源極電極 108a 及汲極電極 108b 與氧化物半導體層 106 間之接觸電阻的材料而形成。選擇性地，可使用幾乎不會自氧化物半導體層提取氧之材料，以供導電層之用。藉由提供該導電層，可抑制由於自氧化物半導體層 106 所提取的氧所造成之氧化物半導體層 106 的低電阻，且可抑制由於源極電極 108a 及汲極電極 108b 的形成所造成之接觸電阻的增加。在其中使用幾乎不會自氧化物半導體層抽取氧的材料以供源極電極 108a 及汲極電極 108b 之用的情況中，可省略上

述之導電層。

閘極絕緣層 112 可具有與基底絕緣層 102 之結構相似的結構，且較佳地，係其中氧係藉由加熱而釋放出的絕緣層。此時，諸如釔穩定氧化鋯、氧化鉛、或氧化鋁之具有高介電常數的材料可視電晶體之閘極絕緣層的功能，而使用於閘極絕緣層 112。選擇性地，氧化矽、氮氧化矽、或氮化矽與諸如釔穩定氧化鋯、氧化鉛、或氧化鋁之具有高介電常數的材料之堆疊層可考慮閘極耐壓及氧化物半導體層與閘極絕緣層 112 或其類似物間之介面的情形，而予以使用。

閘極電極 114 可使用例如，諸如鉬、鈦、鉭、鎢、鋁、銅、鈹、或鈳的金屬材料，該等金屬材料之任一者的氮化物，或包含該等金屬材料之任一者做為主要成分的合金材料而形成。注意的是，閘極電極 114 可具有單層結構或堆疊層結構。

進一步地，可將保護絕緣層或佈線設置於電晶體 151 之上。保護絕緣層可具有與基底絕緣層 102 之結構相似的結構。爲了要電性連接源極電極 108a 或汲極電極 108b 與佈線，可形成開口於基底絕緣層 102、閘極絕緣層 112、及其類似物中。進一步地，可將第二閘極電極設置於氧化物半導體層 106 的下面。無需一定要，但較佳地，將氧化物半導體層 106 處理成爲島狀形狀。

第 2A 至 2C 圖係做為與電晶體 151 之半導體裝置不同的半導體裝置之實例的電晶體 152 之頂視圖及橫剖面視

圖，該電晶體 152 係頂部閘極底部接觸型。在此，第 2A 圖係頂視圖，第 2B 圖係沿著第 2A 圖之 A-B 所取得的橫剖面視圖，以及第 2C 圖係沿著第 2A 圖之 C-D 所取得的橫剖面視圖。注意的是，在第 2A 圖中，電晶體 152 之若干組件（例如，閘極絕緣層 112）係為簡明的緣故而被省略。

在第 2A 至 2C 圖中所描繪的電晶體 152 與電晶體 151 之相同處係在於其中包含基板 100、基底絕緣層 102、氧化物半導體層 106、源極電極 108a、汲極電極 108b、閘極絕緣層 112、及閘極電極 114。而在電晶體 152 與電晶體 151 之間的差異係其中氧化物半導體層 106 連接至源極電極 108a 及汲極電極 108b 的位置。也就是說，在電晶體 152 中，源極電極 108a 及汲極電極 108b 係與氧化物半導體層 106 的底部部分接觸。其他組件則與第 1A 至 1C 圖中之電晶體 151 的該等組件相似。

第 3A 至 3C 圖係做為與電晶體 151 及電晶體 152 之半導體裝置不同的半導體裝置之實例的電晶體 153 之頂視圖及橫剖面視圖，該電晶體 153 係共面頂部閘極頂部接觸型。在此，第 3A 圖係頂視圖，第 3B 圖係沿著第 3A 圖之 A-B 所取得的橫剖面視圖，以及第 3C 圖係沿著第 3A 圖之 C-D 所取得的橫剖面視圖。注意的是，在第 3A 圖中，電晶體 153 之若干組件（例如，閘極絕緣層 112）係為簡明的緣故而被省略。

在第 3A 至 3C 圖中所描繪的電晶體 153 與電晶體 151

及電晶體 152 之相同處係在於其中包含基底絕緣層 102、閘極絕緣層 112、及閘極電極 114。而電晶體 153 與電晶體 151 及電晶體 152 之不同處則在於其中通道區 126、源極區 122a、及汲極區 122b 係形成於氧化物半導體層的相同平面中，以及源極區 122a 及汲極區 122b 係透過層間絕緣層 124 中所設置的接觸孔 130a 及接觸孔 130b 而分別連接至佈線 116a 及佈線 116b。

在電晶體 153 中，基底絕緣層 102 可具有電晶體 151 之基底絕緣層 102 相同的結構。在形成氧化物半導體層 106 之後，閘極絕緣層 112 及閘極電極 114 被形成。閘極電極 114 及閘極絕緣層 112 可藉由使用相同遮罩之處理而形成。選擇地，在閘極電極 114 的處理之後，閘極絕緣層 112 可使用閘極電極 114 做為遮罩而被處理。注意的是，雖然與所描繪的結構不同，但閘極絕緣層 112 無需一定要在形成閘極電極 114 之後才被處理。換言之，可將閘極絕緣層 112 設置於基底絕緣層 102、源極區 122a、汲極區 122b、及通道區 126 之上。

接著，用以降低氧化物半導體層之電阻的處理係使用閘極電極 114 做為罩幕而執行，以致使源極區 122a 及汲極區 122b 形成。位於閘極電極 114 之下方的氧化物半導體層之區域係通道區 126。

做為用以降低電阻之處理，例如，可給定氬電漿處理、氮電漿處理、氬電漿處理、及其類似處理。

在第 1A 至 1C 圖中所描繪之電晶體 151 的製造方法

之實例將參照第 4A 至 4E 圖來予以敘述。

首先，執行第一熱處理於基板 100 上。該第一熱處理係執行於其中可將基板之中所吸附或所包含的氫加以消除之溫度處。具體而言，第一熱處理的溫度係高於或等於 100℃ 且低於基板的應變點，較佳地，係高於或等於 300℃ 且低於或等於 600℃。該第一熱處理係執行比 1 分鐘更長或等於 1 分鐘，且比 72 小時更短或等於 72 小時。包含基板上所吸附之氫或其類似物的分子可藉由第一熱處理而予以降低。該第一熱處理係在不包含氫的氛圍下執行。該第一熱處理係較佳地執行於小於或等於 1×10^{-4} 帕的高真空之中。

在基板 100 之材料及其類似物的性質上並無特殊的限制，只要該材料具有至少足以耐受稍後將被執行的熱處理之熱阻即可。例如，可使用玻璃基板、陶質基板、石英基板、藍寶石基板、或其類似物做為基板 100。選擇性地，可使用藉由矽、碳化矽、或其類似物所製成的單晶半導體基板或多晶半導體基板，藉由鍍化矽或其類似物所製成的化合物半導體基板、SOI 基板、或其類似物做為基板 100。仍選擇性地，可使用進一步設置有半導體元件之該等基板的任一者做為基板 100。

可使用撓性基板做為基板 100。在其中電晶體係設置於撓性基板上的情況中，可使用以下方法之任一者：其中將電晶體直接形成於撓性基板上的方法；以及其中將電晶體形成於不同的基板上，且然後，將其自該基板分離而轉

移至撓性基板之上的方法。爲了要分離該電晶體以轉移其至撓性基板，較佳地，將分離層設置於該不同的基板與該電晶體之間。

接著，形成基底絕緣層 102 於基板 100 上。

做爲基底絕緣層 102 的形成方法，例如，可使用電漿 CVD 法或濺鍍法。較佳地，其中氧係藉由加熱而釋放出的基底絕緣層係藉由濺鍍法所形成。例如，該基底絕緣層 102 可使用氧化矽、氮氧化矽、氧化氮化矽、及氧化鋁的至少任一者，而形成爲具有單層之結構或堆疊層之結構。該基底絕緣層 102 的總厚度係大於或等於 50 奈米，較佳地，係大於或等於 200 奈米。當提供具有大的厚度之基底絕緣層 102 時，則可增加自基底絕緣層 102 所釋放出之氧的數量。進一步地，當提供具有大的厚度之基底絕緣層 102 時，則自基板 100 與基底絕緣層 102 之間的介面至用作通道區之氧化物半導體層的實體距離會增加；因而，可降低由於所吸附在基板與基底絕緣層間之介面上的氫之擴散所導致的不利效應。

爲了要藉由濺鍍法來形成其中氧係藉由加熱而釋放出的絕緣層，在其中使用氧或氧和稀有氣體（諸如氬）的混合氣體做爲膜形成氣體的情況中，較佳地，將氧的比例設定高。例如，在整個氣體中之氧的濃度係較佳地設定爲高於或等於 6% 且低於 100%。

例如，氧化矽層係藉由 RF 濺鍍法而在以下情形之下形成：石英（較佳地，合成石英）係使用做爲靶極；基板

溫度係高於或等於 30°C 且低於或等於 450°C （較佳地，高於或等於 70°C 且低於或等於 200°C ）；在基板與靶極之間的距離（T-S 距離）係大於或等於 20 毫米且小於或等於 400 毫米（較佳地，大於或等於 40 毫米且小於或等於 200 毫米）；壓力係高於或等於 0.1 帕且低於或等於 4 帕（較佳地，高於或等於 0.2 帕且低於或等於 1.2 帕）；高頻電力係高於或等於 0.5 千瓦（kW）且低於或等於 12 千瓦（較佳地，高於或等於 1 千瓦且低於或等於 5 千瓦）；以及在膜形成氣體中之氧的比例（ $\text{O}_2 / (\text{O}_2 + \text{Ar})$ ）係高於或等於 1% 且低於或等於 100%（較佳地，高於或等於 6% 且低於或等於 100%）。注意的是，可使用矽靶極做為靶極，以取代石英（較佳地，合成石英）靶極。做為膜形成氣體，係使用氧或氬的混合氣體。

在其中基底絕緣層 102 係形成為具有堆疊層之結構的情況中，較佳的是，其中基板溫度係高於或等於 450°C 且低於或等於 600°C 之氧化矽膜係形成為第一層，以及其中基板溫度係高於或等於 150°C 且低於或等於 350°C 之氧化矽膜係形成為第二層。當第一氧化矽膜係形成於高於或等於 450°C 之高溫時，則包含所吸附於基板表面上且無法由第一熱處理所完全降低之氬的分子、包含在第一熱處理後所吸附於基板表面上之氬的分子、或其類似物可降低。進一步地，當第二氧化矽膜係形成於高於或等於 150°C 且低於或等於 350°C 之溫度時，則可形成其中氧係藉由加熱而釋放出的氧化矽膜。注意的是，第一氧化矽膜及第二氧化

矽膜係連續地形成於真空中。

接著，形成氧化物半導體層 104 於基底絕緣層 102 之上（請參閱第 4A 圖）。

注意的是，自第一熱處理的執行步驟至氧化物半導體層 104 的形成步驟之該等步驟係無需暴露至空氣而執行。較佳地，該等步驟係在真空中連續地執行。藉由在真空中連續地執行第一熱處理的執行步驟至氧化物半導體層 104 的形成步驟，可抑制基板表面的污染及包含氫之分子的吸附，且因此，可降低由於隨後的熱處理之氫至氧化物半導體層內的擴散。

接著，執行第二熱處理。該第二熱處理係執行於其中可使氧自基底絕緣層供應至氧化物半導體層的溫度處。特別地，第二熱處理的溫度係高於或等於 150℃ 且低於基板的應變點，較佳地係高於或等 250℃ 且低於或等於 450℃。藉由該第二處理，氧係自基底絕緣層 102 釋放出，而在基底絕緣層 102 與氧化物半導體層 104 之間的介面狀態以及在氧化物半導體層 104 之中的氧缺乏可藉以降低。注意的是，第二熱處理可在任何時序執行，只要其係在氧化物半導體層 104 形成之後執行即可。此外，該第二熱處理可執行一次或複數次。該第二熱處理的氛圍係氧化氣體氛圍或惰性氣體氛圍，且該第二熱處理係執行比 1 分鐘更長或等於 1 分鐘以上，且此 72 小時更短或等於 72 小時。

藉由該第二熱處理，會降低氧化物半導體層中之氧缺乏。進一步地，因為可降低由於基板表面上所存在的氫之

擴散所造成的不利效應，所以所製造出的電晶體可具有常態截止的特徵。

注意的是，熱處理設備並未受限於電爐，且可包含用以藉由來自諸如加熱之氣體的媒質之熱傳導或熱輻射而加熱將被處理之物件的裝置。例如，可使用諸如氣體快速熱退火（GRTA）設備或燈快速熱退火（LRTA）設備之快速熱退火（RTA）設備。LRTA 設備係用以藉由來自諸如鹵素燈、金屬鹵化物燈、氙弧燈、碳弧燈、高壓鈉燈、或高壓水銀燈之燈所發射出的光（電磁波）之輻射，而加熱將被處理之物件的設備。GRTA 設備係用以使用高溫氣體而執行熱處理的設備。做為高溫氣體，所使用的係不會在熱處理中與將被處理之物件反應的惰性氣體，例如，氮或諸如氬之稀有氣體。

注意的是，惰性氣體係包含氮或稀有氣體（例如，氮、氬、或氬）做為其主要成分，且較佳地，不包含水、氫、或其類似物之氣體。例如，所引入至熱處理設備內之氮或諸如氮、氬、或氬之稀有氣體的純度係設定為 6N（99.9999%）或更高，較佳地，為 7N（99.99999%）或更高（亦即，雜質濃度係 1ppm 或更低，較佳地，0.1ppm 或更低）。惰性氣體係包含惰性氣體做為其主要成分，且包含低於 10ppm 之反應氣體的氛圍。該反應氣體係與半導體、金屬、或其類似物反應的氣體。

注意的是，氧化氣體係氧、臭氧、二氧化氮、或其類似物，且較佳地，該氧化氣體並不包含水、氫、及其類似

物。例如，所引入至熱處理設備內之氧、臭氧、或二氧化氮的純度係設定為 6N (99.9999%) 或更高，較佳地，為 7N (99.99999%) 或更高 (亦即，雜質濃度係 1ppm 或更低，較佳地，0.1ppm 或更低)。做為氧化氣體氛圍，可使用其中氧化氣體與惰性氣體混合，且包含至少 10ppm 的氧化氣體之氛圍。

例如，氧化物半導體層可藉由濺鍍法、真空蒸鍍法、脈波雷射沈積法、CVD 法、或其類似方法而形成。較佳地，氧化物半導體層的厚度係大於或等於 3 奈米且小於或等於 50 奈米。此係因為當氧化物半導體層太厚時 (例如，100 奈米或更大)，則存在有短通道效應會具大有的影響，及具備小尺寸之電晶體會具有常態導通的特徵之可能性。

在此實施例中，氧化物半導體層 104 係藉由濺鍍法而使用 In-Ga-Zn-O 為主之氧化物靶極所形成。

做為 In-Ga-Zn-O 為主之氧化物靶極，例如，係使用具有 $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 1$ [克分子比] 之組成比的氧化物靶極。注意的是，無需一定要將靶極的材料及組成比限制為上述者。例如，亦可使用具有 $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 2$ [克分子比] 之組成比的氧化物靶極。

氧化物靶極的相對密度係高於或等於 90% 且低於或等於 100%，較佳地高於或等於 95% 且低於或等於 100%。此係因為藉由具有高相對密度之金屬氧化物靶極的使用，可形成密質之氧化物半導體層。

膜形成可在稀有氣體（典型地，氬）氛圍、氧氛圍、包含稀有氣體和氧的混合氛圍，或其類似氛圍下執行。此外，較佳地，係在使用其中氬被充分去除的高純度氣體之氛圍下執行，使得可防止氬進入至氧化物半導體層之內。

可使氧化物半導體層接受包含氧的電漿處理。藉由執行包含氧的電漿處理於氧化物半導體層之上，可使氧包含於氧化物半導體層中及該氧化物半導體層的介面附近之其中一者或二者。在該情況中，於氧化物半導體層中所包含之氧的數量係大於該氧化物半導體層之化學計量比例，較佳地，大於該化學計量比例且小於該化學計量比例的兩倍。選擇性地，當在其中氧化物半導體層的材料係單晶的情況中所包含之氧的數量係 Y 時，則所包含之氧的數量可大於 Y ，較佳地，大於 Y 且小於 $2Y$ 。仍選擇性地，氧的數量可根據其中未執行氧摻雜的情況中之絕緣層中的氧數量 Z 而大於 Z ，較佳地大於 Z 且小於 $2Z$ 。上述較佳範圍為何會具有上限的理由在於，當氧的數量太大時，則氧化物半導體層可吸收氬而為吸收氬之合金（氬儲存合金）。注意的是，在氧化物半導體膜之中，氧的數量係大於氬的數量。

例如，可如下地形成氧化物半導體層 104。

膜形成情形的實例係如下：基板與靶極之間的距離係 60 毫米；壓力係 0.4 帕；直流（DC）電力係 0.5 千瓦；以及膜形成氛圍包含氬和氧的混合氛圍（氧的流率係 33 %）注意的是，脈波 DC 濺鍍法係較佳的，因為可降低膜

形成中所產生之粉狀物質（亦稱為顆粒或灰塵），且可使膜厚度均勻。

接著，具有島狀形狀的氧化物半導體層 106 係藉由處理氧化物半導體層 104 所形成（請參閱第 4B 圖）。

氧化物半導體層 104 係在形成所欲形狀的遮罩於該氧化物半導體層上之後，藉由蝕刻而予以處理。該遮罩係藉由諸如光微影術之方法所形成。選擇性地，該遮罩可藉由噴墨法或其類似方法所形成。

對於氧化物半導體層之蝕刻，可使用濕蝕刻或乾蝕刻。不用多說地，可結合地使用該二者。

接著，用以形成源極電極及汲極電極（包含在與源極電極及汲極電極相同的層之中所形成的佈線）之導電層係形成於基底絕緣層 102 及氧化物半導體層 106 之上，且源極電極 108a 及汲極電極 108b 係藉由處理該導電層所形成（請參閱第 4C 圖）。電晶體的通道長度 L 係根據在此所形成之源極電極 108a 與汲極電極 108b 的邊緣之間的距離而定。

導電層可藉由使用阻體遮罩之蝕刻來加以處理。紫外光、KrF 雷射光、ArF 雷射光、或其類似者係較佳地使用於用以形成蝕刻用之阻體遮罩的曝光之用。

在其中執行曝光以致使通道長度 L 小於 25 奈米的情況中，在阻體遮罩之形成時的曝光係較佳地使用例如，具有數奈米至數十奈米之極短波長的極短紫外光而執行。在使用極短紫外光的曝光中，解析度會變高且聚焦深度會變

大。因此，可使稍後所形成之電晶體的通道長度 L 縮短，而可藉以增加電路的操作速度。

蝕刻可透過利用所謂多色調遮罩所形成之阻體遮罩的使用而執行。利用多色調遮罩所形成之阻體遮罩具有複數個厚度，且該阻體遮罩可藉由灰化而在形狀中進一步地改變。因而，可將該阻體遮罩使用於不同圖案的複數個蝕刻步驟中。因此，可使用多色調遮罩而形成用於至少二種圖案的阻體遮罩，以產生處理之簡化。

注意的是，在導電層的蝕刻中，氧化物半導體層 106 的一部分會被蝕刻，以致在某些情況中將形成具有刻槽（凹陷部分）的氧化物半導體層。

之後，藉由使用諸如氧、臭氧、或二氧化氮之氣體的電漿處理，可使氧化物半導體層 106 之所暴露部分的表面氧化，且可降低氧缺乏。在其中執行電漿處理的情況中，將成為與氧化物半導體層 106 的一部分接觸之閘極絕緣層 112 係較佳地跟隨著電漿處理而形成，無需暴露至空氣。

接著，閘極絕緣層 112 係設置以便覆蓋源極電極 108a 及汲極電極 108b，且成為與氧化物半導體層 106 的一部分接觸（請參閱第 4D 圖）。

例如，閘極絕緣層 112 係藉由濺鍍法、電漿 CVD 法、或其類似方法而形成。閘極絕緣層 112 的總厚度係較佳地大於或等於 1 奈米且小於或等於 300 奈米，更佳地大於或等於 5 奈米且小於或等於 50 奈米。閘極絕緣層的厚度愈大，則短通道效應會更容易發生；因而，臨限電壓傾向

於負向地偏移。此外，所發現到的是，當閘極絕緣層的厚度小於或等於 5 奈米時，則由於隧道電流的漏電流會增加。

然後，形成閘極電極 114（請參閱第 4E 圖）。將成爲閘極電極 114 之導電層係藉由例如，濺鍍法、蒸鍍法、塗佈法、或其類似方法而予以形成，且係藉由使用阻體遮罩的蝕刻而加以處理。

透過上述處理，可製造出電晶體 151。

其次，將參照第 5A 至 5E 圖來敘述第 2A 至 2C 圖中所描繪之電晶體 152 的製造方法之實例。

首先，執行第一熱處理於基板 100 上。

接著，基底絕緣層 102 係在第一熱處理之後，形成於基板 100 上，而無需暴露至空氣（請參閱第 5A 圖）。較佳地，第一熱處理及基底絕緣層 102 的形成係在真空中連續地執行。

接著，用以形成源極電極及汲極電極（包含在與源極電極及汲極電極相同的層之中所形成的佈線）之導電層係形成於基底絕緣層 102 之上，且源極電極 108a 及汲極電極 108b 係藉由處理該導電層所形成（請參閱第 5B 圖）。

其次，執行與第一熱處理相似的熱處理，以致使所吸附在基底絕緣層 102、源極電極 108a、及汲極電極 108b 的表面上之氫降低。之後，形成氧化物半導體層 104，而無需暴露至空氣（請參閱第 5C 圖）。較佳地，該熱處理及氧化物半導體層 104 的形成係在真空中連續地執行。

接著，執行第二熱處理。

其次，氧化物半導體層 106 係藉由處理氧化物半導體層 104 所形成。

接著，閘極絕緣層 112 係形成以便覆蓋氧化物半導體層 106，且成為與源極電極 108a 及汲極電極 108b 的一部分接觸（請參閱第 5D 圖）。

然後，形成閘極電極 114（請參閱第 5E 圖）。

透過上述之處理，可製造出電晶體 152。

將參照第 6A 至 6E 圖來敘述第 3A 至 3C 圖中所描繪之電晶體 153 的製造方法之實例。

首先，執行第一熱處理於基板 100 上。

接著，形成基底絕緣層 102 於基板 100 上。

其次，形成氧化物半導體層 104 於基底絕緣層 102 之上（請參閱第 6A 圖）。

注意的是，自第一熱處理的執行步驟至氧化物半導體層 104 的形成步驟之該等步驟係無需暴露至空氣而執行。較佳地，該等步驟係在真空中連續地執行。

然後，執行第二熱處理。

接著，具有島狀形狀的氧化物半導體層 106 係藉由處理氧化物半導體層 104 所形成（請參第 6B 圖）。

接著，閘極絕緣層 112 及閘極電極 114 係藉由形成絕緣層及導電層，且依光微影術來處理該絕緣層及該導電層成為具有相似的形狀，而予以形成（請參照第 6C 圖）。此時，在閘極電極 114 的形成之後，閘極絕緣層 112 可使

用該閘極電極 114 做為遮罩而形成。注意的是，雖然與所描繪的結構不同，但閘極絕緣層 112 無需一定要在形成閘極電極 114 之後才被形成。

其次，用以降低氧化物半導體層 106 之電阻的處理係使用閘極電極 114 做為遮罩而執行，以致使源極區 122a 及汲極區 122b 形成。在閘極電極下面的區域變成通道區 126（請參閱第 6D 圖）。此時，電晶體的通道長度 L 係藉由閘極電極的寬度所決定。藉由在此方式之中使用閘極電極做為遮罩而圖案化，則源極區及汲極區不會與閘極電極重疊，且寄生電容並不會在此區域之中產生；因此，可增加電晶體的操作速度。

接著，形成層間絕緣層 124，且將開口設置於層間絕緣層 124 之與源極區 122a 及汲極區 122b 重疊的區域中。導電層係形成以便連接至源極區及汲極區，且被處理，而佈線 116a 及佈線 116b 則藉以形成（請參閱第 6E 圖）。

透過上述處理，可製造出電晶體 153。

藉由應用此實施例，所擴散至氧化物半導體層之內的氫會被去除，以致使氧可供應至氧化物半導體層以及至基底絕緣層與氧化物半導體層之間的介面。因此，可提供具有常態截止的特徵、高的可靠度、及在其中未施加閘極電壓的情況中之小的電流值之電晶體。

在此實施例中所敘述之該等結構、方法、及其類似者可以與其他實施例中所敘述之任何結構、方法、及其類似者適當地結合。

[實施例 2]

具有顯示功能之半導體裝置（亦稱為顯示裝置）可使用實施例 1 中所示實例之電晶體而予以製造。包含該等電晶體之若干或所有的驅動器電路可形成於其中形成像素部於該處的基板上，而可藉以獲得系統在面板上。

在第 7A 圖中，密封劑 205 係設置以便圍繞著設置在第一基板 201 上的像素部 202 上，且該像素部 202 係以密封劑 205 而被密封於第一基板 201 與第二基板 206 之間。在第 7A 圖中，掃描線驅動器電路 204 及信號線驅動器電路 203 係使用單晶半導體層或多晶半導體層，而各自地形成分離製備於基板上，且安裝於第一基板 201 上之與藉由密封劑 205 所圍繞之區域不同的區域中。各式各樣的信號及電位係自撓性印刷電路（FPC）218a 及 218b，而供應至各自分離所形成的信號線驅動器電路 203 及掃描線驅動器電路 204，以及像素部 202。

在第 7B 及 7C 圖中，密封劑 205 係設置以圍繞著設置在第一基板 201 上的像素部 202 及掃描線驅動器電路 204。第二基板 206 係設置於像素部 202 及掃描線驅動器電路 204 之上。因此，像素部 202 及掃描線驅動器電路 204 係藉由第一基板 201、密封劑 205、及第二基板 206，而與顯示元件密封在一起。在第 7B 及 7C 圖中，信號線驅動器電路 203 係使用單晶半導體層或多晶半導體層，而形成於分離所製備的基板上，且安裝於第一基板 201 上之

與藉由密封劑 205 所圍繞之區域不同的區域中。在第 7B 及 7C 圖中，各式各樣的信號及電位係自 FPC 218 而供應至分離所形成之信號線驅動器電路 203、掃描線驅動器電路 204、及像素部 202。

雖然第 7B 及 7C 圖各自地顯示其中信號線驅動器電路 203 係分離地形成，且安裝於第一基板 201 上之實例，但本發明之一實施例並未受限於此結構。掃描線驅動器電路可分離地形成且然後，予以安裝，或僅一部分之信號線驅動器電路或一部分之掃描線驅動器電路可分離地形成，且然後，予以安裝。

注意的是，分離所形成之驅動器電路的連接方法並未受到特別的限制，且晶片在玻璃上（COG）法、打線接合法、卷帶自動接合（TAB）法、或其類似方法可加以使用。第 7A 圖顯示其中信號線驅動器電路 203 及掃描線驅動器電路 204 係藉由 COG 法所安裝的實例。第 7B 圖顯示其中信號線驅動器電路 203 係藉由 COG 法所安裝的實例。第 7C 圖顯示其中信號線驅動器電路 203 係藉由 TAB 法所安裝的實例。

顯示裝置在其分類中包含其中密封顯示元件之面板，及其中諸如控制器之 IC 係安裝於該面板上之模組。

注意的是，在此說明書中之顯示裝置意指影像顯示裝置、顯示裝置、或光源（包含照明裝置）。該顯示裝置包含以下模組之任一者：設置有諸如 FPC、TAB 卷帶、或 TCP 之連接器的模組；具有其中印刷線路板係設置於 TAB

卷帶或 TCP 之末端的模組；以及其中積體電路（IC）係藉由 COG 法而直接安裝於顯示元件上的模組。

設置在第一基板 201 上之像素部及掃描線驅動器電路包含複數個電晶體，而該等電晶體可應用實施例 1 中所述之做為實例的任何電晶體。

做為顯示裝置中所設置之顯示元件，可使用液晶元件（亦稱為液晶顯示元件）或發光元件（亦稱為發光顯示元件）。發光元件在其分類中包含其中光亮度係藉由電流或電壓所控制之元件，且特別地，在其分類中包含無機電致發光（EL）元件、有機 EL 元件、及其類似物。再者，亦可使用諸如電子墨水之其中對比係藉由電效應而改變的顯示媒質。

將參照第 8 圖、第 9 圖、及第 10 圖來敘述半導體裝置之一實施例。第 8 圖、第 9 圖、及第 10 圖對應於沿著第 7B 圖中之線 M-N 所取得的橫剖面視圖。

如第 8 圖、第 9 圖、及第 10 圖中所描繪地，該半導體裝置包含連接端子電極 215 及端子電極 216。連接端子電極 215 及端子電極 216 係透過各向異性導電層 219 而電性連接至 FPC 218 中所包含的端子。

連接端子電極 215 係藉由與第一電極 230 相同的導電層所形成。端子電極 216 係藉由與電晶體 210 及電晶體 211 之源極電極及汲極電極相同的導電層所形成。

設置在第一基板 201 上之像素部 202 及掃描線驅動器電路 204 各自包含複數個電晶體。在第 8 圖、第 9 圖、及

第 10 圖中，係描繪像素部 202 中所包含之電晶體 210 及掃描線驅動器電路 204 中所包含之電晶體 211 做為實例。

在此實施例中，可應用實施例 1 中所述之任何電晶體至電晶體 210 及 211。在電晶體 210 及 211 之電性特徵中的變動被抑制，且電晶體 210 及 211 係電性地穩定。如上述地，可提供具有高可靠度之半導體裝置做為第 8 圖、第 9 圖、及第 10 圖中之此實施例中的半導體裝置。

在像素部 202 中所設置之電晶體 210 係電性連接至顯示元件，而形成顯示面板。可將各式各樣的顯示元件使用做為該顯示元件，只要可執行顯示即可。

第 8 圖顯示使用液晶元件做為顯示元件之液晶顯示裝置的實例。在第 8 圖中，液晶元件 213 係包含第一電極 230、第二電極 231、及液晶層 208 的顯示元件。注意的是，用作配向層之絕緣層 232 及 233 係設置使得液晶層 208 介於其間。第二電極 231 係形成於第二基板 206 側。第一電極 230 及第二電極 231 係以液晶層 208 介於其間而堆疊。

藉由選擇性蝕刻絕緣層所獲得之柱狀間隔物的間隔物 235 係設置以便控制液晶層 208 的厚度（胞格間隙）。選擇性地，可使用球狀間隔物。

在其中使用液晶元件做為顯示元件的情況中，可使用熱向性液晶、低分子液晶、高分子液晶、高分子分散液晶、強誘電性液晶、反強誘電性液晶、或其類似物。該液晶材料根據條件而顯示膽固醇相、碟狀液晶分子相、立方相

、手徵向列相、各向同性相、或其類似相。

選擇性地，可使用顯示藍色相而無需配向層之液晶。藍色相係液晶相之一，其係正好在當增加膽固醇性液晶之溫度時，且同時膽固醇相改變成為各向同性相之前所產生。因為藍色相僅在狹窄的溫度範圍中出現，所以使用其中混合有手徵性材料之液晶組成物於液晶層中，以便改良溫度範圍。包含展示有藍色相之液晶及手徵性劑的液晶組成物具有 1 毫秒或更小之短的反應時間，具有無需配向處理之光學各向同性，且具有小的視角相依性。此外，因為無需設置配向層且無需一定要磨擦定向處理，所以可防止由於磨擦定向處理所造成之靜電放電損壞，且可降低製造處理中之液晶顯示裝置的缺陷和損壞。因此，可增加液晶顯示裝置的生產率。

液晶材料的電阻率係 $1 \times 10^9 \Omega \cdot \text{cm}$ 或更大，較佳地係 $1 \times 10^{11} \Omega \cdot \text{cm}$ 或更大，更佳地係 $1 \times 10^{12} \Omega \cdot \text{cm}$ 或更大。在此說明書中之電阻率的值係測量於 20°C 。

設置在液晶顯示裝置中之儲存電容器的尺寸係考慮設置在像素部或其類似物中之漏電流而設定，以致使電荷可被保持預定之週期。因為使用包含高純度之氧化物半導體層的電晶體，所以可足以提供具有小於或等於 $1/3$ ，較佳地小於或等於 $1/5$ 之每一個像素的液晶電容之電容的儲存電容器。

在此實施例中所使用之包含高度純化之氧化物半導體層的電晶體中，可使截止狀態中之電流（截止狀態電流）

變小。因此，可將諸如影像信號之電信號保持長的週期，且當開啓電源時，可將寫入間隔設定爲更長。因而，可降低再新操作的頻率，而產生抑制功率消耗的功效。

在此實施例中所使用之包含高度純化之氧化物半導體層的電晶體之場效應遷移率可相對地高，而可藉以高速操作。因此，藉由使用該電晶體於液晶顯示裝置的像素部中，可提供高品質的影像。此外，因爲該等電晶體可分離地設置於一基板上的驅動器電路部及像素部之中，所以可降低液晶顯示裝置之組件的數目。

對於液晶顯示裝置，可使用扭轉向列（TN）模式、平面開關（IPS）模式、邊緣電場開關（FFS）模式、軸向對稱配向之微胞（ASM）模式、光學補償雙折射（OCB）模式、強誘電性液晶（FLC）模式、反強誘電性液晶（AFLC）模式、或其類似物。

可使用諸如利用垂直配向（VA）模式之透射式液晶顯示裝置的常態黑色液晶顯示裝置。垂直配向模式係液晶顯示裝置之液晶分子的配向控制方法之一。該垂直配向模式係其中當未施加電壓時，液晶分子係垂直配向於面板表面的模式。可給定若干實例，做爲垂直配向模式。例如，可給定多域垂直配向（MVA）模式、圖案化垂直配向（PVA）模式、高級超視野（ASV）模式、及其類似模式。此外，可使用所謂場域放大或多域之設計的方法，其中將像素畫分成爲若干區域（子像素），且使分子以不同方向而在其個別的區域中配向。

在該顯示裝置中，可適當地設置黑色矩陣（遮光層），諸如偏光構件、延遲構件、或抗反射構件之光學構件（光學基板）、及其類似物。例如，圓形偏光可藉由使用偏光基板及延遲基板而被採用。此外，可使用背光、側光、或其類似光做為光源。

此外，透過使用複數個發光二極體（LED）做為背光，可使用分時顯示方法（亦稱場順序驅動法）。藉由場順序驅動法，可執行彩色顯示而無需使用濾色片。

做為像素部中的顯示方法，係使用漸進法、隔行法、或其類似方法。在彩色顯示時，於像素中所控制的彩色元素並未受限於二顏色：R、G、及B（R、G及B分別對應於紅色、綠色、及藍色）。例如，可使用R、G、B、及W（W對應於白色）、或R、G、B、及黃色、青色、紫紅色、及其類似顏色的其中一者或更多者。進一步地，顯示區域的尺寸可在彩色元素的個別點之間有所不同。本發明之實施例並未受限於對彩色顯示之顯示裝置的應用，而是亦可應用至單色顯示之顯示裝置。

選擇性地，做為顯示裝置中所包含之顯示元件，可使用利用電致發光的發光元件。利用電致發光的發光元件係依據發光材料是否係有機化合物或無機化合物而予以分類。通常，前者稱為有機EL元件，以及後者稱為無機EL元件。

在有機EL元件中，藉由施加電壓至發光元件、電子及電洞會自電極之對而分別注入至包含發光有機化合物的

層之內，且電流流動。然後，該等載子（電子及電洞）復合，而藉以發射出光。由於此機制，該發光元件係稱為電流激勵發光元件。

無機 EL 元件係依據其元件結構而被分類成為分散型無機 EL 元件及薄膜無機 EL 元件。分散型無機 EL 元件具有發光層，其中發光材料的粒子係分散於黏結劑中，且其光發射機制係使用施體能階及受體能階之施體-受體復合型光發射。薄膜無機 EL 元件具有其中發光層係介於介電層之間，而該等介電層則進一步介於電極之間的結構，且其光發射機制係使用金屬離子之內殼電子躍遷的局部型光發射。注意的是，在此係敘述有機 EL 元件之實例做為發光元件。

爲了要提取來自發光元件所發射出的光，只要電極對的其中至少一者係透明即可。然後，將電晶體及發光元件形成於基板上。發光元件可具有以下結構之任一者：頂部發射結構，其中光發射係透過相反於基板之表面而提取；底部發射結構，其中光發射係透過基板側之表面而提取；或雙重發射結構，其中光發射係透過相反於基板之表面及基板側之表面而提取。

第 9 圖顯示使用發光元件做為顯示元件之發光裝置的實例。其係顯示元件的發光元件 243 係電性連接至像素部 202 中所設置之電晶體 210。發光元件 243 的結構並未受限於第 9 圖中所描繪之包含第一電極 230、電致發光層 241、及第二電極 231 之堆疊層的結構。發光元件 243 的

結構可根據其中自發光元件 243 提取光之方向或其類似者而適當地改變。

間壁 240 可使用有機絕緣材料或無機絕緣材料而形成。尤其，較佳的是，間壁 240 係使用光敏樹脂材料而形成為具有開口於第一電極 230 上，以致使開口的側壁形成為具有連續曲率的傾斜表面。

電致發光層 241 可以以單層或複數個堆疊層而形成。

保護層可形成於第二電極 231 及間壁 240 之上，以便防止氧、氫、水分、二氧化碳、或其類似物進入至發光元件 243 之內。做為保護層，可給定氮化矽層、氧化氮化矽層、似鑽石之碳（DLC）層、及其類似物。在以第一基板 201、第二基板 206、及密封劑 205 所密封的空間中，係設置填充物 244 且加以密封。在此方式中，較佳地，發光元件係以保護膜（諸如疊層膜或紫外線硬化樹膜）或具有高氣密性之覆蓋物材料以及少許除氣而予以封裝（密封），以致使該發光元件不至於暴露至外部空氣。

做為填充物 244，除了諸如氮或氫之惰性氣體外，可使用紫外線硬化樹脂或熱固化樹脂。例如，係使用聚氯乙烯（PVC）、丙烯酸樹脂、聚醯乙胺樹脂、環氧樹脂、矽氧樹脂、聚乙烯醇縮丁醛（PVB）、乙烯-醋酸乙烯（EVA）、或其類似物。

視需要地，可將諸如偏光板、圓形偏光板（包含橢圓形偏光板）、延遲板（四分之一波板或半波板）、或濾色片之光學膜適當地設置在發光元件的發光表面之上。進一

步地，偏光板或圓形偏光板可設置有抗反射層。例如，可執行其中反射光可藉由表面上之突起及下陷而漫射的抗眩光處理，以便降低眩光。

進一步地，可提供其中驅動電子墨水的電子紙做為顯示裝置。電子紙亦稱為電泳顯示裝置（電泳顯示器），且具有其中具有與正規的紙相同之可讀取性位準、具有比其他顯示裝置更小的功率消耗、以及可被製成為薄且輕的優點。

電泳顯示裝置可具有各式各樣的模式。電泳顯示裝置包含複數個微囊，而分散於溶劑或溶解物中，每一個微囊包含正充電的第一粒子及負充電的第二粒子。藉由施加電場至該等微囊，則在該等微囊中之該等粒子會以彼此相反的方向移動，且僅聚集於一側之粒子的顏色會顯示出。注意的是，第一粒子及第二粒子各自包含顏料，且當不具有電場時，並不會移動。此外，第一粒子及第二粒子具有不同的顏色（其可係無色）。

因此，電泳顯示裝置係使用其中具有高介電常數的物質移動至高電場區之所謂介電泳動效應顯示器。

其中上述微囊分散於溶劑中之溶液係稱為電子墨水。此電子墨水可印刷於玻璃、塑膠、布、紙、及其類似物的表面上。再者，藉由使用濾色片或具有顏料之粒子，亦可獲得彩色顯示。

注意的是，在該等微囊中之第一粒子及第二粒子可各自地藉由選自導電材料、絕緣材料、半導體材料、磁性材

料、液晶材料、強誘電性材料、電致發光材料、電色材料、及磁泳材料之單一材料所形成，或藉由其複合材料所形成。

做為電子紙，可使用利用扭轉球顯示方法的顯示裝置。扭轉球顯示方法意指其中各自以黑色及白色所著色的球狀粒子係配置在使用於顯示元件之電極的第一電極與第二電極之間，且電位差係產生於該第一電極與第二電極之間，而控制該等球狀粒子的取向，以致使顯示被執行之方法。

第 10 圖描繪主動矩陣電子紙做為半導體裝置的實例。在第 10 圖中的電子紙係使用扭轉球顯示方法之顯示裝置的實例。

在連接至電晶體 210 的第一電極 230 與設置在第二基板 206 上的第二電極 231 之間，係設置球狀粒子 253，而每一個球狀粒子 253 包含黑色區 255a、白色區 255b、及圍繞該等區域而充填有液體之空腔 252。在球狀粒子 253 周圍的空間係充填有諸如樹脂之充填物 254。第二電極 231 對應於共同電極（相對電極）。該第二電極 231 係電性連接至共同電位線。

注意的是，在第 8 圖、第 9 圖、及第 10 圖中，可使用撓性基板以及玻璃基板做為第一基板 201 及第二基板 206。例如，係使用具有透光性質的塑膠基板。對於塑膠，係使用纖維玻璃強化塑膠（FRP）板、聚氟乙烯（PVF）膜、聚酯膜、或丙烯酸樹脂膜。具有其中鋁箔係介於

PVF 膜之間或聚酯膜之間的結構之薄板可予以使用。

絕緣層 221 可使用有機絕緣材料或無機絕緣材料而形成。注意的是，具有熱阻性的有機絕緣材料，諸如丙烯酸樹脂、聚醯乙胺樹脂、苯并環丁烯樹脂、聚醯胺樹脂、或環氧樹脂係較佳地使用做為平坦化絕緣層。除了該等有機絕緣材料之外，可使用低介電常數材料（低 k 材料）、矽氧烷為主樹脂、磷矽酸鹽玻璃（PSG）、硼矽酸鹽玻璃（BPSG）、或其類似物。該絕緣層 221 可藉由堆疊複數個由該等材料所形成之絕緣層而形成。

在用以形成絕緣層 221 之方法上並無特殊的限制，該絕緣層 221 可根據其材料，而藉由濺鍍法、旋塗法、浸漬法、噴塗法、液滴排放法（例如，噴墨法、絲網印刷、或平版印刷）、輥塗法、簾塗法、刀塗法、或其類似方法所形成。

顯示裝置藉由自光源或顯示元件傳送光而執行顯示。因此，設置於其中傳送光的像素部中之基板及諸如絕緣層及導電層的薄膜具有相對於可見光波長範圍中的光之透光性質。

用以施加電壓至顯示元件之第一電極及第二電極（其可各自地稱為像素電極層、共同電極層、相對電極層、或其類似物）可根據其中提取光的方向、其中設置電極的位置、及電極的圖案結構，而具有透光性質或反光性質。

第一電極 230 及第二電極 231 可使用諸如，包含氧化鎢之氧化銦、包含氧化鎢之銦鋅氧化物、包含氧化鈦之氧

化銦、包含氧化鈦之銦錫氧化物、銦錫氧化物（在下文中，稱為 ITO）、銦鋅氧化物、或添加氧化矽之銦錫氧化物的透光導電材料而形成。

第一電極 230 及第二電極 231 係使用選自諸如，鎢（W）、鉬（Mo）、鋯（Zr）、鈦（Hf）、釩（V）、鈮（Nb）、鉭（Ta）、鉻（Cr）、鈷（Co）、鎳（Ni）、鈦（Ti）、鉑（Pt）、鋁（Al）、銅（Cu）、或銀（Ag）之元素；其合金；及其氮化物而形成。

可使用包含導電性高分子（亦稱為導電性聚合物）之導電性組成物於第一電極 230 及第二電極 231。做為導電性高分子，可使用所謂 π 電子共軛導電性聚合物。例如，可給定聚苯胺或其衍生物、聚吡咯或其衍生物、聚噻吩或其衍生物、以及苯胺、吡咯、及噻吩之二或更多者的共聚物或其衍生物。

因為電晶體係易於由於靜電或其類似物而損壞，所以較佳地提供用以保護驅動器電路的保護電路。該保護電路係較佳地使用非線性元件而形成。

如上述地，藉由使用實施例 1 中所示之該等電晶體的任一者，可提供消耗低功率之高度可靠的半導體裝置。注意的是，在實施例 1 中所示之實例的電晶體不僅可施加至具有上述顯示功能的半導體裝置，而且可施加至具有各式各樣功能的半導體裝置，例如，安裝在電源供應電路上的電力裝置，諸如 LSI 的半導體積體電路、及具有讀取物件資訊之影像感測器功能的半導體裝置。

在此實施例中所述之結構、方法、及其類似者可以與其他實施例中所述之該等結構、方法、及其類似者之任一者適當地結合。

[實施例 3]

本發明一實施例之半導體裝置可應用至各式各樣的電子裝置（包含遊戲機）。電子裝置的實例係電視機（亦稱為電視或電視接收器）、電腦或其類似物之監測器，諸如數位相機或數位攝影機之相機、數位像框、行動電話手機（亦稱為行動電話或行動電話裝置）、攜帶式遊戲機、攜帶式資訊終端機、聲頻再生裝置，及諸如柏青哥（pachinko）機之大型遊戲機。將敘述各自包含上述實施例中所述之半導體裝置的電子裝置之實例。

第 11A 圖描繪膝上型個人電腦，其包含主體 301、外殼 302、顯示部 303、鍵盤 304、及類似物。藉由應用實施例 1 或 2 中所述之半導體裝置，該膝上型個人電腦可具有高度可靠性。

第 11B 圖描繪攜帶式資訊終端機（PDA），其包含顯示部 313、外部介面 315、操作鈕 314、及其類似物於主體 311 中。尖筆 312 係包含而成為用於操作之附件。藉由應用實施例 1 或 2 中所述之半導體裝置，該攜帶式資訊終端機（PDA）可具有高度可靠性。

第 11C 圖描繪電子書閱讀器的實例。例如，電子書閱讀器 320 包含二外殼，亦即，外殼 321 及外殼 322。外殼

321 及外殼 322 係以鉸鏈 325 而結合，以致使電子書閱讀器 320 可以以鉸鏈 325 為軸而開啓及閉合。具有該結構，電子書閱讀器 320 可如書本一樣地操作。

顯示部 323 及顯示部 324 係分別結合於外殼 321 及外殼 322 中。顯示部 323 及顯示部 324 可顯示一影像或不同的影像。當顯示部 323 及顯示部 324 顯示不同的影像時，例如，正文可顯示於右側之顯示部（第 11C 圖中之顯示部 323）上，且圖形可顯示於左側之顯示部（第 11C 圖中之顯示部 324）上。藉由應用實施例 1 或 2 中所述之半導體裝置，該電子書閱讀器 320 可具有高度可靠性。

第 11C 圖顯示其中外殼 321 係設置有操作部及其類似物之實例。例如，外殼 321 係設置有電源開關 326、操作鍵 327、揚聲器 328、及其類似物。具有該操作鍵 327，則可翻閱頁面。注意的是，鍵盤、指標裝置、或其類似物亦可設置在其中設置顯示部於上之外殼的表面上。再者，外部連接端子（耳機端子、USB 端子、或其類似物）、記錄媒體插入部、及其類似物亦可設置在外殼的背面或側面。進一步地，電子書閱讀器 320 可具有電子字典之功能。

電子書閱讀器 320 可無線地傳送及接收資料。透過無線通訊，可自電子書伺服器來採購及下載所欲的書籍資料及其類似物。

第 11D 圖描繪行動電話，其包含二外殼，亦即，外殼 330 及外殼 331。外殼 331 包含顯示面板 332、揚聲器 333、微音器 334、指標裝置 336、相機鏡頭 337、外部連

接端子 338、及其類似物。此外，外殼 330 包含具有行動電話之充電功能的太陽能電池 340、外部記憶體槽 341、及其類似物。進一步地，天線係結合於外殼 331 中。藉由應用實施例 1 或 2 中所述之半導體裝置，該行動電話可具有更高的可靠性。

進一步地，顯示面板 332 係以觸控面板而設置。顯示為影像之複數個操作鍵 335 係藉由點虛線而描繪於第 11D 圖中。注意的是，行動電話包含升壓電路，用以將來自太陽能電池 340 所輸出之電壓升高至每一個電路所需之電壓。

在顯示面板 332 中，可根據使用圖案而適當地改變顯示方向。進一步地，行動電話係設置有相機鏡頭 337 於與顯示面板 332 相同的表面上，且因此，可將其使用為視訊電話。揚聲器 333 及微音器 334 可使用於視訊電話來電，記錄及播放聲音，及其類似者，以及語音通話。此外，可將其中外殼 330 及 331 係如 11D 圖中所描繪地開啓的狀態中之外殼 330 及 331 滑動，使得其中一者重疊在另一者之上；因此，可降低行動電話的尺寸，而使該行動電話適用於攜帶。

外部連接端子 338 可連接至 AC 轉換器及諸如 USB 電纜之各式各樣類型的電纜，且充電及與個人電腦及其類似物之資料通訊亦係可能的。此外，大量資料可藉由插入記錄媒體至外部記憶體槽 341 而予以儲存，且可予以移動。

進一步地，除了上述功能之外，可設置紅外線通訊功

能、電視接收功能、或其類似功能。

第 11E 圖描繪電視機之實例。在電視機 360 中，顯示部 363 係結合於外殼 361 中。顯示部 363 可顯示影像。在此，外殼 361 係藉由座台 365 而予以支撐。藉由應用實施例 1 或 2 中所述之半導體裝置，該電視機 360 可具有高度可靠性。

電視機 360 可藉由外殼 361 之操作開關或分離的遙控器，而予以操作。進一步地，該遙控器可設置有顯示部，用以顯示來自該遙控器所輸出之資料。

注意的是，電視機 360 係設置有接收器、調變解調器、及其類似物。透過接收器的使用，可接收一般的電視廣播。再者，當顯示裝置係經由調變解調器而有線或無線地連接至通訊網路時，可執行單向（自傳送器至接收器）或雙向（在傳送器與接收器之間，或在接收器之間）的資訊通訊。

在此實施例中所述之結構、方法、及其類似者可以與其他實施例中所述之該等結構、方法、及其類似者之任一者適當地結合。

[實例 1]

在此實例中，將敘述透過基底絕緣層而由基板所擴散至氧化物半導體層之內的氫。

在此實例中，玻璃基板、玻璃基板上的基底絕緣層、及基底絕緣層上的氧化物半導體層之氫濃度係藉由二次離

子質譜測定儀（SIMS），而以深度方向來予以分析。

在此實例中，於深度方向中之氫濃度係在當取樣 4 至 7 的質量數各自係 1 時而分析。

在此，將敘述取樣 4 的製造方法。

首先，將第一氧化矽層形成於玻璃基板上。該第一氧化矽層對應於此說明書中之基底絕緣層。注意的是，該第一氧化矽層的膜形成情形係如下：

- 膜形成方法：RF 濺鍍法
- 靶極：石英靶極
- 膜形成氣體：Ar（25sccm）、O₂（25sccm）
- 電力：1.5 千瓦（13.56MHz）
- 壓力：0.4 帕
- T-S 距離：60 毫米
- 在膜形成中之基板溫度：100℃
- 厚度：300 奈米

其次，形成氧化物半導體層於第一氧化矽層之上。

該氧化物半導體層的膜形成情形係如下：

- 膜形成方法：DC 濺鍍法
- 靶極：In-Ga-Zn-O（In₂O₃：Ga₂O₃：ZnO=1：1：2[

克分子比]）靶極

- 膜形成氣體：Ar（30sccm）、O₂（15sccm）
- 電力：0.5 千瓦（DC）
- 壓力：0.4 帕

- T-S 距離：60 毫米
- 在膜形成中之基板溫度：200℃
- 厚度：100 奈米

接著，形成第二氧化矽層於氧化物半導體層之上。注意的是，該第二氧化矽層的膜形成情形係如下：

- 膜形成方法：RF 濺鍍法
- 靶極：石英靶極
- 膜形成氣體：Ar (25sccm)、O₂ (25sccm)
- 電力：1.5 千瓦 (13.56MHz)
- 壓力：0.4 帕
- T-S 距離：60 毫米
- 在膜形成中之基板溫度：100℃
- 厚度：100 奈米

注意的是，自第一氧化矽層的形成步驟至第二氧化矽層的形成步驟之該等步驟係在真空中連續地執行。如上述地，完成取樣 4。

其次，將敘述取樣 5。取樣 4 的說明將被引用於每一層的膜形成方法。

首先，第一熱處理係執行於其中尚未形成第一氧化矽層於上的玻璃基板上。該第一熱處理係在 1×10^{-5} 帕的真空中，以 400℃ 的基板溫度，而執行 10 分鐘。

其次，在第一熱處理之後，形成第一氧化矽層。

接著，將氧化物半導體層形成於第一氧化矽層之上。

接著，將第二氧化矽層形成於氧化物半導體層之上。

注意的是，自第一熱處理的執行步驟至第二氧化矽層的形成步驟之該等步驟係在真空中連續地執行。如上述地，完成取樣 5。

在此，取樣 6 及取樣 7 係藉由執行第二熱處理於取樣 4 及取樣 5 之上，而分別地獲得。第二熱處理係在氮氛圍下，執行於 450℃，1 小時。

第一表顯示第一熱處理及第二熱處理是否在取樣 4 至 7 上執行。

[第一表]

取樣	第一熱處理	第二熱處理
取樣 4	不執行	不執行
取樣 5	執行	不執行
取樣 6	不執行	執行
取樣 7	執行	執行

取樣 4、取樣 5、取樣 6、及取樣 7 的 SIMS 結果係分別顯示於第 15 圖、第 16 圖、第 17 圖、及第 18 圖之中。

第 15 圖顯示取樣 4 的 SIMS 結果。實線 1001 顯示當取樣 4 之質量數係 1 時的氫濃度，實線 1003 顯示當取樣 4 之質量數係 30 時之矽的二次離子強度，以及實線 1005 顯示當取樣 4 之質量數係 16 時之氧的二次離子強度。

第 16 圖顯示取樣 5 的 SIMS 結果。實線 1101 顯示當取樣 5 之質量數係 1 時的氫濃度，實線 1103 顯示當取樣

5 之質量數係 30 時之矽的二次離子強度，以及實線 1105 顯示當取樣 5 之質量數係 16 時之氧的二次離子強度。

第 17 圖顯示取樣 6 的 SIMS 結果。實線 1201 顯示當取樣 6 之質量數係 1 時的氫濃度，實線 1203 顯示當取樣 6 之質量數係 30 時之矽的二次離子強度，以及實線 1205 顯示當取樣 6 之質量數係 16 時之氧的二次離子強度。

第 18 圖顯示取樣 7 的 SIMS 結果。實線 1301 顯示當取樣 7 之質量數係 1 時的氫濃度，實線 1303 顯示當取樣 7 之質量數係 30 時之矽的二次離子強度，以及實線 1305 顯示當取樣 7 之質量數係 16 時之氧的二次離子強度。

注意的是，範圍 1011 顯示第二氧化矽層；範圍 1012 顯示氧化物半導體層；範圍 1013 顯示第一氧化矽層；以及範圍 1014 顯示玻璃基板。在此，氧化矽的標準取樣係使用以定氫濃度的量；因此，在當質量數係 1 時之定量的氫濃度係在範圍 1011 及範圍 1013 中。

當相互比較取樣 4 及取樣 5 時，所發現到的是，在每一個實例中存在有峰值的氫濃度於靠近玻璃基板的第一氧化矽層中。在取樣 4 及取樣 5 中，於個別峰值之氫濃度分別係 3.7×10^{20} 原子/立方公分及 1.1×10^{20} 原子/立方公分。

當相互比較取樣 4 及取樣 6 時，所發現到的是，在 500 奈米至 400 奈米的深度範圍中，存在有高的氫濃度區域於第一氧化矽層中。此係由於第二熱處理之氫的擴散所導致。

以相似的方式，當相互比較取樣 5 及取樣 7 時，所發

現到的是，在 500 奈米至 450 奈米的深度範圍中，存在有高的氫濃度區域於第一氧化矽層中。

所發現到的是，在取樣 7 的第一氧化矽層中所擴散之氫的數量係比取樣 6 的第一氧化矽層中所擴散之氫的數量更少。

進一步地，降低第一氧化矽層中所擴散之氫的數量之有利功效亦可由於厚地形成第一氧化矽層而降低。

由此實施例所發現到的是，由於第二熱處理之氫至氧化物半導體層內的擴散所導致之不利效應可藉由以第一熱處理來事先降低基板表面上所存在之氫的數量，而予以降低。

[實例 2]

在此實例中，將敘述第 1A 至 1C 圖中所描繪之包含氧化物半導體層的電晶體之製造方法和特徵。在此實例中，係製造取樣 1 至 3 且測量個別的特徵。

做為基板，係使用玻璃基板。

執行第一熱處理於玻璃基板上。該第一熱處理係在 1×10^{-5} 帕的真空中，以 400°C 的基板溫度，而執行 10 分鐘。

之後，基底絕緣層及氧化物半導體層係在真空中連續地形成。

基底絕緣層的膜形成情形係如下：

- 膜形成方法：RF 濺鍍法

- 靶極：石英靶極
- 膜形成氣體：Ar (25sccm) 、 O₂ (25sccm)
- 電力：1.5 千瓦 (13.56MHz)
- 壓力：0.4 帕
- T-S 距離：60 毫米
- 在膜形成中之基板溫度：100℃
- 厚度：300 奈米

氧化物半導體層的膜形成情形係如下：

- 膜形成方法：DC 濺鍍法
- 靶極：In-Ga-Zn-O (In₂O₃ : Ga₂O₃ : ZnO=1 : 1 : 2[

克分子比]) 靶極

- 膜形成氣體：Ar (30sccm) 、 O₂ (15sccm)
- 電力：0.5 千瓦 (DC)
- 壓力：0.4 帕
- T-S 距離：60 毫米
- 在膜形成中之基板溫度：200℃
- 厚度：30 奈米

接著，具有島狀形狀的氧化物半導體層係藉由處理該氧化物半導體層而形成。

其次，其係導電層之鎢層係藉由 DC 濺鍍法而形成有 100 奈米的厚度，且源極電極及汲極電極係藉由處理該鎢層所形成。

接著，氮氧化矽層係藉由電漿 CVD 法而形成為具有 15 奈米之厚度的閘極絕緣層。

接著，其係導電層之氮化鉬層及鎢層係藉由 DC 濺鍍法而分別形成有 15 奈米及 135 奈米的厚度，且閘極電極係藉由處理該氮化鉬層及鎢層所形成。

然後，執行第二熱處理。該第二熱處理係在氮氣體氛圍下，以 250℃、300℃、或 350℃ 之溫度，而執行 1 小時。此時，取樣 1、取樣 2、及取樣 3 的加熱溫度係分別設定為 250℃、300℃、及 350℃。

透過上述處理，可製造出此實例之電晶體。

第 12A 及 12B 圖、第 13A 及 13B 圖、及第 14A 及 14B 圖顯示此實例之電晶體中汲極電流 (I_{ds}) - 閘極電壓 (V_{gs}) 測量結果。25 點的測量結果均予以顯示。通道長度 L 係 0.8 微米及 3 微米，以及通道寬度 W 係 10 微米。注意的是，在電晶體的源極電極與汲極電極間之電壓 V_{ds} 係設定為 3 伏特 (V)。

第 12A 及 12B 圖係取樣 1 的 I_{ds} - V_{gs} 測量結果。第 12A 圖係通道長度 L 為 0.8 微米之電晶體的測量結果，以及第 12B 圖係通道長度 L 為 3 微米之電晶體的測量結果。第 13A 及 13B 圖係取樣 2 的 I_{ds} - V_{gs} 測量結果。第 13A 圖係通道長度 L 為 0.8 微米之電晶體的測量結果，以及第 13B 圖係通道長度 L 為 3 微米之電晶體的測量結果。第 14A 及 14B 圖係取樣 3 的 I_{ds} - V_{gs} 測量結果。第 14A 圖係通道長度 L 為 0.8 微米之電晶體的測量結果；以及第 14B 圖係

通道長度 L 為 3 微米之電晶體的測量結果。

第 2 表顯示由第 12A 及 12B 圖、第 13A 及 13B 圖、以及第 14A 及 14B 圖所獲得之每一個電晶體的特徵。第 2 表顯示臨限電壓及當設定 V_{gs} 為 0 伏特 (V) 時的電流值。

[第 2 表]

取樣	通道長度 L [微米]	第二熱處理溫度 [°C]	臨限電壓 [V]	電流值($V_{gs}=0V$) [A]
取樣 1	0.8	250	0.22	1.7E-08
取樣 2	0.8	300	0.70	4.8E-11
取樣 3	0.8	350	0.72	1.2E-12
取樣 1	3	250	0.40	8.1E-10
取樣 2	3	300	0.68	9.7E-13
取樣 3	3	350	0.71	1.0E-13 或更小

從第 2 表可知的是，取樣 3 的臨限電壓係高於取樣 2 的臨限電壓，且取樣 2 的臨限電壓係高於取樣 1 的臨限電壓。此傾向係顯著於其中通道長度 L 成為更短的情況中。

進一步地，從第 2 表可知的是，當 V_{gs} 係設定為 0V 時，取樣 1 的電流值係高於取樣 2 的電流值，且當 V_{gs} 係設定為 0V 時，取樣 2 的電流值係高於取樣 3 的電流值。特別地，在通道長度係 3 微米之取樣 3 的結果中，電流值係小於或等於 $1.0 \times 10^{-13} A$ (安培)，而係極小的。此傾向係顯著於其中通道長度 L 成為更短的情況中。

以此方式，在此實例中，可獲得其中具有常態截止特徵及當 V_{gs} 係設定為 0V 時之極小電流值的電晶體。

[實例 3]

在此實例中，將敘述由基底絕緣層所擴散至氧化物半導體層之內的氧。

注意的是，爲了要評估氧至氧化物半導體層內的擴散，使 ^{18}O 包含於基底絕緣層之中。注意的是，其係氧的穩定同位素之一的 ^{18}O 係質量數爲 18 之氧，且亦以大約 0.2 % 的程度而天然地存在。在此實例中， ^{18}O 係僅當被指明時才使用。

在此實例中，於取樣 8 至 11 中， ^{18}O 係藉由 SIMS，而以深度方向被分析。

在此，將敘述每一個取樣的製造方法。

首先，氧化矽層係形成於石英基板上，做爲基底絕緣層。該氧化矽層的膜形成情形係如下：

- 膜形成方法：RF 濺鍍法
- 靶極：石英靶極
- 膜形成氣體：Ar (25sccm)、 O_2 (25sccm)
- 電力：1.5 千瓦 (13.56MHz)
- 壓力：0.4 帕
- T-S 距離：60 毫米
- 在膜形成中之基板溫度：100℃
- 厚度：300 奈米

然而， ^{18}O 係使用於膜形成氣體之氧。

接著，形成氧化物半導體層於氧化矽層之上。

該氧化物半導體層的膜形成情形係如下：

- 膜形成方法：DC 濺鍍法
- 靶極：In-Ga-Zn-O (In_2O_3 : Ga_2O_3 : ZnO =1 : 1 : 2[

克分子比]) 靶極

- 膜形成氣體：Ar (30sccm)、O₂ (15sccm)
- 電力：0.5 千瓦 (DC)
- 壓力：0.4 帕
- T-S 距離：60 毫米
- 在膜形成中之基板溫度：200℃
- 厚度：100 奈米

然後，執行第二熱處理。該熱處理係在氮氣體氛圍下，以 450℃、550℃、或 650℃ 之溫度，而執行 1 小時。在此，該加熱並未執行取樣 8 之上；且取樣 9、取樣 10、及取樣 11 的加熱溫度係分別設定為 450℃、550℃、及 650℃。

第 19 圖顯示以深度方向而分析取樣 8 至 11 之 ¹⁸O 的結果。符號 2001、符號 2003、符號 2005、及符號 2007 分別顯示取樣 8、取樣 9、取樣 10、及取樣 11。此外，範圍 2011 顯示氧化物半導體層、以及範圍 2013 顯示氧化矽層。在此，質量數為 18 之定量的氧係在範圍 2011 中。注意的是，點虛線 2015 顯示氧化物半導體層中的 ¹⁸O 之定量的下限。

所發現到的是， ^{18}O 幾乎不會擴散至實例 8 中的氧化物半導體層之內。進一步地，所發現到的是，當用於取樣 9 至 11 之熱處理的溫度係依序增加時，其中 ^{18}O 擴散至氧化物半導體層內之距離會延伸。

在此，擴散係數係假定 ^{18}O 之擴散源的氧化矽層中之 ^{18}O 的表面濃度係常數；以及在無限遠之 ^{18}O 的濃度係零，而予以估算。透過上述之假定，在深度方向中之 ^{18}O 的濃度分佈可藉由下文所示之公式 1 所表示。

[公式1]

$$C(x,t) = C_s \cdot \text{erfc}\left(\frac{x}{2\sqrt{Dt}}\right)$$

在此， C_s 表示氧化物半導體層中之 ^{18}O 的表面濃度； x 表示距離表面的距離（在此，氧化物半導體層與氧化矽層和氧化物半導體層間的介面之間的距離）；以及 D 表示氧化物半導體層中之 ^{18}O 的擴散係數；以及 t 表示時間。

第 20 圖顯示透過公式 1 所執行之擬合的結果。符號 2101、符號 2103、及符號 2105 分別顯示取樣 9、取樣 10、及取樣 11 中之 ^{18}O 的濃度分佈。此外，實線 2111、實線 2113、及實線 2115 分別顯示取樣 9、取樣 10、及取樣 11 的擬合曲線。在此，範圍 2121 顯示氧化物半導體層，以及範圍 2123 顯示氧化矽層。在此，定量的 ^{18}O 係在範圍 2121 中。注意的是，點虛線 2125 顯示氧化矽層與氧化物半導體層之間的介面，以及點虛線 2127 顯示氧化物半

導體層的表面。注意的是，該擬合並未執行於取樣 8 上，因為從第 19 圖並不確定擴散。

從第 20 圖之擬合結合可知的是，在取樣 9 中之 ^{18}O 的擴散係數係 1.2×10^{-17} 平方公分/秒 ($\text{cm}^2/\text{second}$)，在取樣 10 中之 ^{18}O 的擴散係數係 1.0×10^{-15} 平方公分/秒，以及在取樣 11 中之 ^{18}O 的擴散係數係 1.0×10^{-14} 平方公分/秒。

在此，於氧化物半導體層的溫度 T 時之 ^{18}O 的擴散係數 D 可藉由公式 2 所表示。

[公式2]

$$D = D_0 \cdot \exp\left(\frac{-E_a}{kT}\right)$$

D_0 表示頻率因子； E_a 表示激活能；以及 k 表示波茲曼 (Boltzmann) 常數。

藉由取得公式 2 之兩邊的自然對數，可給定公式 3。

[公式3]

$$\ln D = \ln D_0 - \frac{E_a}{k} \cdot \frac{1}{T}$$

換言之，其中 $\ln D$ 係相對於 T 的倒數而標繪之直線的斜率係藉由 $-(E_a/k)$ 所表示，且正切係藉由 $\ln D_0$ 所表示。

在此，由第 20 圖所獲得之取樣 9 至 11 中之 D 及 T 的倒數之自然對數係標繪及顯示於第 21 圖中。當第 21 圖之繪圖係近似時，則 $\ln D_0$ 及 $-(E_a/k)$ 係分別獲得為 -7.4864 及 -22624 。換言之， D_0 係 5.607×10^{-4} 平方公分/秒。進一

步地，因為 k 係 $1.3807 \times 10^{-23} \text{ J/K}$ ，所以 E_a 係 $3.124 \times 10^{-19} \text{ J}$ 。
當將 E_a 轉換單位時，可獲得 1.95 eV 。

透過此實例，可確定出來自氧化矽層的氧至氧化物半導體層之內的擴散。

進一步地，所發現到的是，當熱處理的溫度增加時，則更多的氧會從氧化矽層擴散到氧化物半導體層之內，且因此，可降低氧化物半導體層與氧化矽層之間的介面狀態以及氧化物半導體層之中的氧缺乏。

此申請案係根據 2010 年 7 月 27 日在日本專利局所申請之日本專利申請案序號 2010-168404，該申請案的全部內容係結合於本文以供參考。

【圖式簡單說明】

第 1A 至 1C 圖係頂視圖及橫剖面視圖，顯示本發明一實施例之半導體裝置的實例；

第 2A 至 2C 圖係頂視圖及橫剖面視圖，顯示本發明一實施例之半導體裝置的實例；

第 3A 至 3C 圖係頂視圖及橫剖面視圖，顯示本發明一實施例之半導體裝置的實例；

第 4A 至 4E 圖係橫剖面視圖，顯示本發明一實施例之半導體裝置的製造方法之實例；

第 5A 至 5E 圖係橫剖面視圖，顯示本發明一實施例之半導體裝置的製造方法之實例；

第 6A 至 6E 圖係橫剖面視圖，顯示本發明一實施例

之半導體裝置的製造方法之實例；

第 7A 至 7C 圖係圖式，其各自地描繪本發明一實施例之半導體裝置的一模式；

第 8 圖係橫剖面視圖，描繪本發明一實施例之半導體裝置的一模式；

第 9 圖係橫剖面視圖，描繪本發明一實施例之半導體裝置的一模式；

第 10 圖係橫剖面視圖，描繪本發明一實施例之半導體裝置的一模式；

第 11A 至 11E 圖係圖式，其各自地描繪電子裝置做為本發明一實施例之半導體裝置；

第 12A 及 12B 圖係圖形，其各自地顯示使用本發明一實施例所製造之半導體裝置的電性特徵；

第 13A 及 13B 圖係圖形，其各自地顯示使用本發明一實施例所製造之半導體裝置的電性特徵；

第 14A 及 14B 圖係圖形，其各自地顯示使用本發明一實施例所製造之半導體裝置的電性特徵；

第 15 圖係圖形，顯示執行二次離子質譜測定儀分析於實例中所製造之取樣上的結果；

第 16 圖係圖形，顯示執行二次離子質譜測定儀分析於實例中所製造之取樣上的結果；

第 17 圖係圖形，顯示執行二次離子質譜測定儀分析於實例中所製造之取樣上的結果；

第 18 圖係圖形，顯示執行二次離子質譜測定儀分析

於實例中所製造之取樣上的結果；

第 19 圖係圖形，顯示實例中所製造的取樣中之氧的擴散；

第 20 圖係圖形，用以分析實例中所製造的取樣中之氧的擴散；以及

第 21 圖係圖形，用以自實例中所製造的取樣中之氧的擴散係數而導出激活能。

【主要元件符號說明】

100：基板

102：基底絕緣層

104，106：氧化物半導體層

108a：源極電極

108b：汲極電極

112：閘極絕緣層

114：閘極電極

116a，116b：佈線

122a：源極區

122b：汲極區

124：層間絕緣層

126：通道區

130a，130b：接觸孔

151，152，153，210，211：電晶體

201：第一基板

- 202：像素部
- 203：信號線驅動器電路
- 204：掃描線驅動器電路
- 205：密封劑
- 206：第二基板
- 208：液晶層
- 213：液晶元件
- 215：連接端子電極
- 216：端子電極
- 218，218a，218b：FPC（撓性印刷電路）
- 219：各向異性導電層
- 221，232，233：絕緣層
- 230：第一電極
- 231：第二電極
- 235：間隔物
- 240：間壁
- 241：電致發光層
- 243：發光元件
- 244，245：填充物
- 252：空腔
- 253：球狀粒子
- 255a：黑色區
- 255b：白色區
- 301，311：主體

302, 321, 322, 330, 331, 361 : 外殼

303, 313, 323, 324, 363 : 顯示部

304 : 鍵盤

312 : 尖筆

314 : 操作鈕

315 : 外部介面

320 : 電子書閱讀器

325 : 鉸鏈

326 : 電源開關

327, 335 : 操作鍵

328, 333 : 揚聲器

332 : 顯示面板

334 : 微音器

336 : 指標裝置

337 : 相機鏡頭

338 : 外部連接端子

340 : 太陽能電池

341 : 外部記憶體槽

360 : 電視機

365 : 座台

1001, 1003, 1005, 1101, 1103, 1105, 1201, 1203

, 1205, 1301, 1303, 1305, 2111, 2113, 2115 : 實線

1011, 1012, 1013, 1014, 2011, 2013, 2121, 2123

: 範圍

201220497

2001 , 2003 , 2005 , 2007 , 2101 , 2103 , 2105 : 符 號

2015 , 2125 , 2127 : 點 虛 線

發明專利說明書

(本申請書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：100126358

※申請日：100 年 07 月 26 日

※IPC 分類：H01L 29/18 :2006.01

一、發明名稱：(中文／英文)

H01L 21/324 :2006.01

半導體裝置及其製造方法

Semiconductor device and method of manufacturing the same

二、中文發明摘要：

本發明之目的在於製造半導體裝置，其中包含氧化物半導體的電晶體具有常態關閉之特徵，小的變動於電性特徵中，以及高的可靠度。首先，執行第一熱處理於基板上，形成基底絕緣層於基板上，及形成氧化物半導體層於基底絕緣層上，而自執行第一熱處理之步驟至形成氧化物半導體層之步驟係無需暴露至空氣而執行。其次，在形成氧化物半導體層之後，則執行第二熱處理。其中氧係藉由加熱而被釋放出之絕緣層係使用做為基底絕緣層。

三、英文發明摘要：

It is an object to manufacture a semiconductor device in which a transistor including an oxide semiconductor has normally-off characteristics, small fluctuation in electric characteristics, and high reliability. First, first heat treatment is performed on a substrate, a base insulating layer is formed over the substrate, an oxide semiconductor layer is formed over the base insulating layer, and the step of performing the first heat treatment to the step of forming the oxide semiconductor layer are performed without exposure to the air. Next, after the oxide semiconductor layer is formed, second heat treatment is performed. An insulating layer from which oxygen is released by heating is used as the base insulating layer.

七、申請專利範圍：

1. 一種半導體裝置，包含：

基底絕緣層，係設置於基板上；以及

氧化物半導體層，係設置於該基底絕緣層上，

其中在該基板與該基底絕緣層之間的介面處之氫濃度係小於或等於 1.1×10^{20} 原子/立方公分。

2. 如申請專利範圍第1項之半導體裝置，其中，在該基底絕緣層中，被轉換成為氧原子之氧的釋放數量係在熱脫附光譜儀之中大於或等於 1.0×10^{18} 原子/立方公分。

3. 如申請專利範圍第1或2項之半導體裝置，其中該基底絕緣層係氧化矽，其中每一單位體積之氧原子的數目係比每一單位體積之矽原子的數目大兩倍以上。

4. 一種半導體裝置的製造方法，包含以下步驟：

執行第一熱處理於基板上；

形成基底絕緣層於該基板上；以及

形成氧化物半導體層於該基底絕緣層上，

其中自該第一熱處理的執行至該氧化物半導體層的形成之一系列的步驟係無需暴露至空氣而執行。

5. 如申請專利範圍第4項之半導體裝置的製造方法，其中該第一熱處理的溫度係高於或等於 100°C ，且低於該基板的應變點。

6. 如申請專利範圍第4或5項之半導體裝置的製造方法，其中自該第一熱處理的該執行至該氧化物半導體層的該形成之該系列的步驟係執行於真空中。

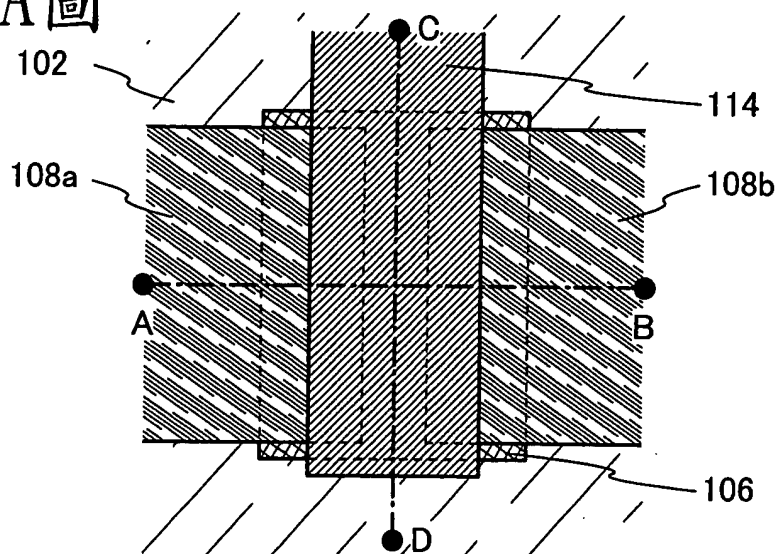
7. 如申請專利範圍第 4 至 6 項中任一項之半導體裝置的製造方法，其中，在該基底絕緣層中，被轉換成為氧原子之氧的釋放數量係在熱脫附光譜儀之中大於或等於 1.0×10^{18} 原子/立方公分。

8. 如申請專利範圍第 4 至 7 項中任一項之半導體裝置的製造方法，其中該基底絕緣層係氧化矽，其中每一單位體積之氧原子的數目係比每一單位體積之矽原子的數目大兩倍以上。

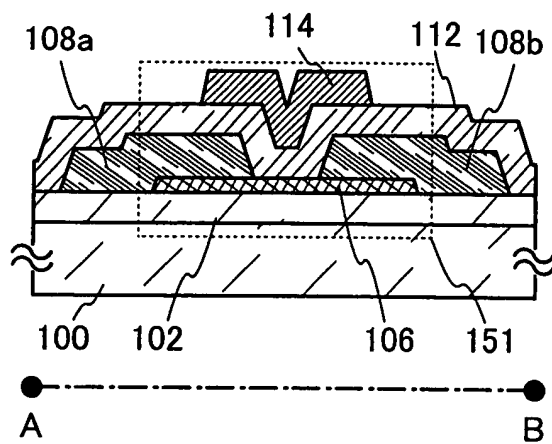
9. 如申請專利範圍第 4 至 8 項中任一項之半導體裝置的製造方法，其中該氧化物半導體層係處理成為島狀形狀；閘極絕緣層形成，其覆蓋被處理成為島狀形狀之該氧化物半導體層；以及在形成該閘極絕緣層之後，第二熱處理係執行於該基板上超過一次，直至電晶體被形成時為止。

10. 如申請專利範圍第 9 項之半導體裝置的製造方法，其中該第二熱處理的溫度係高於或等於 150°C ，且低於該基板的應變點。

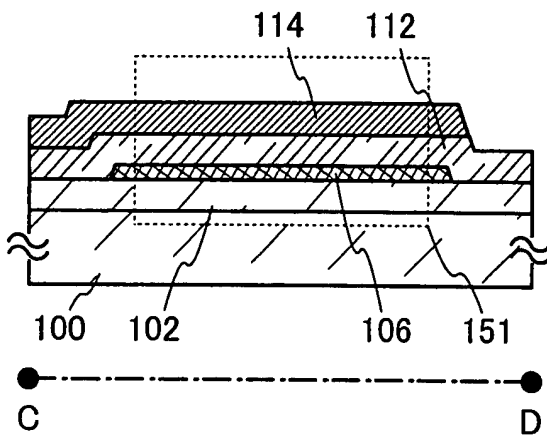
第1A圖



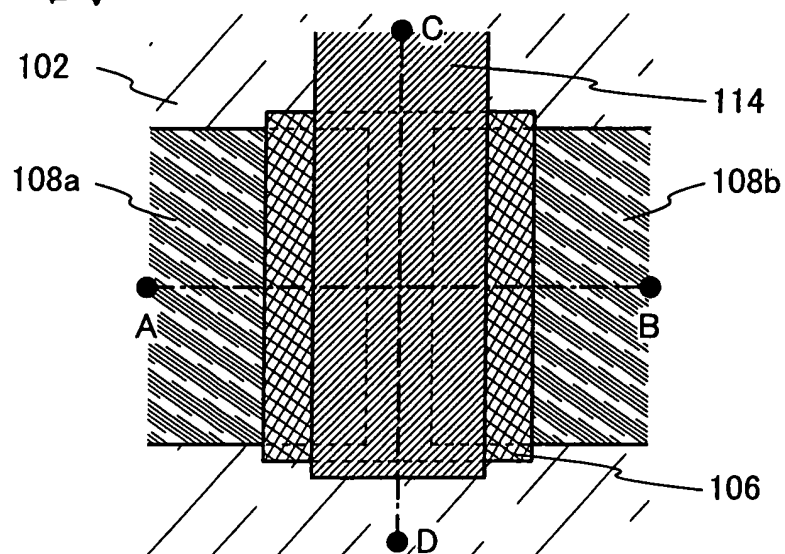
第1B圖



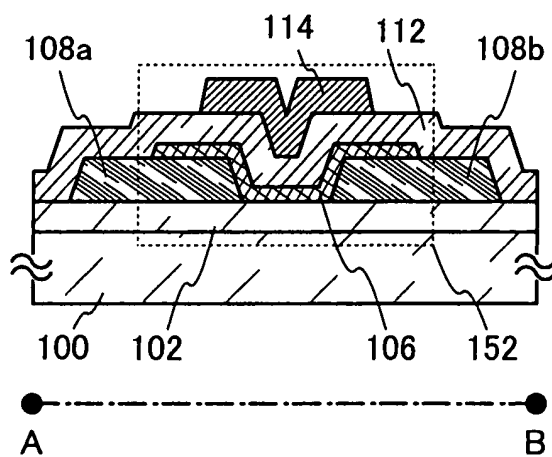
第1C圖



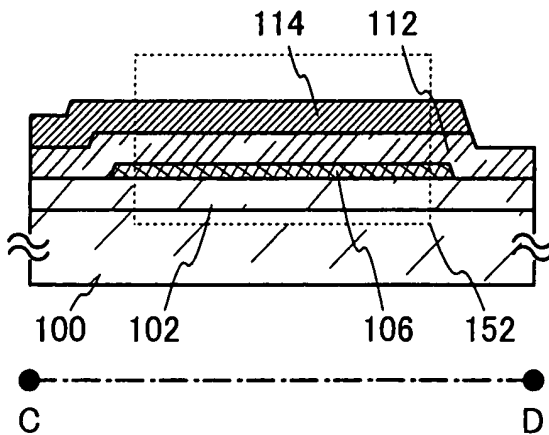
第2A圖



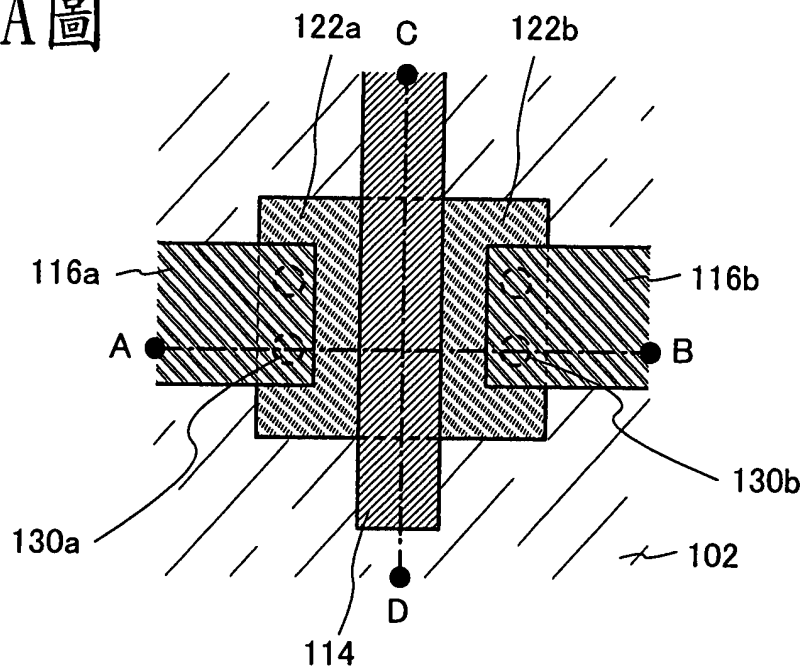
第2B圖



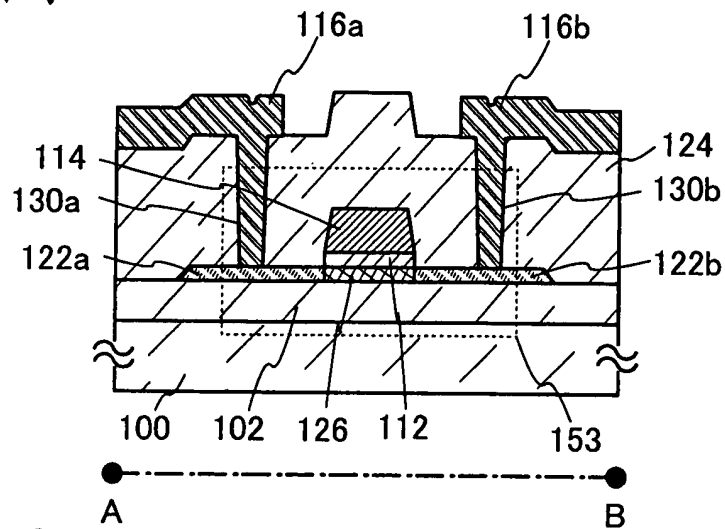
第2C圖



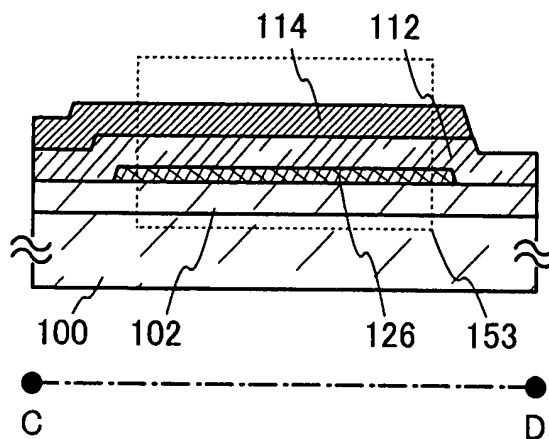
第3A圖



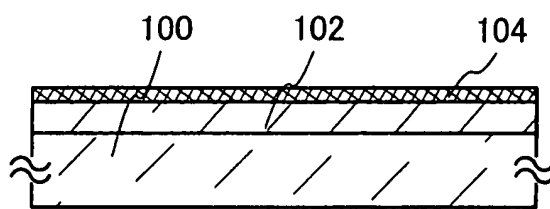
第3B圖



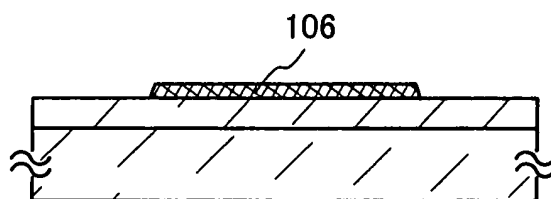
第3C圖



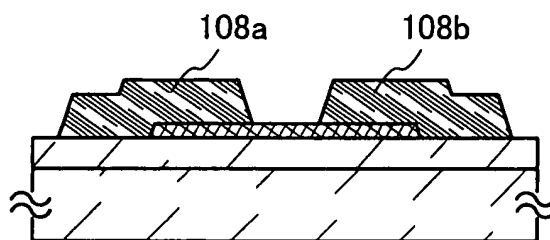
第4A圖



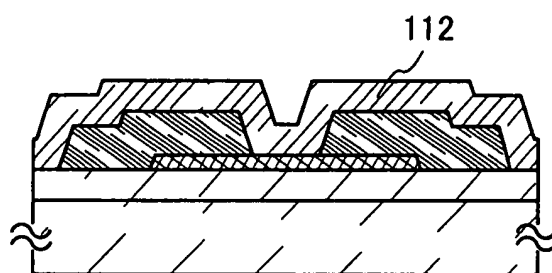
第4B圖



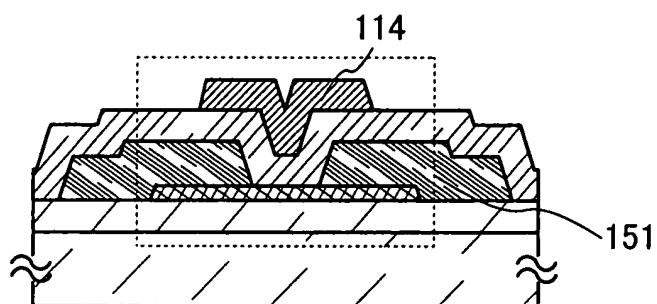
第4C圖



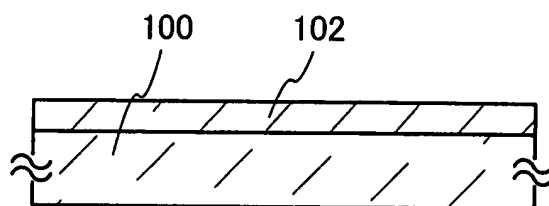
第4D圖



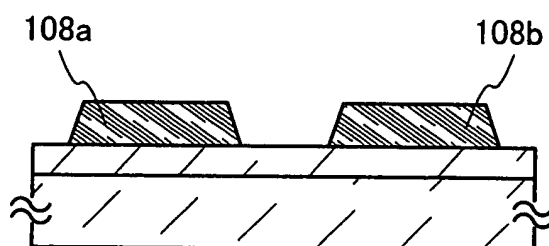
第4E圖



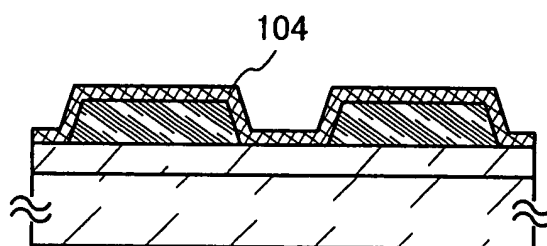
第5A圖



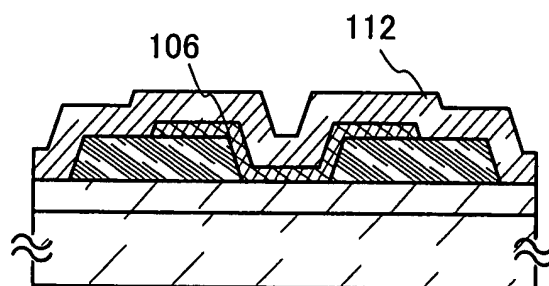
第5B圖



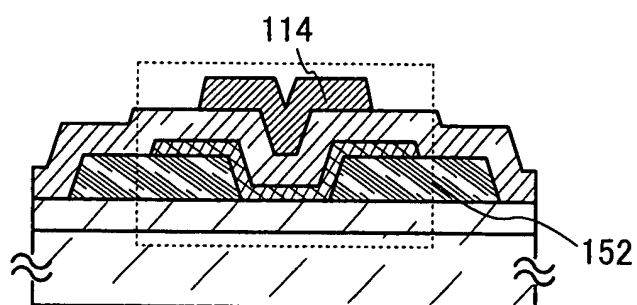
第5C圖



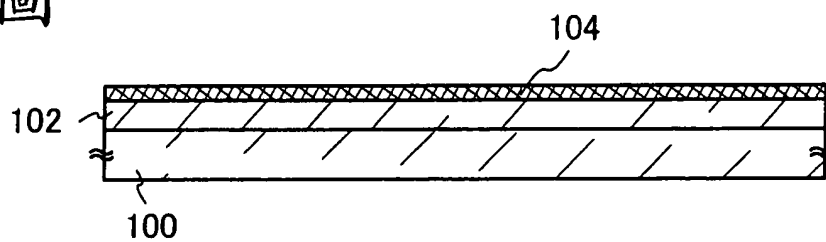
第5D圖



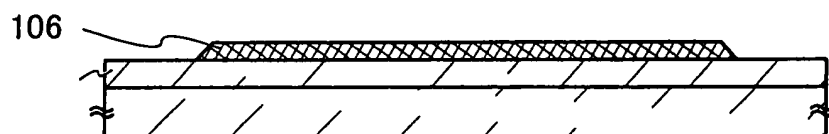
第5E圖



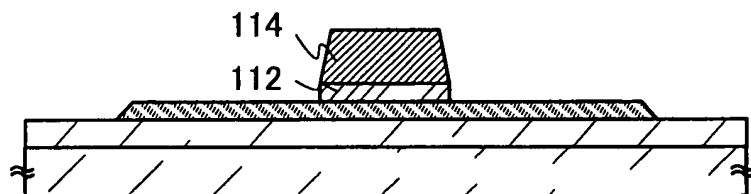
第6A圖



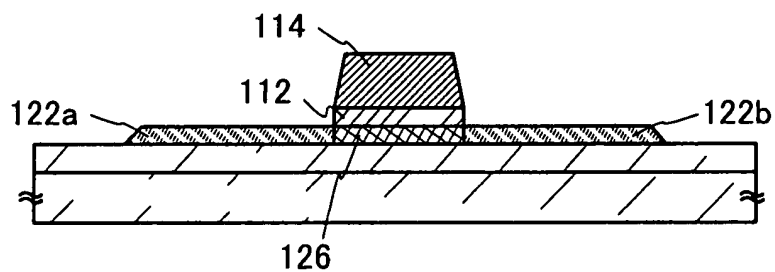
第6B圖



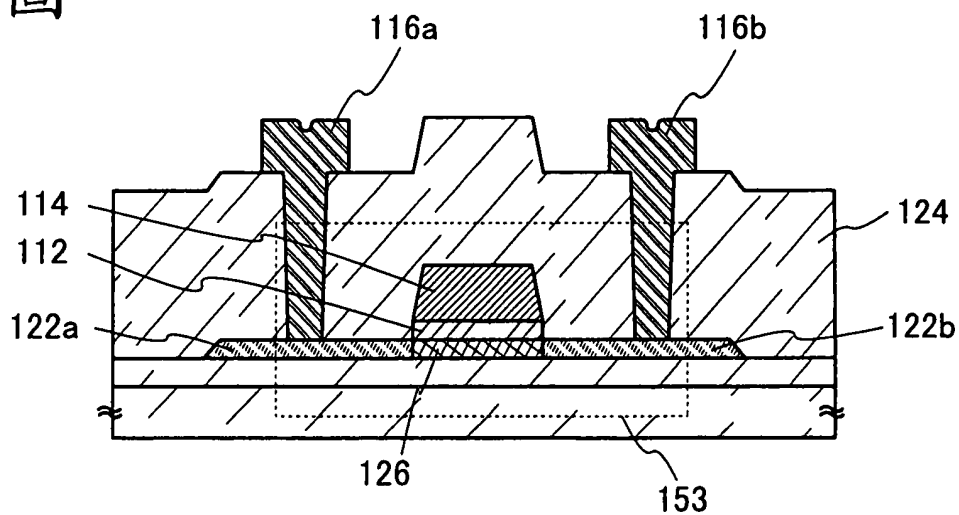
第6C圖



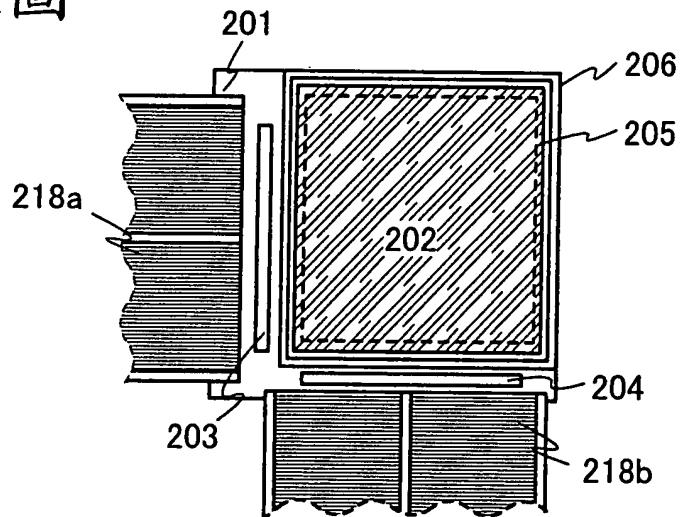
第6D圖



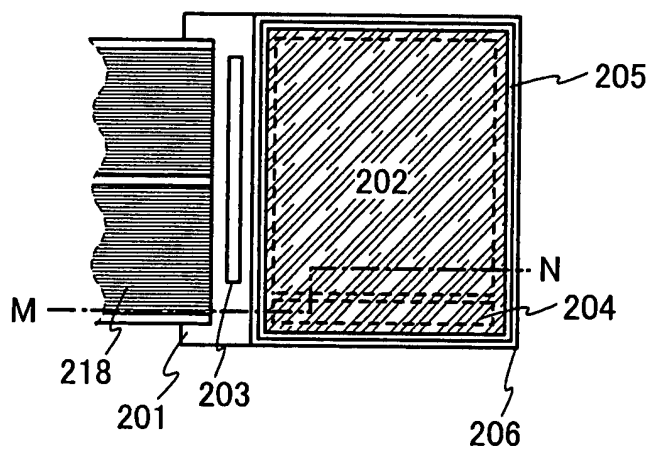
第6E圖



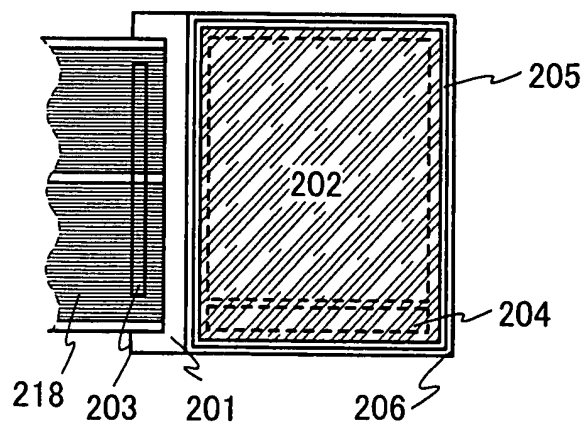
第7A圖



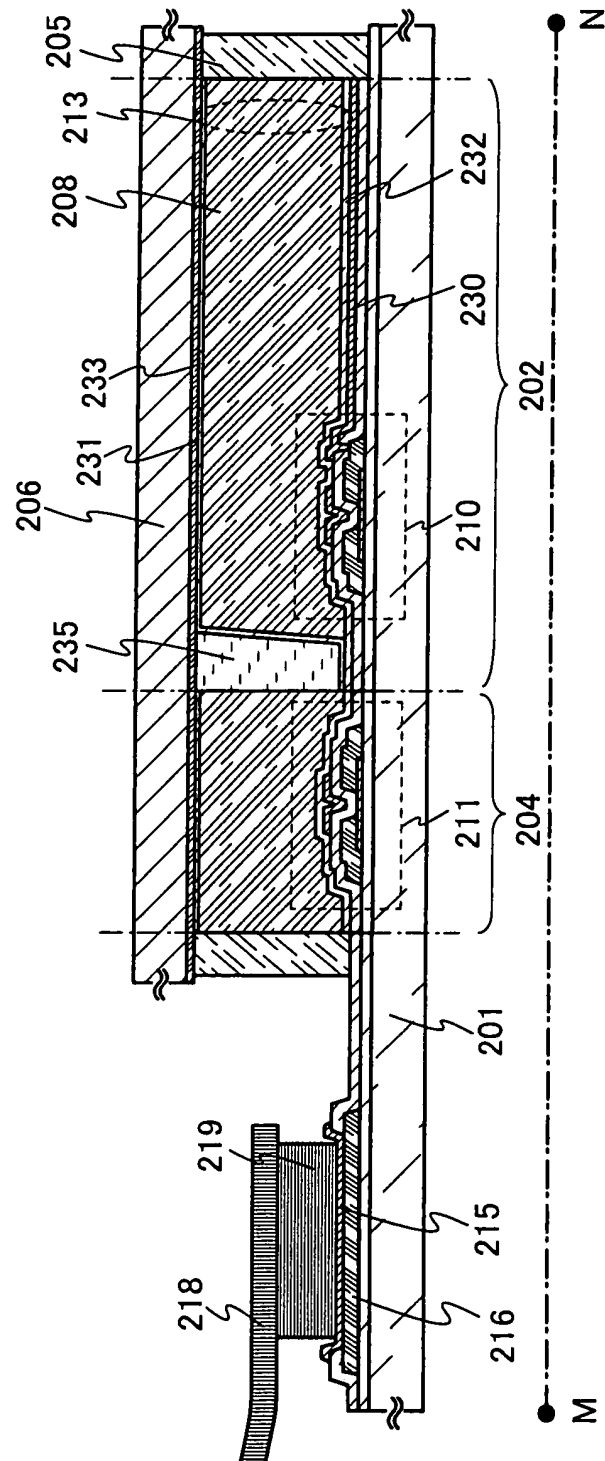
第7B圖



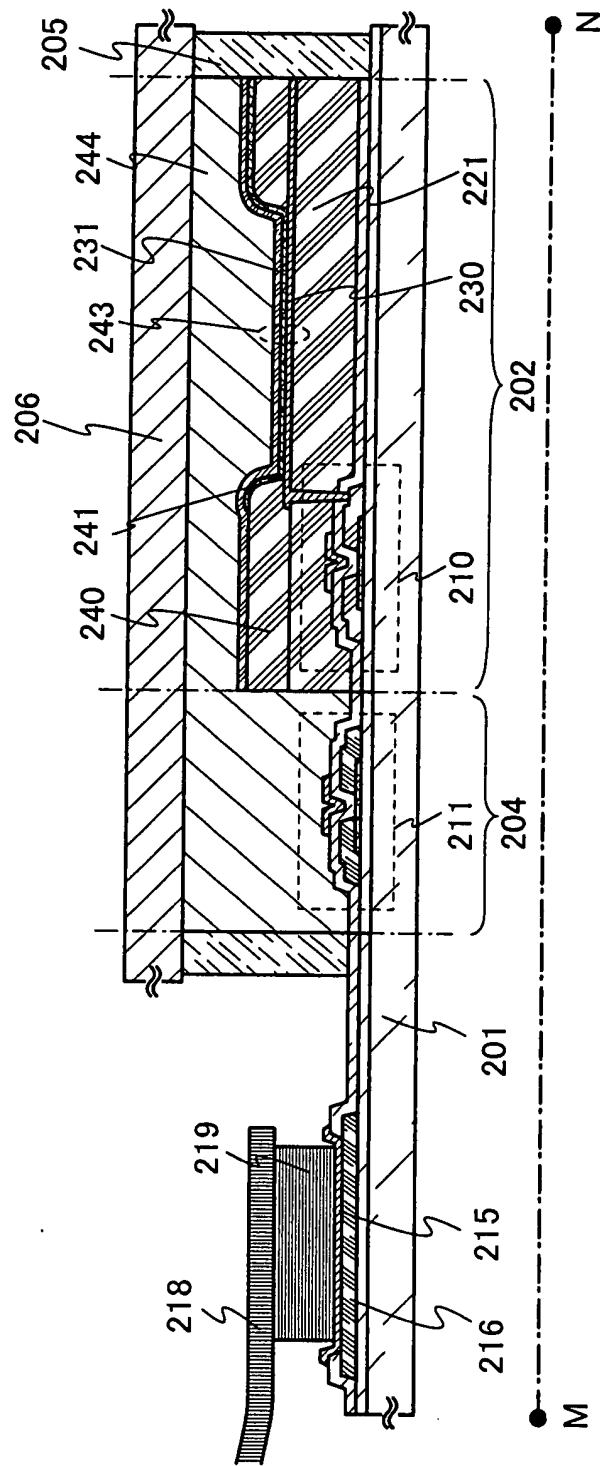
第7C圖



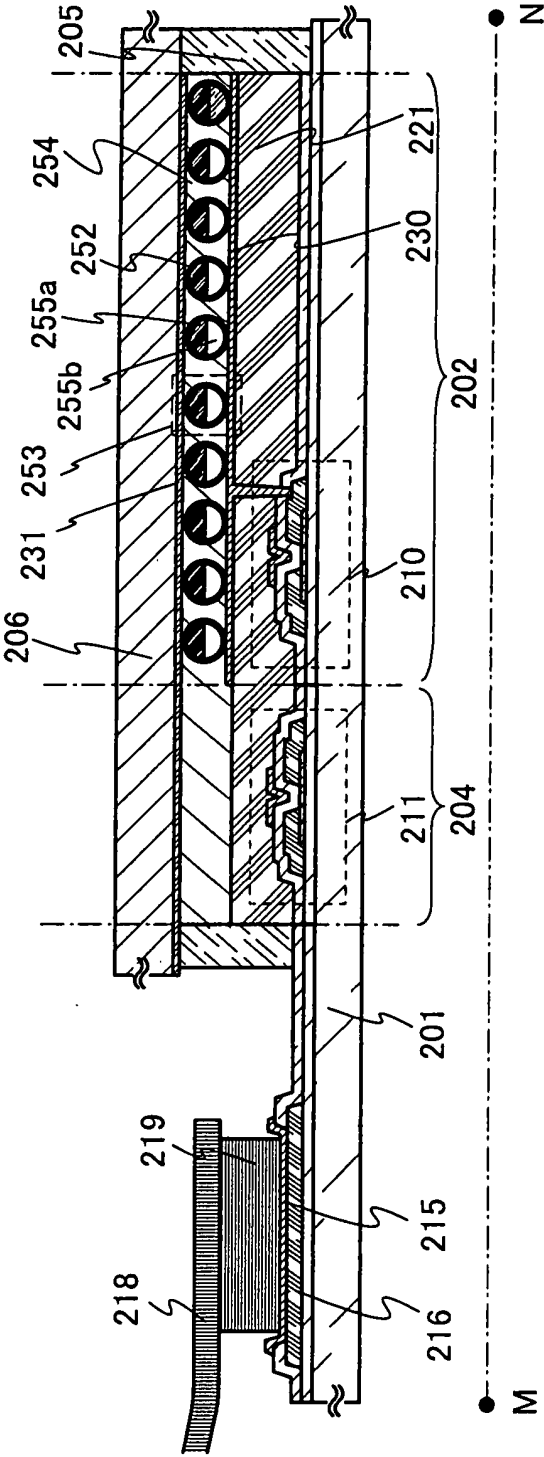
第8圖



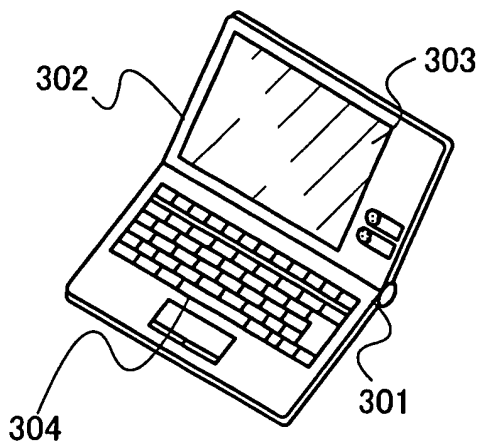
第9圖



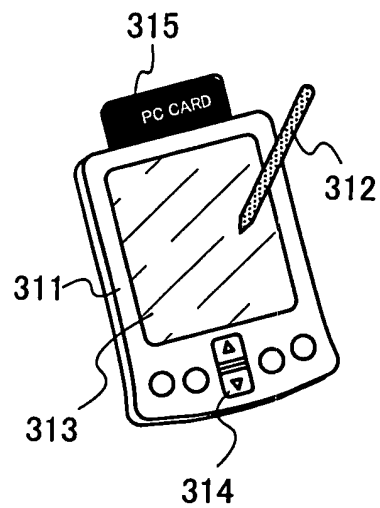
第10圖



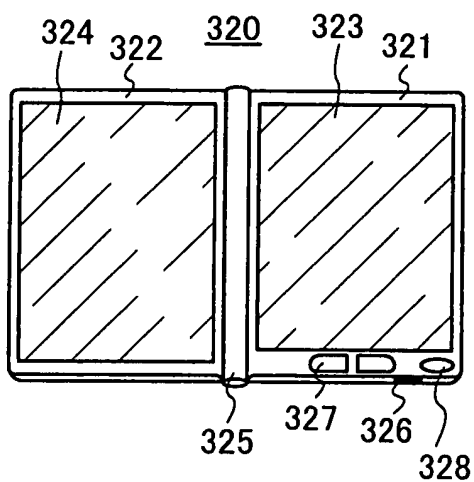
第11A圖



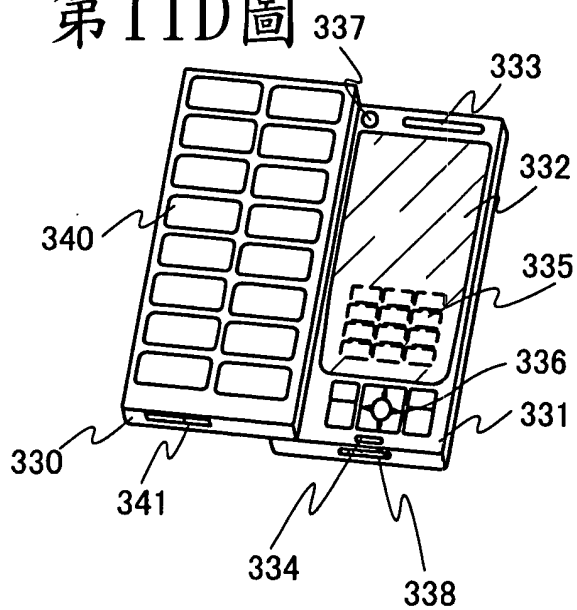
第11B圖



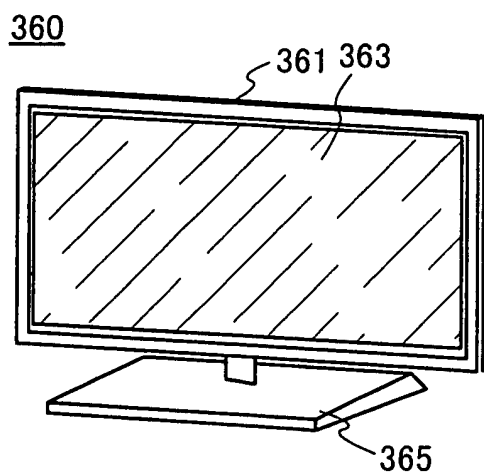
第11C圖



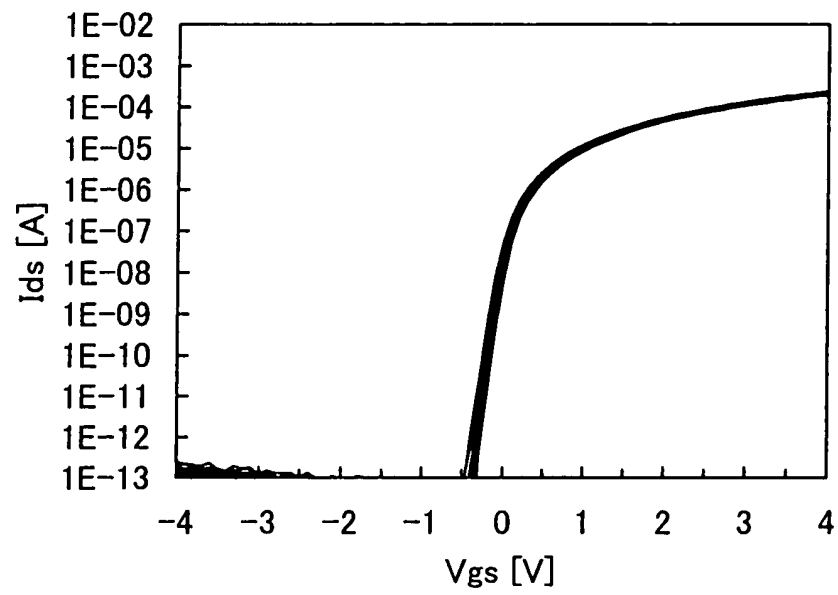
第11D圖



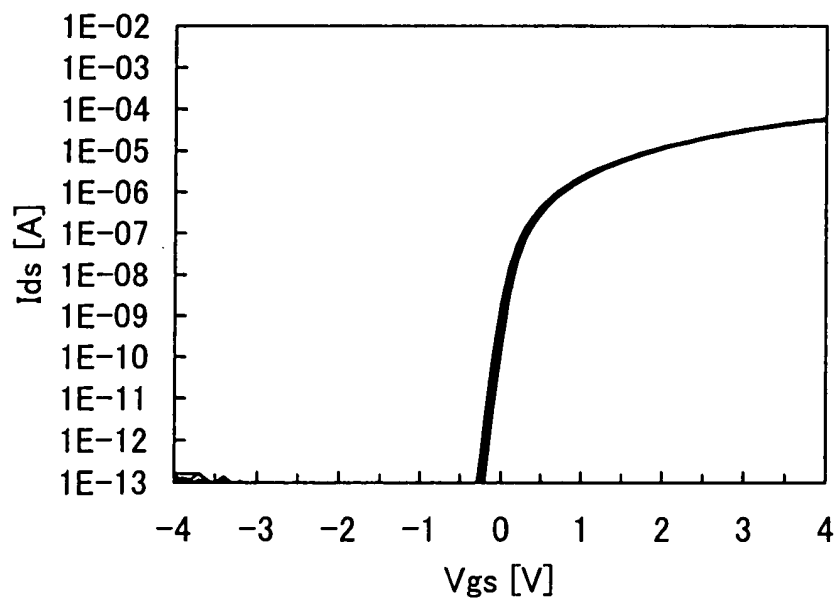
第11E圖



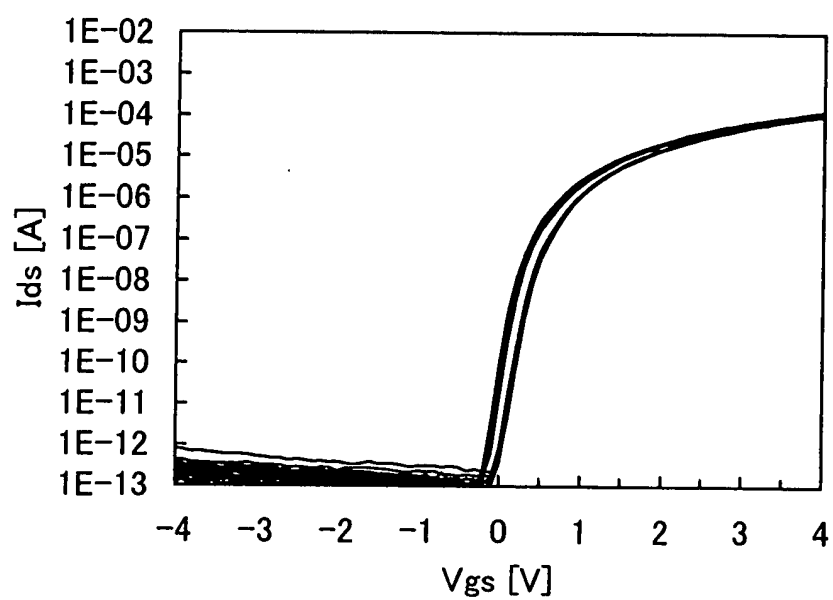
第12A圖



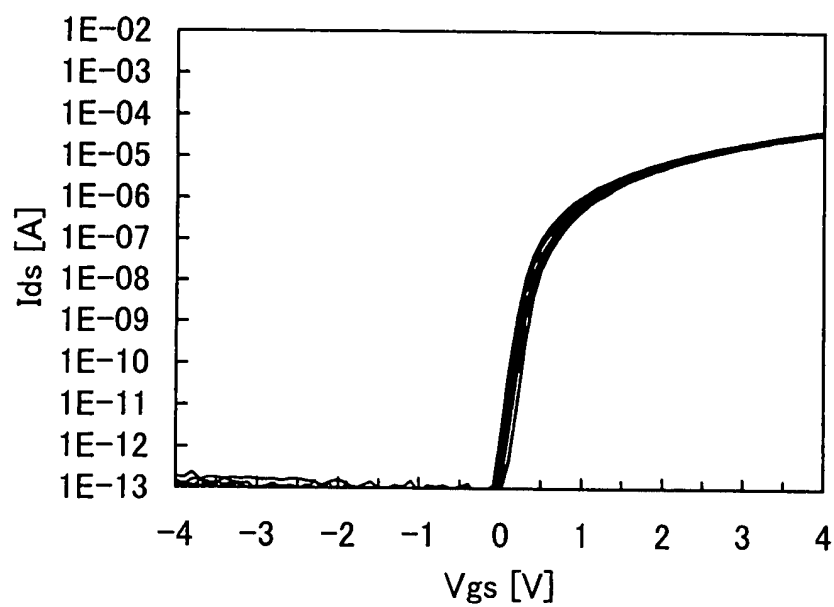
第12B圖



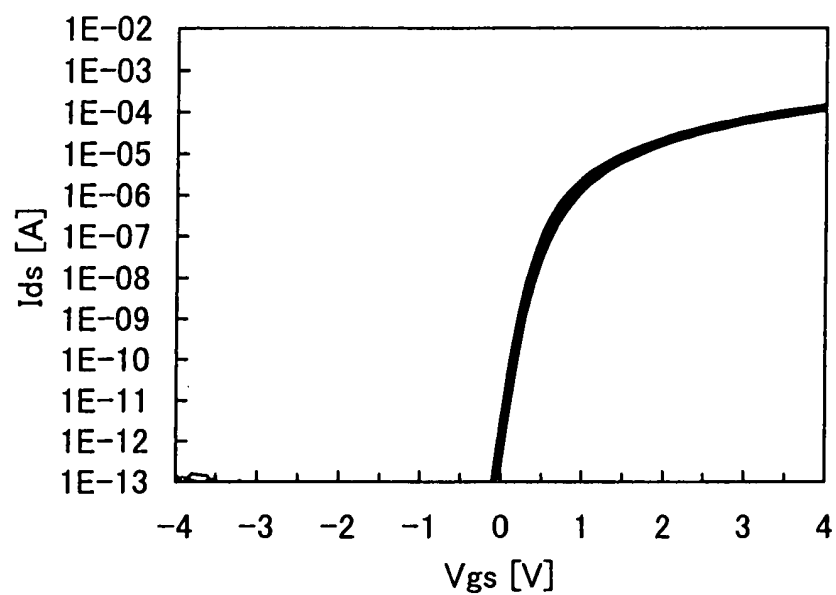
第13A圖



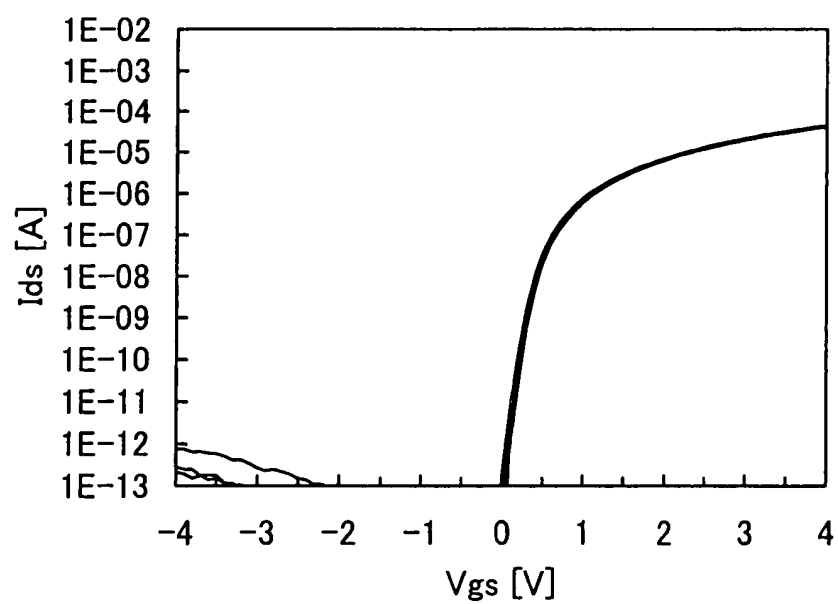
第13B圖



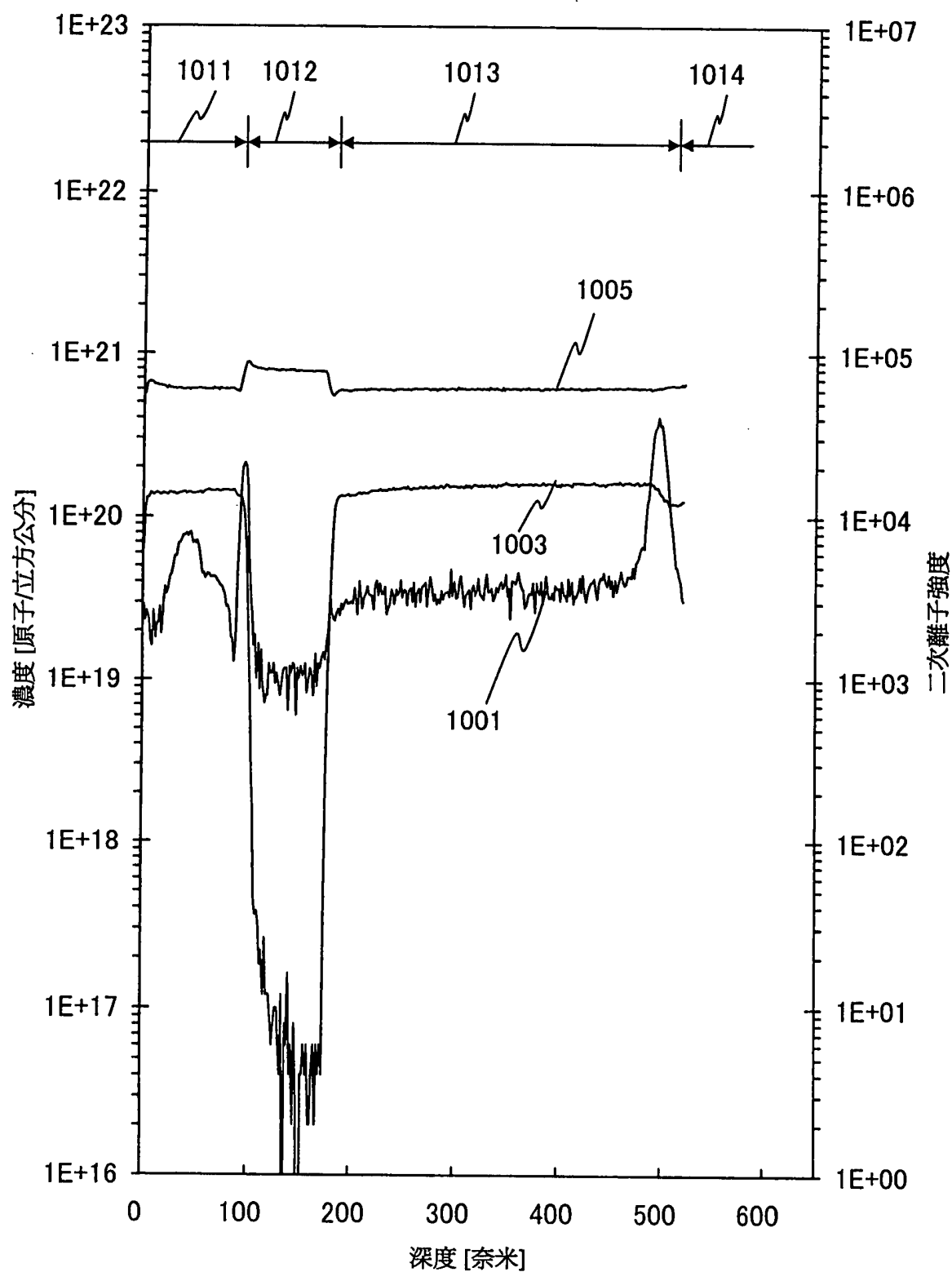
第14A圖



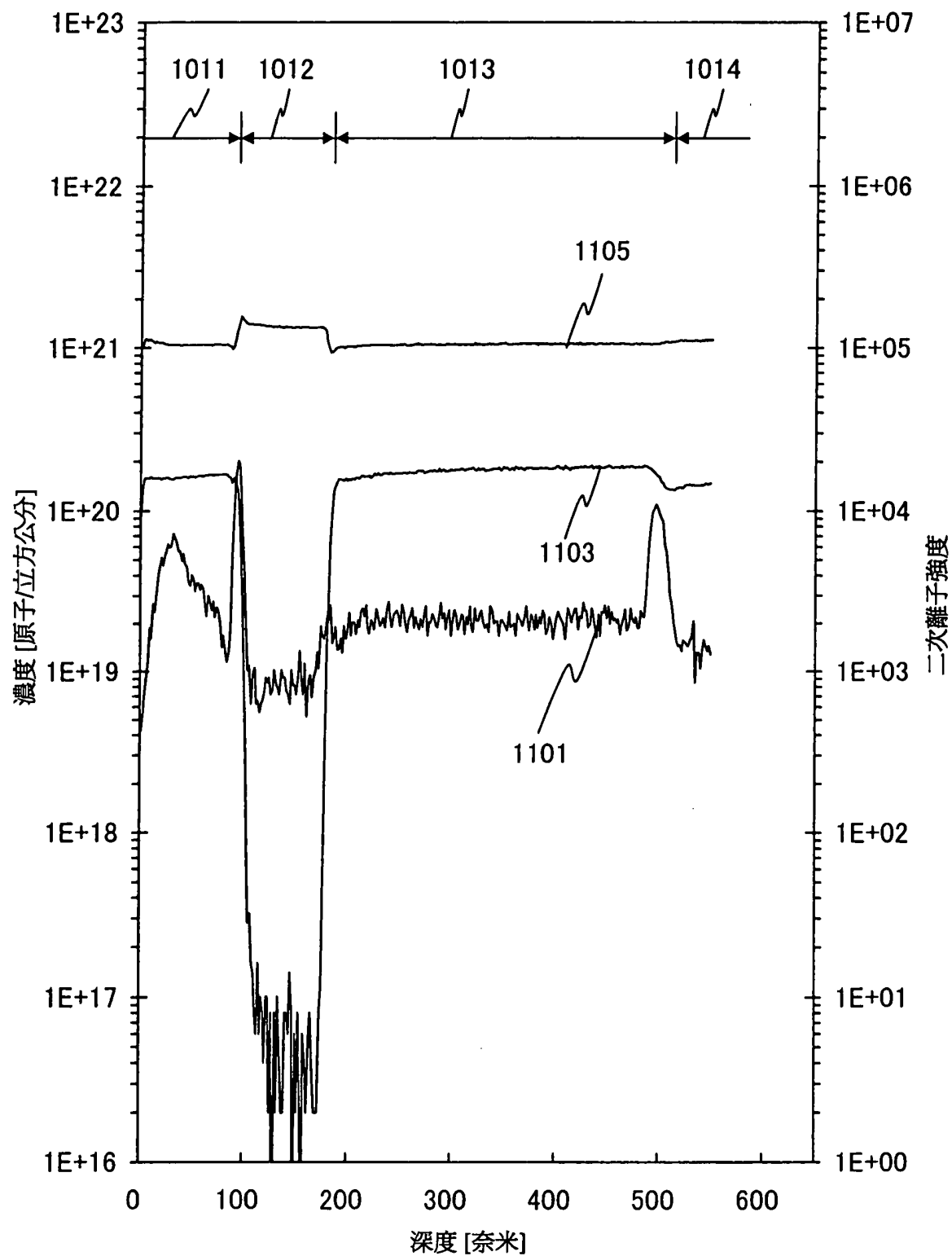
第14B圖



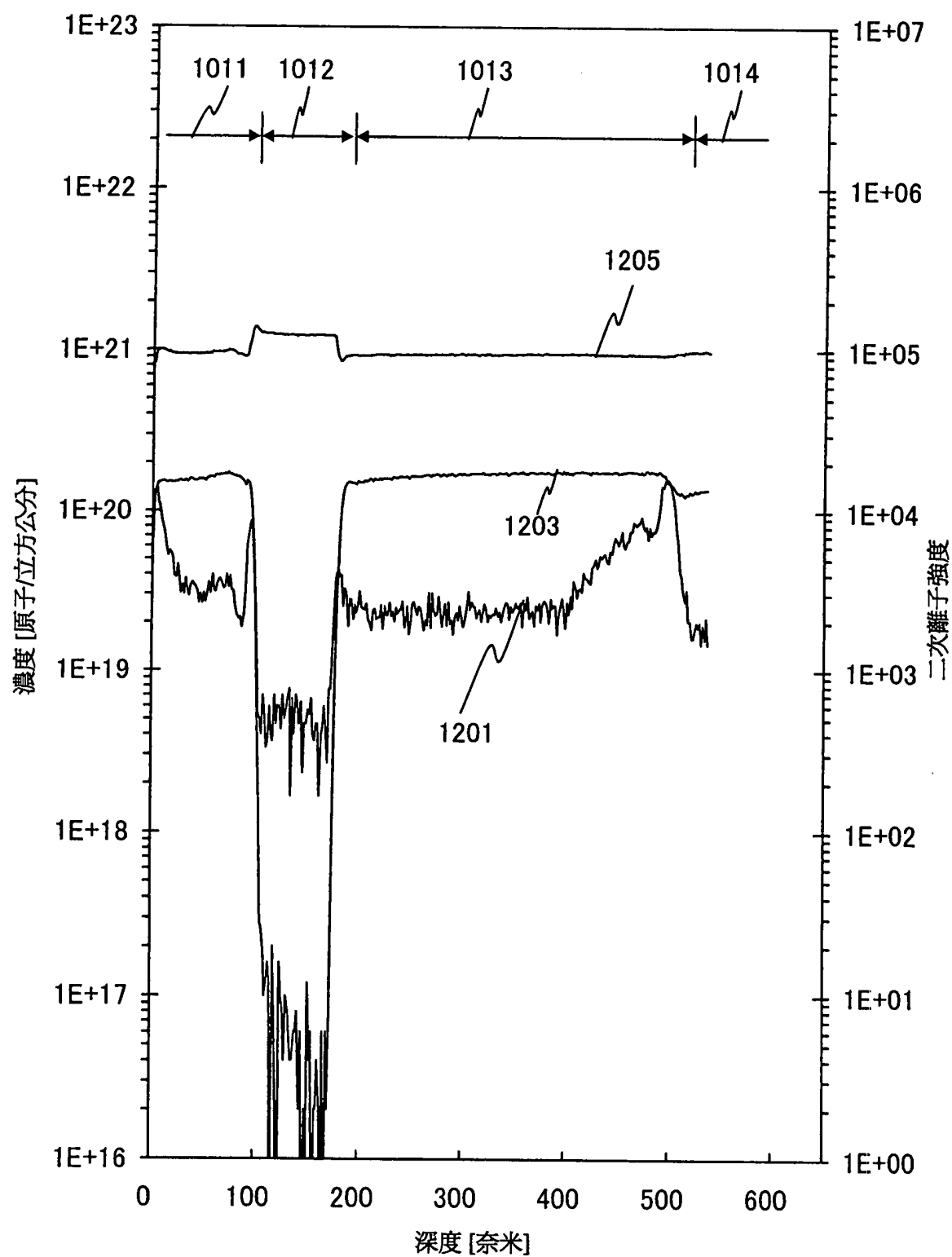
第15圖



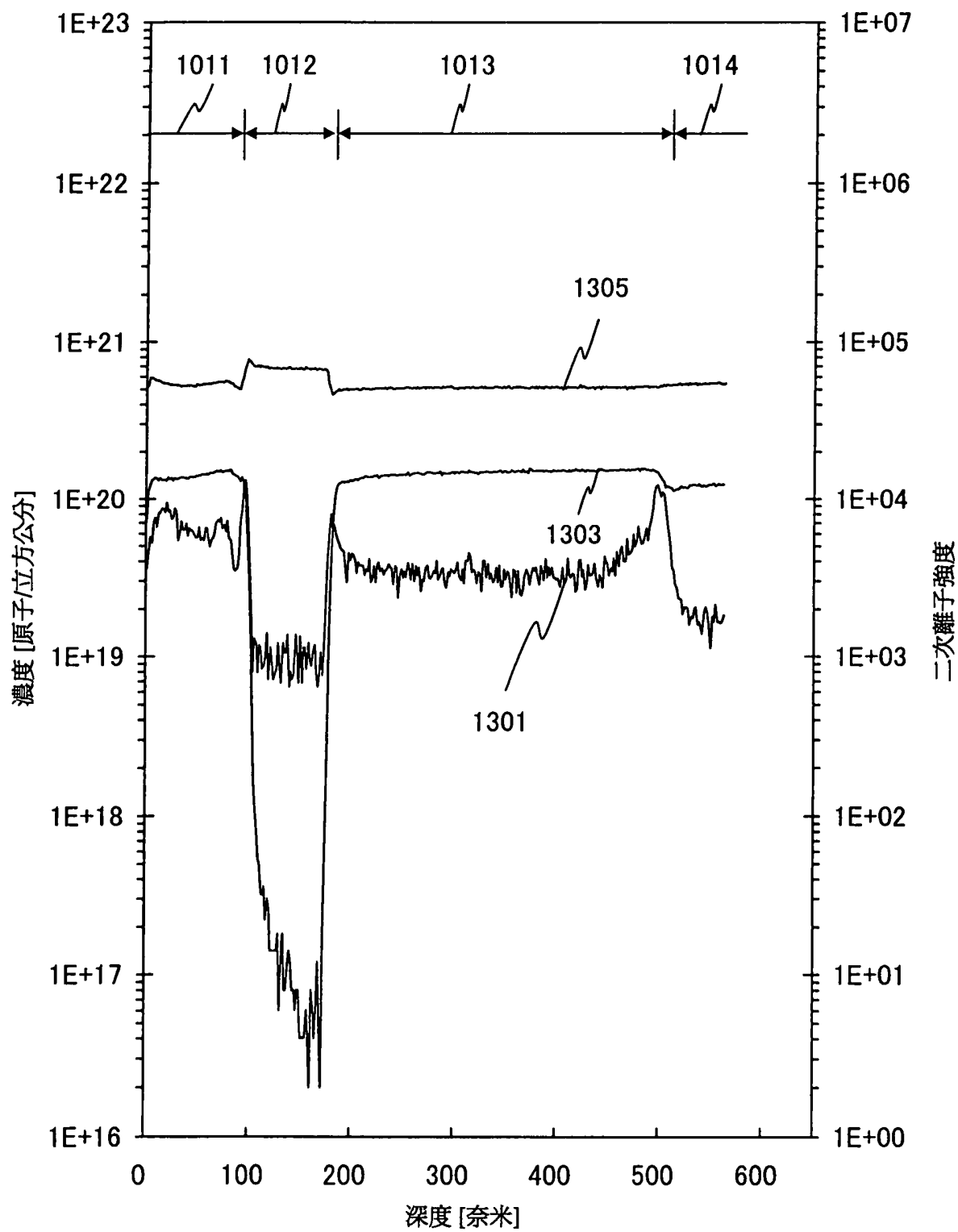
第16圖



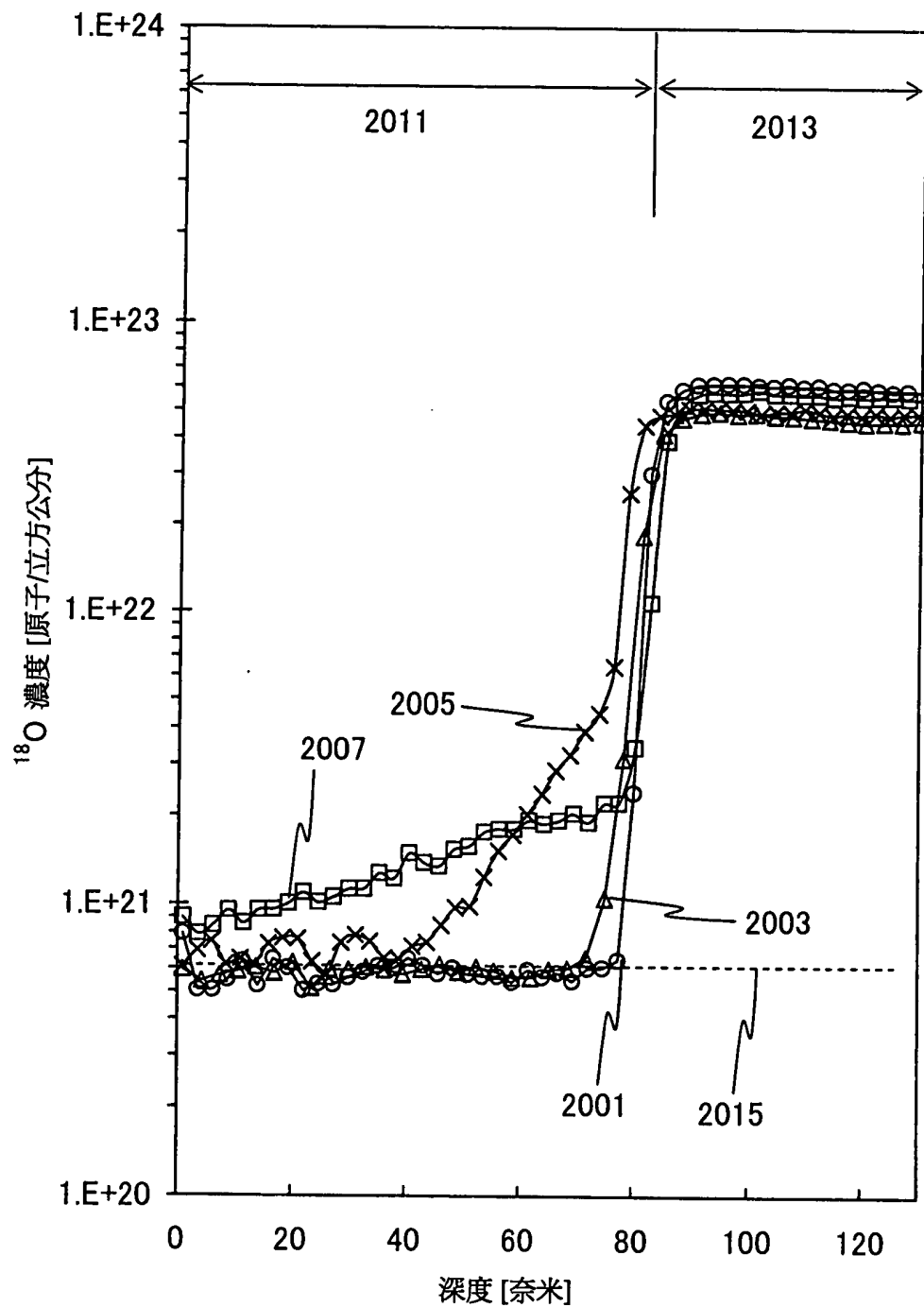
第17圖



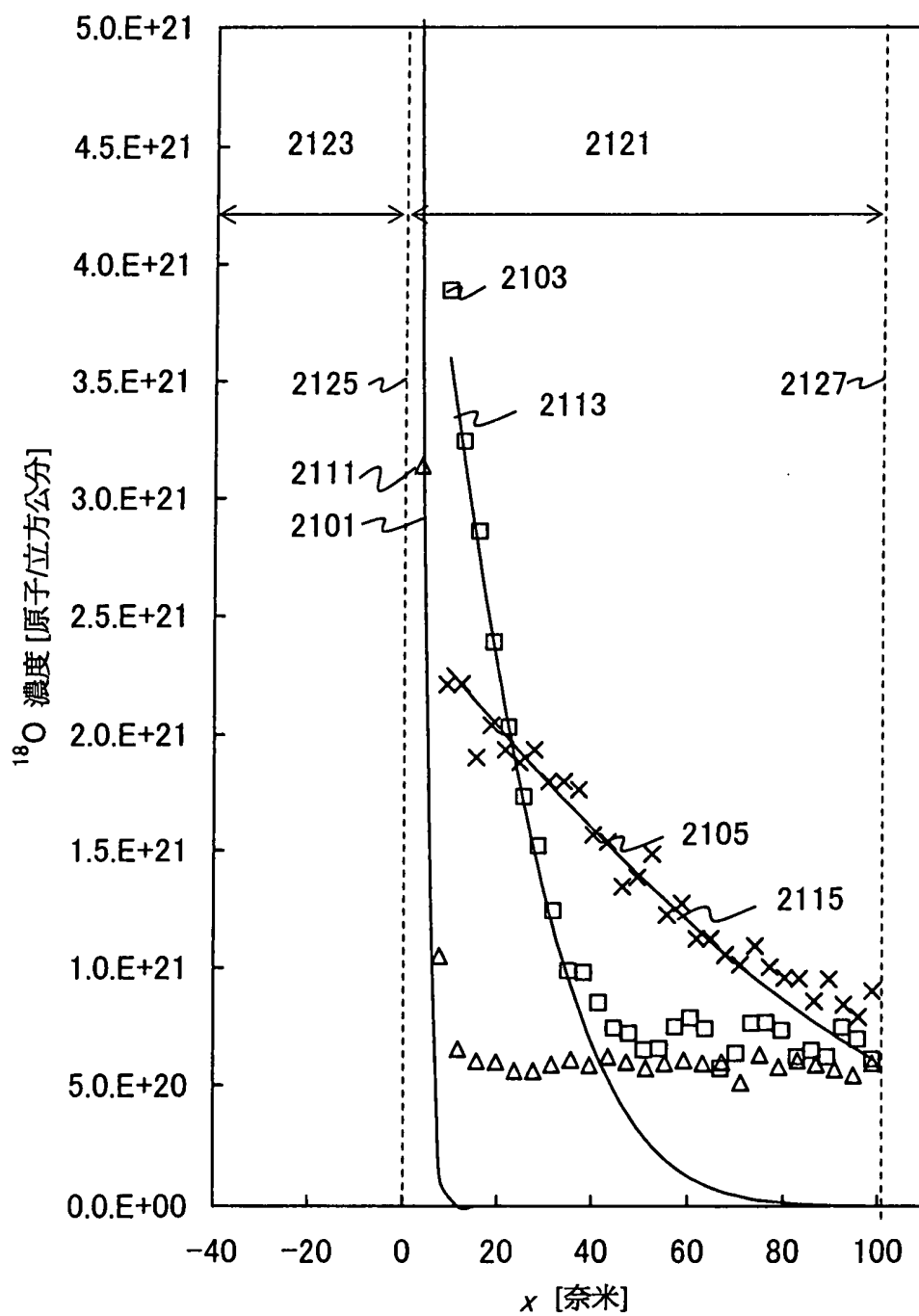
第18圖



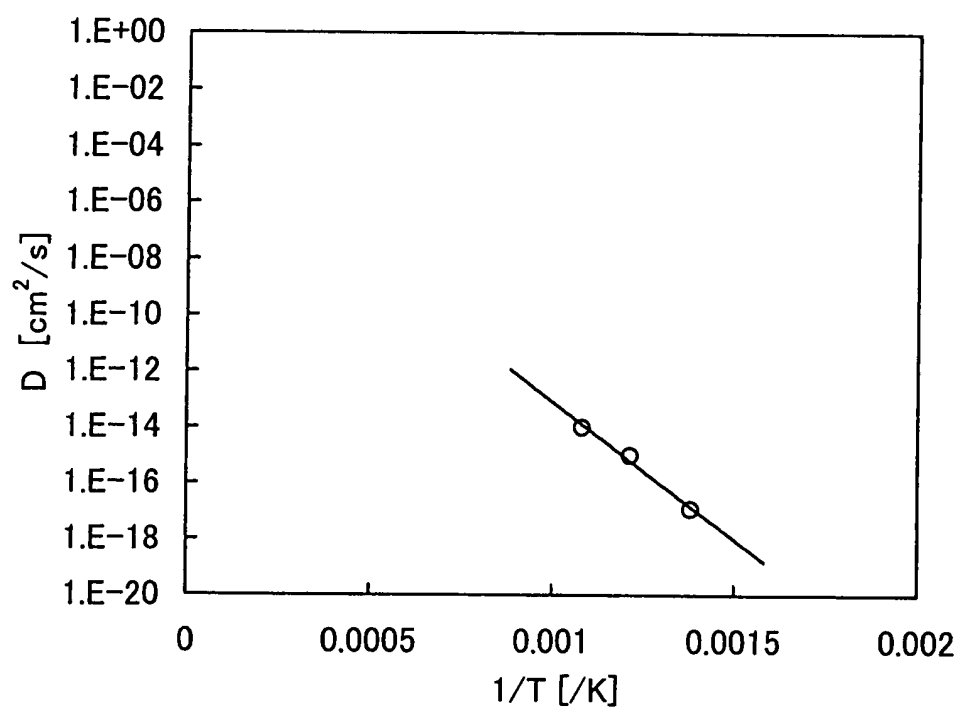
第19圖



第20圖



第21圖



四、指定代表圖：

(一) 本案指定代表圖為：第 (4A) 圖。

(二) 本代表圖之元件符號簡單說明：

100：基板

102：基底絕緣層

104：氧化物半導體層

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：無