



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2012-0083142  
(43) 공개일자 2012년07월25일

(51) 국제특허분류(Int. Cl.)  
H01L 21/28 (2006.01)  
(21) 출원번호 10-2011-0004628  
(22) 출원일자 2011년01월17일  
심사청구일자 없음

(71) 출원인  
삼성전자주식회사  
경기도 수원시 영통구 삼성로 129 (매탄동)  
(72) 발명자  
김지용  
경기 화성시 석우동 예당마을 롯데 캐슬 아파트  
155동 601호  
박중현  
서울특별시 관악구 은천로33길 5, 106동 506호  
(봉천동, 관악동부센트레빌)  
(뒷면에 계속)  
(74) 대리인  
권혁수, 송윤호, 오세준

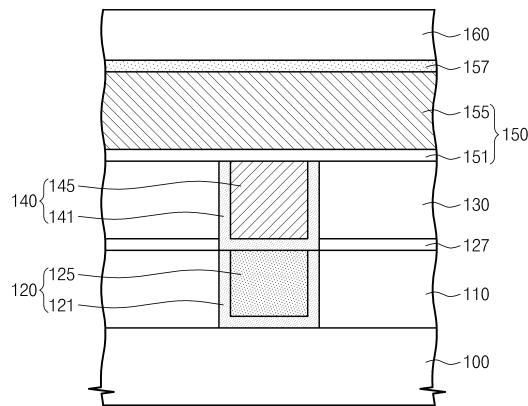
전체 청구항 수 : 총 10 항

(54) 발명의 명칭 반도체 장치 및 반도체 장치의 형성 방법

(57) 요약

반도체 장치 및 반도체 장치의 형성 방법이 제공된다. 본 발명에 따른 반도체 장치는 기판 상에 상부 배선 및 상기 상부 배선 상에 배치되는 반사 방지 패턴을 포함할 수 있다. 상기 반사 방지 패턴은 금속, 탄소, 및 질소를 포함하는 화합물을 포함할 수 있다.

대표도 - 도1b



(72) 발명자

**강진규**

서울특별시 영등포구 당산로 214, 삼성래미안4차  
아파트 401동 2402호 (당산동5가)

**이준희**

경기도 성남시 분당구 동판교로 226, 402동 1103  
호 (삼평동, 붓들마을)

---

## 특허청구의 범위

### 청구항 1

기관상에 상부 배선; 및

상기 상부 배선 상에 배치되는 반사 방지 패턴을 포함하되,

상기 반사 방지 패턴은 금속, 탄소, 및 질소를 포함하는 화합물을 포함하는 반도체 장치.

### 청구항 2

제1항에 있어서,

상기 반사 방지 패턴에 포함된 상기 화합물은 5-40at%의 탄소 함유량을 갖는 반도체 장치.

### 청구항 3

제1항에 있어서,

상기 반사 방지 패턴에 포함된 상기 화합물은 산소를 더 포함하는 반도체 장치.

### 청구항 4

제1항에 있어서,

상기 상부 배선과 상기 반사 방지 패턴은 서로 직접적으로 접촉하는 반도체 장치.

### 청구항 5

제1항에 있어서,

상기 기관 및 상기 상부 배선 사이에 차례로 적층된 몰드 유전막 및 층간 유전막;

상기 몰드 유전막 내에 하부 배선;

상기 하부 배선상에 캐핑막; 및

상기 상부 배선과 상기 하부 배선 사이에 상기 층간 유전막 및 상기 캐핑막을 관통하고, 상기 하부 배선 및 상기 상부 배선을 전기적으로 연결하는 콘택 플러그를 더 포함하는 반도체 장치.

### 청구항 6

제1항에 있어서,

상기 반사 방지 패턴에 포함된 상기 화합물의 밀도는 PVD-금속 질화물의 밀도보다 낮은 반도체 장치.

### 청구항 7

기관 상에 도전막 및 반사 방지막을 형성하는 것;

상기 도전막 및 반사 방지막을 패터닝하여 상부 배선 및 반사 방지 패턴을 형성하는 것을 포함하되,

상기 반사 방지 패턴은 금속, 탄소, 및 질소를 포함하는 소스 가스를 이용하는 화학 기상 증착 공정에 의해 형성되는 반도체 장치의 형성 방법.

### 청구항 8

제7항에 있어서,

상기 상부 배선 및 상기 반사 방지 패턴을 형성하는 것은 하나의 챔버내에서 수행되는 건식 식각 공정을 포함하는 반도체 장치의 형성 방법.

### 청구항 9

제7항에 있어서,

상기 반사 방지 패턴은 5~40at%의 탄소 함유량을 갖는 화합물을 포함하는 반도체 장치의 형성 방법.

**청구항 10**

제7항에 있어서,

상기 상부 배선을 형성하기 전에,

상기 기판상에 상기 제1 방향과 교차하는 제2 방향으로 연장되는 트렌치를 포함하는 몰드 유전막을 형성하는 것;

상기 트렌치 내에 하부 배선을 형성하는 것;

상기 하부 배선상에 캐핑막을 형성하는 것;

상기 몰드 유전막 상에 층간 유전막을 형성하는 것;

상기 캐핑막 및 상기 층간 유전막을 관통하여 상기 상부 배선 및 상기 하부 배선을 전기적으로 연결하는 콘택 플러그를 형성하는 것을 더 포함하는 반도체 장치의 형성 방법.

**명세서**

**기술 분야**

[0001] 본 발명은 반도체 장치 및 그의 형성 방법에 관한 것으로 더욱 상세하게는 배선 상에 배치되는 반사 방지 패턴을 포함하는 반도체 장치 및 그의 형성 방법에 관한 것이다.

**배경 기술**

[0002] 소형화, 다기능화 및/또는 낮은 제조 단가 등의 특성들로 인하여 반도체 장치는 전자 산업에서 중요한 요소로 각광 받고 있다. 반도체 장치들은 논리 데이터를 저장하는 반도체 장치, 논리 데이터를 연산 처리하는 반도체 논리 소자, 및 기억 요소와 논리 요소를 포함하는 하이브리드(hybrid) 반도체 장치 등으로 구분될 수 있다.

[0003] 최근에 전자 기기의 고속화, 저 소비전력화에 따라 이에 내장되는 반도체 장치 역시 빠른 동작 속도 및/또는 낮은 동작 전압 등이 요구되고 있다. 이러한 요구 특성들을 충족시키기 위하여 반도체 장치는 보다 고집적화 되고 있다. 반도체 장치의 고집적화가 심화될수록, 반도체 장치의 신뢰성이 저하될 수 있다. 하지만, 전자 산업이 고도로 발전함에 따라, 반도체 장치의 높은 신뢰성에 대한 요구가 증가되고 있다. 따라서, 반도체 장치의 신뢰성을 향상시키기 위한 많은 연구가 진행되고 있다.

**발명의 내용**

**해결하려는 과제**

[0004] 본 발명이 이루고자 하는 일 기술적 과제는 개선된 신뢰성을 갖는 반도체 장치 및 그 형성 방법을 제공하는 데 있다.

**과제의 해결 수단**

[0005] 상술된 기술적 과제들을 해결하기 위한 반도체 장치들이 제공된다. 본 발명의 일 실시 예에 따른 반도체 장치는 기판 상에 상부 배선; 및 상기 상부 배선 상에 배치되는 반사 방지 패턴을 포함하되, 상기 반사 방지 패턴은 금속, 탄소, 및 질소를 포함하는 화합물을 포함할 수 있다.

[0006] 일 실시 예에 따르면, 상기 반사 방지 패턴에 포함된 상기 화합물은 5~40at%의 탄소 함유량을 가질 수 있다.

[0007] 일 실시 예에 따르면, 상기 반사 방지 패턴에 포함된 상기 화합물은 산소를 더 포함할 수 있다.

[0008] 일 실시 예에 따르면, 상기 상부 배선과 상기 반사 방지 패턴은 서로 직접적으로 접촉할 수 있다.

[0009] 본 발명에 따른 반도체 장치는 상기 기판 및 상기 상부 배선 사이에 차례로 적층된 몰드 유전막 및 층간 유전막, 상기 몰드 유전막 내에 하부 배선, 상기 하부 배선상에 캐핑막 및 상기 상부 배선과 상기 하부 배선 사이에 상기 층간 유전막 및 상기 캐핑막을 관통하고, 상기 하부 배선 및 상기 상부 배선을 전기적으로 연결하는

콘택 플러그를 더 포함할 수 있다.

- [0010] 일 실시 예에 따르면, 상기 캐핑막은 질화물을 포함하는 반도체 장치.
- [0011] 일 실시 예에 따르면, 상기 반사 방지 패턴에 포함된 상기 화합물은 상기 캐핑막보다 모바일 원소의 확산 계수가 더 클 수 있다.
- [0012] 일 실시 예에 따르면, 상기 반사 방지 패턴에 포함된 상기 화합물은 PVD-금속 질화물보다 모바일 원소의 확산 계수가 더 클 수 있다.
- [0013] 일 실시 예에 따르면, 상기 반사 방지 패턴에 포함된 상기 화합물은 티타늄 탄소 질화물일 수 있다.
- [0014] 일 실시 예에 따르면, 상기 반사 방지 패턴에 포함된 상기 화합물의 밀도는 PVD-금속 질화물의 밀도보다 낮을 수 있다.
- [0015] 상술된 기술적 과제들을 해결하기 위한 반도체 장치의 형성 방법이 제공된다. 본 발명의 일 실시 예에 따른 반도체 장치의 형성 방법은 기판 상에 도전막 및 반사 방지막을 형성하는 것, 상기 도전막 및 반사 방지막을 패터닝하여 상부 배선 및 반사 방지 패턴을 형성하는 것을 포함하되, 상기 반사 방지 패턴은 금속, 탄소, 및 질소를 포함하는 소스 가스를 이용하는 화학 기상 증착 공정에 의해 형성될 수 있다.
- [0016] 일 실시 예에 따르면, 상기 상부 배선 및 상기 반사 방지 패턴을 형성하는 것은 하나의 챔버내에서 수행되는 건식 식각 공정을 포함할 수 있다.
- [0017] 일 실시 예에 따르면, 상기 반사 방지 패턴은 5~40at%의 탄소 함유량을 갖는 화합물을 포함할 수 있다.
- [0018] 본 발명에 따른 반도체 장치의 형성 방법은 상기 상부 배선을 형성하기 전에, 상기 기판 상에 상기 제1 방향과 교차하는 제2 방향으로 연장되는 트렌치를 포함하는 몰드 유전막을 형성하는 것, 상기 트렌치 내에 하부 배선을 형성하는 것, 상기 하부 배선상에 캐핑막을 형성하는 것, 상기 몰드 유전막 상에 층간 유전막을 형성하는 것 및 상기 캐핑막 및 상기 층간 유전막을 관통하여 상기 상부 배선 및 상기 하부 배선을 전기적으로 연결하는 콘택 플러그를 형성하는 것을 더 포함할 수 있다.
- [0019] 일 실시 예에 따르면, 상기 캐핑막은 질화물로 형성될 수 있다.
- [0020] 본 발명에 따른 반도체 장치의 형성 방법은 상기 층간 유전막 상에 상기 상부 배선 및 상기 반사 방지 패턴을 덮는 보호막을 형성하는 것을 더 포함할 수 있다.

**발명의 효과**

- [0021] 상술된 반도체 장치에 따르면, 배선 상에 배치되는 반사 방지 패턴이 금속, 탄소 및 질소를 포함하는 화합물로 형성될 수 있다. 이에 따라, 반도체 장치를 형성하기 위한 공정 과정에서 반도체 장치를 구성하는 요소들(components)내에 침투된 모바일 원소가 상기 반사 방지 패턴을 통하여 용이하게 외부로 방출될 수 있다. 따라서, 상기 모바일 원소가 상기 반도체 장치 내에서 발생시킬 수 있는 불량을 최소화할 수 있고, 신뢰성이 향상된 반도체 장치를 구현할 수 있다.

**도면의 간단한 설명**

- [0022] 도1a는 본 발명의 일 실시 예들에 따른 반도체 장치를 설명하기 위한 평면도이다.  
 도1b는 도1a에서 I-I'을 따라 취해진 단면도이다.  
 도1c는 도1a에서 II-II'을 따라 취해진 단면도이다.  
 도2a 내지 도8a는 본 발명의 일 실시 예에 따른 반도체 장치의 형성 방법을 설명하기 위한 평면도들이다.  
 도2b 내지 도8b는 본 발명의 일 실시 예들에 따른 반도체 장치의 형성 방법을 설명하기 위해 도2a 내지 도8a의 I-I'을 따라 취해진 단면도들이다.  
 도2c 내지 도8c는 본 발명의 일 실시 예들에 따른 반도체 장치의 형성 방법을 설명하기 위해 도2a 내지 도8a의 II-II'을 따라 취해진 단면도들이다.  
 도9은 본 발명의 실시 예들에 따른 반도체 장치를 포함하는 메모리 시스템의 일 예를 간략히 도시한 블록도이다.

도10는 본 발명의 실시 예들에 따른 반도체 장치를 구비하는 메모리 카드의 일 예를 간략히 도시한 블록도이다.

**발명을 실시하기 위한 구체적인 내용**

- [0023] 이상의 본 발명의 목적들, 다른 목적들, 특징들 및 이점들은 첨부된 도면과 관련된 이하의 바람직한 실시 예들을 통해서 쉽게 이해될 것이다. 그러나, 본 발명은 여기서 설명되는 실시 예들에 한정되지 않고 다른 형태로 구체화될 수도 있다. 오히려, 여기서 소개되는 실시 예는 개시된 내용이 철저하고 완전해질 수 있도록 그리고 당업자에게 본 발명의 사상이 충분히 전달될 수 있도록 하기 위해 제공되는 것이다.
- [0024] 본 명세서에서 사용된 용어는 실시 예들을 설명하기 위한 것이며 본 발명을 제한하고자 하는 것은 아니다. 본 명세서에서, 단수형은 문구에서 특별히 언급하지 않는 한 복수형도 포함한다. 명세서에서 사용되는 '포함한다(comprises)' 및/또는 '포함하는(comprising)'은 언급된 구성요소, 단계, 동작 및/또는 소자는 하나 이상의 다른 구성요소, 단계, 동작 및/또는 소자의 존재 또는 추가를 배제하지 않는다. 본 명세서에서 어떤 막(또는 층)이 다른 막(또는 층) 또는 기판상에 있다고 언급되는 경우에 그것은 다른 막(또는 층) 또는 기판상에 직접 형성될 수 있거나 또는 그들 사이에 제 3의 막(또는 층)이 개재될 수도 있다.
- [0025] 본 명세서에서 기술하는 실시 예들은 본 발명의 이상적인 예시도인 단면도 및/또는 평면도들을 참고하여 설명될 것이다. 도면들에 있어서, 구성들의 크기 및 두께 등은 명확성을 위하여 과장된 것이다. 따라서, 제조 기술 및/또는 허용 오차 등에 의해 예시도의 형태가 변형될 수 있다. 본 발명의 실시 예들은 도시된 특정 형태로 제한되는 것이 아니라 제조 공정에 따라 생성되는 형태의 변화도 포함하는 것이다. 예를 들면, 직각으로 도시된 식각 영역은 라운드 지거나 소정 곡률을 가지는 형태일 수 있다. 따라서, 도면에서 예시된 영역들은 개략적인 속성을 가지며, 도면에서 예시된 영역들의 모양은 소자의 영역의 특정 형태를 예시하기 위한 것이며 발명의 범주를 제한하기 위한 것이 아니다.
- [0026] 본 명세서의 다양한 실시 예들에서 제1, 제2, 제3 등의 용어가 다양한 영역, 막들(또는 층들) 등을 기술하기 위해서 사용되었지만, 이들 영역, 막들이 이 같은 용어들에 의해서 한정되어서는 안 된다. 이들 용어들은 단지 어느 소정 영역 또는 막(또는 층)을 다른 영역 또는 막(또는 층)과 구별시키기 위해서 사용되었을 뿐이다. 따라서, 어느 한 실시 예에의 제1막질로 언급된 막질이 다른 실시 예에서는 제2막질로 언급될 수도 있다. 여기에 설명되고 예시되는 각 실시 예는 그것의 상보적인 실시 예도 포함한다. 명세서 전체에 걸쳐서 동일한 참조번호로 표시된 부분들은 동일한 구성요소들을 나타낸다.
- [0027] 이하, 본 발명의 일 실시 예에 따른 반도체 장치를 도면들을 참조하여 설명한다. 도1a는 본 발명의 일 실시 예들에 따른 반도체 장치를 설명하기 위한 평면도이다. 도1b는 도1a에서 I-I'을 따라 취해진 단면도이고, 도1c는 도1a에서 II-II'을 따라 취해진 단면도이다.
- [0028] 도1a 내지 도1c를 참조하면, 기판(100) 상에 몰드 유전막(110) 및 층간 유전막(130)이 배치될 수 있다. 상기 몰드 유전막(110) 및 상기 층간 유전막(130)은 산화물, 질화물 또는 산화 질화물 중에서 적어도 하나를 포함할 수 있다. 일 실시 예에 따르면, 상기 몰드 유전막(110) 및 상기 층간 유전막(130)은 동일한 물질을 포함할 수 있다.
- [0029] 상기 기판(100)은 실리콘 또는 게르마늄 중에서 적어도 하나를 포함할 수 있다. 일 실시 예에 따르면, 상기 기판(100)은 반도체 장치를 구성하는 요소들(components)을 포함할 수 있다. 예를 들면, 상기 요소들은 트랜지스터(Transistor), 다이오드(Diode), 캐패시터(Capacitor) 또는 저항체 중에서 적어도 하나를 포함할 수 있다.
- [0030] 상기 몰드 유전막(110)내에 제1 방향으로 연장되는 하부 배선(120)이 배치될 수 있다. 상기 하부 배선(120)은 제1 베리어 패턴(121) 및 제1 도전 라인(125)을 포함할 수 있다. 상기 제1 방향은 x축에 대해서 평행한 방향일 수 있다. 상기 제1 도전 라인(125)은 평면적 관점에서 상기 제1 방향으로 연장되는 라인 형태일 수 있다. 일 실시 예에 따르면, 상기 몰드 유전막(110) 및 상기 제1 도전 라인(125) 사이에 상기 제1 베리어 패턴(121)이 배치될 수 있다. 상기 제1 베리어 패턴(121)은 상기 제1 도전 라인(125)의 양 측면들 및 하부면을 덮을 수 있다. 즉, 상기 제1 베리어 패턴(121)의 단면은 U자 형태일 수 있다. 이 경우, 상기 제1 베리어 패턴(121)에 의해서 상기 몰드 유전막(110)과 상기 제1 도전 라인(125)이 서로 이격될 수 있다. 상기 제1 베리어 패턴(121)은 금속 질화물(ex, 질화 티타늄, 질화 텅스텐 또는 질화 탄탈륨 등) 또는 전이 금속(ex, 티타늄, 탄탈륨 등)을 포함할 수 있다. 또한, 상기 제1 도전 라인(125)은 도핑된 반도체(ex, 도핑된 실리콘 등), 금속(ex, 텅스텐, 알루미늄, 구리 등), 또는 도전성 금속-반도체 화합물(ex, 금속 실리사이드 등) 등에서 선택된

적어도 하나를 포함할 수 있다.

- [0031] 일 실시 예에 따르면, 상기 하부 배선(120)은 상기 기판(100)내에 포함될 수 있는 반도체 장치를 구성하는 요소들(components) 중에서 적어도 하나와 전기적으로 연결될 수 있다.
- [0032] 상기 하부 배선(120) 및 상기 층간 유전막 사이에 캐핑막(127)이 배치될 수 있다. 상기 캐핑막(127)은 질화물을 포함할 수 있다. 예를 들어, 상기 캐핑막(127)은 실리콘 질화물을 포함할 수 있다. 일 실시 예에 따르면, 상기 캐핑막(127)은 옆으로 연장되어 상기 몰드 유전막(110)의 상부면을 전체적으로 덮을 수 있다. 이 경우, 상기 캐핑막(127)의 연장부는 상기 몰드 유전막(110)과 상기 층간 유전막(130)사이에서 배치될 수 있다. 상기 캐핑막(127)은 상기 하부 배선(120)에 포함된 도전성 입자들이 상기 하부 배선(120)의 외부로 확산되는 것을 최소화할 수 있다.
- [0033] 상기 층간 유전막(130) 상에 상기 제1 방향에 교차하는 제2 방향으로 연장되는 상부 배선(150)이 배치될 수 있다. 일 실시 예에 따르면, 상기 제2 방향은 y축에 대해서 평행한 방향일 수 있다. 상기 상부 배선(150)은 제2 베리어 패턴(151) 및 제2 도전 라인(155)을 포함할 수 있다. 상기 제2 도전 라인(155) 및 상기 제2 베리어 패턴(151)은 평면적 관점에서 상기 제1 방향으로 연장되는 라인 형태일 수 있다. 상기 층간 유전막(130)과 상기 제2 도전 라인(155)사이에서 상기 제2 베리어 패턴(151)이 배치될 수 있다. 따라서, 상기 제2 베리어 패턴(151)에 의해서 상기 제2 도전 라인(155) 및 상기 층간 유전막(130)이 서로 이격될 수 있다. 일 실시 예에 따르면, 상기 제2 베리어 패턴(151)의 측벽과 상기 제2 도전 라인(155)의 측벽이 서로 정렬될 수 있다.
- [0034] 상기 제2 베리어 패턴(151)은 금속 질화물(ex, 질화 티타늄, 질화 텅스텐 또는 질화 탄탈륨 등) 또는 전이 금속(ex, 티타늄, 탄탈륨 등)을 포함할 수 있다. 또한, 상기 제2 도전 라인(155)은 도핑된 반도체(ex, 도핑된 실리콘 등), 금속(ex, 텅스텐, 알루미늄, 구리 등), 또는 도전성 금속-반도체 화합물(ex, 금속 실리콘사이드 등) 등에서 선택된 적어도 하나를 포함할 수 있다.
- [0035] 상기 하부 배선(120)과 상기 상부 배선(150) 사이에서 상기 층간 유전막(130) 및 상기 캐핑막(127)을 관통하는 콘택 플러그(140)가 배치될 수 있다. 상기 콘택 플러그(140)는 상기 하부 배선(120)과 상기 상부 배선(150)을 전기적으로 연결할 수 있다.
- [0036] 상기 콘택 플러그(140)는 콘택 베리어 패턴(141) 및 콘택 도전 패턴(145)을 포함할 수 있다. 일 실시 예에 따르면, 상기 콘택 도전 패턴(145)의 측면 및 하부면은 상기 콘택 베리어 패턴(141)에 의해서 덮일 수 있다. 즉, 상기 콘택 베리어 패턴(141)은 실린더 형태일 수 있다.
- [0037] 상기 콘택 베리어 패턴(141)은 금속 질화물(ex, 질화 티타늄, 질화 텅스텐 또는 질화 탄탈륨 등) 또는 전이 금속(ex, 티타늄, 탄탈륨 등) 중에서 적어도 하나를 포함할 수 있다. 또한, 상기 콘택 도전 패턴(145)은 도핑된 반도체(ex, 도핑된 실리콘 등), 금속(ex, 텅스텐, 알루미늄, 구리 등), 또는 도전성 금속-반도체 화합물(ex, 금속 실리콘사이드 등) 등에서 선택된 적어도 하나를 포함할 수 있다.
- [0038] 상기 상부 배선(150) 상에 반사 방지 패턴(157)이 배치될 수 있다. 일 실시 예에 따르면, 상기 반사 방지 패턴(157)은 상기 상부 배선(150)의 상부면과 완전히 중첩될 수 있다. 상기 반사 방지 패턴(157)의 측벽과 상기 상부 배선(150)의 측벽이 서로 정렬될 수 있다.
- [0039] 일 실시 예에 따르면, 상기 반사 방지 패턴(157)은 상기 상부 배선(150)과 직접적으로 접촉될 수 있다.
- [0040] 상기 반사 방지 패턴(157)은 금속, 탄소, 및 질소를 포함하는 화합물을 포함할 수 있다. 예를 들어, 상기 화합물에 포함된 금속은 티타늄일 수 있다. 일 실시 예에 따르면, 상기 반사 방지 패턴(157)에 포함된 상기 화합물의 탄소 함유량은 5~40at%일 수 있다.
- [0041] 일 실시 예에 따르면, 상기 반사 방지 패턴(157)에 포함된 상기 화합물의 밀도는 PVD-금속 질화물의 밀도보다 작을 수 있다. 예를 들어, 상기 화합물에 포함된 금속은 티타늄일 수 있고, PVD-금속 질화물은 티타늄 질화물일 수 있다. 상기 밀도는 단위 부피에 따른 질량을 의미한다. 따라서, 상기 반사 방지 패턴(157)에 포함된 상기 화합물은 PVD-금속 질화물보다 단위 부피에 따른 질량이 작을 수 있다. 즉, 상기 반사 방지 패턴(157)에 포함된 상기 화합물은 PVD-금속 질화물보다 밀도(Density)가 낮은 물질일 수 있다.
- [0042] 일 실시 예에 따르면, 상기 화합물은 산소를 더 포함할 수 있다. 예를 들어, 상기 화합물은 티타늄-탄소-질화물(TiCN) 또는 티타늄-탄소-산소-질화물(TiCON)일 수 있다.
- [0043] 일 실시 예에 따르면, 상기 반사 방지 패턴(157) 내에서 모바일 원소의 확산 계수는 상기 캐핑막(127) 내에서 모바일 원소의 확산 계수보다 더 클 수 있다. 또한, 상기 반사 방지 패턴(157)에 포함된 화합물 내에서 모바일



일 원소의 확산 계수는 PVD-금속 질화물 내에서 모바일 원소의 확산 계수보다 더 클 수 있다. 상기 모바일 원소는 막질 내에서 움직임이 자유로운 원소를 포함할 수 있다. 예를 들어, 상기 모바일 원소는 수소일 수 있다.

- [0044] 상술된 반도체 장치에 따르면, 상기 상부 배선(150) 상에 배치되는 반사 방지 패턴(157)이 금속, 탄소 및 질소를 포함하는 화합물로 형성될 수 있다. 상기 반사 방지 패턴(157)에 포함된 화합물은 다공성 물질일 수 있다. 이에 따라, 반도체 장치를 형성하기 위한 공정 과정에서 반도체 장치를 구성하는 요소들(components)내에 침투된 모바일 원소가 상기 반사 방지 패턴(157)을 통하여 용이하게 외부로 방출될 수 있다.
- [0045] 또한, 상기 반사 방지 패턴(157) 내에서 모바일 원소의 확산 계수가 상기 캐핑막(127) 내에서 모바일 원소의 확산 계수보다 더 클 수 있다. 반도체 장치를 구성하는 요소들 내에 존재하는 모바일 원소가 반도체 장치의 외부로 방출되는 것이 상기 캐핑막(127)에 의해서 억제되는 경우, 상기 모바일 원소는 상기 콘택 플러그(140)와 상기 상부 배선(150)을 통해서 확산 이동되어 상기 반사 방지 패턴(157)을 통하여 본 발명에 따른 반도체 장치의 외부로 용이하게 방출될 수 있다. 따라서, 상기 모바일 원소가 상기 반도체 장치 내에서 발생시킬 수 있는 불량을 최소화할 수 있다.
- [0046] 상기 층간 유전막(130)상에 상기 상부 배선(150) 및 상기 반사 방지 패턴(157)을 덮는 보호막(160)이 배치될 수 있다. 상기 보호막(160)은 산화물, 질화물 또는 산화 질화물 중에서 적어도 하나를 포함할 수 있다.
- [0047] 본 발명의 일 실시 예에 따르면, 상기 상부 배선(150) 상에 배치되는 반사 방지 패턴(157)이 금속, 탄소 및 질소를 포함하는 화합물로 형성될 수 있다. 상기 화합물은 모바일 원소의 확산 계수가 큰 다공성 물질일 수 있다. 따라서, 본 발명에 따른 반도체 장치를 구성하는 요소들 내에 존재하는 모바일 원소가 상기 반사 방지 패턴(157)을 통해서 외부로 용이하게 방출될 수 있다. 결과적으로, 본 발명에 따른 반도체 장치 내에서 모바일 원소에 의해 발생할 수 있는 불량을 최소화할 수 있고, 신뢰성이 개선된 반도체 장치를 구현할 수 있다.
- [0048] 이하, 본 발명의 일 실시 예에 따른 반도체 장치를 도면들을 참조하여 설명한다. 도2a 내지 도8a는 본 발명의 일 실시 예에 따른 반도체 장치의 형성 방법을 설명하기 위한 평면도들이다. 도2b 내지 도8b는 도2a 내지 도8a의 I-I'을 따라 취해진 단면도들이고, 도2c 내지 도8c는 도2a 내지 도8a의 II-II'을 따라 취해진 단면도들이다.
- [0049] 도2a, 도2b 및 도2c를 참조하면, 기판(100)상에 몰드 유전막(110)을 형성할 수 있다. 상기 몰드 유전막(110)은 화학 기상 증착 공정(Chemical Vapor Deposition Process: CVD), 물리 기상 증착 공정(Physical Vapor Deposition Process: PVD) 또는 원자층 증착 공정(Atomic Layer Deposition Process: ALD) 중에서 적어도 하나에 의해서 형성될 수 있다. 상기 몰드 유전막(110)은 산화물, 질화물 또는 산화 질화물 중에서 적어도 하나를 포함할 수 있다.
- [0050] 상기 기판(100)은 실리콘 또는 게르마늄 중에서 적어도 하나를 포함할 수 있다. 일 실시 예에 따르면, 상기 기판(100)은 반도체 장치를 구성하는 요소들(components)을 포함할 수 있다. 예를 들면, 상기 요소들은 트랜지스터(Transistor), 다이오드(Diode), 캐패시터(Capacitor) 또는 저항체 중에서 적어도 하나를 포함할 수 있다.
- [0051] 상기 몰드 유전막(110)내에 제1 방향으로 연장되는 트렌치(115)를 형성할 수 있다. 일 실시 예에 따르면, 상기 제1 방향은 x축에 평행한 방향일 수 있다. 상기 트렌치(115)는 상기 몰드 유전막(110)의 일부를 식각하는 것에 의해 형성될 수 있다. 일 실시 예에 따르면, 상기 트렌치(115)는 상기 기판(100)의 적어도 일부를 노출시킬 수 있다. 이와 달리, 상기 트렌치(115)는 상기 반도체 장치를 구성하는 요소들(components)의 적어도 일부를 노출시킬 수 있다.
- [0052] 도3a, 도3b 및 도3c를 참조하면, 상기 트렌치(115)내에 하부 배선(120)을 형성할 수 있다. 상기 하부 배선(120)은 상기 제1 방향으로 연장되는 라인 형태로 형성될 수 있다. 일 실시 예에 따르면, 상기 하부 배선(120)은 제1 베리어 패턴(121) 및 제1 도전 라인(125)을 포함할 수 있다. 상기 제1 베리어 패턴(121)은 금속 질화물(ex, 질화 티타늄, 질화 텅스텐 또는 질화 탄탈륨 등) 또는 전이 금속(ex, 티타늄, 탄탈륨 등)을 포함할 수 있다. 또한, 상기 제1 도전 라인(125)은 도핑된 반도체(ex, 도핑된 실리콘 등), 금속(ex, 텅스텐, 알루미늄, 구리 등), 또는 도전성 금속-반도체 화합물(ex, 금속 실리사이드 등) 등에서 선택된 적어도 하나를 포함할 수 있다.
- [0053] 상기 하부 배선(120)은 상기 몰드 유전막(110)상에 콘포말하게 제1 베리어막을 형성하는 것, 상기 몰드 유전



막(110)상에 상기 트렌치(115) 내부를 채우는 제1 도전막을 형성하는 것, 및 상기 몰드 유전막의 상부면이 노출될 때까지 상기 제1 베리어막 및 상기 제1 도전막을 식각하는 것에 의해 형성될 수 있다. 상기 제1 베리어막은 화학 기상 증착 공정(CVD), 물리 기상 증착 공정(PVD) 또는 원자층 증착 공정(ALD) 중에서 적어도 하나에 의해서 형성될 수 있다. 또한, 상기 제1 도전막은 화학 기상 증착 공정(CVD), 물리 기상 증착 공정(PVD), 원자층 증착 공정(ALD) 또는 도금 공정에 의해 형성될 수 있다. 상기 제1 베리어막 및 상기 제1 도전막을 식각하는 것은 건식 식각 공정 또는 화학적 기계적 평탄화 공정(Chemical Mechanical Planarization Process: CMP)에 의해 수행될 수 있다.

[0054] 도4a, 도4b 및 도4c를 참조하면, 상기 하부 배선(120)을 갖는 기판(100)상에 캐핑막(127)을 형성할 수 있다. 일 실시 예에 따르면, 상기 캐핑막(127)은 화학 기상 증착 공정(CVD)등을 이용하여 상기 기판(100) 전면상에 형성될 수 있다. 이와 달리, 상기 캐핑막(127)은 선택적 형성 방법에 의해 상기 하부 배선(120)상에 한정적으로 형성될 수 있다. 이 경우, 상기 캐핑막(127)은 도전성 금속 질화물로 형성될 수도 있다.

[0055] 일 실시 예에 따르면, 상기 캐핑막(127)은 상기 하부 배선(120)내에 포함된 도전성 입자들이 상기 하부 배선(120)의 외부로 확산되는 것을 방지할 수 있는 물질을 포함할 수 있다. 예를 들어, 상기 캐핑막(127)은 질화물을 포함할 수 있다. 상기 캐핑막(127)은 화학 기상 증착 공정(CVD), 물리 기상 증착 공정(PVD) 또는 원자층 증착 공정(ALD) 중에서 적어도 하나에 의해서 형성될 수 있다.

[0056] 상기 몰드 유전막(110)상에 층간 유전막(130)을 형성할 수 있다. 상기 층간 유전막(130)은 화학 기상 증착 공정(CVD), 물리 기상 증착 공정(PVD) 또는 원자층 증착 공정(ALD) 중에서 적어도 하나에 의해서 형성될 수 있다. 상기 층간 유전막(130)은 산화물, 질화물 또는 산화 질화물 중에서 적어도 하나를 포함할 수 있다. 상기 캐핑막(127)이 상기 몰드 유전막(110)의 상부면을 전체적으로 덮는 경우, 상기 몰드 유전막(110)과 상기 층간 유전막(130) 사이에 상기 캐핑막(127)이 배치되도록 상기 캐핑막(127)상에 상기 층간 유전막(130)이 형성될 수 있다.

[0057] 도5a, 도5b 및 도5c를 참조하면, 상기 층간 유전막(130) 및 상기 캐핑막(127)을 관통하는 홀(135)이 형성될 수 있다. 일 실시 예에 따르면, 상기 홀(135)은 상기 하부 배선(120)의 상부면의 적어도 일부를 노출시킬 수 있다. 상기 홀(135)은 상기 층간 유전막(130) 및 상기 캐핑막(127)의 일부를 식각하는 것에 의해 형성될 수 있다.

[0058] 도6a, 도6b 및 도6c를 참조하면, 상기 홀(135)내에 콘택 플러그(140)를 형성할 수 있다. 상기 콘택 플러그(140)는 콘택 베리어 패턴(141) 및 콘택 도전 패턴(145)을 포함할 수 있다. 상기 콘택 플러그(140)를 형성하는 것은 상기 층간 유전막(130)상에 콘포말하게 콘택 베리어 막을 형성하는 것, 상기 층간 유전막(130)상에 상기 홀(135)을 채우는 콘택 도전막을 형성하는 것 및 상기 콘택 베리어막 및 상기 콘택 도전막을 상기 층간 유전막(130)의 상부면이 노출될 때까지 식각하는 것을 포함할 수 있다. 상기 콘택 베리어막은 화학 기상 증착 공정(CVD), 물리 기상 증착 공정(PVD) 또는 원자층 증착 공정(ALD) 중에서 적어도 하나에 의해서 형성될 수 있다. 또한, 상기 콘택 도전막은 화학 기상 증착 공정(CVD), 물리 기상 증착 공정(PVD), 원자층 증착 공정(ALD) 또는 도금 공정에 의해 형성될 수 있다. 상기 콘택 베리어막 및 상기 콘택 도전막을 식각하는 것은 건식 식각 공정 또는 화학적 기계적 평탄화 공정(Chemical Mechanical Planarization Process: CMP)에 의해 수행될 수 있다.

[0059] 상기 콘택 베리어 패턴(141)은 금속 질화물(ex, 질화 티타늄, 질화 텅스텐 또는 질화 탄탈륨 등) 또는 전이 금속(ex, 티타늄, 탄탈륨 등) 중에서 적어도 하나를 포함할 수 있다. 또한, 상기 제2 도전 라인(155)은 도핑된 반도체(ex, 도핑된 실리콘 등), 금속(ex, 텅스텐, 알루미늄, 구리 등), 또는 도전성 금속-반도체 화합물(ex, 금속 실리사이드 등) 등에서 선택된 적어도 하나를 포함할 수 있다.

[0060] 도7a, 도7b 및 도7c를 참조하면, 상기 층간 유전막(130)상에 제2 베리어막(151a), 제2 도전막(155a) 및 반사 방지막(157a)을 차례로 형성할 수 있다. 상기 제2 베리어막(151a) 및 상기 제2 도전막(155a)은 화학 기상 증착 공정(CVD), 물리 기상 증착 공정(PVD) 또는 원자층 증착 공정(ALD) 중에서 적어도 하나에 의해서 형성될 수 있다. 상기 제2 베리어막(151a)은 금속 질화물(ex, 질화 티타늄, 질화 텅스텐 또는 질화 탄탈륨 등) 또는 전이 금속(ex, 티타늄, 탄탈륨 등)을 포함할 수 있다. 또한, 상기 제2 도전막(155a)은 도핑된 반도체(ex, 도핑된 실리콘 등), 금속(ex, 텅스텐, 알루미늄, 구리 등), 또는 도전성 금속-반도체 화합물(ex, 금속 실리사이드 등) 등에서 선택된 적어도 하나를 포함할 수 있다.

[0061] 상기 반사 방지막(157a)은 금속 원소, 탄소 원소, 및 질소 원소를 포함하는 소스 가스를 이용하는 화학 기상 증착 공정에 의해 형성될 수 있다. 상기 소스 가스는 제1 반응 가스 및 제2 반응 가스를 포함할 수 있다. 일

실시 예에 따르면, 제1 반응 가스는 탄소 원소 및 금속 원소를 포함할 수 있고, 제2 반응 가스는 질소 원소를 포함할 있다. 다른 실시 예에 따르면, 제1 반응 가스는 금속 원소를 포함할 수 있고, 제2 반응 가스는 탄소 원소 및 질소 원소를 포함할 있다. 또 다른 실시 예에 따르면, 제1 반응 가스는 탄소 원소 및 금속 원소를 포함할 수 있고, 제2 반응 가스는 탄소 원소 및 질소 원소를 포함할 있다. 이와 달리, 제1 반응 가스는 탄소 원소를 포함할 수 있고, 제2 반응 가스는 금속 원소 및 질소 원소를 포함할 있다.

- [0062] 상기 반사 방지막(157a)은 금속, 탄소, 및 질소를 포함하는 화합물을 포함할 수 있다. 예를 들어, 상기 화합물에 포함된 금속은 티타늄일 수 있다. 일 실시 예에 따르면, 상기 반사 방지막(157a)에 포함된 상기 화합물의 탄소 함유량은 5~40at%일 수 있다.
- [0063] 일 실시 예에 따르면, 상기 반사 방지막(157a)에 포함된 상기 화합물의 밀도는 PVD-금속 질화물의 밀도보다 작을 수 있다. 예를 들어, 상기 화합물에 포함된 금속은 티타늄일 수 있고, PVD-금속 질화물은 티타늄 질화물일 수 있다. 상기 밀도는 단위 부피에 따른 질량을 의미한다. 따라서, 상기 반사 방지막(157a)에 포함된 상기 화합물은 PVD-금속 질화물보다 단위 부피에 따른 질량이 작을 수 있다. 즉, 상기 반사 방지막(157a)에 포함된 상기 화합물은 PVD-금속 질화물보다 다공성(porous)의 물질일 수 있다.
- [0064] 일 실시 예에 따르면, 상기 화합물은 산소를 더 포함할 수 있다. 예를 들어, 상기 화합물은 티타늄-탄소-질화물(TiCN) 또는 티타늄-탄소-산소-질화물(TiCON)일 수 있다.
- [0065] 일 실시 예에 따르면, 상기 반사 방지막(157a) 내에서 모바일 원소의 확산 계수는 상기 캐핑막(127) 내에서 모바일 원소의 확산 계수보다 더 클 수 있다. 또한, 상기 반사 방지막(157a)에 포함된 화합물 내에서 모바일 원소의 확산 계수는 PVD-금속 질화물 내에서 모바일 원소의 확산 계수보다 더 클 수 있다. 상기 모바일 원소는 막질 내에서 움직임이 자유로운 원소를 포함할 수 있다. 예를 들어, 상기 모바일 원소는 수소일 수 있다.
- [0066] 도8a, 도8b 및 도8c를 참조하면, 상기 반사 방지막(157a), 상기 제2 도전막(155a) 및 상기 제2 베리어막(151a)을 순차적으로 패터닝하여 차례로 적층된 제2 베리어 패턴(151), 제2 도전 라인(155) 및 반사 방지 패턴(157)을 형성할 수 있다. 상기 제2 베리어 패턴(151) 및 상기 제2 도전 라인(155)은 상부 배선(150)에 포함될 수 있다. 상기 상부 배선(150)은 상기 제1 방향에 교차하는 제2 방향으로 연장되는 라인 형태로 형성될 수 있다.
- [0067] 상기 제2 베리어 패턴(151), 상기 제2 도전 라인(155) 및 상기 반사 방지 패턴(157)은 감광 공정을 이용하여 상기 반사 방지막(157a)상에 감광 마스크를 형성하고, 상기 감광 마스크를 식각 마스크로 이용하여 상기 반사 방지막(157a), 상기 제2 도전막(155a) 및 상기 제2 베리어막(151a)을 식각하는 것에 의해 형성될 수 있다. 일 실시 예에 따르면, 상기 제2 베리어 패턴(151), 제2 도전 라인(155) 및 반사 방지 패턴(157)은 하나의 챔버내에서 수행되는 하나의 건식 식각 공정에 의해 형성될 수 있다.
- [0068] 일 실시 예에 따르면, 상기 감광 마스크는 상기 제2 베리어 패턴(151), 제2 도전 라인(155) 및 반사 방지 패턴(157)이 형성된 후에 산소를 이용하는 공정에 의해 제거될 수 있다.
- [0069] 도1a, 도1b 및 도1c에 도시된 것처럼, 상기 층간 유전막(130)상에 상기 상부 배선(150) 및 상기 반사 방지 패턴(157)을 덮는 보호막이 형성될 수 있다. 상기 보호막은 화학 기상 증착 공정(CVD), 물리 기상 증착 공정(PVD) 또는 원자층 증착 공정(ALD) 중에서 적어도 하나에 의해서 형성될 수 있다. 상기 층간 유전막(130)은 산화물, 질화물 또는 산화 질화물 중에서 적어도 하나를 포함할 수 있다.
- [0070] 상술된 반도체 장치에 따르면, 상기 상부 배선(150) 상에 배치되는 반사 방지 패턴(157)이 금속, 탄소 및 질소를 포함하는 화합물로 형성될 수 있다. 상기 반사 방지 패턴(157)에 포함된 화합물은 다공성 물질일 수 있다. 이에 따라, 반도체 장치를 형성하기 위한 공정 과정에서 반도체 장치를 구성하는 요소들(components)내에 침투된 모바일 원소가 상기 반사 방지 패턴(157)을 통하여 용이하게 외부로 방출될 수 있다.
- [0071] 또한, 상기 반사 방지 패턴(157) 내에서 모바일 원소의 확산 계수가 상기 캐핑막(127) 내에서 모바일 원소의 확산 계수보다 더 클 수 있다. 반도체 장치를 구성하는 요소들 내에 존재하는 모바일 원소가 반도체 장치의 외부로 방출되는 것이 상기 캐핑막(127)에 의해서 억제되는 경우, 상기 모바일 원소는 상기 콘택 플러그(140)와 상기 상부 배선(150)을 통해서 확산 이동되어 상기 반사 방지 패턴(157)을 통하여 본 발명에 따른 반도체 장치의 외부로 용이하게 방출될 수 있다. 따라서, 상기 모바일 원소가 상기 반도체 장치 내에서 발생시킬 수 있는 불량을 최소화할 수 있고, 신뢰성이 개선된 반도체 장치를 구현할 수 있다.
- [0072] 상술된 실시 예들에서 개시된 반도체 장치들은 다양한 형태들의 반도체 패키지(semiconductor package)로 구현될 수 있다. 예를 들면, 본 발명의 실시예들에 따른 반도체 장치들은 PoP(Package on Package), Ball grid

arrays(BGAs), Chip scale packages(CSPs), Plastic Leaded Chip Carrier(PLCC), Plastic Dual In-Line Package(PDIP), Die in Waffle Pack, Die in Wafer Form, Chip On Board(COB), Ceramic Dual In-Line Package(CERDIP), Plastic Metric Quad Flat Pack(MQFP), Thin Quad Flatpack(TQFP), Small Outline(SOIC), Shrink Small Outline Package(SSOP), Thin Small Outline(TSOP), Thin Quad Flatpack(TQFP), System In Package(SIP), Multi Chip Package(MCP), Wafer-level Fabricated Package(WFP), Wafer-Level Processed Stack Package(WSP) 등의 방식으로 패키징될 수 있다.

- [0073] 본 발명의 실시 예들에 따른 반도체 장치가 실장된 패키지는 다른 기능을 수행하는 반도체 장치(ex, 컨트롤러 및/또는 논리 소자 등)을 더 포함할 수도 있다.
- [0074] 도9은 본 발명의 기술적 사상에 기초한 반도체 장치를 포함하는 전자 시스템의 일 예를 도시한 블록도 이다.
- [0075] 도9을 참조하면, 본 발명의 일 실시 예에 따른 전자 시스템(1100)은 컨트롤러(1110), 입출력 장치(1120, I/O), 기억 장치(1130, memory device), 인터페이스(1140) 및 버스(1150, bus)를 포함할 수 있다. 상기 컨트롤러(1110), 입출력 장치(1120), 기억 장치(1130) 및/또는 인터페이스(1140)는 상기 버스(1150)를 통하여 서로 결합될 수 있다. 상기 버스(1150)는 데이터들이 이동되는 통로(path)에 해당한다.
- [0076] 상기 컨트롤러(1110)는 마이크로프로세서, 디지털 신호 프로세서, 마이크로컨트롤러, 및 이들과 유사한 기능을 수행할 수 있는 논리 소자들 중에서 적어도 하나를 포함할 수 있다. 상술된 실시 예들에 개시된 반도체 장치들이 논리 소자로 구현되는 경우에, 상기 컨트롤러(1110)는 상술된 실시 예들에 따른 반도체 장치를 포함할 수 있다. 상기 입출력 장치(1120)는 키패드(keypad), 키보드 및 디스플레이 장치 등을 포함할 수 있다. 상기 기억 장치(1130)는 데이터 및/또는 명령어 등을 저장할 수 있다. 상기 기억 장치(1130)는 상술된 실시 예들에 따른 반도체 장치들 중에서 적어도 하나를 포함할 수 있다. 또한, 상기 기억 장치(1130)는 다른 형태의 반도체 기억 장치(ex, 디램 소자 및/또는 에스램 소자 등)를 더 포함할 수 있다. 상기 인터페이스(1140)는 통신 네트워크로 데이터를 전송하거나 통신 네트워크로부터 데이터를 수신하는 기능을 수행할 수 있다. 상기 인터페이스(1140)는 유선 또는 무선 형태일 수 있다. 예컨대, 상기 인터페이스(1140)는 안테나 또는 유무선 트랜시버 등을 포함할 수 있다. 도시하지 않았지만, 상기 전자 시스템(1100)은 상기 컨트롤러(1110)의 동작을 향상시키기 위한 동작 기억 소자로서, 고속의 디램 소자 및/또는 에스램 소자 등을 더 포함할 수도 있다.
- [0077] 상기 전자 시스템(1100)은 개인 휴대용 정보 단말기(PDA, personal digital assistant) 포터블 컴퓨터(portable computer), 웹 타블렛(web tablet), 무선 전화기(wireless phone), 모바일 폰(mobile phone), 디지털 뮤직 플레이어(digital music player), 메모리 카드(memory card), 또는 정보를 무선환경에서 송신 및/또는 수신할 수 있는 모든 전자 제품에 적용될 수 있다.
- [0078] 도10는 본 발명의 기술적 사상에 기초한 반도체 장치를 포함하는 메모리 카드의 일 예를 도시한 블록도 이다.
- [0079] 도10를 참조하면, 본 발명의 일 실시 예에 따른 메모리 카드(1200)는 기억 장치(1210)를 포함한다. 상기 기억 장치(1210)는 상술된 실시 예들의 반도체 장치들 중에서 적어도 하나를 포함할 수 있다. 또한, 상기 기억 장치(1210)는 다른 형태의 반도체 기억 장치(ex, 디램 소자 및/또는 에스램 소자 등)를 더 포함할 수 있다. 상기 메모리 카드(1200)는 호스트(Host)와 상기 기억 장치(1210) 간의 데이터 교환을 제어하는 메모리 컨트롤러(1220)를 포함할 수 있다.
- [0080] 상기 메모리 컨트롤러(1220)는 메모리 카드의 전반적인 동작을 제어하는 프로세싱 유닛(1222)을 포함할 수 있다. 또한, 상기 메모리 컨트롤러(1220)는 상기 프로세싱 유닛(1222)의 동작 메모리로서 사용되는 에스램(1221, SRAM)을 포함할 수 있다. 이에 더하여, 상기 메모리 컨트롤러(1220)는 호스트 인터페이스(1223), 메모리 인터페이스(1225)를 더 포함할 수 있다. 상기 호스트 인터페이스(1223)는 메모리 카드(1200)와 호스트(Host)간의 데이터 교환 프로토콜을 구비할 수 있다. 상기 메모리 인터페이스(1225)는 상기 메모리 컨트롤러(1220)와 상기 기억 장치(1210)를 접속시킬 수 있다. 더 나아가서, 상기 메모리 컨트롤러(1220)는 에러 정정 블록(1224, Ecc)를 더 포함할 수 있다. 상기 에러 정정 블록(1224)은 상기 기억 장치(1210)로부터 독출된 데이터의 에러를 검출 및 정정할 수 있다. 도시하지 않았지만, 상기 메모리 카드(1200)는 호스트(Host)와의 인터페이싱을 위한 코드 데이터를 저장하는 롬 장치(ROM device)를 더 포함할 수도 있다. 상기 메모리 카드(1200)는 휴대용 데이터 저장 카드로 사용될 수 있다. 이와는 달리, 상기 메모리 카드(1200)는 컴퓨터시스템의 하드디스크를 대체할 수 있는 고상 디스크(SSD, Solid State Disk)로도 구현될 수 있다.
- [0081] 이상, 첨부된 도면들을 참조하여 본 발명의 실시 예들을 설명하였지만, 본 발명은 그 기술적 사상이나 필수적인 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수도 있다. 그러므로 이상에서 기술한 실시 예들에

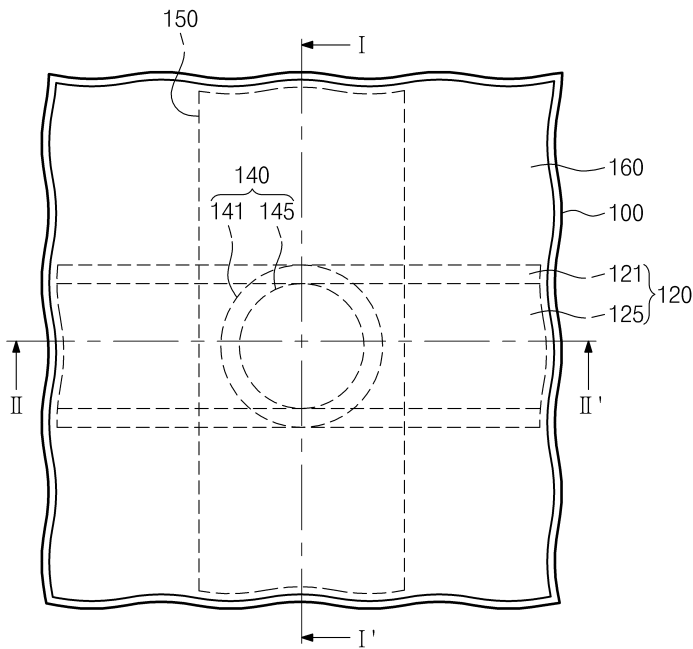
는 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다.

**부호의 설명**

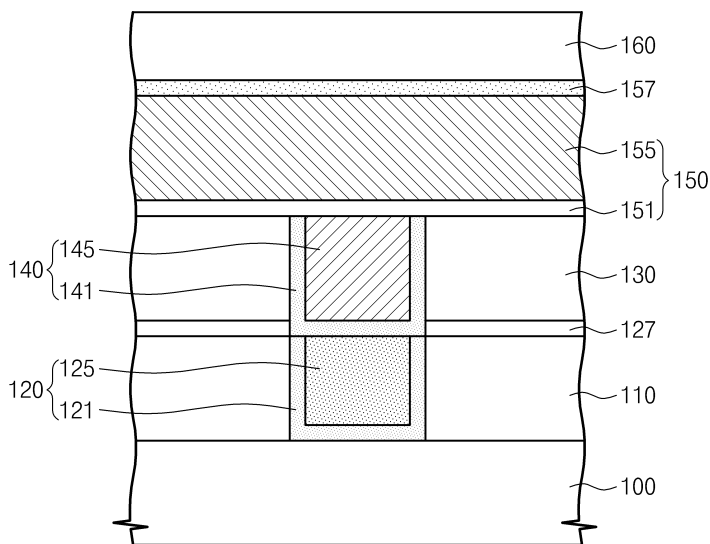
- |        |            |               |
|--------|------------|---------------|
| [0082] | 100: 기관    | 110: 몰드 유전막   |
|        | 120: 하부 배선 | 140: 콘택 플러그   |
|        | 150: 상부 배선 | 157: 반사 방지 패턴 |

**도면**

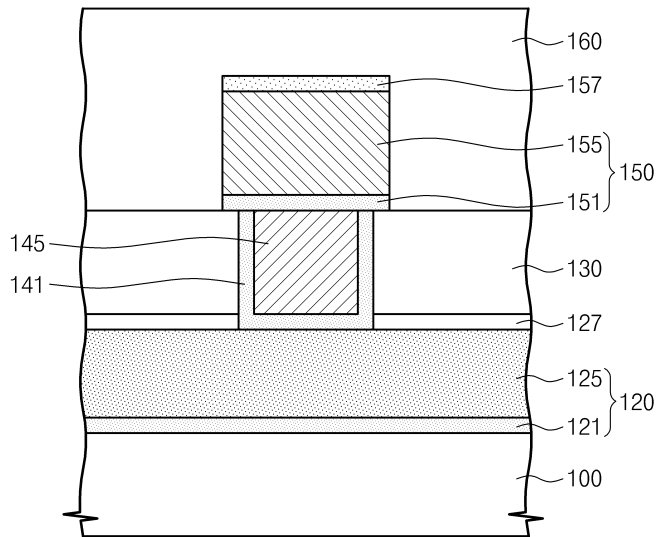
**도면1a**



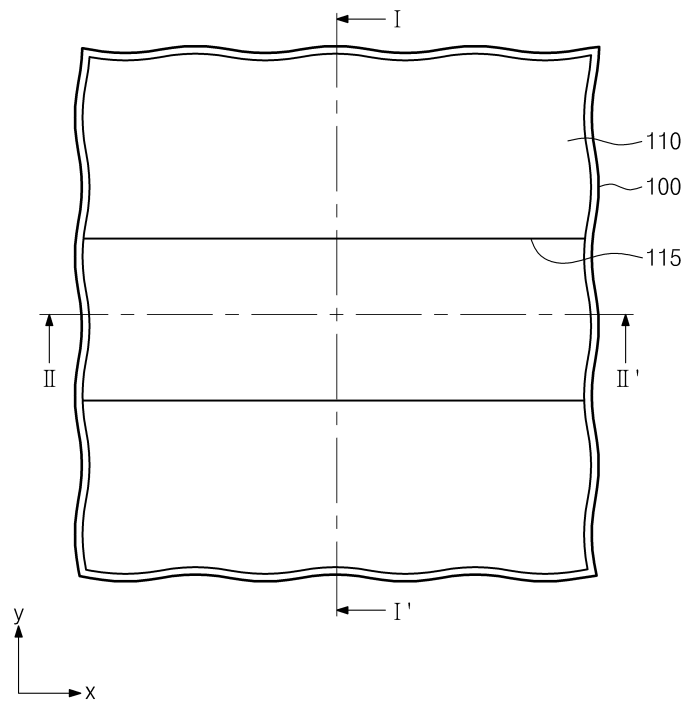
**도면1b**



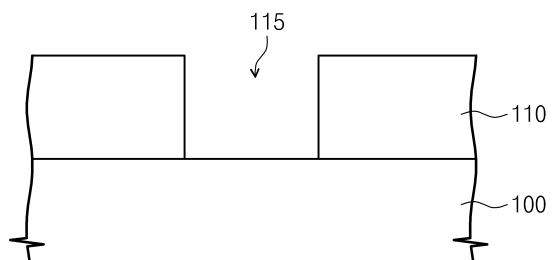
도면1c



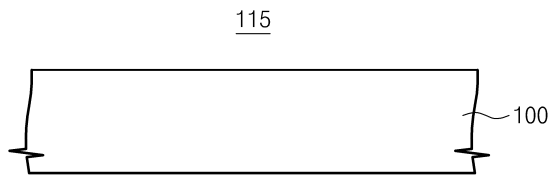
도면2a



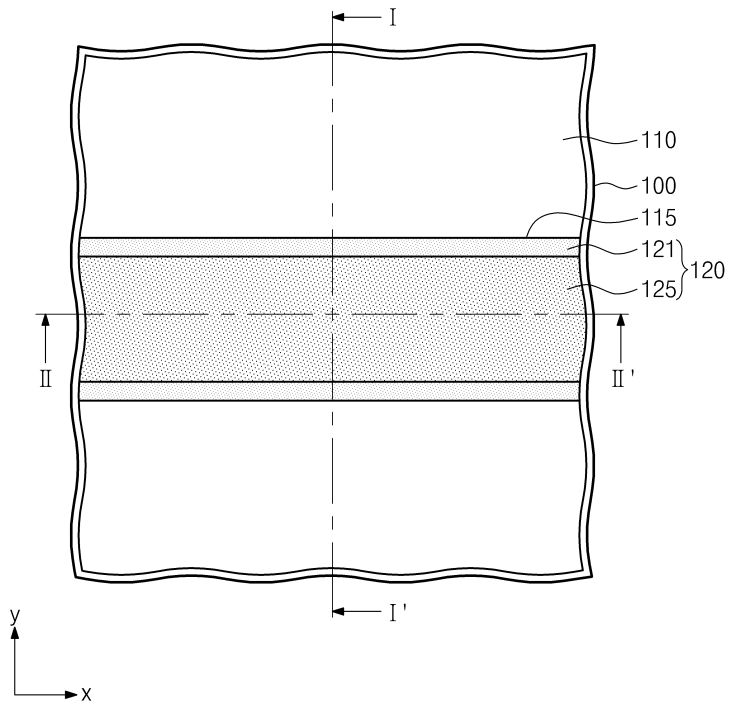
도면2b



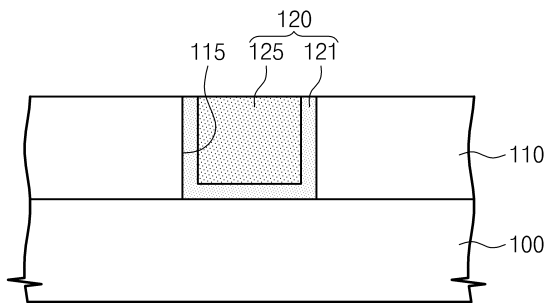
도면2c



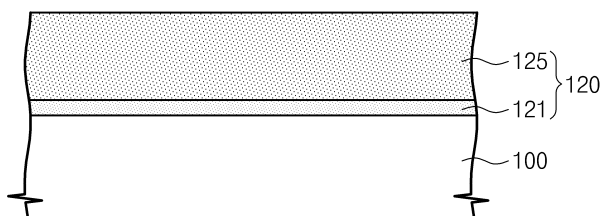
도면3a



도면3b

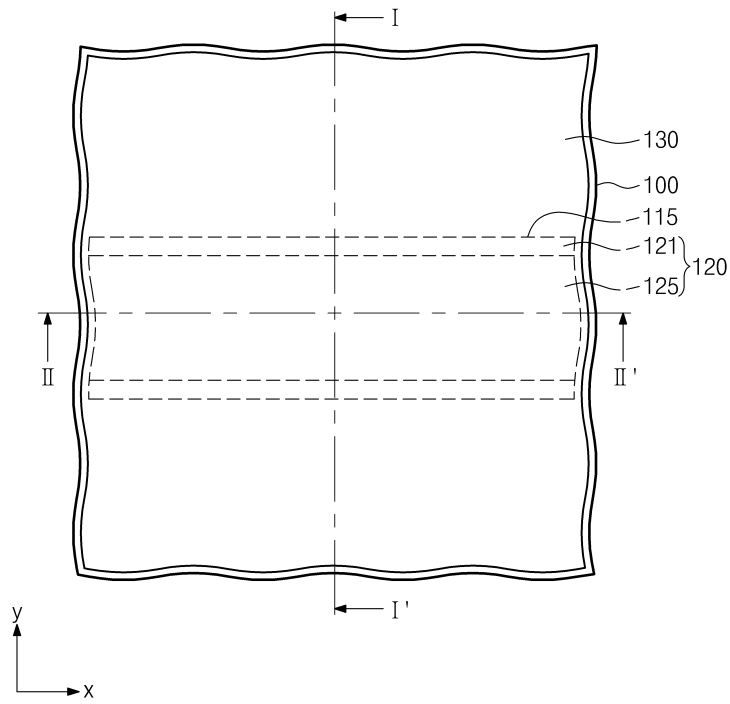


도면3c

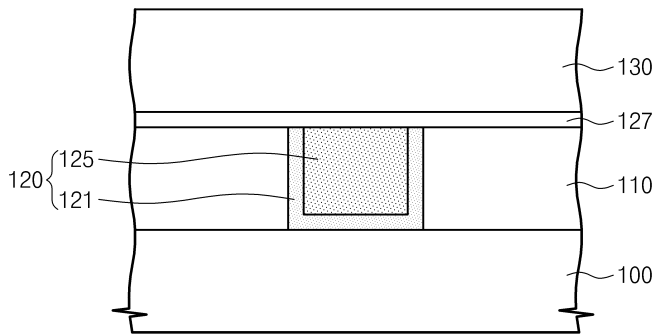




도면4a



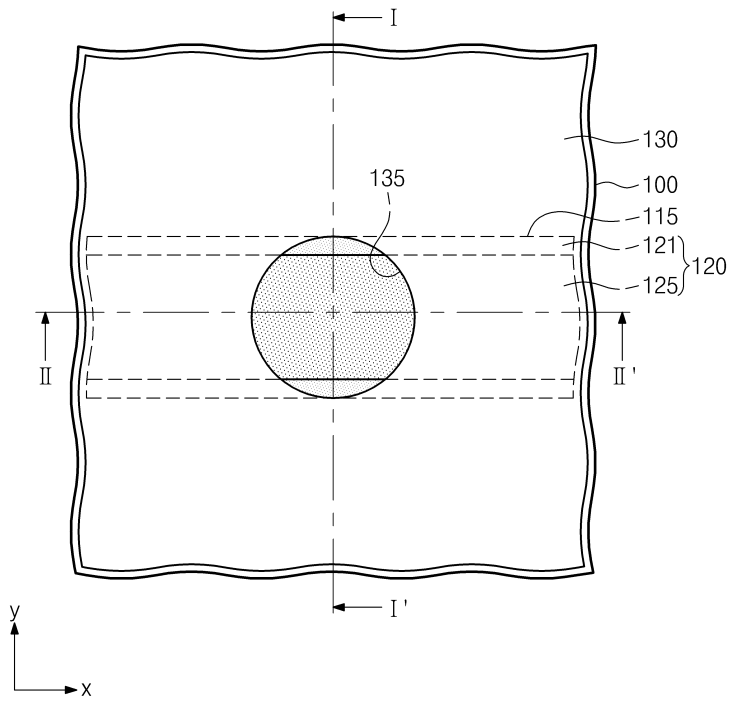
도면4b



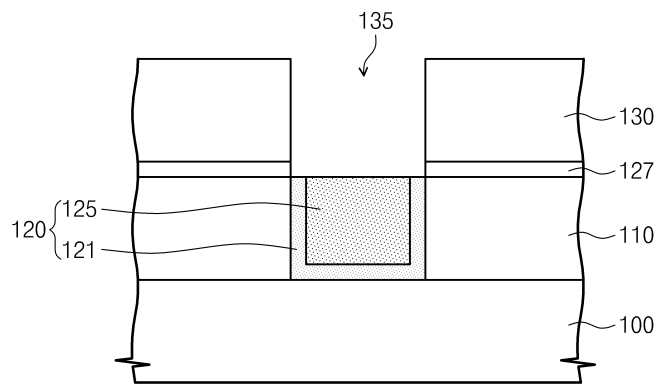
도면4c



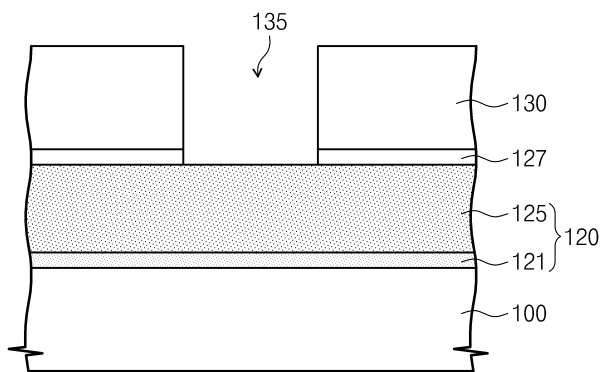
도면5a



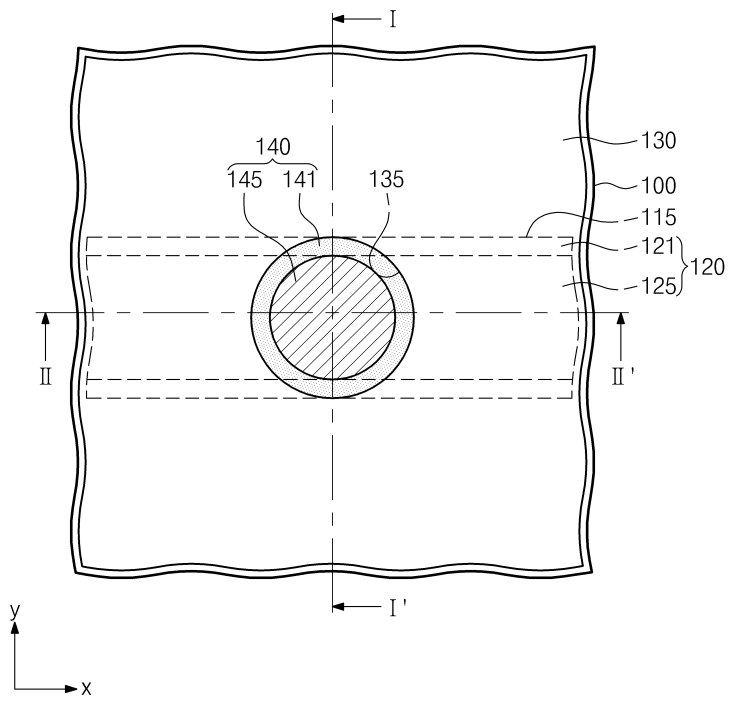
도면5b



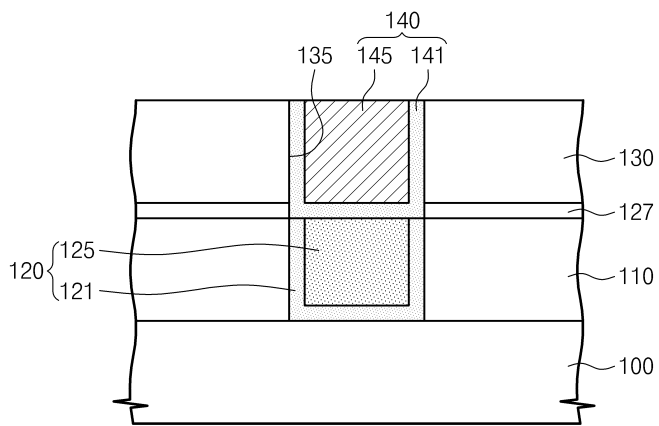
도면5c



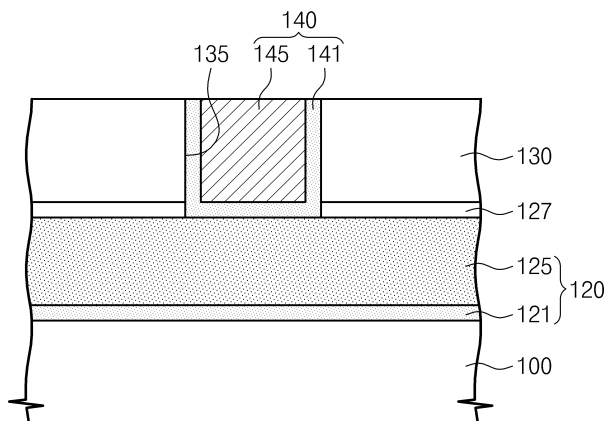
도면6a



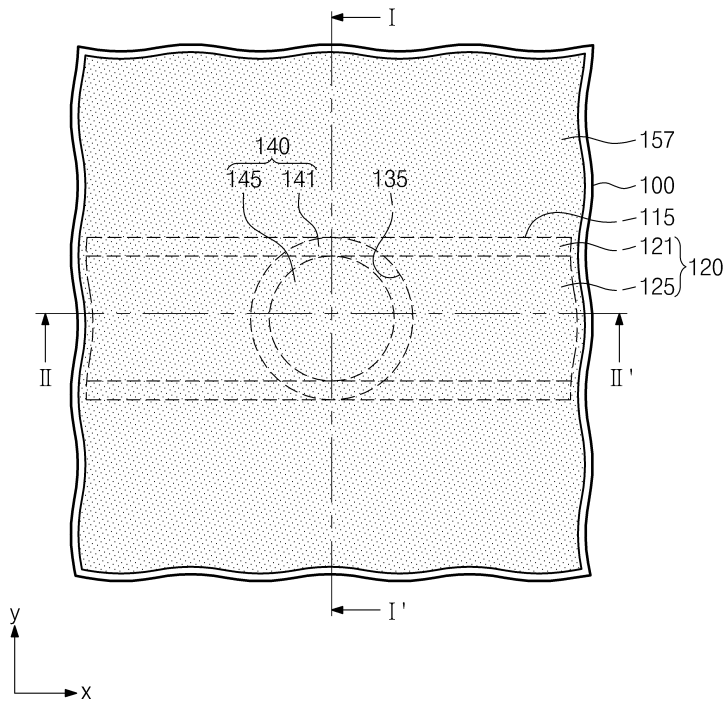
도면6b



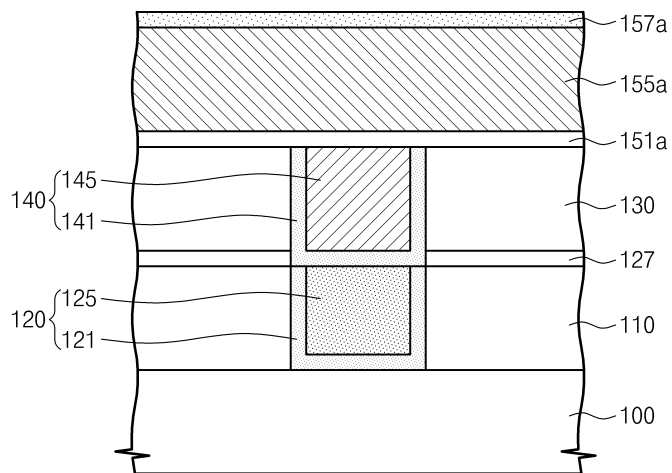
도면6c



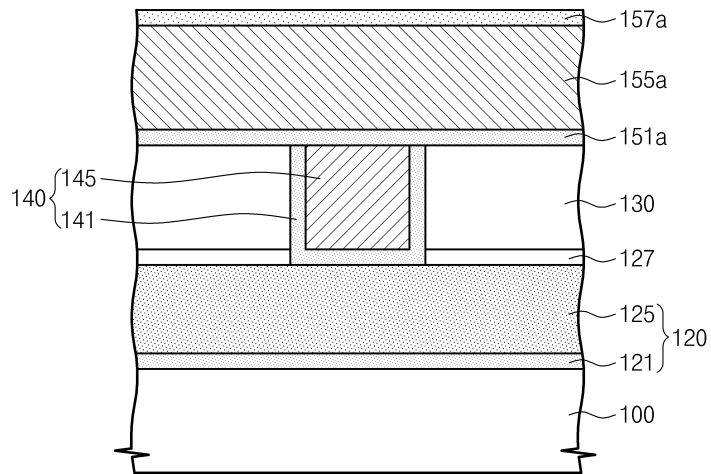
도면7a



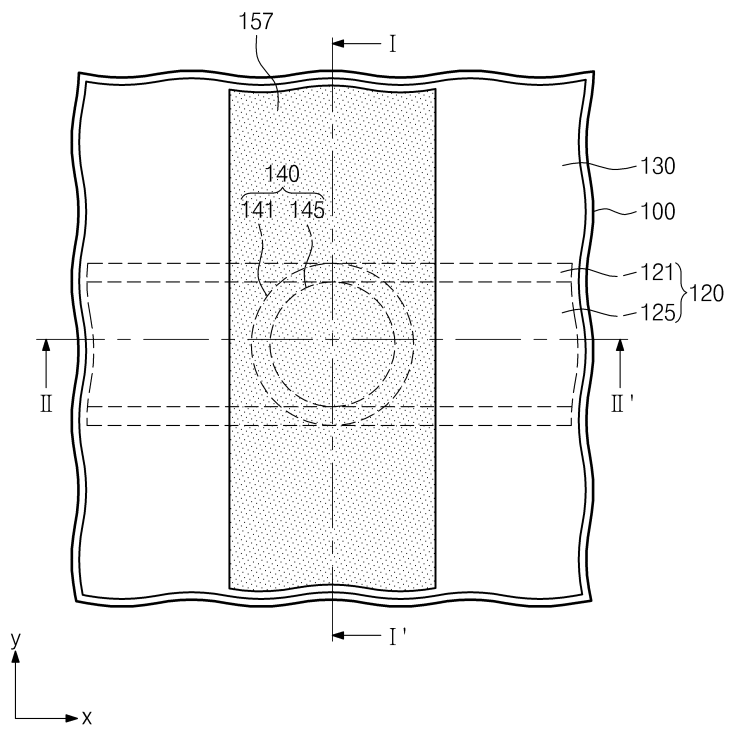
도면7b



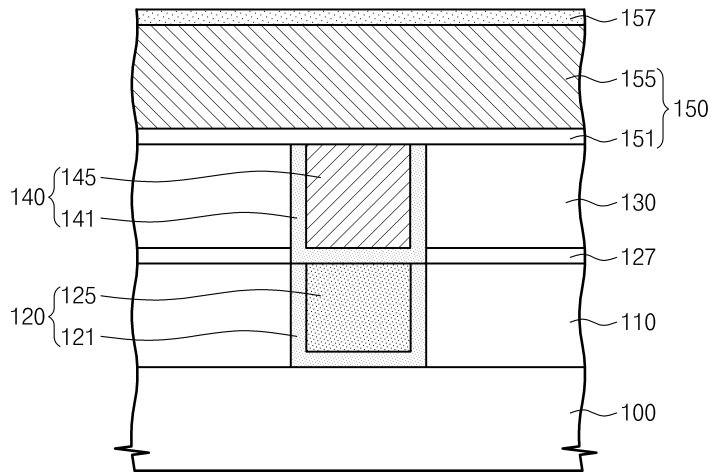
도면7c



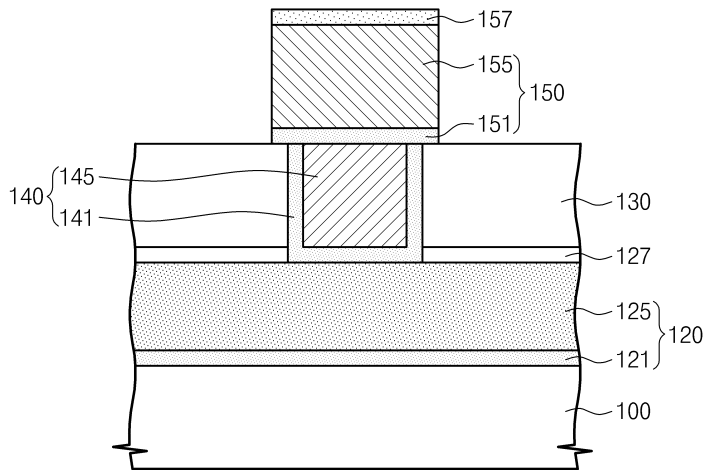
도면8a



도면8b

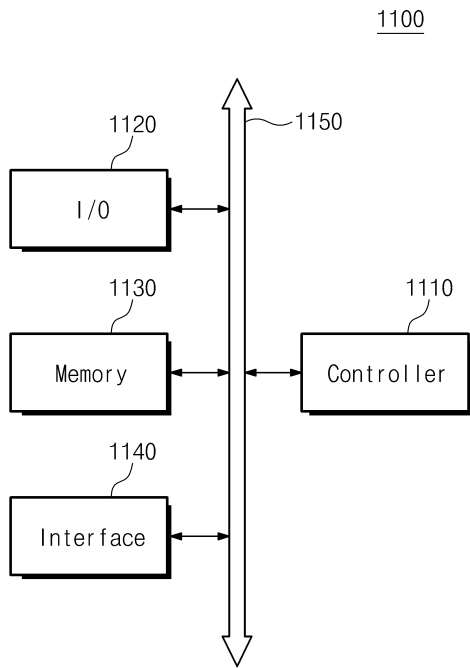


도면8c





도면9



도면10

