

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第4区分

【発行日】平成21年11月12日(2009.11.12)

【公開番号】特開2008-103028(P2008-103028A)

【公開日】平成20年5月1日(2008.5.1)

【年通号数】公開・登録公報2008-017

【出願番号】特願2006-285015(P2006-285015)

【国際特許分類】

G 11 C 11/412 (2006.01)

【F I】

G 11 C 11/40 301

【手続補正書】

【提出日】平成21年9月28日(2009.9.28)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

第1及び第2の記憶ノードに相補データを記憶するラッチ回路を備えた半導体記憶装置であって、

前記ラッチ回路は、

前記第1の記憶ノードに接続されたドレインと、電源電圧が供給されるソースと、前記第2の記憶ノードに接続されたゲートとを有する第1の負荷トランジスタと、

前記第2の記憶ノードに接続されたドレインと、前記電源電圧が供給されるソースと、前記第1の記憶ノードに接続されたゲートとを有する第2の負荷トランジスタと、

前記第1の記憶ノードに接続されたドレインと、前記第2の記憶ノードに接続されたゲートとを有する第1のドライブトランジスタと、

前記第2の記憶ノードに接続されたドレインと、前記第1の記憶ノードに接続されたゲートとを有する第2のドライブトランジスタと、

前記第1及び第2の記憶ノードのうち論理低レベルを保持している記憶ノードと、論理高レベルを保持している第3のノードとを電気的に結合する記憶ノード電圧制御回路とを有することを特徴とする半導体記憶装置。

【請求項2】

請求項1記載の半導体記憶装置において、

前記記憶ノード電圧制御回路は、前記ラッチ回路へのデータ書き込み時に、前記第1及び第2の記憶ノードのうち論理低レベルを保持している記憶ノードと、前記第3のノードとを電気的に結合することを特徴とする半導体記憶装置。

【請求項3】

請求項1記載の半導体記憶装置において、

前記第3のノードは、前記第1及び第2の記憶ノードのうち論理高レベルを保持している記憶ノードであることを特徴とする半導体集積回路。

【請求項4】

請求項1記載の半導体記憶装置において、

前記第3のノードには、前記電源電圧が供給されていることを特徴とする半導体記憶装置。

【請求項5】

請求項 1 ~ 4 のうちいずれか 1 項に記載の半導体記憶装置において、
前記第 1 及び第 2 のドライブトランジスタの各々のソースと接地電圧との間に介在した
電流遮断トランジスタを更に備えたことを特徴とする半導体記憶装置。

【請求項 6】

請求項 5 記載の半導体記憶装置において、
前記電流遮断トランジスタは、前記記憶ノード電圧制御回路の動作時にオフするように
制御されることを特徴とする半導体記憶装置。

【請求項 7】

請求項 1 記載の半導体記憶装置において、
ワード線と、
第 1 及び第 2 のビット線と、
前記第 1 のビット線と前記第 1 の記憶ノードとの間に介在し、かつ前記ワード線に接続
されたゲートを有する第 1 のアクセストランジスタと、
前記第 2 のビット線と前記第 2 の記憶ノードとの間に介在し、かつ前記ワード線に接続
されたゲートを有する第 2 のアクセストランジスタとを更に備えたことを特徴とする半導
体記憶装置。

【請求項 8】

請求項 7 記載の半導体記憶装置において、
前記記憶ノード電圧制御回路は、前記第 1 の記憶ノードと前記第 2 の記憶ノードとの間
に直列接続された第 1 及び第 2 のイコライズトランジスタを有することを特徴とする半導
体記憶装置。

【請求項 9】

請求項 8 記載の半導体記憶装置において、
前記ラッチ回路へのデータ書き込み時に前記第 1 の記憶ノードと前記第 2 の記憶ノード
とを電気的に結合するように、前記第 1 のイコライズトランジスタのゲートは補助ワード
線により、前記第 2 のイコライズトランジスタのゲートはカラム線によりそれぞれ制御さ
れることを特徴とする半導体記憶装置。

【請求項 10】

請求項 7 記載の半導体記憶装置において、
前記記憶ノード電圧制御回路は、
前記第 1 の記憶ノードに接続されたドレインを有する第 1 のチャージトランジスタと、
前記第 2 の記憶ノードに接続されたドレインを有する第 2 のチャージトランジスタと、
前記第 1 及び第 2 のチャージトランジスタの各々のソースと、前記電源電圧が供給され
ている前記第 3 のノードとの間に介在した第 3 のチャージトランジスタとを有することを
特徴とする半導体記憶装置。

【請求項 11】

請求項 10 記載の半導体記憶装置において、
前記ラッチ回路へのデータ書き込み時に前記第 1 の記憶ノードと前記第 2 の記憶ノード
との双方を前記第 3 のノードに電気的に結合するように、前記第 1 及び第 2 のチャージト
ランジスタの各々のゲートは補助ワード線により、前記第 3 のチャージトランジスタのゲ
ートはカラム線によりそれぞれ制御されることを特徴とする半導体記憶装置。

【請求項 12】

請求項 7 記載の半導体記憶装置において、
前記記憶ノード電圧制御回路は、
前記第 1 の記憶ノードに接続されたドレインを有する第 1 のチャージトランジスタと、
前記第 2 の記憶ノードに接続されたドレインを有する第 2 のチャージトランジスタと、
前記第 1 のチャージトランジスタのソースと前記電源電圧が供給されている前記第 3 の
ノードとの間に介在した第 3 のチャージトランジスタと、
前記第 2 のチャージトランジスタのソースと前記第 3 のノードとの間に介在した第 4 の
チャージトランジスタとを有することを特徴とする半導体記憶装置。

【請求項 1 3】

請求項 1 2 記載の半導体記憶装置において、

前記ラッチ回路へのデータ書き込み時に前記第 1 及び第 2 の記憶ノードのうち論理低レベルを保持している記憶ノードを前記第 3 のノードに電気的に結合するように、前記第 1 及び第 2 のチャージトランジスタの各々のゲートは補助ワード線により、前記第 3 のチャージトランジスタのゲートは前記第 2 のビット線により、前記第 4 のチャージトランジスタのゲートは前記第 1 のビット線によりそれぞれ制御されることを特徴とする半導体記憶装置。

【請求項 1 4】

第 1 及び第 2 の記憶ノードに相補データを記憶するラッチ回路を備えた半導体記憶装置であって、

前記ラッチ回路は、

前記第 1 の記憶ノードに接続されたドレインと、電源電圧が供給されるソースと、前記第 2 の記憶ノードに接続されたゲートとを有する第 1 の負荷トランジスタと、

前記第 2 の記憶ノードに接続されたドレインと、前記電源電圧が供給されるソースと、前記第 1 の記憶ノードに接続されたゲートとを有する第 2 の負荷トランジスタと、

前記第 1 の記憶ノードに接続されたドレインと、前記第 2 の記憶ノードに接続されたゲートとを有する第 1 のドライブトランジスタと、

前記第 2 の記憶ノードに接続されたドレインと、前記第 1 の記憶ノードに接続されたゲートとを有する第 2 のドライブトランジスタと、

前記第 1 の記憶ノードと前記第 2 の記憶ノードとを電気的に結合する記憶ノード電圧制御回路とを有することを特徴とする半導体記憶装置。

【請求項 1 5】

請求項 1 4 記載の半導体記憶装置において、

ワード線と、

第 1 及び第 2 のビット線と、

前記第 1 のビット線と前記第 1 の記憶ノードとの間に介在し、かつ前記ワード線に接続されたゲートとを有する第 1 のアクセストランジスタと、

前記第 2 のビット線と前記第 2 の記憶ノードとの間に介在し、かつ前記ワード線に接続されたゲートとを有する第 2 のアクセストランジスタとを更に備えたことを特徴とする半導体記憶装置。

【請求項 1 6】

第 1 及び第 2 の記憶ノードに相補データを記憶するラッチ回路を備えた半導体記憶装置であって、

前記ラッチ回路は、

前記第 1 の記憶ノードに接続されたドレインと、電源電圧が供給されるソースと、前記第 2 の記憶ノードに接続されたゲートとを有する第 1 の負荷トランジスタと、

前記第 2 の記憶ノードに接続されたドレインと、前記電源電圧が供給されるソースと、前記第 1 の記憶ノードに接続されたゲートとを有する第 2 の負荷トランジスタと、

前記第 1 の記憶ノードに接続されたドレインと、前記第 2 の記憶ノードに接続されたゲートとを有する第 1 のドライブトランジスタと、

前記第 2 の記憶ノードに接続されたドレインと、前記第 1 の記憶ノードに接続されたゲートとを有する第 2 のドライブトランジスタと、

ワード線と、

第 1 及び第 2 のビット線と、

前記第 1 のビット線と前記第 1 の記憶ノードとの間に介在し、かつ前記ワード線に接続されたゲートとを有する第 1 のアクセストランジスタと、

前記第 2 のビット線と前記第 2 の記憶ノードとの間に介在し、かつ前記ワード線に接続されたゲートとを有する第 2 のアクセストランジスタと、

記憶ノード電圧制御回路とを備え、

前記記憶ノード電圧制御回路は、

前記第1の記憶ノードに接続されたドレインを有する第1のチャージトランジスタと、
前記第2の記憶ノードに接続されたドレインを有する第2のチャージトランジスタと、
前記第1及び第2のチャージトランジスタの各々のソースと、前記電源電圧が供給されている前記第3のノードとの間に介在した第3のチャージトランジスタとを有することを特徴とする半導体記憶装置。

【請求項17】

第1及び第2の記憶ノードに相補データを記憶するラッチ回路を備えた半導体記憶装置であって、

前記ラッチ回路は、

前記第1の記憶ノードに接続されたドレインと、電源電圧が供給されるソースと、前記第2の記憶ノードに接続されたゲートとを有する第1の負荷トランジスタと、

前記第2の記憶ノードに接続されたドレインと、前記電源電圧が供給されるソースと、前記第1の記憶ノードに接続されたゲートとを有する第2の負荷トランジスタと、

前記第1の記憶ノードに接続されたドレインと、前記第2の記憶ノードに接続されたゲートとを有する第1のドライブトランジスタと、

前記第2の記憶ノードに接続されたドレインと、前記第1の記憶ノードに接続されたゲートとを有する第2のドライブトランジスタと、

ワード線と、

第1及び第2のビット線と、

前記第1のビット線と前記第1の記憶ノードとの間に介在し、かつ前記ワード線に接続されたゲートとを有する第1のアクセストランジスタと、

前記第2のビット線と前記第2の記憶ノードとの間に介在し、かつ前記ワード線に接続されたゲートとを有する第2のアクセストランジスタと、

記憶ノード電圧制御回路とを備え、

前記記憶ノード電圧制御回路は、

前記第1の記憶ノードに接続されたドレインを有する第1のチャージトランジスタと、
前記第2の記憶ノードに接続されたドレインを有する第2のチャージトランジスタと、
前記第1のチャージトランジスタのソースと前記電源電圧が供給されている第3のノードとの間に介在した第3のチャージトランジスタと、

前記第2のチャージトランジスタのソースと前記電源電圧が供給されている第4のノードとの間に介在した第4のチャージトランジスタとを有することを特徴とする半導体記憶装置。

【請求項18】

請求項14～17のうちいずれか1項に記載の半導体記憶装置において、

前記第1及び第2のドライブトランジスタの各々のソースと接地電圧との間に介在した電流遮断トランジスタを更に備えたことを特徴とする半導体記憶装置。

【請求項19】

請求項18記載の半導体記憶装置において、

前記電流遮断トランジスタは、前記記憶ノード電圧制御回路の動作時にオフするよう制御されることを特徴とする半導体記憶装置。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0008

【補正方法】変更

【補正の内容】

【0008】

上記課題を解決するため、本発明によれば、第1及び第2の記憶ノードに相補データを記憶するラッチ回路を備えた半導体記憶装置において、当該ラッチ回路は、第1の記憶ノードに接続されたドレインと電源電圧が供給されるソースと第2の記憶ノードに接続され

たゲートとを有する第1の負荷トランジスタと、第2の記憶ノードに接続されたドレインと電源電圧が供給されるソースと第1の記憶ノードに接続されたゲートとを有する第2の負荷トランジスタと、第1の記憶ノードに接続されたドレインと第2の記憶ノードに接続されたゲートとを有する第1のドライブトランジスタと、第2の記憶ノードに接続されたドレインと第1の記憶ノードに接続されたゲートとを有する第2のドライブトランジスタと、第1及び第2の記憶ノードのうち“L”レベルを保持している記憶ノードと“H”レベルを保持している第3のノードとを電気的に結合する記憶ノード電圧制御回路とを有する構成を採用する。記憶ノード電圧制御回路は、例えば当該ラッチ回路へのデータ書き込み時に、第1及び第2の記憶ノードのうち“L”レベルを保持している記憶ノードと、“H”レベルを保持している第3のノードとを電気的に結合する。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0009

【補正方法】変更

【補正の内容】

【0009】

1つの実施形態によれば、前記第3のノードは、第1及び第2の記憶ノードのうち“H”レベルを保持している記憶ノードである。つまり、記憶ノード電圧制御回路は、第1の記憶ノードと第2の記憶ノードとを互いに結合させることにより、第1の記憶ノードの電圧と第2の記憶ノードの電圧とを中間電圧にイコライズする。

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0010

【補正方法】変更

【補正の内容】

【0010】

他の実施形態によれば、前記第3のノードには電源電圧が供給されている。つまり、記憶ノード電圧制御回路は、第1及び第2の記憶ノードのうち“L”レベルを保持している記憶ノードの電圧を“H”レベルに引き上げる。