

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関  
国際事務局



(43) 国際公開日  
2010年5月27日(27.05.2010)

(10) 国際公開番号  
WO 2010/058610 A1

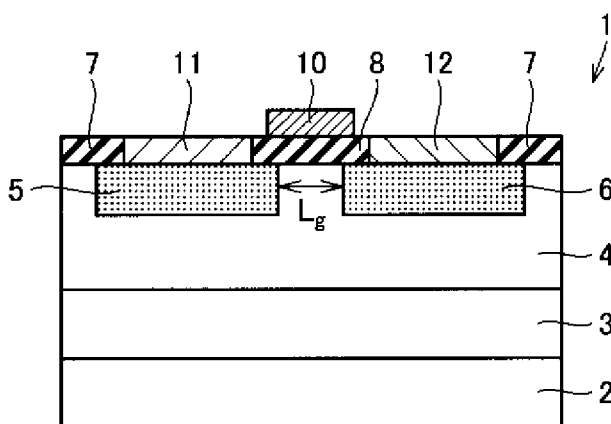
- (51) 国際特許分類:  
H01L 29/78 (2006.01) H01L 21/336 (2006.01)  
H01L 21/316 (2006.01) H01L 29/12 (2006.01)
- (21) 国際出願番号: PCT/JP2009/051762
- (22) 国際出願日: 2009年2月3日(03.02.2009)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:  
特願 2008-297088 2008年11月20日(20.11.2008) JP
- (71) 出願人 (米国を除く全ての指定国について): 住友電気工業株式会社(SUMITOMO ELECTRIC INDUSTRIES, LTD.) [JP/JP]; 〒5410041 大阪府大阪市中央区北浜四丁目5番33号 Osaka (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 原田 真 (HARADA, Shin) [JP/JP]; 〒5540024 大阪府大阪市此花区島屋一丁目1番3号 住友電気工業株式会社 大阪製作所内 Osaka (JP). 増田 健良 (MASUDA, Takeyoshi) [JP/JP]; 〒5540024 大阪府大阪市此花区島屋一丁目1番3号 住友電気工業株式会社 大阪製作所内 Osaka (JP). 和田 圭司 (WADA, Keiji) [JP/JP]; 〒5540024 大阪府大阪市此花区島屋一丁目1番3号 住友電気工業株式会社 大阪製作所内 Osaka (JP).
- (74) 代理人: 深見 久郎, 外(FUKAMI, Hisao et al.); 〒5300005 大阪府大阪市北区中之島二丁目2番7号 中之島セントラルタワー 2階 深見特許事務所 Osaka (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ

[続葉有]

(54) Title: SILICON CARBIDE SEMICONDUCTOR DEVICE AND METHOD FOR MANUFACTURING THE SAME

(54) 発明の名称: 炭化ケイ素半導体装置およびその製造方法

[[図1]]



(57) Abstract: Disclosed are a silicon carbide semiconductor device having excellent electrical characteristics such as channel mobility and a method for manufacturing such a silicon carbide semiconductor device. A semiconductor device (1) comprises a silicon carbide substrate (2) having an off-angle of not less than 50° but not more than 65° with respect to the {0001} plane direction, a p-type layer (4) serving as a semiconductor layer, and an oxide film (8) serving as an insulating film. The p-type layer (4) is formed on the substrate (2) and composed of silicon carbide. The oxide film (8) is formed in contact with a surface of the p-type layer (4). The maximum value of the nitrogen atom concentration in the region within 10 nm from the interface between the semiconductor layer and the insulating film (namely, the interface between the channel region and the oxide film (8)) is not less than  $1 \times 10^{21} \text{ cm}^{-3}$ .

(57) 要約:

[続葉有]



WO 2010/058610 A1



(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:  
— 国際調査報告 (条約第 21 条(3))

チャンネル移動度のような電気的特性の優れた炭化ケイ素半導体装置およびその製造方法が得られる。半導体装置 (1) は、面方位 {0001} に対しオフ角が  $50^\circ$  以上  $65^\circ$  以下である、炭化ケイ素からなる基板 (2) と、半導体層としての p 型層 (4) と絶縁膜としての酸化膜 (8) とを備える。p 型層 (4) は基板 (2) 上に形成され、炭化ケイ素からなる。酸化膜 (8) は、p 型層 (4) の表面に接触するように形成されている。半導体層と絶縁膜との界面 (チャンネル領域と酸化膜 (8) との界面) から  $10\text{ nm}$  以内の領域における窒素原子濃度の最大値が  $1 \times 10^{21}\text{ cm}^{-3}$  以上である。

## 明 細 書

### 炭化ケイ素半導体装置およびその製造方法

#### 技術分野

[0001] この発明は、炭化ケイ素半導体装置およびその製造方法に関し、より特定的には、優れた電気的特性を示す炭化ケイ素半導体装置およびその製造方法に関する。

#### 背景技術

[0002] 従来、炭化ケイ素(SiC)を用いた半導体装置が知られている(たとえば、国際公開WO01/018872号パンフレット(以下、特許文献1と呼ぶ))。特許文献1では、面方位がほぼ{03-38}であり4H型ポリタイプのSiC基板を用いて半導体装置としてのMOS型電界効果トランジスタ(MOSFET)を形成している。当該MOSFETでは、ゲート酸化膜をドライ酸化により形成している。上記特許文献1では、このようなMOSFETにおいて大きなチャネル移動度(約 $100\text{cm}^2/\text{Vs}$ )を実現できるとしている。

特許文献1:国際公開WO01/018872号パンフレット

#### 発明の開示

##### 発明が解決しようとする課題

[0003] しかし、発明者らが検討した結果、上述したMOSFETにおいてチャネル移動度が十分に大きくなる場合があることを見出した。SiCを用いた半導体装置の優れた特性を安定して発揮させるためには、大きなチャネル移動度を再現性良く実現することが求められる。

[0004] この発明は、上記のような課題を解決するために成されたものであり、この発明の目的は、チャネル移動度のような電気的特性の優れた炭化ケイ素半導体装置およびその製造方法を提供することである。

##### 課題を解決するための手段

[0005] 発明者は、上述のようにSiCを用いた半導体装置において大きなチャネル移動度を再現性よく実現するため、チャネル移動度が小さくなる原因について鋭意研究した結果、本発明を完成した。すなわち、上述した半導体装置では、ゲート酸化膜をドライ酸化により形成しているが、このようなドライ酸化によって当該ゲート酸化膜と当該

ゲート酸化膜下に位置するSiC半導体膜との界面にトラップ(界面準位)が多数形成されると考えられる。このような界面準位の存在は、上述したチャネル移動度を小さくする要因となり得る。これは、上述したMOSFETのしきい値電圧が理論値に比べて大幅に高くなっていることから推定される。そこで、発明者は、このような界面準位の影響を低減する方法を探索した結果、上記界面近傍の窒素原子濃度または水素原子濃度を高めることにより、チャネル移動度を大きくできることを見出した。これは、界面近傍における窒素原子濃度または水素原子濃度を高めることにより、界面準位の影響を抑制することができるためであると予想される。このような知見に基づき、本発明に従った炭化ケイ素半導体装置は、面方位{0001}に対しオフ角が $50^\circ$ 以上 $65^\circ$ 以下である、炭化ケイ素からなる基板と、半導体層と絶縁膜とを備える。半導体層は基板上に形成され、炭化ケイ素からなる。絶縁膜は、半導体層の表面に接触するように形成されている。半導体層と絶縁膜との界面から10nm以内の領域における窒素原子濃度の最大値が $1 \times 10^{21} \text{cm}^{-3}$ 以上である。

[0006] また、本発明に従った炭化ケイ素半導体装置は、面方位{0001}に対しオフ角が $50^\circ$ 以上 $65^\circ$ 以下である、炭化ケイ素からなる基板と、半導体層と絶縁膜とを備える。半導体層は基板上に形成され、炭化ケイ素からなる。絶縁膜は、半導体層の表面に接触するように形成されている。半導体層と絶縁膜との界面から10nm以内の領域における水素原子濃度の最大値が $1 \times 10^{21} \text{cm}^{-3}$ 以上である。

[0007] また、本発明に従った炭化ケイ素半導体装置は、面方位{0001}に対しオフ角が $50^\circ$ 以上 $65^\circ$ 以下である、炭化ケイ素からなる基板と、半導体層と絶縁膜とを備える。半導体層は基板上に形成され、炭化ケイ素からなる。絶縁膜は、半導体層の表面に接触するように形成されている。半導体層と絶縁膜との界面から10nm以内の領域における窒素原子および水素原子の合計濃度の最大値が $1 \times 10^{21} \text{cm}^{-3}$ 以上である。

[0008] このようにすれば、絶縁膜と半導体層との界面近傍における半導体層でのキャリアの移動度(たとえば絶縁膜をゲート絶縁膜として用いた場合のチャネル移動度)を、当該界面近傍に窒素原子または水素原子を含有させない場合よりも大きくし、従来の珪素を用いた半導体装置よりも低いオン抵抗を実現することができる。このため、

十分大きなキャリア移動度(チャンネル移動度)を示す、電気的特性の優れた炭化ケイ素半導体装置を得ることができる。

[0009] なお、オフ角の下限を $50^\circ$ としたのは、後述するデータにも示されるように、オフ角が $43.3^\circ$ の(01-14)面からオフ角が $51.5^\circ$ の(01-13)面にかけてオフ角の増大とともにキャリア移動度の顕著な増大が見られたこと、また、上記(01-14)面から(01-13)面の間のオフ角の範囲には自然面が無いこと、といった理由による。

[0010] また、オフ角の上限を $65^\circ$ としたのは、オフ角が $62.1^\circ$ の(01-12)面からオフ角が $90^\circ$ の(01-10)面にかけてオフ角の増大とともにキャリア移動度の顕著な減少が見られたこと、また、上記(01-12)面から(01-10)面の間のオフ角の範囲には自然面が無いこと、といった理由による。

[0011] この発明に従った炭化ケイ素半導体装置の製造方法では、まず面方位{0001}に対しオフ角が $50^\circ$ 以上 $65^\circ$ 以下である、炭化ケイ素からなる基板を準備する工程を実施する。基板上に半導体層を形成する工程を実施する。さらに、半導体層の表面に接触するように絶縁膜を形成する工程を実施する。半導体層と絶縁膜との界面から10nm以内の領域における窒素原子濃度の最大値が $1 \times 10^{21} \text{cm}^{-3}$ 以上となるように窒素原子濃度を調整する工程を実施する。

[0012] また、この発明に従った炭化ケイ素半導体装置の製造方法では、まず面方位{0001}に対しオフ角が $50^\circ$ 以上 $65^\circ$ 以下である、炭化ケイ素からなる基板を準備する工程を実施する。基板上に半導体層を形成する工程を実施する。さらに、半導体層の表面に接触するように絶縁膜を形成する工程を実施する。半導体層と絶縁膜との界面から10nm以内の領域における水素原子濃度の最大値が $1 \times 10^{21} \text{cm}^{-3}$ 以上となるように水素原子濃度を調整する工程を実施する。

[0013] また、この発明に従った炭化ケイ素半導体装置の製造方法では、まず面方位{0001}に対しオフ角が $50^\circ$ 以上 $65^\circ$ 以下である、炭化ケイ素からなる基板を準備する工程を実施する。基板上に半導体層を形成する工程を実施する。さらに、半導体層の表面に接触するように絶縁膜を形成する工程を実施する。半導体層と絶縁膜との界面から10nm以内の領域における窒素原子および水素原子の合計濃度の最大値が $1 \times 10^{21} \text{cm}^{-3}$ 以上となるように合計濃度を調整する工程を実施する。

[0014] このようにすれば、本発明に従った、キャリア移動度(チャンネル移動度)の増大した炭化ケイ素半導体装置を容易に製造することができる。

#### 発明の効果

[0015] 本発明によれば、キャリア移動度の大きな炭化ケイ素半導体装置を得ることができる。

#### 図面の簡単な説明

[0016] [図1]本発明による半導体装置を示す断面模式図である。

[図2]図1に示した半導体装置の製造方法を説明するためのフローチャートである。

[図3]図2に示した製造方法の各工程を説明するための断面模式図である。

[図4]図2に示した製造方法の各工程を説明するための断面模式図である。

[図5]図2に示した製造方法の各工程を説明するための断面模式図である。

[図6]図2に示した製造方法の各工程を説明するための断面模式図である。

[図7]図2に示した製造方法の各工程を説明するための断面模式図である。

[図8]本発明による半導体装置の実施の形態2を示す断面模式図である。

[図9]図8に示した半導体装置の製造方法を説明するための断面模式図である。

[図10]図8に示した半導体装置の製造方法を説明するための断面模式図である。

[図11]図8に示した半導体装置の製造方法を説明するための断面模式図である。

[図12]図8に示した半導体装置の製造方法を説明するための断面模式図である。

[図13]本発明による半導体装置の実施の形態3を示す断面模式図である。

[図14]図13に示した半導体装置の製造方法を説明するためのフローチャートである。

。

[図15]本発明による半導体装置の実施の形態4を示す断面模式図である。

[図16]図15に示した半導体装置の製造方法を説明するためのフローチャートである。

。

[図17]図16に示した半導体装置の製造方法の変形例を示すフローチャートである。

[図18]本発明の実施例1における試料の深さ方向における窒素原子濃度を示すグラフである。

[図19]測定された窒素原子濃度のピークの値と、チャンネル移動度との関係を示すグ

ラフである。

[図20]本発明の実施例2における基板のオフ角度とチャネル移動度との関係を示すグラフである。

[図21]測定された窒素原子および水素原子の合計濃度のピークの値と、チャネル移動度との関係を示すグラフである。

[図22]実施例6の測定のために準備した半導体装置を示す断面模式図である。

[図23]実施例の試料についてのCV特性を示すグラフである。

[図24]比較例の試料についてのCV特性を示すグラフである。

[図25]上記図23および図24に示したCV特性から算出した界面準位密度と伝導帯を基準とした場合のエネルギーとの関係を示すグラフである。

[図26]測定されたMOSチャネル移動度と界面準位密度との関係を示すグラフである。

## 符号の説明

- [0017] 1 半導体装置、2 基板、3 エピタキシャル層、4 p型層、5, 6 n<sup>+</sup>領域、7, 8 酸化膜、10 ゲート電極、11 ソース電極、12 ドレイン電極、15 開口部、21 バッファ層、22 耐圧保持層、23 p領域、24 n<sup>+</sup>領域、25 p<sup>+</sup>領域、26 酸化膜、27 上部ソース電極、31 裏面電極、41, 51 境界領域。

## 発明を実施するための最良の形態

- [0018] 以下、図面に基づいて本発明の実施の形態を説明する。なお、以下の図面において同一または相当する部分には同一の参照番号を付しその説明は繰返さない。

- [0019] (実施の形態1)

図1を参照して、本発明による半導体装置の実施の形態1を説明する。

- [0020] 図1に示した半導体装置1は、炭化ケイ素半導体装置としての横型のMOSFET(Metal-Oxide-Semiconductor Field-effect Transistor)であって、炭化ケイ素(SiC)からなる基板2と、この基板2上に形成された炭化ケイ素からなるエピタキシャル層3と、このエピタキシャル層3上に形成された炭化ケイ素からなるp型層4と、p型層4の表面に間隔を隔てて形成されたn<sup>+</sup>領域5、6と、このn<sup>+</sup>領域5、6の間のチャネル領域上に位置するゲート絶縁膜としての酸化膜8と、この酸化膜8上に形成され

たゲート電極10と、 $n^+$ 領域5、6のそれぞれの上に形成されたソース電極11およびドレイン電極12とを備える。基板2は、面方位{0001}に対するオフ角が約 $53^\circ$ 程度である(03-38)面を主表面とする基板である。基板2はn型の導電性不純物を含む。

[0021] 基板2上に形成された炭化ケイ素からなるエピタキシャル層3は、アンドープ層である。このエピタキシャル層3上に形成されたp型層4には、p型を示す導電性不純物が含有されている。また、 $n^+$ 領域5、6には、n型を示す導電性不純物が注入されている。そして、このp型層4および $n^+$ 領域5、6を覆うように酸化膜7、8が形成されている。この酸化膜7、8には $n^+$ 領域5、6上に位置する領域に開口部が形成されている。当該開口部の内部において、 $n^+$ 領域5、6のそれぞれに電氣的に接続されたソース電極11およびドレイン電極12が形成されている。そして、ゲート絶縁膜として作用する酸化膜8上にゲート電極10が配置されている。 $n^+$ 領域5、6の間の距離であるチャンネル長 $L_g$ は、たとえば $100\ \mu\text{m}$ 程度とすることができる。また、チャンネル幅は上記チャンネル長 $L_g$ のたとえば2倍程度( $200\ \mu\text{m}$ 程度)とすることができる。

[0022] 図1に示した半導体装置においては、半導体層としてのp型層4と酸化膜8との界面から10nm以内の領域における窒素原子濃度の最大値が $1 \times 10^{21}\ \text{cm}^{-3}$ 以上となっている。この結果、チャンネル長 $L_g$ を有するチャンネル領域(p型層4における $n^+$ 領域5、6の間の領域)での移動度(チャンネル移動度)を十分大きな値とすることができる。また、図1に示した半導体装置1では、伝導帯より0.1eV下での界面準位密度が $1 \times 10^{12}\ \text{cm}^{-2}\ \text{eV}^{-1}$ よりも小さくなっている。

[0023] これは以下のような理由によると考えられる。すなわち、酸化膜8と半導体層であるp型層4との界面において、酸化膜8を熱酸化などによって形成した場合に界面準位が多く形成される。そして、そのままではチャンネル領域におけるチャンネル移動度が理論値に比べて極めて小さくなる。この問題に対し、上述のように当該酸化膜8とp型層4との界面領域に窒素原子を導入することにより、上述した界面準位の影響を低減してチャンネル移動度を向上させることができる。

[0024] 図2～図7を参照して、本発明による半導体装置の実施の形態1の製造方法を説明する。

- [0025] まず、図2に示すように、基板準備工程(S10)を実施する。この工程においては、具体的には面方位(03-38)面を主表面とする導電型がn型の炭化ケイ素基板を基板2として準備する。このような基板は、たとえば(0001)面を主表面とするインゴットから(03-38)面が主表面として露出するように基板を切出すといった手法により得ることができる。
- [0026] 次に、エピタキシャル層形成工程(S20)を実施する。具体的には、図3に示すように、基板2上にアンドープの炭化ケイ素エピタキシャル層3を形成する。
- [0027] 次に、注入工程(S30)を実施する。具体的には、まずエピタキシャル層3にp型の導電性を示す導電性不純物(たとえばアルミニウム(Al))を注入することにより、図4に示すようにp型層4を形成する。次にn型の導電性を示す不純物を注入することにより、図5に示すように、 $n^+$ 領域5、6を形成する。このn型を示す導電性不純物としては、たとえばリン(P)を用いることができる。この $n^+$ 領域5、6を形成する場合、従来周知の任意の方法を利用することができる。たとえば、酸化膜をp型層4の上部表面を覆うように形成した後、フォトリソグラフィおよびエッチングによって $n^+$ 領域5、6が形成されるべき領域の平面形状パターンと同じ平面形状パターンを有する開口部を当該酸化膜に形成する。さらに、このパターンが形成された酸化膜をマスクとして導電性不純物を注入する。このようにして、上述した $n^+$ 領域5、6を形成することができる。
- [0028] この後、注入した不純物を活性化するための活性化アニール処理を行なう。この活性化アニール処理としては、たとえば加熱温度を1700°C、加熱時間を30分とする条件を用いてもよい。
- [0029] 次に、図2に示すように、ゲート絶縁膜形成工程(S40)を実施する。具体的には、p型層4および $n^+$ 領域5、6の上部表面を犠牲酸化処理した後、ゲート絶縁膜としての酸化膜7を図6に示すように形成する。酸化膜7の厚みとしては、たとえば40nmという値を用いることができる。
- [0030] 次に、図2に示すように窒素アニール工程(S50)を実施する。具体的には、雰囲気ガスとして一酸化窒素(NO)ガスを用い、熱処理を行なう。この熱処理の条件としては、たとえば加熱温度を1100°C、加熱時間を1時間とする条件を用いることができる。この結果、酸化膜7とp型層4および $n^+$ 領域5、6との界面領域に窒素原子を導入す

ることができる。また、この窒素アニール工程においては、上述した窒素原子を含む雰囲気ガスを用いたアニール工程の後に、不活性ガスを用いたアニール工程、たとえばアルゴン(Ar)ガスを雰囲気ガスとして用いたアニール工程を実施してもよい。

[0031] 次に、図2に示すように電極形成工程(S60)を実施する。具体的には、フォトリソグラフィ法により酸化膜7上にパターンを有するレジスト膜を形成する。このレジスト膜をマスクとして用いて、酸化膜7を部分的に除去することにより、 $n^+$ 領域5、6の上に位置する領域に開口部15を形成する。この開口部15の内部に、図7に示すようにソース電極11およびドレイン電極12となるべき導電体膜を形成する。この導電体膜は、上述したレジスト膜を残存させたまま形成する。その後、上述したレジスト膜を除去し、酸化膜7上に位置する導電体膜をレジスト膜とともに除去(リフトオフ)することにより、図7に示すようにソース電極11およびドレイン電極12を形成することができる。なお、このときソース電極11およびドレイン電極12の間に位置する酸化膜8(図6に示した酸化膜7の一部)は形成される半導体装置のゲート絶縁膜となる。

[0032] この後、さらにゲート絶縁膜として作用する酸化膜8上にゲート電極10(図1参照)を形成する。このゲート電極10の形成方法としては、以下のような方法を用いることができる。たとえば、予め酸化膜8上の領域に位置する開口パターンを有するレジスト膜を形成し、当該レジスト膜の全面を覆うようにゲート電極を構成する導電体膜を形成する。そして、レジスト膜を除去することによって、ゲート電極となるべき導電体膜の部分以外の導電体膜を除去(リフトオフ)する。この結果、図1に示すようにゲート電極10が形成される。このようにして、図1に示すような半導体装置を得ることができる。

[0033] (実施の形態2)

図8を参照して、本発明による半導体装置の実施の形態2を説明する。

[0034] 図8を参照して、本発明による半導体装置1は、縦型DiMOSFET(Double Implanted MOSFET)であって、基板2、バッファ層21、耐圧保持層22、p領域23、 $n^+$ 領域24、 $p^+$ 領域25、酸化膜26、ソース電極11および上部ソース電極27、ゲート電極10および基板2の裏面側に形成されたドレイン電極12を備える。具体的には、導電型がnの炭化ケイ素からなる基板2の表面上に、炭化ケイ素からなるバッファ層21が形成されている。このバッファ層21は導電型がn型であり、その厚みはたとえば0.

5  $\mu\text{m}$ である。また、バッファ層におけるn型の導電性不純物の濃度はたとえば $5 \times 10^{17} \text{cm}^{-3}$ とすることができる。このバッファ層21上には耐圧保持層22が形成されている。この耐圧保持層22は、導電型がn型の炭化ケイ素からなり、たとえばその厚みは10  $\mu\text{m}$ である。また、耐圧保持層22におけるn型の導電性不純物の濃度としては、 $5 \times 10^{15} \text{cm}^{-3}$ という値を用いることができる。

[0035] この耐圧保持層22の表面には、導電型がp型であるp領域23が互いに間隔を隔てて形成されている。p領域23の内部においては、p領域23の表面層に $n^+$ 領域24が形成されている。また、この $n^+$ 領域24に隣接する位置には、 $p^+$ 領域25が形成されている。一方のp領域23における $n^+$ 領域24上から、p領域23、2つのp領域23の間において露出する耐圧保持層22、他方のp領域23および当該他方のp領域23における $n^+$ 領域24上にまで延在するように、酸化膜26が形成されている。酸化膜26上にはゲート電極10が形成されている。また、 $n^+$ 領域24および $p^+$ 領域25上にはソース電極11が形成されている。このソース電極11上には上部ソース電極27が形成されている。そして、基板2において、バッファ層21が形成された側の表面とは反対側の裏面にドレイン電極12が形成されている。

[0036] 酸化膜26と、半導体層としての $n^+$ 領域24、 $p^+$ 領域25、p領域23および耐圧保持層22との界面から10nm以内の領域における窒素原子濃度の最大値は $1 \times 10^{21} \text{cm}^{-3}$ 以上となっている。このようにすれば、特に酸化膜26下のチャンネル領域(酸化膜26に接する部分であって、 $n^+$ 領域24と耐圧保持層22との間のp領域23の部分)の移動度を図1に示した半導体装置の場合と同様に向上させることができる。また、図8に示した半導体装置1でも、伝導帯より0.1eV下での界面準位密度が $1 \times 10^{12} \text{cm}^{-2} \text{eV}^{-1}$ よりも小さくなっている。

[0037] 次に、図9～図12を参照して、図8に示した半導体装置の製造方法を説明する。

まず、図2に示した半導体装置の製造方法と同様に、基板準備工程(S10)を実施する。ここでは、本発明の実施の形態1における半導体装置の製造方法と同様に、(03-38)面が主表面となった炭化ケイ素からなる基板2(図9参照)を準備する。

[0038] また、この基板2(図9参照)としては、たとえば導電型がn型であり、基板抵抗が0.02  $\Omega \text{cm}$ といった基板を用いてもよい。

- [0039] 次に、エピタキシャル層形成工程(S20)を実施する。具体的には、基板2の表面上にバッファ層21を形成する。バッファ層としては、導電型がn型の炭化ケイ素からなり、たとえばその厚みが $0.5\mu\text{m}$ のエピタキシャル層を形成する。バッファ層21における導電型不純物の濃度は、たとえば $5\times 10^{17}\text{cm}^{-3}$ といった値を用いることができる。そして、このバッファ層21上に、図9に示すように耐圧保持層22を形成する。この耐圧保持層22としては、導電型がn型の炭化ケイ素からなる層をエピタキシャル成長法によって形成する。この耐圧保持層22の厚みとしては、たとえば $10\mu\text{m}$ といった値を用いることができる。また、この耐圧保持層22におけるn型の導電性不純物の濃度としては、たとえば $5\times 10^{15}\text{cm}^{-3}$ といった値を用いることができる。
- [0040] 次に、図2に示した工程と同様に注入工程(S30)を実施する。具体的には、フォトリソグラフィおよびエッチングを用いて形成した酸化膜をマスクとして用いて、導電型がp型の不純物を耐圧保持層22に注入することにより、図10に示すようにp領域23を形成する。また、用いた酸化膜を除去した後、再度新たなパターンを有する酸化膜を、フォトリソグラフィおよびエッチングを用いて形成する。そして、当該酸化膜をマスクとして、n型の導電性不純物を所定の領域に注入することにより、 $n^+$ 領域24を形成する。また、同様の手法により、導電型がp型の導電性不純物を注入することにより、 $p^+$ 領域25を形成する。その結果、図10に示すような構造を得る。
- [0041] このような注入工程の後、活性化アニール処理を行なう。この活性化アニール処理としては、たとえばアルゴンガスを雰囲気ガスとして用いて、加熱温度 $1700^{\circ}\text{C}$ 、加熱時間30分といった条件を用いることができる。
- [0042] 次に、図2に示した工程と同様にゲート絶縁膜形成工程(S40)を実施する。具体的には、図11に示すように、耐圧保持層22、p領域23、 $n^+$ 領域24、 $p^+$ 領域25上を覆うように酸化膜26を形成する。この酸化膜26を形成するための条件としては、たとえばドライ酸化(熱酸化)を行なってもよい。このドライ酸化の条件としては、加熱温度を $1200^{\circ}\text{C}$ 、加熱時間を30分といった条件を用いることができる。
- [0043] その後、図2に示した工程と同様に窒素アニール工程(S50)を実施する。具体的には、雰囲気ガスを一酸化窒素(NO)として、アニール処理を行なう。アニール処理の温度条件としては、たとえば加熱温度を $1100^{\circ}\text{C}$ 、加熱時間を120分とする。この

結果、酸化膜26と下層の耐圧保持層22、p領域23、n<sup>+</sup>領域24、p<sup>+</sup>領域25との間の界面近傍に窒素原子が導入される。また、この一酸化窒素を雰囲気ガスとして用いたアニール工程の後、さらに不活性ガスであるアルゴン(Ar)ガスを用いたアニールを行なってもよい。具体的には、アルゴンガスを雰囲気ガスとして用いて、加熱温度を1100°C、加熱時間を60分といった条件を用いてもよい。

[0044] 次に、図2に示した工程と同様に電極形成工程(S60)を実施する。具体的には、酸化膜26上にフォトリソグラフィ法を用いてパターンを有するレジスト膜を形成する。当該レジスト膜をマスクとして用いて、n<sup>+</sup>領域24およびp<sup>+</sup>領域25上に位置する酸化膜の部分をエッチングにより除去する。この後、レジスト膜上および当該酸化膜26において形成された開口部内部においてn<sup>+</sup>領域24およびp<sup>+</sup>領域25と接触するように金属などの導電体膜を形成する。その後、レジスト膜を除去することにより、当該レジスト膜上に位置していた導電体膜を除去(リフトオフ)する。ここで、導電体としては、たとえばニッケル(Ni)を用いることができる。この結果、図12に示すように、ソース電極11およびドレイン電極12を得ることができる。なお、ここでアロイ化のための熱処理を行なうことが好ましい。具体的には、たとえば雰囲気ガスとして不活性ガスであるアルゴン(Ar)ガスを用い、加熱温度を950°C、加熱時間を2分といった熱処理(アロイ化処理)を行なう。

[0045] その後、ソース電極11上に上部ソース電極27(図8参照)を形成する。また、基板2の裏面上にドレイン電極12(図8参照)を形成する。このようにして、図8に示す半導体装置を得ることができる。

[0046] (実施の形態3)

図13を参照して、本発明による半導体装置の実施の形態3を説明する。

[0047] 図13を参照して、本発明による半導体装置1は、基本的には図1に示した半導体装置1と同様の構成を備えるが、半導体層としてのp型層4と酸化膜8との界面から10 nm以内の領域を含む境界領域41において水素原子濃度の最大値が $1 \times 10^{21} \text{ cm}^{-3}$ 以上となっている点が図1に示した半導体装置1と異なっている。このようにしても、図1に示した半導体装置と同様に、境界領域41を含むチャンネル領域での移動度(チャンネル移動度)を十分大きな値とすることができる。これは、図13に示した半導体装置1

では、境界領域41に含有される水素原子が、図1に示した半導体装置1のp型層4と酸化膜8との界面から10nm以内の領域に含有される窒素原子と同様に界面準位を低減しているためであると考えられる。つまり、図13に示した半導体装置でも、伝導帯より0.1eV下での界面準位密度が $1 \times 10^{12} \text{cm}^{-2} \text{eV}^{-1}$ よりも小さくなっている。

[0048] 図14を参照して、本発明による半導体装置の実施の形態3の製造方法を説明する。

図14に示す半導体装置の製造方法は、基本的には図2に示した半導体装置の製造方法と同様であるが、図2における窒素アニール工程(S50)に変えて水素アニール工程(S70)が実施される点が異なっている。具体的には、図2に示した製造方法と同様に、基板準備工程(S10)、エピタキシャル層形成工程(S20)、注入工程(S30)、ゲート絶縁膜形成工程(S40)を実施する。その後、水素アニール工程(S70)を実施する。具体的には、雰囲気ガスとして水素ガス( $\text{H}_2$ )ガスを用い、熱処理を行なう。この熱処理の条件としては、たとえば加熱温度を1100°C、加熱時間を1時間とする条件を用いることができる。この結果、酸化膜7とp型層4および $n^+$ 領域5、6との界面領域に水素原子を導入することができる。また、この水素アニール工程においては、上述した水素原子を含む雰囲気ガスを用いたアニール工程の後に、不活性ガスを用いたアニール工程、たとえばアルゴン(Ar)ガスを雰囲気ガスとして用いたアニール工程を実施してもよい。また、上述した水素アニール工程(S70)においては、水素ガスに代えて水蒸気もしくは水蒸気含有水素ガスを雰囲気ガスとして用いてもよい。

[0049] その後、図14に示すように、図2に示した製造方法と同様に電極形成工程(S60)を実施することにより、図13に示した半導体装置1を得ることができる。

[0050] (実施の形態4)

図15を参照して、本発明による半導体装置の実施の形態4を説明する。

[0051] 図15を参照して、本発明による半導体装置1は、基本的には図1に示した半導体装置1と同様の構成を備えるが、半導体層としてのp型層4と酸化膜8との界面から10nm以内の領域を含む境界領域51において窒素原子および水素原子の合計濃度の最大値が $1 \times 10^{21} \text{cm}^{-3}$ 以上となっている点が図1に示した半導体装置1と異なっている。このようにしても、図1に示した半導体装置と同様に、境界領域41を含むチャネ

ル領域での移動度(チャンネル移動度)を十分大きな値とすることができる。また、図15に示した半導体装置でも、伝導帯より0.1eV下での界面準位密度が $1 \times 10^{12} \text{cm}^{-2} \text{eV}^{-1}$ よりも小さくなっている。

[0052] 図16を参照して、本発明による半導体装置の実施の形態4の製造方法を説明する。

図16に示す半導体装置の製造方法は、基本的には図2に示した半導体装置の製造方法と同様であるが、図16における窒素アニール工程(S50)の後であって電極形成工程(S60)の前に、水素アニール工程(S70)を行なっている点が異なっている。具体的には、図2に示した製造方法と同様に、基板準備工程(S10)、エピタキシャル層形成工程(S20)、注入工程(S30)、ゲート絶縁膜形成工程(S40)、窒素アニール工程(S50)を実施する。その後、水素アニール工程(S70)を実施する。この工程(S70)においては、実施の形態3の製造方法における水素アニール工程(S70)と同様の条件(水素ガスを用いたアニール条件)を用いることができる。この結果、酸化膜7とp型層4および $n^+$ 領域5、6との界面領域に窒素原子および水素原子を導入することができる。なお、上述した水素アニール工程(S70)においては、水素ガスに代えて水蒸気もしくは水蒸気含有酸素ガスを雰囲気ガスとして用いてもよい。また、水素アニール工程(S70)を、窒素アニール工程(S50)より先に実施してもよい。また、水素原子および窒素原子を含有する雰囲気ガスを用いる熱処理を実施することにより、水素アニール工程(S70)と窒素アニール工程(S50)とを同時に実施してもよい。

[0053] その後、図16に示すように、図2に示した製造方法と同様に電極形成工程(S60)を実施することにより、図15に示した半導体装置1を得ることができる。

[0054] 図17を参照して、本発明による半導体装置の実施の形態4の製造方法の変形例を説明する。

[0055] 図17に示す半導体装置の製造方法は、基本的には図16に示した半導体装置の製造方法と同様であるが、図16における水素アニール工程(S70)の後であって電極形成工程(S60)の前に、後熱処理工程(S80)を行なっている点が異なっている。具体的には、図16に示した製造方法と同様に、基板準備工程(S10)、エピタキシャル層形成工程(S20)、注入工程(S30)、ゲート絶縁膜形成工程(S40)、窒素アニ

ール工程(S50)、水素アニール工程(S70)を実施する。その後、後熱処理工程(S80)を実施する。具体的には、不活性ガスを用いたアニール工程を実施する。このアニール工程の条件としては、雰囲気ガスとして不活性ガス(たとえばアルゴン(Ar))を用い、加熱温度を1100°C、加熱時間を60分といった条件を用いることができる。このような不活性ガスを用いたアニール工程を実施することにより、窒素アニール工程(S50)および水素アニール工程(S70)によりチャンネル領域に導入された窒素原子および水素原子による界面準位の低減効果をより確実に発揮させることができる。

[0056] その後、図17に示すように、図2に示した製造方法と同様に電極形成工程(S60)を実施することにより、図15に示した半導体装置1を得ることができる。

[0057] なお、上述した後熱処理工程(S80)と同様の熱処理工程を、窒素アニール工程(S50)と水素アニール工程(S70)との間に追加実施してもよい。また、また、図17に示した製造方法においても、水素アニール工程(S70)を、窒素アニール工程(S50)より先に実施してもよい。また、水素原子および窒素原子を含有する雰囲気ガスを用いる熱処理を実施することにより、水素アニール工程(S70)と窒素アニール工程(S50)とを同時に実施してもよい。

[0058] また、上述した実施の形態3、4においては、半導体装置1として横型MOSFETを示したが、当該実施の形態3、4の特徴は図8に示した縦型DiMOSFETに適用してもよい。すなわち、図8に示した半導体装置1において、酸化膜26と、半導体層としての $n^+$ 領域24、 $p^+$ 領域25、 $p$ 領域23および耐圧保持層22との界面から10nm以内の領域における水素原子濃度の最大値、あるいは窒素原子と水素原子との合計濃度の最大値は $1 \times 10^{21} \text{ cm}^{-3}$ 以上とすることができる。

[0059] また、上記実施の形態1~4に示した半導体装置1を構成する基板2については、基板2のオフ方位を $\langle 11-20 \rangle$ 方向 $\pm 5^\circ$ 以下の範囲、あるいは基板2のオフ方位を $\langle 01-10 \rangle$ 方向 $\pm 5^\circ$ 以下の範囲とすることが好ましい。また、上述した実施の形態1~4における半導体装置1を構成する基板2について、基板2の主表面の面方位は、面方位 $\{03-38\}$ に対しオフ角が $-3^\circ$ 以上 $+5^\circ$ 以下であることがより好ましい。

[0060] ここで、上述した実施の形態と一部重複する部分もあるが、本発明の特徴的な構成

を列挙する。

- [0061] 本発明に従った炭化ケイ素半導体装置としての半導体装置1は、面方位{0001}に対しオフ角が $50^\circ$ 以上 $65^\circ$ 以下である、炭化ケイ素からなる基板2と、半導体層(図1のp型層4、図8のp領域23)と絶縁膜(図1の酸化膜8、図8の酸化膜26)とを備える。半導体層(p型層4、p領域23)は基板2上に形成され、炭化ケイ素からなる。絶縁膜(酸化膜8、26)は、半導体層(チャンネル領域を含むp型層4、p領域23)の表面に接触するように形成されている。半導体層と絶縁膜との界面(チャンネル領域と酸化膜8、26との界面)から10nm以内の領域における窒素原子濃度の最大値が $1 \times 10^{21} \text{cm}^{-3}$ 以上である。
- [0062] このようにすれば、ゲート絶縁膜として作用する酸化膜8、26とチャンネル領域との界面近傍におけるチャンネル領域でのキャリアの移動度(チャンネル移動度)を、当該界面近傍に窒素原子を含有させない場合よりも大きくし、従来の珪素を用いた半導体装置よりも低いオン抵抗を実現することができる。このため、十分大きなチャンネル移動度を示す、電気的特性の優れた半導体装置1を得ることができる。なお、上述のように窒素原子濃度の最大値を $1 \times 10^{21} \text{cm}^{-3}$ 以上としたのは、窒素原子濃度を上記値以上とすることで、チャンネル移動度を実用上十分な値である $50 \text{cm}^2/\text{Vs}$ 以上とすることができるためである。
- [0063] 上記半導体装置1において、半導体層(図1のp型層4、図8のp領域23)と絶縁膜(酸化膜8、26)との界面から10nm以内の領域には水素原子が含有されていてもよい。この場合、当該領域における界面準位をより確実に低減することができる。
- [0064] 本発明に従った炭化ケイ素半導体装置としての半導体装置1は、面方位{0001}に対しオフ角が $50^\circ$ 以上 $65^\circ$ 以下である、炭化ケイ素からなる基板2と、半導体層(図13のp型層4、図8のp領域23)と絶縁膜(図13の酸化膜8、図8の酸化膜26)とを備える。半導体層(p型層4、p領域23)は基板2上に形成され、炭化ケイ素からなる。絶縁膜(酸化膜8、26)は、半導体層(チャンネル領域を含むp型層4、p領域23)の表面に接触するように形成されている。半導体層と絶縁膜との界面(たとえば図13の境界領域41に含まれる、チャンネル領域と酸化膜8、26との界面)から10nm以内の領域における水素原子濃度の最大値が $1 \times 10^{21} \text{cm}^{-3}$ 以上である。

- [0065] このようにすれば、ゲート絶縁膜として作用する酸化膜8、26とチャネル領域との界面近傍におけるチャネル領域でのキャリアの移動度を、当該界面近傍に水素原子を含有させない場合よりも大きくし、従来の珪素を用いた半導体装置よりも低いオン抵抗を実現することができる。なお、上述のように水素原子濃度の最大値を $1 \times 10^{21} \text{ cm}^{-3}$ 以上としたのは、水素原子濃度を上記値以上とすることで、チャネル移動度を実用上十分な値である $50 \text{ cm}^2 / \text{Vs}$ 以上とすることができるためである。
- [0066] 上記半導体装置1において、半導体層(図13のp型層4、図8のp領域23)と絶縁膜(図13の酸化膜8、図8の酸化膜26)との界面から10nm以内の領域には窒素原子が含有されていてもよい。この場合、当該領域における界面準位をより確実に低減することができる。
- [0067] 本発明に従った炭化ケイ素半導体装置としての半導体装置1は、面方位{0001}に対しオフ角が $50^\circ$ 以上 $65^\circ$ 以下である、炭化ケイ素からなる基板2と、半導体層(図15のp型層4、図8のp領域23)と絶縁膜(図15の酸化膜8、図8の酸化膜26)とを備える。半導体層(p型層4、p領域23)は基板2上に形成され、炭化ケイ素からなる。絶縁膜(酸化膜8、26)は、半導体層(チャネル領域を含むp型層4、p領域23)の表面に接触するように形成されている。半導体層と絶縁膜との界面(たとえば図15の境界領域51に含まれる、チャネル領域と酸化膜8、26との界面)から10nm以内の領域における窒素原子および水素原子の合計濃度の最大値が $1 \times 10^{21} \text{ cm}^{-3}$ 以上である。
- [0068] このようにすれば、ゲート絶縁膜として作用する酸化膜8、26とチャネル領域との界面近傍におけるチャネル領域でのキャリアの移動度を、当該界面近傍に窒素原子および水素原子を含有させない場合よりも大きくし、従来の珪素を用いた半導体装置よりも低いオン抵抗を実現することができる。なお、上述のように窒素原子および水素原子の合計濃度の最大値を $1 \times 10^{21} \text{ cm}^{-3}$ 以上としたのは、当該合計濃度を上記値以上とすることで、チャネル移動度を実用上十分な値である $50 \text{ cm}^2 / \text{Vs}$ 以上とすることができるためである。
- [0069] 上記半導体装置1においては、伝導帯より0.1eV下での界面準位密度が $1 \times 10^{12} \text{ cm}^{-2} \text{ eV}^{-1}$ よりも小さくなっていることが好ましい。この場合、上記のような界面準位密

度とすることでチャネル領域でのキャリアの移動度を十分大きくすることができる。なお、上記界面準位密度が $1 \times 10^{12} \text{cm}^{-2} \text{eV}^{-1}$ よりも大きくなっている場合には、当該半導体装置1におけるチャネル移動度が実用上十分な値と思われる $50 \text{cm}^2/\text{Vs}$ を下回るため、上記のように界面準位密度の値は $1 \times 10^{12} \text{cm}^{-2} \text{eV}^{-1}$ よりも小さくすることが好ましい。

[0070] 上記半導体装置1において、基板2のオフ方位は $\langle 11-20 \rangle$ 方向 $\pm 5^\circ$ 以下の範囲であってもよい。また、炭化ケイ素からなる基板2が4H型ポリタイプのSiC基板であってもよい。また、上記半導体装置1において、基板2のオフ方位が $\langle 01-10 \rangle$ 方向 $\pm 5^\circ$ 以下の範囲であってもよい。この場合、上述したオフ方位は4H型ポリタイプのSiC基板における代表的なオフ方位であり、SiC基板上へのエピタキシャル層の形成などを容易に行なうことができる。なお、オフ方位の範囲をそれぞれ $\pm 5^\circ$ 以下としたのは、基板スライス時の加工ばらつきを考慮したためである。

[0071] 上記半導体装置1において、基板2の主表面の面方位は、面方位 $\{03-38\}$ に対しオフ角が $-3^\circ$ 以上 $+5^\circ$ 以下であってもよい。また、より好ましくは基板の主表面の面方位が実質的に $\{03-38\}$ であり、さらに好ましくは基板の主表面の面方位が $\{03-38\}$ である。ここで、基板の主表面が実質的に $\{03-38\}$ であるとは、基板の加工精度などにより実質的に面方位が $\{03-38\}$ とみなせるオフ角の範囲に基板の主表面の面方位が入っていることを意味し、この場合のオフ角の範囲としてはたとえば $\{03-38\}$ に対してオフ角が $\pm 2^\circ$ といった範囲である。この場合、上述したキャリア移動度(チャネル移動度)を最も大きくすることができる。

[0072] なお、面方位 $\{03-38\}$ に対する任意の方向でのオフ角の範囲を $-3^\circ$ 以上 $+5^\circ$ 以下としたのは、後述するデータからも明らかのように、良好なキャリア移動度(チャネル移動度)と考えられる $90 \text{cm}^2/\text{Vs}$ 程度以上のチャネル移動度を示すオフ角度の範囲が少なくとも上記範囲と考えられるためである。

[0073] この発明に従った炭化ケイ素半導体装置の製造方法では、まず面方位 $\{0001\}$ に対しオフ角が $50^\circ$ 以上 $65^\circ$ 以下である、炭化ケイ素からなる基板2を準備する工程(基板準備工程(S10))を実施する。基板2上に半導体層を形成する工程(エピタキシャル層形成工程(S20))を実施する。さらに、半導体層の表面に接触するように絶

縁膜を形成する工程(ゲート絶縁膜形成工程(S40))を実施する。半導体層と絶縁膜との界面から10nm以内の領域における窒素原子濃度の最大値が $1 \times 10^{21} \text{cm}^{-3}$ 以上となるように窒素原子濃度を調整する工程(窒素アニール工程(S50))を実施する。このようにすれば、本発明に従った、キャリア移動度(チャンネル移動度)の増大した半導体装置1を容易に製造することができる。

[0074] 上記炭化ケイ素半導体装置の製造方法は、半導体層(p型層4、p領域23)と絶縁膜(酸化膜8、26)との界面から10nm以内の領域に水素原子を含有させる工程(たとえば図16または図17の水素アニール工程(S70))をさらに備えていてもよい。この場合、上記領域において、窒素原子に加えて水素原子を含有する炭化ケイ素半導体装置を容易に製造することができる。

[0075] 上記炭化ケイ素半導体装置の製造方法において、水素原子を含有させる工程(水素アニール工程(S70))は、絶縁膜(酸化膜8、26)が形成された基板を、水素原子を含有するガスを雰囲気ガスとして用いて熱処理する工程を含む。この場合、半導体層(チャンネル領域を含むp型層4、p領域23)と酸化膜8、26との界面近傍における水素原子濃度を容易に調整することができる。

[0076] 上記炭化ケイ素半導体装置の製造方法において、水素原子を含有させる工程(水素アニール工程(S70))は、水素原子を含有するガスを雰囲気ガスとして用いて熱処理する工程の後、不活性ガスを雰囲気ガスとして用いて基板を熱処理する工程を含んでいてもよい。この場合、半導体装置1のキャリア移動度をより増大させることができる。

[0077] 上記炭化ケイ素半導体装置の製造方法において、窒素アニール工程(S50)は、絶縁膜(酸化膜8、26)が形成された基板2を、窒素原子を含有するガスを雰囲気ガスとして用いて熱処理する工程を含んでいてもよい。この場合、半導体層(チャンネル領域を含むp型層4、p領域23)と酸化膜8、26との界面近傍における窒素原子濃度を容易に調整することができる。

[0078] 上記炭化ケイ素半導体装置の製造方法において、窒素アニール工程(S50)は、上述した窒素原子を含有するガスを雰囲気ガスとして用いて熱処理する工程の後、不活性ガス(Arガス)を雰囲気ガスとして用いて基板2を熱処理する工程を含んでい

てもよい。この場合、半導体装置1のキャリア移動度をより増大させることができる。

[0079] この発明に従った炭化ケイ素半導体装置の製造方法では、まず面方位{0001}に対しオフ角が $50^\circ$ 以上 $65^\circ$ 以下である、炭化ケイ素からなる基板2を準備する工程(基板準備工程(S10))を実施する。基板2上に半導体層を形成する工程(エピタキシャル層形成工程(S20))を実施する。さらに、半導体層の表面に接触するように絶縁膜を形成する工程(ゲート絶縁膜形成工程(S40))を実施する。半導体層と絶縁膜との界面から10nm以内の領域における水素原子素濃度の最大値が $1 \times 10^{21} \text{cm}^{-3}$ 以上となるように水素原子濃度を調整する工程(水素アニール工程(S70))を実施する。このようにすれば、本発明に従った、キャリア移動度(チャンネル移動度)の増大した半導体装置1を容易に製造することができる。

[0080] 上記炭化ケイ素半導体装置の製造方法は、半導体層(p型層4、p領域23)と絶縁膜(酸化膜8、26)との界面から10nm以内の領域に窒素原子を含有させる工程(窒素アニール工程(S50))をさらに備えていてもよい。この場合、上記領域において、水素原子に加えて窒素原子を含有する炭化ケイ素半導体装置を容易に製造することができる。

[0081] 上記炭化ケイ素半導体装置の製造方法において、窒素原子を含有させる工程(窒素アニール工程(S50))は、絶縁膜(酸化膜8、26)が形成された基板を、窒素原子を含有するガスを雰囲気ガスとして用いて熱処理する工程を含む。この場合、半導体層(チャンネル領域を含むp型層4、p領域23)と酸化膜8、26との界面近傍における窒素原子濃度を容易に調整することができる。

[0082] 上記炭化ケイ素半導体装置の製造方法において、窒素原子を含有させる工程(窒素アニール工程(S50))は、窒素原子を含有するガスを雰囲気ガスとして用いて熱処理する工程の後、不活性ガスを雰囲気ガスとして用いて前記基板を熱処理する工程を含んでもよい。この場合、半導体装置1のキャリア移動度をより増大させることができる。

[0083] 上記炭化ケイ素半導体装置の製造方法において、水素原子濃度を調整する工程(水素アニール工程(S70))は、絶縁膜(酸化膜8、26)が形成された基板を、水素原子を含有するガスを雰囲気ガスとして用いて熱処理する工程を含んでもよい。こ

の場合、半導体層(チャネル領域を含むp型層4、p領域23)と酸化膜8、26との界面近傍における水素原子濃度を容易に調整することができる。

[0084] 上記炭化ケイ素半導体装置の製造方法において、水素原子濃度を調整する工程(水素アニール工程(S70))は、水素原子を含有するガスを雰囲気ガスとして用いて熱処理する工程の後、不活性ガスを雰囲気ガスとして用いて基板を熱処理する工程を含んでいてもよい。この場合、半導体装置1のキャリア移動度をより増大させることができる。

[0085] 上記炭化ケイ素半導体装置の製造方法において、水素原子を含有するガスは水蒸気もしくは水蒸気含有酸素ガスであってもよい。この場合、入手や取扱いが容易な水蒸気を雰囲気ガスとして用いるので、上記水素アニール工程(S70)を比較的容易に行なうことができる。

[0086] この発明に従った炭化ケイ素半導体装置の製造方法では、まず面方位{0001}に対しオフ角が $50^\circ$ 以上 $65^\circ$ 以下である、炭化ケイ素からなる基板2を準備する工程(基板準備工程(S10))を実施する。基板2上に半導体層を形成する工程(エピタキシャル層形成工程(S20))を実施する。さらに、半導体層の表面に接触するように絶縁膜を形成する工程(ゲート絶縁膜形成工程(S40))を実施する。半導体層と絶縁膜との界面から10nm以内の領域における窒素原子および水素原子の合計濃度の最大値が $1 \times 10^{21} \text{cm}^{-3}$ 以上となるように合計濃度を調整する工程(窒素アニール工程(S50)および水素アニール工程(S70))を実施する。このようにすれば、本発明に従った、キャリア移動度(チャネル移動度)の増大した半導体装置1を容易に製造することができる。

[0087] (実施例1)

以下、本発明の効果を確認するために行なった実験の内容を説明する。

[0088] (試料について)

図1に示した構造の半導体装置を、試料として以下のように作製した。すなわち、厚みが $400 \mu\text{m}$ のn型炭化ケイ素基板2に、厚みが $10 \mu\text{m}$ のエピタキシャル層3を形成し、当該エピタキシャル層3上に厚みが $1 \mu\text{m}$ のp型層4を形成した。そして、 $n^+$ 領域5、6のn型の導電性不純物としてリン(P)を注入し、この不純物濃度として $1 \times 10^{20} \text{cm}^{-3}$

<sup>3</sup>といった値を用いた。また、この $n^+$ 領域5、6の間の距離であるゲート長(チャンネル長 $L_g$ )を $100\mu\text{m}$ とした。また、ゲート幅(チャンネル幅)を $200\mu\text{m}$ とした。

[0089] そして、本発明の実施例1の試料として、ドライ酸化処理により酸化膜を形成した後、窒素アニールを行なった試料を作製した。また、本発明の実施例2の試料として、酸化膜を形成した後、窒素アニールを行ない、さらに不活性ガスとしてのアルゴンガスを雰囲気として用いたアニール処理(アルゴンアニール処理)を行なった試料を作製した。ここで、酸化膜8を形成するためのドライ酸化処理の条件としては、加熱温度を $1200^\circ\text{C}$ 、加熱時間を30分という条件を用いた。また、本発明の実施例1の試料における窒素アニール工程では、雰囲気ガスとして一酸化窒素ガスを用い、加熱温度を $1100^\circ\text{C}$ 、加熱時間を60分とした。また、本発明の実施例2の試料については、窒素アニール工程として、雰囲気ガスに一酸化窒素ガスを用い、加熱温度を $1100^\circ\text{C}$ 、加熱時間を120分とした。そして、本発明の実施例2の試料におけるアルゴンアニール処理については、アルゴンガスを雰囲気ガスとして用いて、加熱温度を $1100^\circ\text{C}$ 、加熱時間を60分という条件を用いた。

[0090] また、ゲート絶縁膜を形成した後に窒素アニール工程を行なわない試料を比較例の試料として作製した。上述した実施例1の酸化膜の厚みは $40\text{nm}$ 、実施例2の酸化膜の厚みは $46\text{nm}$ 、比較例の酸化膜の厚みは $33\text{nm}$ であった。

[0091] そして、上述のような絶縁膜を形成した後、本発明の実施の形態1における製造方法と同様に、図1に示すようにソース電極11およびドレイン電極12、さらにゲート絶縁膜としての酸化膜8上にゲート電極10を形成した。ソース電極11およびドレイン電極12の材料はニッケル(Ni)であり、その厚みは $0.1\mu\text{m}$ とした。また、ゲート電極10の材料としてはアルミニウム(Al)を用いて、その厚みは $1\mu\text{m}$ とした。

[0092] (測定方法)

上述した各試料について、酸化膜8と半導体層としてのp型層4との界面近傍における窒素原子濃度の深さ方向での分布を測定した。測定方法としては、SIMS(二次イオン質量分析)により測定を行なった。また、形成された半導体装置において、チャンネル移動度の測定を行なった。測定方法としては、以下のような方法を用いた。すなわち、ソースドレイン間電圧 $V_{DS} = 0.1\text{V}$ とし、ゲート電圧 $V_G$ を印加してソースド

レイン間電流 $I_{DS}$ を測定した(ゲート電圧依存性を測定した)。そして、 $g_m = (\delta I_{DS}) / (\delta V_G)$ として、

$$\text{チャンネル移動度 } \mu = g_m \times (L \times d) / (W \times \epsilon \times V_{DS})$$

(ここで、L:ゲート長、d:酸化膜厚、W:ゲート幅、 $\epsilon$ :酸化膜の誘電率)

という式からチャンネル移動度のゲート電圧に対する最大値を求めた。

[0093] (測定結果)

深さ方向における窒素原子の濃度分布は、基本的には図18に示すような分布となった。図18において、横方向は酸化膜の表面からの深さを示し、単位はnmである。また、縦軸は窒素原子濃度(単位は $\text{cm}^{-3}$ )を示す。図18からわかるように、窒素原子濃度は酸化膜8と半導体層としてのp型層4との界面部において最も高くなっている。そして、当該窒素原子は、酸化膜8とp型層4との界面を中心として $\pm 10\text{nm}$ の範囲内に分布していることがわかる。なお、図18には実施例1についての測定データを示したが、実施例2についてもほぼ同様の窒素原子濃度分布を示した。ただし、実施例2では、窒素原子濃度の最大値(ピーク値)は実施例1よりも高くなっていた。

[0094] 次に、チャンネルにおける移動度の測定結果を図19に示す。図19における横軸は各試料において測定された窒素原子濃度のピーク値(窒素原子のピーク濃度)を示している。単位は $\text{cm}^{-3}$ である。また、図19の縦軸は、測定した半導体装置のチャンネル移動度(MOSチャンネル移動度)を示している。単位は $\text{cm}^2/\text{Vs}$ である。

[0095] 図19に示すように、比較例の試料においては窒素原子のピーク濃度が最も低いと同時に、チャンネル移動度の値も最も低くなっていた。一方、実施例1および実施例2の試料については、いずれも窒素原子のピーク濃度は比較例の試料よりも高くなると同時に、チャンネル移動度の値も大きくなっていた。そして、実施例1と実施例2とを比較した場合には、窒素原子のピーク濃度がより大きくなっている実施例2の方がチャンネル移動度の値も実施例1より大きくなっている。

[0096] ここで、ケイ素を用いた従来のMOSFETと比較して、より低オン抵抗にするためには、チャンネル移動度として必要最低限の値は $50\text{cm}^2/\text{Vs}$ と考えられる。このため、プロセスのばらつきなどを考慮しても、図19から窒素原子のピーク濃度は $1 \times 10^{21}\text{cm}^{-3}$ 以上とすれば、十分なチャンネル移動度の値を実現できると考えられる。

## [0097] (実施例2)

次に、基板2のオフ角度とチャネル移動度との関係を確認した。以下具体的に説明する。

## [0098] (試料)

上述した実施例2の試料の製造方法と同様の製造方法を用いて、試料を作製した。具体的には、用いる主表面の面方位が異なる基板を用いて、比較例としての試料を4種類、本発明の実施例としての試料を3種類作製した。すなわち、比較例1として、基板の主表面の面方位が(0001)のオフ角が $8^\circ$  となっている炭化ケイ素基板((0001)の $8^\circ$  オフ基板)を用いたもの、比較例2として基板の主表面の面方位が(01-15)で表わされる基板を用いたもの、比較例3として基板の主表面の面方位が(01-14)で表わされる基板を用いたもの、比較例4として、基板の主表面を表わす面方位が(0001)のオフ角が $70^\circ$  となっている基板を用いたものを準備した。また、本発明の実施例としては、実施例1として基板の主表面の面方位が(01-13)で表わされる基板を用いたもの、実施例2として基板の主表面の面方位が(03-38)で表わされる基板を用いたもの、実施例3として基板の主表面の面方位が(01-12)で表わされる基板を用いたものを準備した。そして、これらの異なる基板を用いて、同様の構造の半導体装置を上述した試料として形成した。

## [0099] (測定方法)

上述した各試料について、チャネル移動度を測定した。チャネル移動度の測定方法は、基本的には実施例1におけるチャネル移動度の測定方法と同様の方法を用いた。

## [0100] (測定結果)

測定結果を図20に示す。図20における横軸は、各試料を構成する基板の主表面の、面方位{0001}に対するオフ角度(単位: $^\circ$ )を示し、縦軸は図19の縦軸と同様にチャネル移動度(単位: $\text{cm}^2/\text{Vs}$ )を示している。図20からもわかるように、本発明の実施例に対応するオフ角度( $50^\circ$  以上 $65^\circ$  以下)の範囲の実施例1~3の試料においては、チャネル移動度の値が比較例に比べて大きく向上していることがわかる。

## [0101] (実施例3)

次に、水素原子を半導体層と絶縁膜との界面から10nm以内の領域に含有させた場合の効果を確認するため行なった実験の内容を説明する。

## [0102] (試料について)

図1に示した構造の半導体装置を、試料として以下のように作製した。すなわち、厚みが400  $\mu\text{m}$ のn型炭化ケイ素基板2に、厚みが10  $\mu\text{m}$ のエピタキシャル層3を形成し、当該エピタキシャル層3上に厚みが1  $\mu\text{m}$ のp型層4を形成した。そして、 $n^+$ 領域5、6のn型の導電性不純物としてリン(P)を注入し、この不純物濃度として $1 \times 10^{20} \text{cm}^{-3}$ といった値を用いた。また、この $n^+$ 領域5、6の間の距離であるゲート長(チャンネル長 $L_g$ )を100  $\mu\text{m}$ とした。また、ゲート幅(チャンネル幅)を200  $\mu\text{m}$ とした。

[0103] そして、本発明の実施例1の試料として、ドライ酸化処理により酸化膜を形成した後、水素アニールを行なった試料を作製した。また、本発明の実施例2の試料として、酸化膜を形成した後、水素アニールを行ない、さらに不活性ガスとしてのアルゴンガスを雰囲気として用いたアニール処理(アルゴンアニール処理)を行なった試料を作製した。ここで、酸化膜8を形成するためのドライ酸化処理の条件としては、加熱温度を1200°C、加熱時間を30分という条件を用いた。また、本発明の実施例1の試料における水素アニール工程では、雰囲気ガスとして水素ガスを用い、加熱温度を1100°C、加熱時間を60分とした。また、本発明の実施例2の試料については、水素アニールの条件として雰囲気ガスとして水素ガスを用い、加熱温度を1100°C、加熱時間を120分という条件を用いた。また、実施例2の試料におけるアルゴンアニール処理については、雰囲気ガスにアルゴンガスを用い、加熱温度を1100°C、加熱時間を60分とした。

[0104] また、ゲート絶縁膜を形成した後に水素アニール工程を行なわない試料を比較例の試料として作製した。なお、上述した実施例1の酸化膜の厚みは40nm、実施例2の酸化膜の厚みは45nm、比較例の酸化膜の厚みは33nmであった。

[0105] そして、上述のような絶縁膜を形成した後、本発明の実施の形態1における製造方法と同様に、図1に示すようにソース電極11およびドレイン電極12、さらにゲート絶縁膜としての酸化膜8上にゲート電極10を形成した。ソース電極11およびドレイン電極

12の材料はニッケル(Ni)であり、その厚みは $0.1\mu\text{m}$ とした。また、ゲート電極10の材料としてはアルミニウム(Al)を用いて、その厚みは $1\mu\text{m}$ とした。

[0106] (測定方法)

上述した各試料について、すでに述べた実施例1の試験における測定方法と同様の方法により、酸化膜8と半導体層としてのp型層4との界面近傍における水素原子濃度の深さ方向での分布を測定した。つまり、測定方法としては、SIMS(二次イオン質量分析)を用いた。また、形成された半導体装置において、チャネル移動度の測定を行なった。測定方法としては、実施例1の試験における測定方法と同様の方法を用いた。

[0107] (測定結果)

深さ方向における水素原子の濃度分布は、基本的には図18に示した窒素原子の濃度分布と同様の分布となった。つまり、図18に示した窒素原子濃度の分布と同様に、水素原子濃度は酸化膜8と半導体層としてのp型層4との界面部において最も高くなり、その値も $1\times 10^{21}\text{cm}^{-3}$ 以上となっていた。そして、当該水素原子は、酸化膜8とp型層4との界面を中心として $\pm 10\text{nm}$ の範囲内に分布していた。なお、上述した実施例1および実施例2の両方の試料とも、ほぼ同様の水素原子濃度分布を示した。ただし、実施例2の試料では、水素原子濃度の最大値(ピーク値)は実施例1の試料よりも高くなっていた。

[0108] 次に、チャネルにおける移動度の測定結果についても、先に説明した図19に示す、窒素原子濃度のピークの値と、チャネル移動度との関係と類似の関係を示していた。

[0109] つまり、図19の場合と同様に、比較例の試料においては水素原子のピーク濃度が最も低いと同時に、チャネル移動度の値も最も低くなっていた。一方、実施例1および実施例2の試料については、いずれも水素原子のピーク濃度は比較例の試料よりも高くなると同時に、チャネル移動度の値も大きくなっていた。そして、実施例1と実施例2とを比較した場合には、水素原子のピーク濃度がより大きくなっている実施例2の方がチャネル移動度の値も実施例1より大きくなっている。なお、水素原子のピーク濃度とチャネル移動度との関係を示したデータを近似する近似線を当該グラフ中に

プロットすると、図19に示したグラフ中の近似線(曲線)とほぼ同様の曲線となった。

[0110] ここで、ケイ素を用いた従来のMOSFETと比較して、より低オン抵抗にするためには、チャネル移動度として必要最低限の値は $50\text{cm}^2/\text{Vs}$ と考えられる。このため、プロセスのばらつきなどを考慮しても、窒素原子のピーク濃度に関する場合と同様に、水素原子のピーク濃度は $1 \times 10^{21}\text{cm}^{-3}$ 以上とすれば、十分なチャネル移動度の値を実現することができると考えられる。

[0111] (実施例4)

次に、熱処理の雰囲気ガスとして水蒸気を用いて、水素原子を半導体層と絶縁膜との界面から10nm以内の領域に含有させた実験の内容を説明する。

[0112] (試料について)

図1に示した構造の半導体装置を、試料として作製した。試料の作成方法は、基本的には上述した実施例3における試料の作成方法と同様である。すなわち、厚みが $400\mu\text{m}$ のn型炭化ケイ素基板2に、厚みが $10\mu\text{m}$ のエピタキシャル層3を形成し、当該エピタキシャル層3上に厚みが $1\mu\text{m}$ のp型層4を形成した。そして、 $n^+$ 領域5、6のn型の導電性不純物としてリン(P)を注入し、この不純物濃度として $1 \times 10^{20}\text{cm}^{-3}$ といった値を用いた。また、この $n^+$ 領域5、6の間の距離であるゲート長(チャネル長 $L_g$ )を $100\mu\text{m}$ とした。また、ゲート幅(チャネル幅)を $200\mu\text{m}$ とした。

[0113] そして、本発明の実施例1の試料として、ドライ酸化処理により酸化膜を形成した後、水蒸気含有酸素ガスアニールを行なった試料を作製した。また、本発明の実施例2の試料として、酸化膜を形成した後、水蒸気含有酸素ガスアニールを行ない、さらに不活性ガスとしてのアルゴンガスを雰囲気として用いたアニール処理(アルゴンアニール処理)を行なった試料を作製した。ここで、酸化膜8を形成するためのドライ酸化処理の条件としては、加熱温度を $1200^\circ\text{C}$ 、加熱時間を30分という条件を用いた。また、本発明の実施例1の試料における水蒸気含有酸素ガスアニール工程では、雰囲気ガスとして水蒸気を含む酸素ガスを用い、加熱温度を $1100^\circ\text{C}$ 、加熱時間を60分とした。また、本発明の実施例2の試料については、水蒸気含有酸素ガスアニールの条件として、雰囲気ガスとして水蒸気を含む酸素ガスを用い、加熱温度を $1100^\circ\text{C}$ 、加熱時間を120分という条件を用いた。また、実施例2の試料におけるアルゴンアニ

ール処理については、雰囲気ガスにアルゴンガスを用い、加熱温度を1100°C、加熱時間を60分とした。

[0114] また、ゲート絶縁膜を形成した後に水蒸気含有酸素ガスアニール工程を行なわない試料を比較例の試料として作製した。なお、上述した実施例1の酸化膜の厚みは40nm、実施例2の酸化膜の厚みは44nm、比較例の酸化膜の厚みは33nmであった。

[0115] そして、上述のような絶縁膜を形成した後、本発明の実施の形態1における製造方法と同様に、図1に示すようにソース電極11およびドレイン電極12、さらにゲート絶縁膜としての酸化膜8上にゲート電極10を形成した。ソース電極11およびドレイン電極12の材料はニッケル(Ni)であり、その厚みは0.1 $\mu$ mとした。また、ゲート電極10の材料としてはアルミニウム(Al)を用いて、その厚みは1 $\mu$ mとした。

[0116] (測定方法)

上述した各試料について、すでに述べた実施例1の試験における測定方法と同様の方法により、酸化膜8と半導体層としてのp型層4との界面近傍における水素原子濃度の深さ方向での分布を測定した。つまり、測定方法としては、SIMS(二次イオン質量分析)を用いた。また、形成された半導体装置において、チャネル移動度の測定を行なった。測定方法としては、実施例1の試験における測定方法と同様の方法を用いた。

[0117] (測定結果)

深さ方向における水素原子の濃度分布は、実施例3の試験の場合と同様に、基本的には図18に示した窒素原子の濃度分布と同様の分布となった。つまり、図18に示した窒素原子濃度の分布と同様に、水素原子濃度は酸化膜8と半導体層としてのp型層4との界面部において最も高くなり、その値も $1 \times 10^{21} \text{cm}^{-3}$ 以上となっていた。そして、当該水素原子は、酸化膜8とp型層4との界面を中心として $\pm 10 \text{nm}$ の範囲内に分布していた。なお、上述した実施例1および実施例2の両方の試料とも、ほぼ同様の水素原子濃度分布を示した。ただし、実施例2の試料では、水素原子濃度の最大値(ピーク値)は実施例1の試料よりも高くなっていた。

[0118] 次に、チャネルにおける移動度の測定結果についても、先に説明した図19に示す

、窒素原子濃度のピークの値と、チャンネル移動度との関係と類似の関係を示していた。

[0119] つまり、図19の場合と同様に、比較例の試料においては水素原子のピーク濃度が最も低いと同時に、チャンネル移動度の値も最も低くなっていた。一方、実施例1および実施例2の試料については、いずれも水素原子のピーク濃度は比較例の試料よりも高くなると同時に、チャンネル移動度の値も大きくなっていた。そして、実施例1と実施例2とを比較した場合には、水素原子のピーク濃度がより大きくなっている実施例2の方がチャンネル移動度の値も実施例1より大きくなっている。なお、水素原子のピーク濃度とチャンネル移動度との関係を示したデータを近似する近似線を当該グラフ中にプロットすると、図19に示したグラフ中の近似線(曲線)とほぼ同様の曲線となった。

[0120] ここで、ケイ素を用いた従来のMOSFETと比較して、より低オン抵抗にするためには、チャンネル移動度として必要最低限の値は $50\text{cm}^2/\text{Vs}$ と考えられる。このため、プロセスのばらつきなどを考慮しても、窒素原子のピーク濃度に関する場合と同様に、水素原子のピーク濃度は $1 \times 10^{21}\text{cm}^{-3}$ 以上とすれば、十分なチャンネル移動度の値を実現することができると考えられる。

[0121] (実施例5)

次に、熱処理の雰囲気ガスとして窒素原子および水素原子を含有するガスを用いて、窒素原子および水素原子を半導体層と絶縁膜との界面から10nm以内の領域に含有させた実験の内容を説明する。

[0122] (試料について)

図1に示した構造の半導体装置を、試料として作製した。試料の作成方法は、基本的には上述した実施例3における試料の作成方法と同様である。すなわち、厚みが $400\mu\text{m}$ のn型炭化ケイ素基板2に、厚みが $10\mu\text{m}$ のエピタキシャル層3を形成し、当該エピタキシャル層3上に厚みが $1\mu\text{m}$ のp型層4を形成した。そして、 $n^+$ 領域5、6のn型の導電性不純物としてリン(P)を注入し、この不純物濃度として $1 \times 10^{20}\text{cm}^{-3}$ といった値を用いた。また、この $n^+$ 領域5、6の間の距離であるゲート長(チャンネル長 $L_g$ )を $100\mu\text{m}$ とした。また、ゲート幅(チャンネル幅)を $200\mu\text{m}$ とした。

[0123] そして、本発明の参考例の試料として、ドライ酸化処理により酸化膜を形成した後、

窒素アニールを行なった試料を作製した。また、本発明の実施例1の試料として、酸化膜を形成した後、窒素アニールを行ない、さらに水素アニールを行なった試料を作製した。また、本発明の実施例2の試料として、酸化膜を形成した後、上記参考例の試料とは異なる条件で窒素アニールを行なった試料を作製した。また、本発明の実施例3の試料として、酸化膜を形成した後、上記実施例1の条件とは異なる条件で窒素アニールを行ない、さらに水素アニールを行なった試料を作製した。ここで、酸化膜8を形成するためのドライ酸化処理の条件としては、加熱温度を1200°C、加熱時間を30分という条件を用いた。また、本発明の参考例の試料における窒素アニール工程では、雰囲気ガスとして一酸化窒素(NO)ガスを用い、加熱温度を1100°C、加熱時間を20分とした。また、本発明の実施例1の試料については、窒素アニール工程の条件として、雰囲気ガスとして一酸化窒素ガスを用い、加熱温度を1100°C、加熱時間を20分という条件を用いた。また、実施例1の試料における水素アニール処理については、雰囲気ガスに水素ガスを用い、加熱温度を1100°C、加熱時間を30分とした。また、実施例2の試料における窒素アニール工程では、雰囲気ガスとして一酸化窒素(NO)ガスを用い、加熱温度を1100°C、加熱時間を60分とした。また、本発明の実施例3の試料については、窒素アニール工程の条件として、雰囲気ガスとして一酸化窒素ガスを用い、加熱温度を1100°C、加熱時間を60分という条件を用いた。また、実施例3の試料における水素アニール処理については、雰囲気ガスに水素ガスを用い、加熱温度を1100°C、加熱時間を30分とした。

[0124] また、ゲート絶縁膜を形成した後に窒素アニール工程および水素アニール工程を行なわない試料を比較例の試料として作製した。なお、上述した参考例の酸化膜の厚みは41nm、実施例1の酸化膜の厚みは45nm、実施例2の酸化膜の厚みは41nm、実施例3の酸化膜の厚みは45nm、比較例の酸化膜の厚みは33nmであった。

[0125] そして、上述のような絶縁膜を形成した後、本発明の実施の形態1における製造方法と同様に、各試料について図1に示すようにソース電極11およびドレイン電極12、さらにゲート絶縁膜としての酸化膜8上にゲート電極10を形成した。ソース電極11およびドレイン電極12の材料はニッケル(Ni)であり、その厚みは0.1 $\mu$ mとした。また、ゲート電極10の材料としてはアルミニウム(Al)を用いて、その厚みは1 $\mu$ mとした。

## [0126] (測定方法)

上述した各試料について、すでに述べた実施例1の試験における測定方法と同様の方法により、酸化膜8と半導体層としてのp型層4との界面近傍における窒素原子および水素原子の合計濃度の深さ方向での分布を測定した。つまり、測定方法としては、SIMS(二次イオン質量分析)を用いた。また、形成された半導体装置において、チャネル移動度の測定を行なった。測定方法としては、実施例1の試験における測定方法と同様の方法を用いた。

## [0127] (測定結果)

深さ方向における窒素原子および水素原子の合計濃度分布は、基本的には図18に示した窒素原子の濃度分布と同様の分布となった。つまり、図18に示した窒素原子濃度の分布と同様に、窒素原子および水素原子の合計濃度は酸化膜8と半導体層としてのp型層4との界面部において最も高くなっていた。そして、当該窒素原子および水素原子は、酸化膜8とp型層4との界面を中心として±10nmの範囲内に分布していた。

[0128] なお、上述した参考例の試料における窒素原子濃度のピーク値(最大値)は $7 \times 10^{20} \text{ cm}^{-3}$ であった。また、実施例1の試料における窒素原子濃度のピーク値は $7 \times 10^{20} \text{ cm}^{-3}$ であり、水素原子濃度のピーク値(最大値)は $7 \times 10^{20} \text{ cm}^{-3}$ であった。また、窒素原子と水素原子との濃度ピークの位置は重なっていた。つまり、実施例1の試料における窒素原子および水素原子の合計濃度のピーク値は $1.4 \times 10^{21} \text{ cm}^{-3}$ であった。

[0129] また、上述した実施例2の試料における窒素原子濃度のピーク値(最大値)は $2 \times 10^{21} \text{ cm}^{-3}$ であった。また、実施例3の試料における窒素原子濃度のピーク値は $2 \times 10^{21} \text{ cm}^{-3}$ であり、水素原子濃度のピーク値(最大値)は $1 \times 10^{21} \text{ cm}^{-3}$ であった。また、窒素原子と水素原子との濃度ピークの位置は重なっていた。つまり、実施例3の試料における窒素原子および水素原子の合計濃度のピーク値は $3 \times 10^{21} \text{ cm}^{-3}$ であった。

[0130] 次に、チャネルにおける移動度の測定結果についても、先に説明した図19に示す、窒素原子濃度のピークの値と、チャネル移動度との関係と類似の関係を示していた。チャネルにおける移動度の測定結果を図21に示す。図21における横軸は各試料において測定された窒素原子および水素原子の合計濃度のピーク値(ピーク濃度)

を示している。単位は $\text{cm}^{-3}$ である。また、図21の縦軸は、測定した半導体装置のチャネル移動度(MOSチャネル移動度)を示している。単位は $\text{cm}^2/\text{Vs}$ である。

[0131] 図21に示すように、比較例の試料においては窒素原子のピーク濃度が最も低いと同時に、チャネル移動度の値も最も低くなっていた。一方、実施例1～実施例3の試料については、いずれも窒素原子および水素原子の合計濃度のピーク値は比較例の試料よりも高くなると同時に、チャネル移動度の値も大きくなっていた。そして、実施例1～実施例3を比較した場合には、窒素原子および水素原子の合計濃度のピーク値(ピーク濃度)がより大きくなっている試料の方がチャネル移動度の値も大きくなっている。

[0132] ここで、ケイ素を用いた従来のMOSFETと比較して、より低オン抵抗にするためには、すでに述べたようにチャネル移動度として必要最低限の値は $50\text{cm}^2/\text{Vs}$ と考えられる。このため、プロセスのばらつきなどを考慮しても、窒素原子のピーク濃度に関する場合と同様に、窒素原子および水素原子の合計濃度のピーク値(ピーク濃度)は $1 \times 10^{21}\text{cm}^{-3}$ 以上とすれば、十分なチャネル移動度の値を実現することができると考えられる。

[0133] (実施例6)

本発明の効果を確認するため、半導体装置を試作し、当該半導体装置の半導体層と絶縁膜との界面の界面準位を評価した。

[0134] (試料について)

図22に示した半導体装置はMOSキャパシタであって、n型炭化ケイ素基板である基板2と、当該基板2上に形成されたバッファ層21と、バッファ層21上に形成された耐圧保持層22と、耐圧保持層22上に形成された酸化膜26と、酸化膜上に形成されたゲート電極10と、基板2の裏面(バッファ層21が形成された表面と反対側の裏面)に形成された裏面電極31とを備える。

[0135] 上記半導体装置は、以下のような工程により製造した。すなわち、厚みが $400\mu\text{m}$ のn型炭化ケイ素からなる基板2の表面に、n型の炭化ケイ素エピタキシャル層からなるバッファ層21を形成した。基板2の比抵抗は $0.02\Omega\cdot\text{cm}$ である。当該バッファ層21の厚みは $0.5\mu\text{m}$ であり、n型不純物濃度は $5 \times 10^{17}\text{cm}^{-3}$ とした。そして、バッファ

層21上に厚みが $10\ \mu\text{m}$ のn型炭化ケイ素エピタキシャル層3を形成し、耐圧保持層22とした。耐圧保持層22のn型不純物濃度は $5 \times 10^{15}\ \text{cm}^{-3}$ とした。

[0136] そして、本発明の実施例として、耐圧保持層22の表面にドライ酸化処理により酸化膜26を形成した後、窒素アニールを行なった試料を作製した。ここで、酸化膜26を形成するためのドライ酸化処理の条件としては、加熱温度を $1200^\circ\text{C}$ 、加熱時間を30分という条件を用いた。また、本発明の実施例の試料における窒素アニール工程では、雰囲気ガスとして一酸化窒素(NO)ガスを用い、加熱温度を $1100^\circ\text{C}$ 、加熱時間を60分とした。

[0137] また、酸化膜26を形成した後に窒素アニール工程を行なわない試料を比較例の試料として作製した。なお、上述した実施例の酸化膜26の厚みは $40\text{nm}$ であり、比較例の酸化膜26の厚みは $33\text{nm}$ であった。

[0138] そして、上述のように絶縁膜としての酸化膜26を形成した後、図22に示すように基板2の裏面にオーミック電極である裏面電極31を、またゲート絶縁膜としての酸化膜26上にゲート電極10を形成した。裏面電極31を構成する材料はニッケル(Ni)であり、その厚みは $0.1\ \mu\text{m}$ とした。また、当該裏面電極31については、アルゴン(Ar)雰囲気中で加熱温度 $950^\circ\text{C}$ 、加熱時間2分というアロイ処理(熱処理)を行なった。また、ゲート電極10を構成する材料はアルミニウム(Al)であり、その厚みは $1\ \mu\text{m}$ とした。また、ゲート電極10の平面形状は円形状であり、その直径は $800\ \mu\text{m}$ である。このような工程を実施することにより、図22に示す半導体装置の構成を備える実施例および比較例の試料を得ることができる。

[0139] (測定方法)

図22に示した半導体装置(MOSキャパシタ)の構成を備える上記実施例及び比較例の試料について、容量-電圧特性(CV特性)を測定した。なお、高周波CV測定は測定周波数を $1\text{MHz}$ とした。また、低周波CV測定は、Quasistatic CV測定法により行なった。なお、MOS界面の半導体側に形成される空乏層による容量 $C_s$ については、ポアソン方程式を解くことにより求めた。このとき、反転状態は考慮せず、深い空乏状態を仮定した。

[0140] また、上記実施例および比較例の試料について、High-Low法を用いて界面準

位密度を算出した。以下、High-Low法を用いた界面準位密度の算出方法の概略を示す。

[0141] 上述した高周波CV測定において、比較的、放出時定数の大きな界面準位による容量 $C_{it}$ は容量成分としては現れない。一方、界面準位への電子の捕獲・放出が応答できるような低い周波数で得られたCV測定(低周波CV測定)においては、高周波CV測定における容量に界面準位による容量が加算された値として、容量が観測される。ここで、低周波CV測定で得られた容量は、酸化膜容量、空乏層容量、界面準位容量の情報が含まれる。そのため、低周波CV測定により得られた容量 $C_{LF}$ は、

[0142] [数1]

$$\frac{1}{C_{LF}} = \frac{1}{C_{ox}} + \frac{1}{C_D + C_{it}} \quad \dots(1)$$

[0143] という数式(1)により表される。

しかし、上述のように高周波CV測定では界面準位容量は応答しない(検出されない)ので、高周波CV測定により得られた容量 $C_{HF}$ は、

[0144] [数2]

$$\frac{1}{C_{HF}} = \frac{1}{C_{ox}} + \frac{1}{C_D} \quad \dots(2)$$

[0145] という数式(2)により表される。

したがって、上記数式(1)、(2)より、

[0146] [数3]

$$D_{it} = \frac{C_{ox}}{q} \left( \frac{C_{LF}/C_{ox}}{1 - C_{LF}/C_{ox}} - \frac{C_{HF}/C_{ox}}{1 - C_{HF}/C_{ox}} \right) \quad (\because C_{it} = qD_{it}) \quad \dots(3)$$

[0147] という数式(3)より、界面準位密度 $D_{it}$ を求めることができる。

(測定結果)

図23～図25を参照して、上記測定の結果を説明する。

[0148] 図23および図24に示したグラフでは、横軸が電圧であり縦軸は容量を示している。ただし、縦軸は容量は全体の容量 $C$ を酸化膜容量 $C_{ox}$ で規格化して表示している。図

23および図24から分かるように、図23に示した本発明の実施例の試料では、高周波CV特性と低周波CV特性とで大きな差異は見られない。一方、図24に示した比較例の試料では、高周波CV特性と低周波CV特性とで相対的に大きな差異が示されている。これは、比較例の試料の方が、実施例の試料より界面準位による容量(界面準位容量)の影響が大きくなっていると考えられる。

[0149] そして、上述したHigh-Low法により界面準密度を実施例および比較例の試料について算出した結果が図25に示されている。図25では、縦軸が界面準位密度を示し、横軸が伝導帯を基準としたエネルギーの値を示している。

[0150] 図25から分かるように、実施例(窒素アニール有り)の試料の方が、いずれのエネルギーレベルにおいても比較例(窒素アニール無し)の試料より界面準位密度が低くなっている。また、伝導帯より0.1eV下のエネルギーレベルにおいても、実施例の試料の界面準位密度は $1 \times 10^{12} \text{ cm}^{-2} \text{ eV}^{-1}$ よりも小さくなっている。

[0151] (実施例7)

本発明の効果を確認するため、試料を作成して界面準位密度とMOSチャネル移動度との関係性を評価した。

[0152] (試料について)

図1に示した構造の半導体装置を、試料として以下のように作製した。すなわち、厚みが $400 \mu\text{m}$ のn型炭化ケイ素基板2に、厚みが $10 \mu\text{m}$ のエピタキシャル層3を形成し、当該エピタキシャル層3上に厚みが $1 \mu\text{m}$ のp型層4を形成した。そして、n<sup>+</sup>領域5、6のn型の導電性不純物としてリン(P)を注入し、この不純物濃度として $1 \times 10^{20} \text{ cm}^{-3}$ といった値を用いた。また、このn<sup>+</sup>領域5、6の間の距離であるゲート長(チャネル長 $L_g$ )を $100 \mu\text{m}$ とした。また、ゲート幅(チャネル幅)を $200 \mu\text{m}$ とした。

[0153] そして、本発明の実施例1の試料として、ドライ酸化処理により酸化膜を形成した後、窒素アニールを行なった試料を作製した。また、本発明の実施例2の試料として、酸化膜を形成した後、窒素アニールを行ない、さらに不活性ガスとしてのアルゴンガスを雰囲気として用いたアニール処理(アルゴンアニール処理)を行なった試料を作製した。ここで、酸化膜8を形成するためのドライ酸化処理の条件としては、加熱温度を $1200^\circ\text{C}$ 、加熱時間を30分という条件を用いた。また、本発明の実施例1の試料に

おける窒素アニール工程では、雰囲気ガスとしてNOガスを用い、加熱温度を1100℃、加熱時間を60分とした。また、本発明の実施例2の試料については、窒素アニール工程の条件としては雰囲気ガスとしてNOガスを用い、加熱温度を1100℃、加熱時間を120分という条件を用いた。また、実施例2の試料におけるアルゴンアニール処理については、雰囲気ガスにアルゴンガスを用い、加熱温度を1100℃、加熱時間を60分とした。

[0154] また、ゲート絶縁膜を形成した後に水素アニール工程を行なわない試料を比較例の試料として作製した。なお、上述した実施例1の酸化膜の厚みは40nm、実施例2の酸化膜の厚みは46nm、比較例の酸化膜の厚みは33nmであった。

[0155] そして、上述のような絶縁膜を形成した後、本発明の実施の形態1における製造方法と同様に、図1に示すようにソース電極11およびドレイン電極12、さらにゲート絶縁膜としての酸化膜8上にゲート電極10を形成した。ソース電極11およびドレイン電極12の材料はニッケル(Ni)であり、その厚みは $0.1\mu\text{m}$ とした。また、ゲート電極10の材料としてはアルミニウム(Al)を用いて、その厚みは $1\mu\text{m}$ とした。

[0156] (測定方法)

形成された半導体装置の試料において、チャネル移動度の測定を行なった。測定方法としては、実施例1の試験における測定方法と同様の方法を用いた。

[0157] また、各試料について、上記実施例6の試験における方法と同様の方法により(つまり、高周波CV特性と低周波CV特性とのデータに基づいてHigh-Low法を用いて)界面準位密度を算出した。

[0158] (測定結果)

測定結果を図26に示す。図26の横軸は、伝導帯より $0.1\text{eV}$ 下のエネルギーレベルにおける界面準位密度の値を示している。単位は $\text{cm}^{-2}\text{eV}^{-1}$ である。また、図26の縦軸は、測定した半導体装置のチャネル移動度(MOSチャネル移動度)を示している。単位は $\text{cm}^2/\text{Vs}$ である。

[0159] 図26からわかるように、界面準位密度が低くなるほど、チャネル移動度は大きくなっている。ここで、ケイ素を用いた従来のMOSFETと比較して、より低オン抵抗にするためには、すでに述べたようにチャネル移動度として必要最低限の値は $50\text{cm}^2/\text{Vs}$

と考えられる。図26では、チャネル移動度が $50\text{cm}^2/\text{Vs}$ となる界面準位密度の範囲は $7 \times 10^{11}\text{cm}^{-2}\text{eV}^{-1}$ 以下といった範囲であるとも見ることが出来る。しかし、界面準位密度の測定値には一般に大きな誤差が含まれる場合があることから、発明者の経験によれば(伝導帯より0.1eV下での)界面準位密度を $1 \times 10^{12}\text{cm}^{-2}\text{eV}^{-1}$ よりも小さくしておけば、十分なチャネル移動度を実現できると考えられる。

[0160] 今回開示された実施の形態および実施例はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて請求の範囲によって示され、請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

#### 産業上の利用可能性

[0161] 本発明は、MOSFETやDiMOSFETなど、炭化ケイ素からなる半導体層に絶縁膜が接触して形成される炭化ケイ素半導体装置に有利に適用される。

## 請求の範囲

- [1] 面方位{0001}に対しオフ角が $50^\circ$ 以上 $65^\circ$ 以下である、炭化ケイ素からなる基板(2)と、  
前記基板(2)上に形成され、炭化ケイ素からなる半導体層(4、23)と、  
前記半導体層(4、23)の表面に接触するように形成された絶縁膜(8、26)とを備え、  
前記半導体層(4、23)と前記絶縁膜(8、26)との界面から10nm以内の領域における窒素原子濃度の最大値が $1 \times 10^{21} \text{cm}^{-3}$ 以上である、炭化ケイ素半導体装置(1)。
- [2] 前記半導体層(4、23)と前記絶縁膜(8、26)との界面から10nm以内の前記領域には水素原子が含有されている、請求の範囲第1項に記載の炭化ケイ素半導体装置(1)。
- [3] 伝導帯より0.1eV下での界面準位密度が $1 \times 10^{12} \text{cm}^{-2} \text{eV}^{-1}$ よりも小さいことを特徴とする、請求の範囲第1項に記載の炭化ケイ素半導体装置(1)。
- [4] 前記基板(2)のオフ方位が $\langle 11-20 \rangle$ 方向 $\pm 5^\circ$ 以下の範囲である、請求の範囲第1項に記載の炭化ケイ素半導体装置(1)。
- [5] 前記基板(2)のオフ方位が $\langle 01-10 \rangle$ 方向 $\pm 5^\circ$ 以下の範囲である、請求の範囲第1項に記載の炭化ケイ素半導体装置(1)。
- [6] 前記基板(2)の主表面の面方位は、面方位{03-38}に対しオフ角が $-3^\circ$ 以上 $+5^\circ$ 以下である、請求の範囲第5項に記載の炭化ケイ素半導体装置(1)。
- [7] 面方位{0001}に対しオフ角が $50^\circ$ 以上 $65^\circ$ 以下である、炭化ケイ素からなる基板(2)と、  
前記基板(2)上に形成され、炭化ケイ素からなる半導体層(4、23)と、  
前記半導体層(4、23)の表面に接触するように形成された絶縁膜(8、26)とを備え、  
前記半導体層(4、23)と前記絶縁膜(8、26)との界面から10nm以内の領域における水素原子濃度の最大値が $1 \times 10^{21} \text{cm}^{-3}$ 以上である、炭化ケイ素半導体装置(1)。

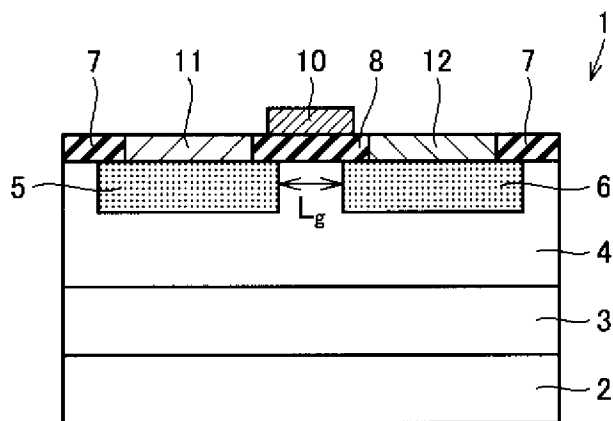
- [8] 前記半導体層(4、23)と前記絶縁膜(8、26)との界面から10nm以内の前記領域には窒素原子が含有されている、請求の範囲第7項に記載の炭化ケイ素半導体装置(1)。
- [9] 伝導帯より0.1eV下での界面準位密度が $1 \times 10^{12} \text{cm}^{-2} \text{eV}^{-1}$ よりも小さいことを特徴とする、請求の範囲第7項に記載の炭化ケイ素半導体装置(1)。
- [10] 前記基板(2)のオフ方位が $\langle 11-20 \rangle$ 方向 $\pm 5^\circ$ 以下の範囲である、請求の範囲第7項に記載の炭化ケイ素半導体装置(1)。
- [11] 前記基板(2)のオフ方位が $\langle 01-10 \rangle$ 方向 $\pm 5^\circ$ 以下の範囲である、請求の範囲第7項に記載の炭化ケイ素半導体装置(1)。
- [12] 前記基板(2)の主表面の面方位は、面方位 $\{03-38\}$ に対しオフ角が $-3^\circ$ 以上 $+5^\circ$ 以下である、請求の範囲第11項に記載の炭化ケイ素半導体装置(1)。
- [13] 面方位 $\{0001\}$ に対しオフ角が $50^\circ$ 以上 $65^\circ$ 以下である、炭化ケイ素からなる基板(2)と、  
前記基板(2)上に形成され、炭化ケイ素からなる半導体層(4、23)と、  
前記半導体層(4、23)の表面に接触するように形成された絶縁膜(8、26)とを備え、  
前記半導体層(4、23)と前記絶縁膜(8、26)との界面から10nm以内の領域における窒素原子および水素原子の合計濃度の最大値が $1 \times 10^{21} \text{cm}^{-3}$ 以上である、炭化ケイ素半導体装置(1)。
- [14] 伝導帯より0.1eV下での界面準位密度が $1 \times 10^{12} \text{cm}^{-2} \text{eV}^{-1}$ よりも小さいことを特徴とする、請求の範囲第13項に記載の炭化ケイ素半導体装置(1)。
- [15] 前記基板(2)のオフ方位が $\langle 11-20 \rangle$ 方向 $\pm 5^\circ$ 以下の範囲である、請求の範囲第13項に記載の炭化ケイ素半導体装置(1)。
- [16] 前記基板(2)のオフ方位が $\langle 01-10 \rangle$ 方向 $\pm 5^\circ$ 以下の範囲である、請求の範囲第13項に記載の炭化ケイ素半導体装置(1)。
- [17] 前記基板(2)の主表面の面方位は、面方位 $\{03-38\}$ に対しオフ角が $-3^\circ$ 以上 $+5^\circ$ 以下である、請求の範囲第16項に記載の炭化ケイ素半導体装置(1)。
- [18] 面方位 $\{0001\}$ に対しオフ角が $50^\circ$ 以上 $65^\circ$ 以下である、炭化ケイ素からなる基板

- (2)を準備する工程(S10)と、  
前記基板(2)上に半導体層(4、23)を形成する工程(S20)と、  
前記半導体層(4、23)の表面に接触するように絶縁膜(8、26)を形成する工程(S40)と、  
前記半導体層(4、23)と前記絶縁膜(8、26)との界面から10nm以内の領域における窒素原子濃度の最大値が $1 \times 10^{21} \text{ cm}^{-3}$ 以上となるように窒素原子濃度を調整する工程(S50)とを備える、炭化ケイ素半導体装置の製造方法。
- [19] 前記半導体層(4、23)と前記絶縁膜(8、26)との界面から10nm以内の前記領域に水素原子を含有させる工程(S70)をさらに備える、請求項18に記載の炭化ケイ素半導体装置の製造方法。
- [20] 前記水素原子を含有させる工程は、前記絶縁膜(8、26)が形成された前記基板(2)を、水素原子を含有するガスを雰囲気ガスとして用いて熱処理する工程を含む、請求の範囲第19項に記載の炭化ケイ素半導体装置の製造方法。
- [21] 前記水素原子を含有するガスは水蒸気または水蒸気含有酸素である、請求の範囲第20項に記載の炭化ケイ素半導体装置の製造方法。
- [22] 前記窒素原子濃度を調整する工程(S50)は、前記絶縁膜(8、26)が形成された前記基板(2)を、窒素原子を含有するガスを雰囲気ガスとして用いて熱処理する工程を含む、請求の範囲第18項に記載の炭化ケイ素半導体装置の製造方法。
- [23] 前記窒素原子濃度を調整する工程(S50)は、前記窒素原子を含有するガスを雰囲気ガスとして用いて熱処理する工程の後、不活性ガスを雰囲気ガスとして用いて前記基板を熱処理する工程を含む、請求の範囲第22項に記載の炭化ケイ素半導体装置の製造方法。
- [24] 面方位{0001}に対しオフ角が $50^\circ$ 以上 $65^\circ$ 以下である、炭化ケイ素からなる基板(2)を準備する工程(S10)と、  
前記基板(2)上に半導体層(4、23)を形成する工程(S20)と、  
前記半導体層(4、23)の表面に接触するように絶縁膜(8、26)を形成する工程(S40)と、  
前記半導体層(4、23)と前記絶縁膜(8、26)との界面から10nm以内の領域にお

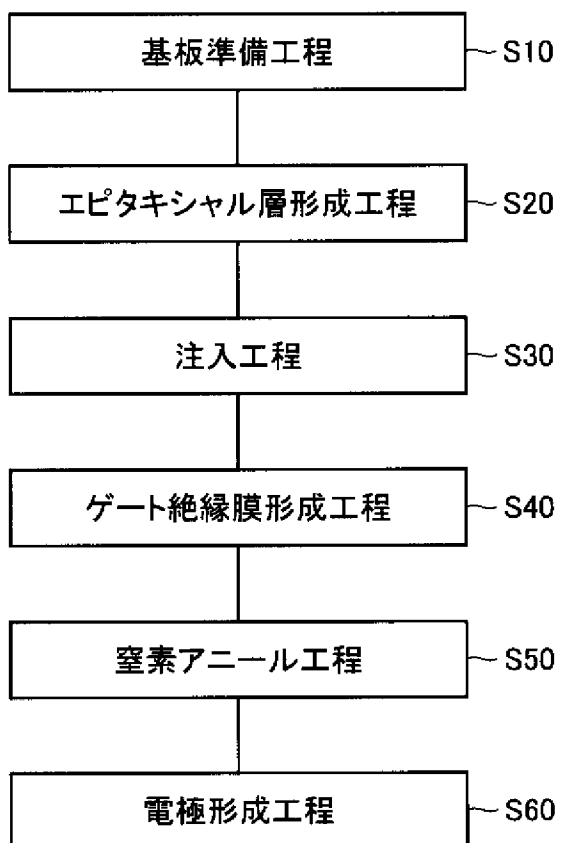
ける水素原子濃度の最大値が $1 \times 10^{21} \text{ cm}^{-3}$ 以上となるように水素原子濃度を調整する工程(S70)とを備える、炭化ケイ素半導体装置の製造方法。

- [25] 前記半導体層(4、23)と前記絶縁膜(8、26)との界面から10nm以内の前記領域に窒素原子を含有させる工程(S50)をさらに備える、請求の範囲第24項に記載の炭化ケイ素半導体装置の製造方法。
- [26] 前記窒素原子を含有させる工程(S50)は、前記絶縁膜(8、26)が形成された前記基板(2)を、窒素原子を含有するガスを雰囲気ガスとして用いて熱処理する工程を含む、請求の範囲第25項に記載の炭化ケイ素半導体装置の製造方法。
- [27] 前記水素原子濃度を調整する工程(S70)は、前記絶縁膜(8、26)が形成された前記基板(2)を、水素原子を含有するガスを雰囲気ガスとして用いて熱処理する工程を含む、請求の範囲第24項に記載の炭化ケイ素半導体装置の製造方法。
- [28] 前記水素原子濃度を調整する工程(S70)は、前記水素原子を含有するガスを雰囲気ガスとして用いて熱処理する工程の後、不活性ガスを雰囲気ガスとして用いて前記基板(2)を熱処理する工程を含む、請求の範囲第27項に記載の炭化ケイ素半導体装置の製造方法。
- [29] 前記水素原子を含有するガスは水蒸気または水蒸気含有酸素である、請求の範囲第28項に記載の炭化ケイ素半導体装置の製造方法。
- [30] 面方位{0001}に対しオフ角が $50^\circ$ 以上 $65^\circ$ 以下である、炭化ケイ素からなる基板(2)を準備する工程(S10)と、  
前記基板(2)上に半導体層(4、23)を形成する工程(S20)と、  
前記半導体層(4、23)の表面に接触するように絶縁膜(8、26)を形成する工程(S40)と、  
前記半導体層(4、23)と前記絶縁膜(8、26)との界面から10nm以内の領域における窒素原子および水素原子の合計濃度の最大値が $1 \times 10^{21} \text{ cm}^{-3}$ 以上となるように前記合計濃度を調整する工程(S50、S70)とを備える、炭化ケイ素半導体装置の製造方法。

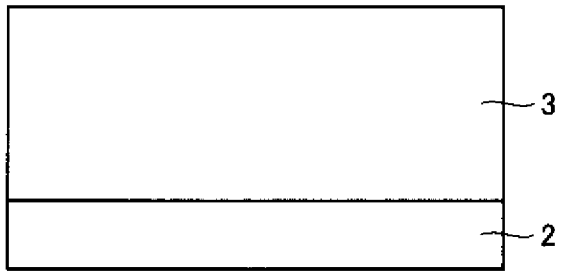
[図1]



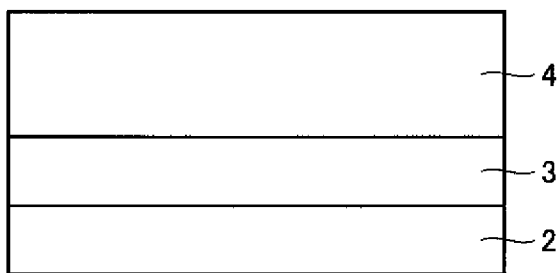
[図2]



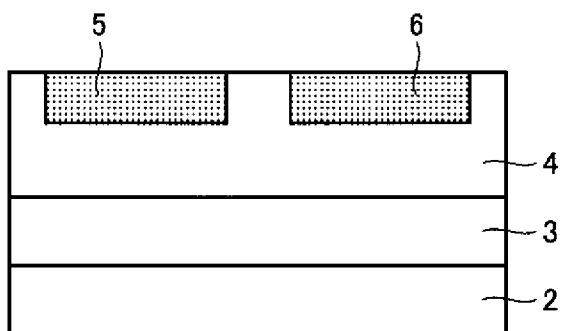
[図3]



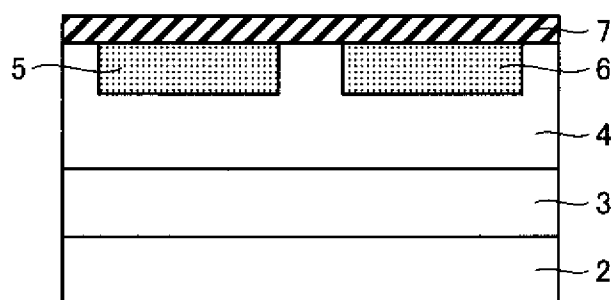
[図4]



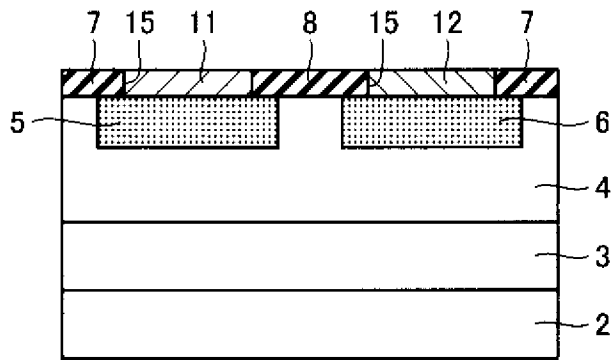
[図5]



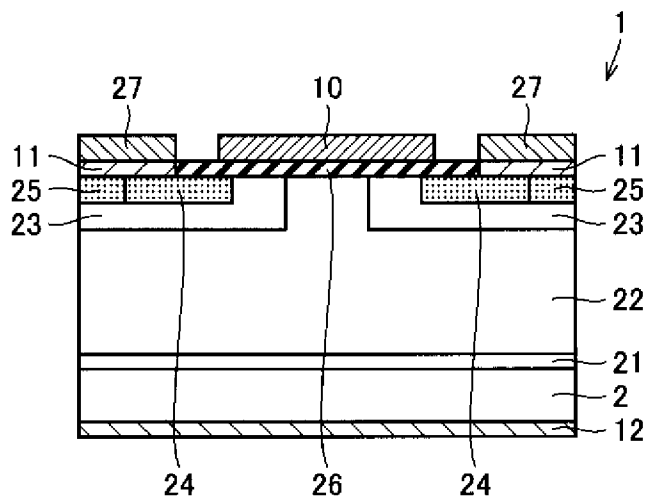
[図6]



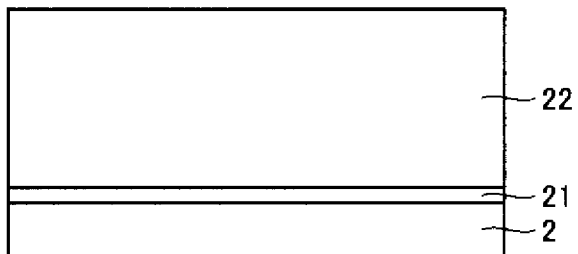
[図7]



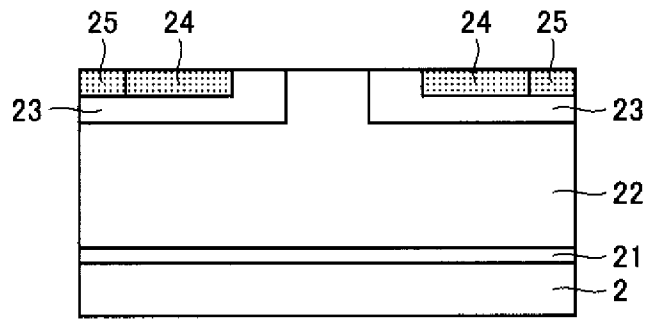
[図8]



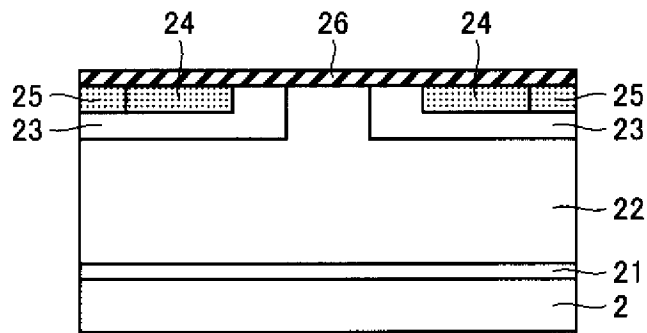
[図9]



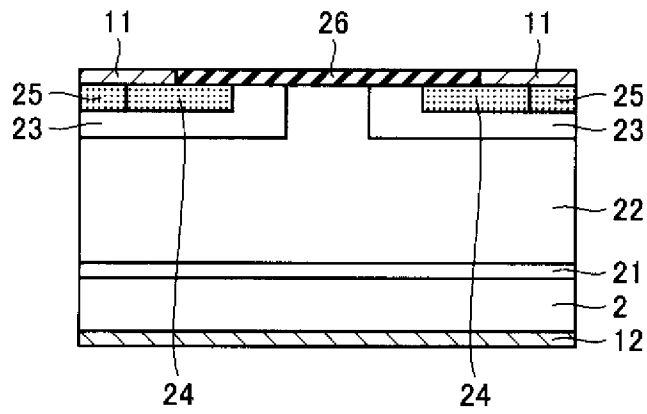
[図10]



[図11]

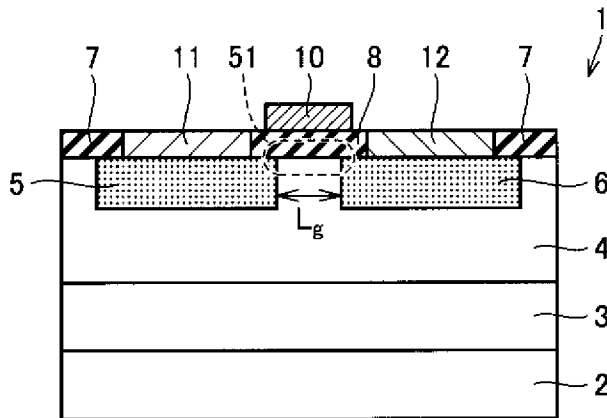


[図12]

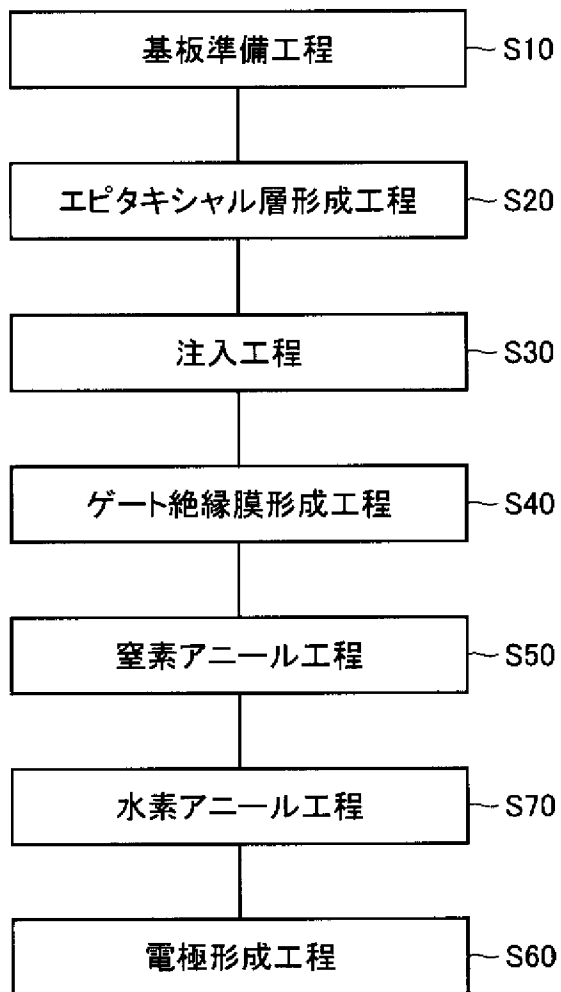




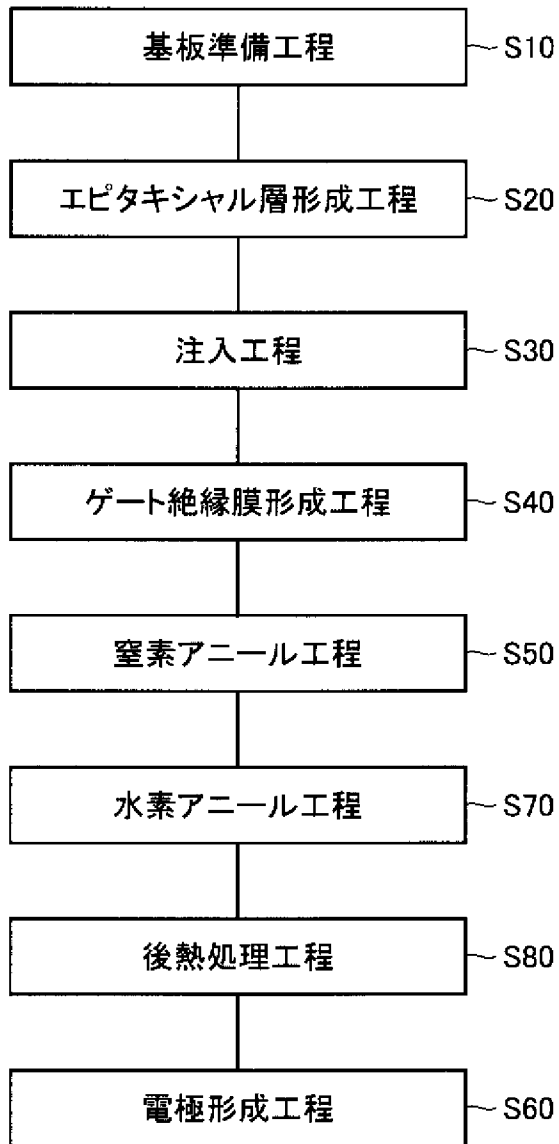
[図15]



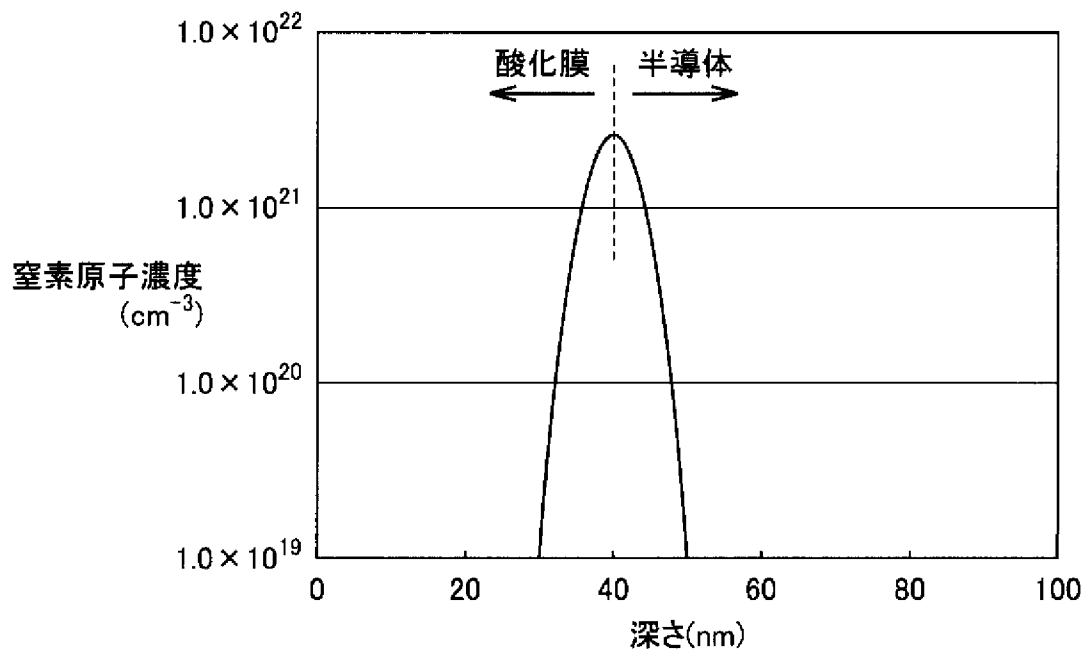
[図16]



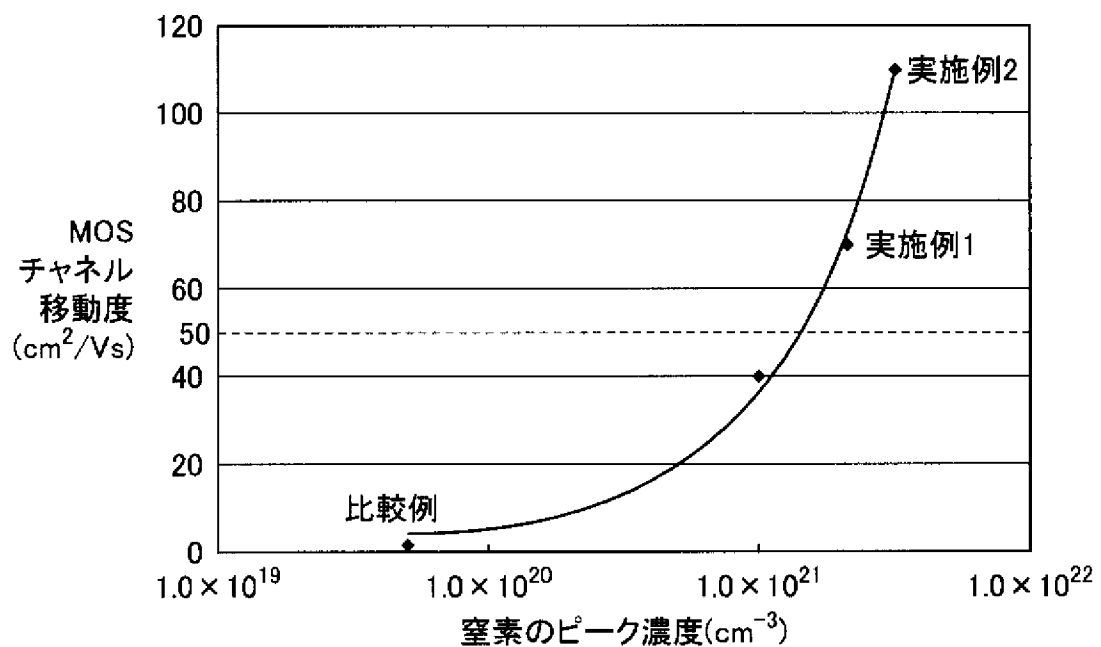
[図17]



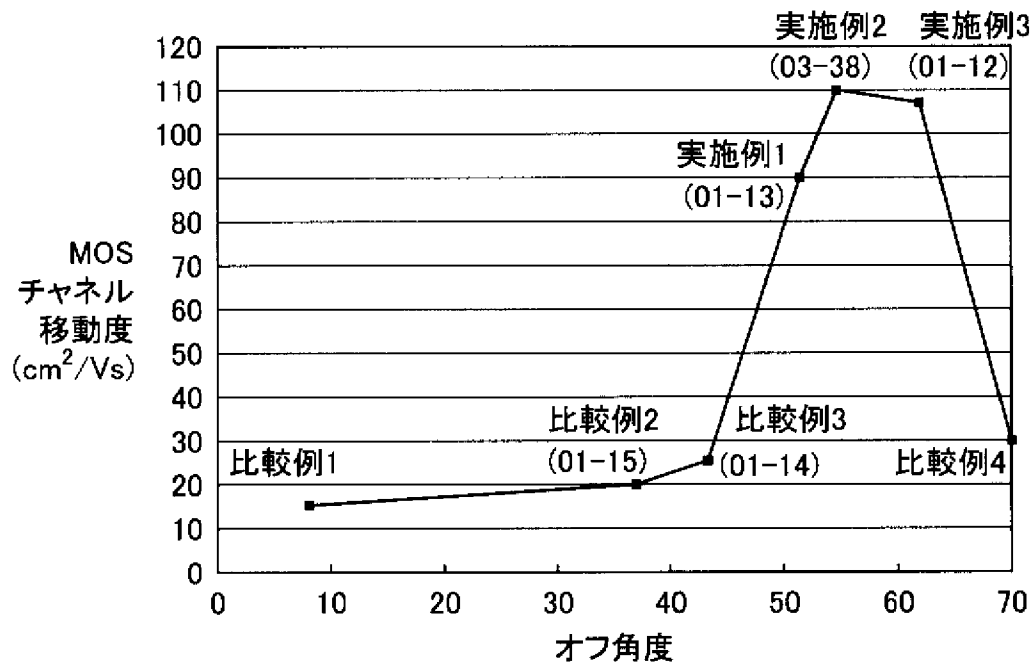
[図18]



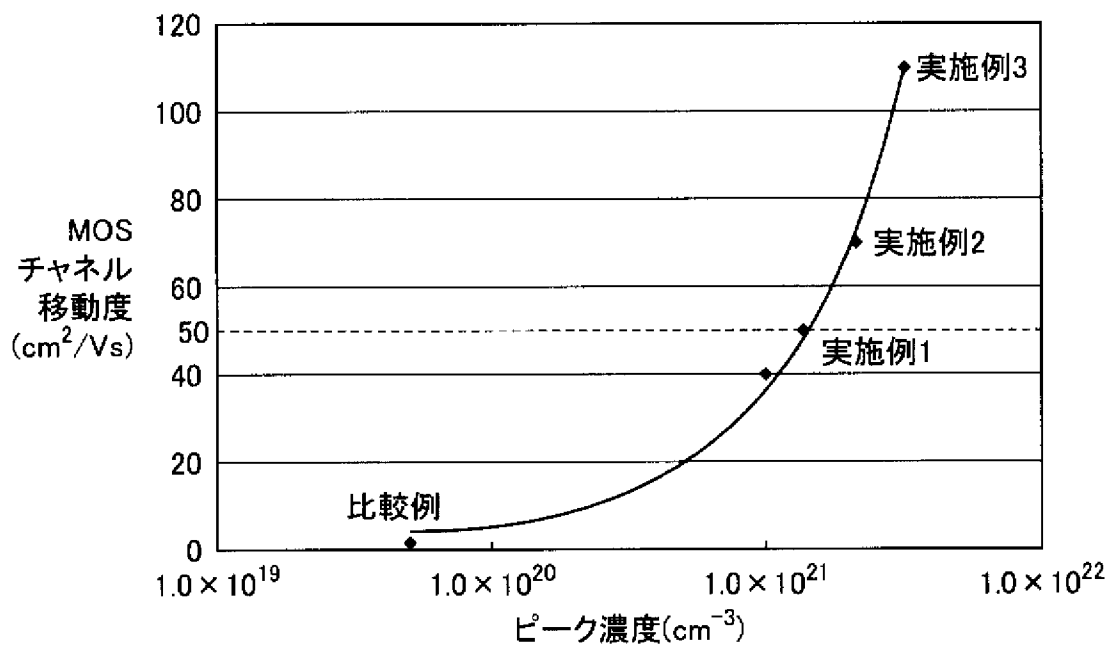
[図19]



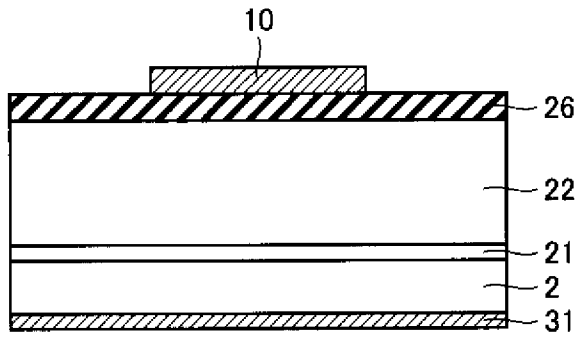
[図20]



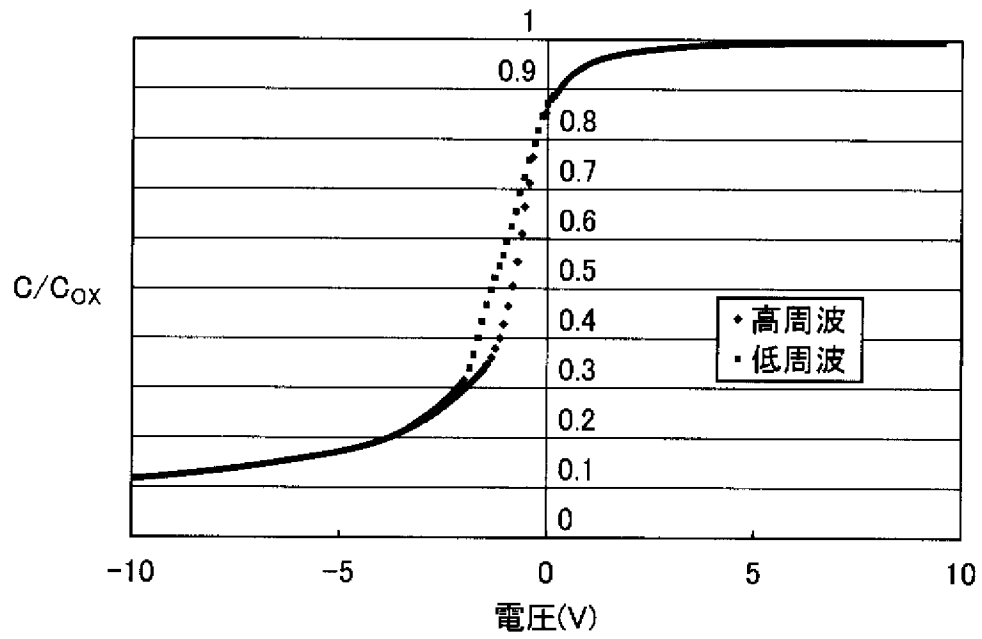
[図21]



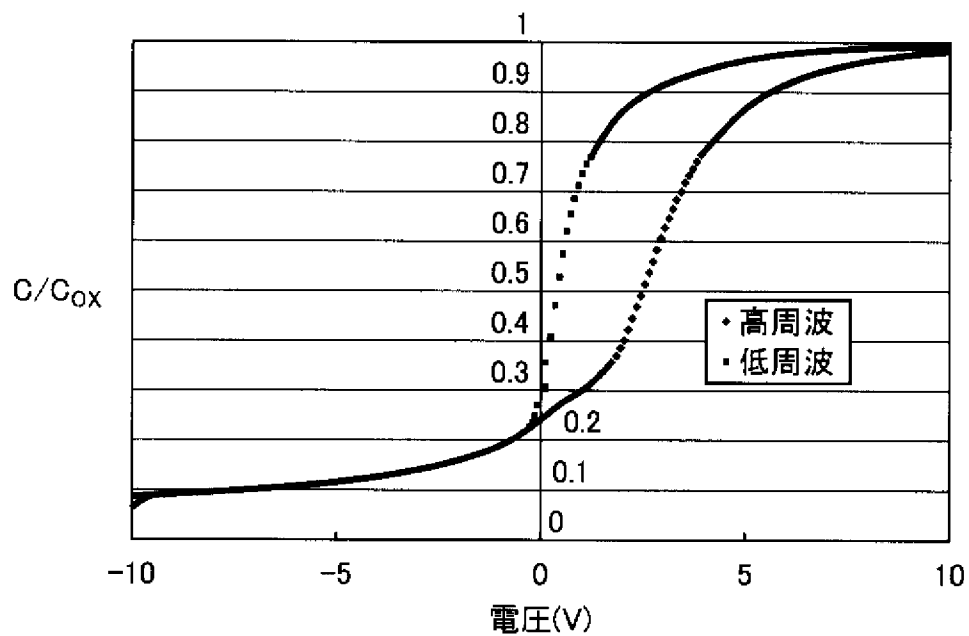
[図22]



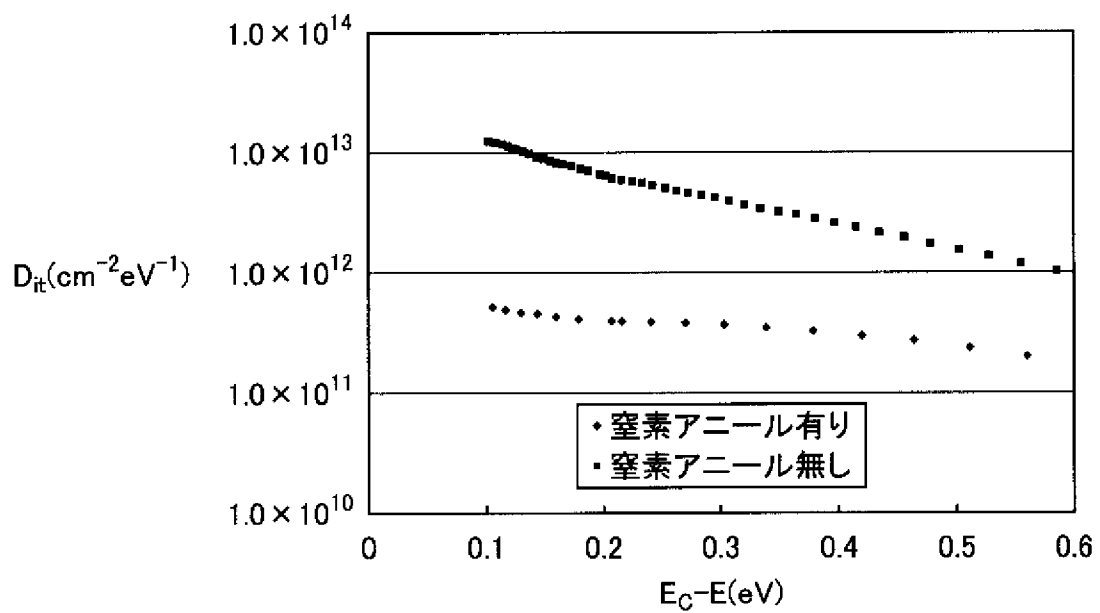
[図23]



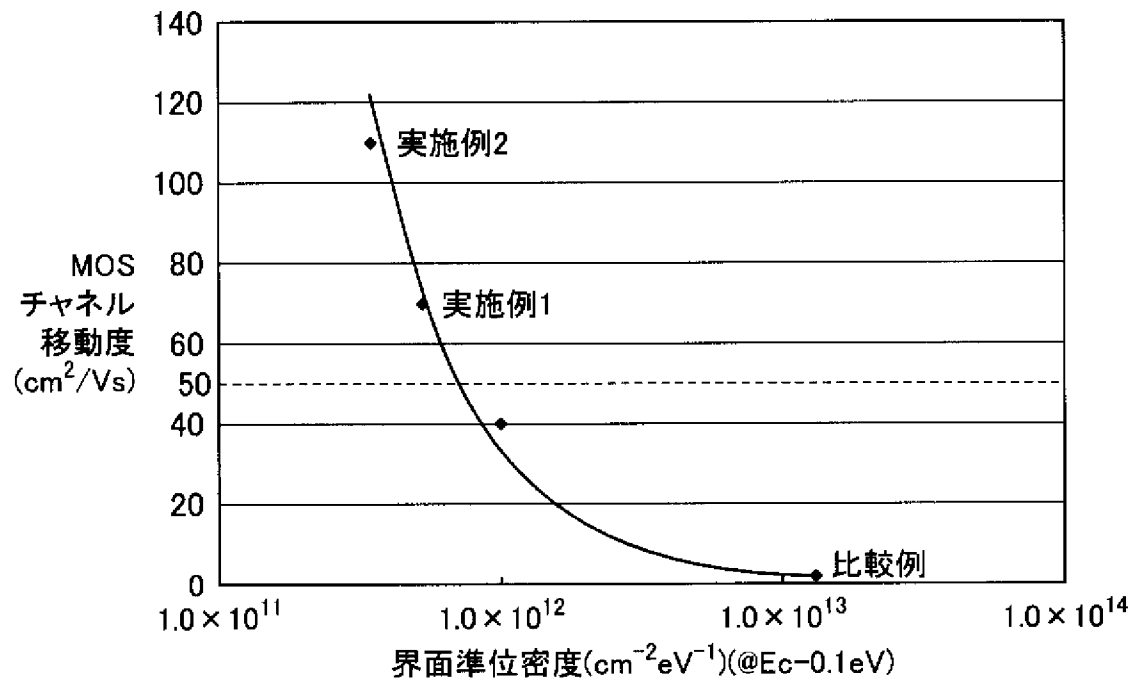
[図24]



[図25]



[図26]



**INTERNATIONAL SEARCH REPORT**

International application No.  
PCT/JP2009/051762

**A. CLASSIFICATION OF SUBJECT MATTER**  
H01L29/78(2006.01) i, H01L21/316(2006.01) i, H01L21/336(2006.01) i,  
H01L29/12(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

**B. FIELDS SEARCHED**

Minimum documentation searched (classification system followed by classification symbols)  
H01L29/78, H01L21/316, H01L21/336, H01L29/12

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2009
Kokai Jitsuyo Shinan Koho	1971-2009	Toroku Jitsuyo Shinan Koho	1994-2009

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

**C. DOCUMENTS CONSIDERED TO BE RELEVANT**

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2002-261275 A (Sixon Inc.), 13 September, 2002 (13.09.02), Full text; all drawings (Family: none)	1-30
Y	JP 2006-210818 A (Matsushita Electric Industrial Co., Ltd.), 10 August, 2006 (10.08.06), Par. Nos. [0034] to [0041], [0053]; Fig. 1 (Family: none)	1-6, 8, 13-23, 25, 26, 30

Further documents are listed in the continuation of Box C.       See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 23 April, 2009 (23.04.09)	Date of mailing of the international search report 12 May, 2009 (12.05.09)
--	---

Name and mailing address of the ISA/ Japanese Patent Office	Authorized officer
Facsimile No.	Telephone No.

## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2009/051762

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2004-532522 A (Cree Inc.), 21 October, 2004 (21.10.04), Par. Nos. [0021] to [0038]; Fig. 1A & JP 2004-519842 A & JP 2004-511101 A & US 2002/0038891 A1 & US 2002/0072247 A1 & US 2002/0102358 A1 & EP 1323185 A & EP 1325522 A & EP 1378006 A & WO 2002/029874 A2 & WO 2002/029900 A2 & WO 2002/084727 A2 & DE 60228695 D & AU 9645501 A & AU 9695201 A & CA 2421003 A & TW 550670 B & CA 2457919 A & TW 561624 B & CN 1552092 A & CN 1478302 A & CA 2442929 A & CN 1531746 A & AT 407449 T	1-30
Y	Kenji FUKUDA et al., "High-temperature Hydrogen Anneal ga 4H-SiC MOS Kozo no Kaimen Tokusei, Channel Idodo Oyobi Hot-carrier Taisei ni Ataeru Koka", FED Journal, 2000, Vol.11, No.2, pages 77 to 80	2,7-17, 19-21,24-30
Y	JP 2001-210637 A (Denso Corp.), 03 August, 2001 (03.08.01), Par. Nos. [0172] to [0179] & US 6482704 B1	2,7-17, 19-21,24-30
A	S.Chakraborty et al., Interface properties of N <sub>2</sub> O-annealed SiC metal oxide semiconductor devices, SOLID-STATE ELECTRONICS, 2001.03, Volume 45, Issue 3, pp.471-474	1-6,8,13-23, 25,26,30
A	JP 2003-86792 A (National Institute of Advanced Industrial Science and Technology), 20 March, 2003 (20.03.03), Full text; all drawings & US 2004/0242022 A1 & EP 1434272 A1 & WO 2003/023864 A1	2,7-17, 19-21,24-30
A	JP 2005-19951 A (Japan Science and Technology Agency), 20 January, 2005 (20.01.05), Par. Nos. [0038], [0116] (Family: none)	1-6,8,13-23, 25,26,30
A	JP 2008-244456 A (Denso Corp.), 09 October, 2008 (09.10.08), Claims 1, 5 & US 2008/0203441 A1 & DE 102008011648 A	2,7-17, 19-21,24-30

A. 発明の属する分野の分類 (国際特許分類 (IPC))  
 Int.Cl. H01L29/78(2006.01)i, H01L21/316(2006.01)i, H01L21/336(2006.01)i, H01L29/12(2006.01)i

B. 調査を行った分野  
 調査を行った最小限資料 (国際特許分類 (IPC))  
 Int.Cl. H01L29/78, H01L21/316, H01L21/336, H01L29/12

最小限資料以外の資料で調査を行った分野に含まれるもの  
 日本国実用新案公報 1922-1996年  
 日本国公開実用新案公報 1971-2009年  
 日本国実用新案登録公報 1996-2009年  
 日本国登録実用新案公報 1994-2009年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2002-261275 A (株式会社シクスオン) 2002.09.13 全文, 全図 (ファミリーなし)	1-30
Y	JP 2006-210818 A (松下電器産業株式会社) 2006.08.10 【0034】 - 【0041】 , 【0053】 , 図1 (ファミリーなし)	1-6, 8, 13-23, 25, 26, 30

C欄の続きにも文献が列挙されている。  パテントファミリーに関する別紙を参照。

<p>* 引用文献のカテゴリー                  「A」特に関連のある文献ではなく、一般的な技術水準を示すもの                  「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの                  「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)                  「O」口頭による開示、使用、展示等に言及する文献                  「P」国際出願日前で、かつ優先権の主張の基礎となる出願</p>	<p>の日の後に公表された文献                  「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの                  「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの                  「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの                  「&amp;」同一パテントファミリー文献</p>
--	---

国際調査を完了した日 23.04.2009	国際調査報告の発送日 12.05.2009
国際調査機関の名称及びあて先 日本国特許庁 (ISA/J P) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官 (権限のある職員) 松嶋 秀忠 電話番号 03-3581-1101 内線 3462

4M 9836

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2004-532522 A (クリー インコーポレイテッド) 2004. 10. 21, 【0021】 - 【0038】 , 図 1A & JP 2004-519842 A & JP 2004-511101 A & US 2002/0038891 A1 & US 2002/0072247 A1 & US 2002/0102358 A1 & EP 1323185 A & EP 1325522 A & EP 1378006 A & WO 2002/029874 A2 & WO 2002/029900 A2 & WO 2002/084727 A2 & DE 60228695 D & AU 9645501 A & AU 9695201 A & CA 2421003 A & TW 550670 B & CA 2457919 A & TW 561624 B & CN 1552092 A & CN 1478302 A & CA 2442929 A & CN 1531746 A & AT 407449 T	1-30
Y	福田憲司 他, 高温水素アニールが 4H-SiC MOS 構造の界面特性、 チャンネル移動度及びホットキャリア耐性に与える効果, FED ジャー ナル, 2000, Vol. 11, No. 2, pp. 77-80	2, 7-17, 19- 21, 24-30
Y	JP 2001-210637 A (株式会社デンソー) 2001. 08. 03 【0172】 - 【0179】 & US 6482704 B1	2, 7-17, 19- 21, 24-30
A	S. Chakraborty et al., Interface properties of N <sub>2</sub> O-annealed SiC metal oxide semiconductor devices, SOLID-STATE ELECTRONICS, 2001. 03, Volume 45, Issue 3, pp. 471-474	1-6, 8, 13-23, 25, 26, 30
A	JP 2003-86792 A (独立行政法人産業技術総合研究所) 2003. 03. 20 全文, 全図 & US 2004/0242022 A1 & EP 1434272 A1 & WO 2003/023864 A1	2, 7-17, 19- 21, 24-30
A	JP 2005-19951 A (独立行政法人科学技術振興機構) 2005. 01. 20, 【0038】 , 【0116】 (ファミリーなし)	1-6, 8, 13-23, 25, 26, 30
A	JP 2008-244456 A (株式会社デンソー) 2008. 10. 09 請求項 1, 請求項 5 & US 2008/0203441 A1 & DE 102008011648 A	2, 7-17, 19- 21, 24-30