

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2024 年 10 月 3 日 (03.10.2024)



(10) 国际公布号
WO 2024/199548 A1

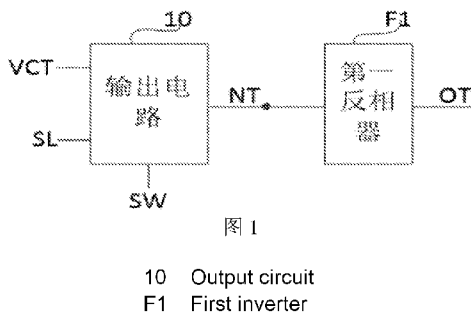
- (51) 国际专利分类号:
G09G 3/20 (2006.01) *GI1C 19/28* (2006.01)
- (21) 国际申请号: PCT/CN2024/094704
- (22) 国际申请日: 2024 年 5 月 22 日 (22.05.2024)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
PCT/CN2023/084683
2023 年 3 月 29 日 (29.03.2023) CN
- (71) 申请人: 京东方科技集团股份有限公司 (BOE TECHNOLOGY GROUP CO., LTD.) [CN/CN]; 中国北京市朝阳区酒仙桥路 10 号, Beijing 100015 (CN)。成都京东方光电科技有限公司 (CHENGDU BOE OPTOELECTRONICS TECHNOLOGY CO., LTD.) [CN/CN]; 中国四川省成都市高新区 (西区) 合作路 1188 号, Sichuan

611731 (CN)。北京京东方技术开发有限公司 (BEIJING BOE TECHNOLOGY DEVELOPMENT CO., LTD.) [CN/CN]; 中国北京市大兴区北京经济技术开发区地泽路 9 号 1 幢 407 室, Beijing 100176 (CN)。

(72) 发明人: 曹丹 (CAO, Dan); 中国北京市大兴区北京经济技术开发区地泽路 9 号, Beijing 100176 (CN)。郭永林 (GUO, Yonglin); 中国北京市大兴区北京经济技术开发区地泽路 9 号, Beijing 100176 (CN)。于子阳 (YU, Ziyang); 中国北京市大兴区北京经济技术开发区地泽路 9 号, Beijing 100176 (CN)。燕青青 (YAN, Qingqing); 中国北京市大兴区北京经济技术开发区地泽路 9 号, Beijing 100176 (CN)。谷泉泳 (GU, Quanyong); 中国北京市大兴区北京经济技术开发区地泽路 9 号, Beijing 100176 (CN)。宋江 (SONG, Gukhwan); 中国北京市大兴区北京经济技术开发区地泽路 9 号, Beijing 100176 (CN)。蒋

(54) Title: DRIVE CIRCUIT, DRIVE METHOD, AND DISPLAY DEVICE

(54) 发明名称: 驱动电路、驱动方法和显示装置



(57) Abstract: A drive circuit, a drive method, and a display device. The drive circuit comprises an output circuit (10) and a phase inversion circuit (11); under the control of a switch control signal and an output control signal, the output circuit (10) provides, according to a data voltage, a drive output signal by means of a drive output end; the phase inversion circuit (11) comprises N levels of inverters, N being a positive integer; the input end of a first inverter is electrically connected to the drive output end, and the output end of the N-th inverter is electrically connected to the drive signal output end; when N is greater than 1, the output end of the m-th inverter is electrically connected to the input end of the (m+1)-th inverter, and m is a positive integer smaller than N; each inverter is used for inverting the signal inputted through the input end of the inverter so as to obtain an inverted signal, and for outputting the inverted signal through the output end of the inverter.

(57) 摘要: 一种驱动电路、驱动方法和显示装置。驱动电路包括输出电路(10)和反相电路(11); 输出电路(10)在开关控制信号和输出控制信号的控制下, 根据数据电压, 通过驱动输出端提供驱动输出信号; 反相电路(11)包括N级反相器; N为正整数; 第一反相器的输入端与驱动输出端电连接, 第N反相器的输出端与驱动信号输出端电连接; 当N大于1时, 第m反相器的输出端与第m+1反相器的输入端电连接, m为小于N的正整数; 反相器用于对其输入端接入的信号进行反相, 得到反相后的信号, 通过该反相器的输出端输出反相后的信号。

志亮(JIANG, Zhiliang); 中国北京市大兴区北京经济技术开发区地泽路9号, Beijing 100176 (CN)。

(74) 代理人: 北京银龙知识产权代理有限公司(DRAGON INTELLECTUAL PROPERTY LAW FIRM); 中国北京市海淀区西直门北大街32号院枫蓝国际中心2号楼10层, Beijing 100082 (CN)。

(81) 指定国(除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW。

(84) 指定国(除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

根据细则4.17的声明:

- 关于申请人有权要求在先申请的优先权(细则4.17(iii))

本国际公布:

- 包括国际检索报告(条约第21条(3))。
- 在修改权利要求的期限届满之前进行, 在收到该修改后将重新公布(细则48.2(b))。
- 包括关于请求恢复一项或多项优先权要求的信息(细则26之二.3和48.2(b)(vii))。

驱动电路、驱动方法和显示装置

相关申请的交叉引用

本申请主张申请日为 2023 年 3 月 29 日，申请号为 PCT/CN2023/084683 的 PCT 国际申请的优先权，其全部内容通过引用包含于此。

技术领域

本公开涉及显示技术领域，尤其涉及一种驱动电路、驱动方法和显示装置。

背景技术

多数情况下，现有的 OLED（有机发光二极管）像素驱动方式为：每一帧都完成一次复位、写入数据和发光阶段，全屏保持一个刷新频率。但是随着时代和科技的进步，同一显示器使用不同驱动频率成为可能，低频区域在保持帧时有些信号可以不重复复位，也不需要写入数据电压信号，所以通过控制这些信号的源极控制电路，关闭电路里的某些 TFT（薄膜晶体管），可以达到节省功耗的目的，上述技术为局部刷新。在相关技术中，提供驱动信号的驱动电路的输出稳定性低。

发明内容

在一个方面中，本公开实施例提供一种驱动电路，包括输出电路和反相电路；

所述输出电路分别与输出控制端、开关控制端、数据线和驱动输出端电连接，用于在所述开关控制端提供的开关控制信号和所述输出控制端提供的输出控制信号的控制下，根据所述数据线提供的数据电压，通过所述驱动输出端提供驱动输出信号；

所述反相电路包括 N 级反相器；N 为正整数；n 为小于或等于 N 的正整数；

第一反相器的输入端与所述驱动输出端电连接，第 N 反相器的输出端与驱动信号输出端电连接；

当 N 大于 1 时，第 m 反相器的输出端与第 m+1 反相器的输入端电连接，m 小于 N 的正整数；

所述反相器用于对其输入端接入的信号进行反相，得到反相后的信号，通过该反相器的输出端输出所述反相后的信号。

可选的，所述输出电路包括第一数据写入电路、差分控制电路、输入控制电路和输出控制电路；

所述第一数据写入电路分别与开关控制端、第一数据线和第一差分控制节点电连接，用于在所述开关控制端提供的开关控制信号的控制下，将所述第一数据线提供的第一数据电压写入所述第一差分控制节点，并维持所述第一差分控制节点的电位；

所述差分控制电路分别与第一差分控制节点、第二差分控制节点、输入节点、第一输

出节点和第二输出节点电连接，用于在所述第一差分控制节点的电位和所述第二差分控制节点的电位的控制下，根据所述输入节点的电位，控制所述第一输出节点的电位和第二输出节点的电位；

所述输入控制电路分别与所述输出控制端、所述输入节点和第一电压端电连接，用于在所述输出控制端提供的输出控制信号的控制下，控制所述输入节点与所述第一电压端之间连通或断开；

所述输出控制电路分别与所述输出控制端、第一输出节点、第二输出节点和驱动输出端电连接，用于在所述输出控制信号的控制下，根据所述第一输出节点的电位和所述第二输出节点的电位，生成并通过所述驱动输出端提供驱动输出信号。

可选的，所述输出控制电路包括锁存电路和置位电路；

所述置位电路分别与输出控制端、中间节点、驱动输出端和第二电压端电连接，用于在所述输出控制信号的控制下，控制所述中间节点与所述第二电压端之间连通或断开，控制所述驱动输出端与所述第二电压端之间连通或断开；

所述锁存电路分别与所述第一输出节点、第二输出节点、所述中间节点、所述驱动输出端和第二电压端电连接，用于在所述中间节点的电位的控制下，根据第一输出节点的电位和所述第二输出节点的电位，控制所述驱动输出端的电位。

可选的，所述输出电路还包括第二数据写入电路；

所述第二数据写入电路分别与开关控制端、第二数据线和所述第二差分控制节点电连接，用于在所述开关控制端提供的开关控制信号的控制下，将所述第二数据线提供的第二数据电压写入所述第二差分控制节点，并维持所述第二差分控制节点的电位。

可选的，本公开至少一实施例所述的驱动电路还包括开关控制电路；

所述开关控制电路分别与通断控制端、第一输出控制节点和第二输出控制节点电连接，用于在所述通断控制端提供的通断控制信号的控制下，控制所述第一输出控制节点与所述第二输出控制节点之间连通或断开；

所述第一输出控制节点与所述驱动输出端电连接，所述第二输出控制节点与所述第一反相器的输入端电连接；或者，

所述第一输出控制节点与所述第 N 反相器的输出端电连接，所述第二输出控制节点与所述驱动信号输出端电连接；或者，

N 大于 1，所述第一输出控制节点与所述第 m 反相器的输出端电连接，所述第二输出控制节点与所述第 $m+1$ 反相器的输入端电连接。

可选的，所述锁存电路用于在所述中间节点的电位的控制下，控制所述第二输出节点与所述驱动输出端之间连通或断开，控制所述驱动输出端与所述第二电压端之间连通或断开，在所述驱动输出端的电位的控制下，控制所述第一输出节点与所述中间节点之间连通或断开，控制所述中间节点与所述第二电压端之间连通或断开。

可选的，一帧时间包括消隐时间段；所述消隐时间段包括关断阶段，所述关断阶段包

括置位时间段；

所述置位电路用于在所述置位时间段，在所述输出控制信号的控制下，控制所述中间节点与所述第二电压端之间连通，控制所述驱动输出端与所述第二电压端之间连通；

所述开关控制电路用于在关断阶段，在所述通断控制信号的控制下，控制所述第一输出控制节点与所述第二输出控制节点之间断开。

可选的，N 等于 1；所述反相电路包括第一反相器，所述第一反相器包括第一晶体管和第二晶体管；

所述第一晶体管的栅极与所述第一反相器的输入端电连接，所述第一晶体管的第一极与第一电压端电连接，所述第一晶体管的第二极与所述第二晶体管的第一极都与所述驱动信号输出端电连接；

所述第二晶体管的栅极与所述第一反相器的输入端电连接，所述第二晶体管的第二极与第二电压端电连接；

所述第一晶体管为 p 型晶体管，所述第二晶体管为 n 型晶体管。

可选的，N 等于 2；所述反相电路包括第一反相器和第二反相器；所述第一反相器包括第一晶体管和第二晶体管；所述第二反相器包括第三晶体管和第四晶体管；

所述第一晶体管的栅极与所述第一反相器的输入端电连接，所述第一晶体管的第一极与第一电压端电连接，所述第一晶体管的第二极与所述第二晶体管的第一极都与所述第二反相器的输入端电连接；

所述第二晶体管的栅极与所述第一反相器的输入端电连接，所述第二晶体管的第二极与第二电压端电连接；

所述第三晶体管的栅极和所述第四晶体管的栅极都与所述第二反相器的输入端电连接，所述第三晶体管的第一极与所述第一电压端电连接，所述第三晶体管的第二极和所述第四晶体管的第一极都与所述驱动信号输出端电连接；

所述第四晶体管的第二极与所述第二电压端电连接；

所述第一晶体管为 p 型晶体管，所述第二晶体管为 n 型晶体管；所述第三晶体管为 p 型晶体管，所述第四晶体管为 n 型晶体管。

可选的，所述第一数据写入电路包括第五晶体管和第一电容；

所述第五晶体管的栅极与所述开关控制端电连接，所述第五晶体管的第一极与所述第一数据线电连接，所述第五晶体管的第二极与所述第一差分控制节点电连接；

所述第一电容的第一端与所述第一差分控制节点电连接，所述第一电容的第二端与第二电压端电连接。

可选的，所述第二数据写入电路包括第六晶体管和第二电容；所述第六晶体管的栅极与所述开关控制端电连接，所述第六晶体管的第一极与所述第二数据线电连接，所述第六晶体管的第二极与所述第二差分控制节点电连接；

所述第二电容的第一端与所述第二差分控制节点电连接，所述第二电容的第二端与第

二电压端电连接。

可选的，所述开关控制电路包括第七晶体管；

所述第七晶体管的栅极与所述通断控制端电连接，所述第七晶体管的第一极与所述第一输出控制节点电连接，所述第七晶体管的第二极与所述第二输出控制节点电连接。

可选的，所述输入控制电路包括第八晶体管，所述差分控制电路包括第九晶体管和第十晶体管；

所述第八晶体管的栅极与所述输出控制端电连接，所述第八晶体管的第一极与所述第一电压端电连接，所述第八晶体管的第二极与所述输入节点电连接；

所述第九晶体管的栅极与所述第一差分控制节点电连接，所述第九晶体管的第一极与所述输入节点电连接，所述第九晶体管的第二极与所述第一输出节点电连接；

所述第十晶体管的栅极与所述第二差分控制节点电连接，所述第十晶体管的第一极与所述输入节点电连接，所述第十晶体管的第二极与所述第二输出节点电连接。

可选的，所述置位电路包括第十一晶体管和第十二晶体管；

所述第十一晶体管的栅极与所述输出控制端电连接，所述第十一晶体管的第一极与所述中间节点电连接，所述第十一晶体管的第二极与所述第二电压端电连接；

所述第十二晶体管的栅极与所述输出控制端电连接，所述第十二晶体管的第一极与所述驱动输出端电连接，所述第十二晶体管的第二极与所述第二电压端电连接。

可选的，所述第八晶体管为 p 型晶体管，所述第十一晶体管和所述第十二晶体管为 n 型晶体管；或者，所述第八晶体管为 n 型晶体管，所述第十一晶体管和所述第十二晶体管为 p 型晶体管。

可选的，所述锁存电路包括第十三晶体管、第十四晶体管、第十五晶体管和第十六晶体管；

所述第十三晶体管的栅极与所述驱动输出端电连接，所述第十三晶体管的第一极与所述中间节点电连接，所述第十三晶体管的第二极与第二电压端电连接；

所述第十四晶体管的栅极与中间节点电连接，所述第十四晶体管的第一极与所述驱动输出端电连接，所述第十四晶体管的第二极与所述第二电压端电连接；

所述第十五晶体管的栅极与所述驱动输出端电连接，所述第十五晶体管的第一极与所述第一输出节点电连接，所述第十五晶体管的第二极与所述中间节点电连接；

所述第十六晶体管的栅极与所述中间节点电连接，所述第十六晶体管的第一极与所述第二输出节点电连接，所述第十六晶体管的第二极与所述驱动输出端电连接。

可选的，所述第十三晶体管和所述第十四晶体管为 n 型晶体管，所述第十五晶体管和所述第十六晶体管为 p 型晶体管。

在第二个方面中，本公开实施例提供一种驱动方法，应用于上述的驱动电路，所述驱动方法包括：

输出电路在开关控制信号和输出控制信号的控制下，根据数据电压，通过驱动输出端

提供驱动输出信号；

反相电路包括的反相器对其输入端接入的信号进行反相，得到反相后的信号，通过该反相器的输出端输出所述反相后的信号。

可选的，所述输出电路包括第一数据写入电路、差分控制电路、输入控制电路和输出控制电路；所述输出控制电路包括锁存电路和置位电路；一帧时间包括消隐时间段；所述消隐时间段包括置位时间段和输出阶段；所述置位时间段包括复位阶段、数据写入阶段和电位维持阶段；所述驱动方法包括：

在复位阶段，所述置位电路在输出控制信号的控制下，控制中间节点与第二电压端之间连通，控制驱动输出端与所述第二电压端之间连通；

在数据写入阶段，所述第一数据写入电路在开关控制信号的控制下，将第一数据线提供的第一数据电压写入第一差分控制节点；

在电位维持阶段，所述第一数据写入电路维持所述第一差分控制节点的电位；

在输出阶段，所述输入控制电路在输出控制信号的控制下，控制输入节点与第一电压端之间连通；所述差分控制电路在第一差分控制节点的电位和第二差分控制节点的电位的控制下，根据输入节点的电位，控制第一输出节点的电位和第二输出节点的电位；所述锁存电路在所述中间节点的电位的控制下，根据第一输出节点的电位和所述第二输出节点的电位，控制所述驱动输出端的电位。

可选的，所述输出电路还包括第二数据写入电路；所述驱动方法还包括：

在数据写入阶段，所述第二数据写入电路在开关控制信号的控制下，将第二数据线提供的第二数据电压写入第二差分控制节点；

在电位维持阶段，所述第二数据写入电路维持所述第二差分控制节点的电位。

可选的，所述驱动电路还包括开关控制电路；所述消隐时间段包括关断阶段，所述关断阶段包括所述置位时间段；所述驱动方法还包括：

在所述关断阶段，开关控制电路在通断控制信号的控制下，控制第一输出控制节点与第二输出控制节点之间断开。

在第三个方面中，本公开实施例提供一种显示装置，包括上述的驱动电路。

附图说明

图1是本公开至少一实施例所述的驱动电路的结构图；

图2是本公开至少一实施例所述的驱动电路的结构图；

图3是本公开至少一实施例所述的驱动电路的结构图；

图4是本公开至少一实施例所述的驱动电路的结构图；

图5是本公开至少一实施例所述的驱动电路的结构图；

图6是本公开至少一实施例所述的驱动电路的结构图；

图7A是本公开至少一实施例所述的驱动电路的结构图；

图 7B 是本公开至少一实施例所述的驱动电路的结构图；
图 8A 是本公开至少一实施例所述的驱动电路的结构图；
图 8B 是本公开至少一实施例所述的驱动电路的结构图；
图 9A 是本公开至少一实施例所述的驱动电路的结构图；
图 9B 是本公开至少一实施例所述的驱动电路的结构图；
图 10A 是本公开至少一实施例所述的驱动电路的结构图；
图 10B 是本公开至少一实施例所述的驱动电路的结构图；
图 11A 是本公开至少一实施例所述的驱动电路的结构图；
图 11B 是本公开至少一实施例所述的驱动电路的结构图；
图 12A 是本公开至少一实施例所述的驱动电路的结构图；
图 12B 是本公开至少一实施例所述的驱动电路的结构图；
图 13A 是本公开至少一实施例所述的驱动电路的结构图；
图 13B 是本公开至少一实施例所述的驱动电路的结构图；
图 14A 是本公开至少一实施例所述的驱动电路的结构图；
图 14B 是本公开至少一实施例所述的驱动电路的结构图；
图 15A 是本公开至少一实施例所述的驱动电路的结构图；
图 15B 是本公开至少一实施例所述的驱动电路的结构图；
图 16A 是本公开至少一实施例所述的驱动电路的结构图；
图 16B 是本公开至少一实施例所述的驱动电路的结构图；
图 17 是本公开至少一实施例所述的驱动电路的结构图；
图 18 是本公开至少一实施例所述的驱动电路的结构图；
图 19 是本公开至少一实施例所述的驱动电路的结构图；
图 20 是本公开至少一实施例所述的驱动电路的结构图；
图 21A 是本公开至少一实施例所述的驱动电路的电路图；
图 21B 是图 21A 所示的驱动电路的至少一实施例的工作时序图；
图 21C 是图 21A 所示的驱动电路的至少一实施例的工作时序图；
图 21D 是像素电路的至少一实施例的电路图；
图 22A 是本公开至少一实施例所述的驱动电路的电路图；
图 22B 是图 22A 所示的驱动电路的至少一实施例的工作时序图；
图 22C 是图 22A 所示的驱动电路的至少一实施例的工作时序图；
图 22D 是各行发光控制线提供的发光控制信号的波形图；
图 23A 是本公开至少一实施例所述的驱动电路的电路图；
图 23B 是图 23A 所示的驱动电路的至少一实施例的工作时序图；
图 23C 是图 23A 所示的驱动电路的至少一实施例的工作时序图；
图 23D 是图 23A 所示的驱动电路的至少一实施例的工作时序图；

图 24 是本公开至少一实施例所述的驱动电路的电路图；
图 25 是本公开至少一实施例所述的驱动电路的电路图；
图 26A 是本公开至少一实施例所述的驱动电路的电路图；
图 26B 是图 26A 所示的驱动电路的至少一实施例的工作时序图；
图 27 是本公开至少一实施例所述的驱动电路的电路图；
图 28 是本公开至少一实施例所述的驱动电路的电路图；
图 29A 是本公开至少一实施例所述的驱动电路的电路图；
图 29B 是图 29A 所示的驱动电路的至少一实施例的工作时序图；
图 30 是本公开至少一实施例所述的驱动电路的电路图；
图 31A 是本公开至少一实施例所述的驱动电路的电路图；
图 31B 是图 31A 所示的驱动电路的至少一实施例的工作时序图；
图 32 是本公开至少一实施例所述的驱动电路的电路图；
图 33 是本公开至少一实施例所述的驱动电路的电路图；
图 34 是本公开至少一实施例所述的驱动电路的电路图；
图 35 是本公开至少一实施例所述的驱动电路的电路图；
图 36 是本公开至少一实施例所述的驱动电路的电路图；
图 37 是本公开至少一实施例所述的驱动电路的电路图；
图 38 是本公开至少一实施例所述的驱动电路的电路图；
图 39 是本公开至少一实施例所述的驱动电路的电路图；
图 40 是本公开至少一实施例所述的驱动电路的电路图；
图 41 是本公开至少一实施例所述的驱动电路的电路图；
图 42 是本公开至少一实施例所述的驱动电路的电路图；
图 43 是本公开至少一实施例所述的驱动电路的电路图；
图 44 是本公开至少一实施例所述的驱动电路的电路图。

具体实施方式

下面将结合本公开实施例中的附图，对本公开实施例中的技术方案进行清楚、完整地描述，显然，所描述的实施例仅仅是本公开一部分实施例，而不是全部的实施例。基于本公开中的实施例，本领域普通技术人员在没有做出创造性劳动前提下所获得的所有其他实施例，都属于本公开保护的范围。

本公开所有实施例中采用的晶体管均可以为薄膜晶体管或场效应管或其他特性相同的器件。在本公开实施例中，为区分晶体管除栅极之外的两极，将其中一极称为第一极，另一极称为第二极。

在实际操作时，当所述晶体管为薄膜晶体管或场效应管时，所述第一极可以为漏极，所述第二极可以为源极；或者，所述第一极可以为源极，所述第二极可以为漏极。

本公开实施例所述的驱动电路包括输出电路和反相电路；

所述输出电路分别与输出控制端、开关控制端、数据线和驱动输出端电连接，用于在所述开关控制端提供的开关控制信号和所述输出控制端提供的输出控制信号的控制下，根据所述数据线提供的的数据电压，通过所述驱动输出端提供驱动输出信号；

所述反相电路包括 N 级反相器；N 为正整数；n 为小于或等于 N 的正整数；

第一反相器的输入端与所述驱动输出端电连接，第 N 反相器的输出端与驱动信号输出端电连接；

当 N 大于 1 时，第 m 反相器的输出端与第 m+1 反相器的输入端电连接，m 小于 N 的正整数；

所述反相器用于对其输入端接入的信号进行反相，得到反相后的信号，通过该反相器的输出端输出所述反相后的信号。

本公开实施例所述的驱动电路通过采用反相电路，当所述反相电路包括一级反相器时，可以实现局部低刷，当所述反相电路包括两级反相器时，可以稳定所述驱动信号输出端提供的驱动信号。

如图 1 所示，本公开实施例所述的驱动电路包括输出电路 10 和反相电路 11；

所述输出电路 10 分别与输出控制端 VCT、开关控制端 SW、数据线 SL 和驱动输出端 NT 电连接，用于在所述开关控制端 SW 提供的开关控制信号和所述输出控制端 VCT 提供的输出控制信号的控制下，根据所述数据线 SL 提供的的数据电压，通过所述驱动输出端 NT 提供驱动输出信号；

所述反相电路包括第一反相器 F1；

第一反相器 F1 的输入端与所述驱动输出端 NT 电连接，第一反相器 F1 的输出端与驱动信号输出端 OT 电连接；

所述第一反相器 F1 用于对其输入端接入的信号进行反相，得到反相后的信号，通过该第一反相器 F1 的输出端输出所述反相后的信号。

在图 1 所示的驱动电路的至少一实施例中，N 等于 1。

如图 2 所示，本公开实施例所述的驱动电路包括输出电路 10 和反相电路 11；

所述输出电路 10 分别与输出控制端 VCT、开关控制端 SW、数据线 SL 和驱动输出端 NT 电连接，用于在所述开关控制端 SW 提供的开关控制信号和所述输出控制端 VCT 提供的输出控制信号的控制下，根据所述数据线 SL 提供的的数据电压，通过所述驱动输出端 NT 提供驱动输出信号；

所述反相电路包括第一反相器 F1 和第二反相器 F2；

第一反相器 F1 的输入端与所述驱动输出端 NT 电连接，第一反相器 F1 的输出端与第二反相器 F2 的输入端电连接；

第二反相器 F2 的输出端与驱动信号输出端 OT 电连接；

所述第一反相器 F1 用于对其输入端接入的信号进行反相，得到第一反相后的信号，

通过该第一反相器 F1 的输出端输出所述第一反相后的信号；

所述第二反相器 F2 用于对其输入端接入的信号进行反相，得到第二反相后的信号，通过该第二反相器 F2 的输出端输出所述第二反相后的信号。

在图 2 所示的至少一实施例中，N 等于 2。

在本公开至少一实施例中，所述输出电路包括第一数据写入电路、差分控制电路、输入控制电路和输出控制电路；

所述第一数据写入电路分别与开关控制端、第一数据线和所述第一差分控制节点电连接，用于在所述开关控制端提供的开关控制信号的控制下，将所述第一数据线提供的第一数据电压写入所述第一差分控制节点，并维持所述第一差分控制节点的电位；

所述差分控制电路分别与第一差分控制节点、第二差分控制节点、输入节点、第一输出节点和第二输出节点电连接，用于在所述第一差分控制节点的电位和所述第二差分控制节点的电位的控制下，根据所述输入节点的电位，控制所述第一输出节点的电位和第二输出节点的电位；

所述输入控制电路分别与所述输出控制端、所述输入节点和第一电压端电连接，用于在所述输出控制端提供的输出控制信号的控制下，控制所述输入节点与所述第一电压端之间连通或断开；

所述输出控制电路分别与所述输出控制端、第一输出节点、第二输出节点和驱动输出端电连接，用于在所述输出控制信号的控制下，根据所述第一输出节点的电位和所述第二输出节点的电位，生成并通过所述驱动输出端提供驱动输出信号。

可选的，所述第一电压端可以为高电压端。

如图 3 所示，在图 1 所示的驱动电路的至少一实施例的基础上，所述输出电路包括第一数据写入电路 31、差分控制电路 32、输入控制电路 33 和输出控制电路 34；

所述第一数据写入电路 31 分别与开关控制端 SW、第一数据线 SL1 和所述第一差分控制节点 NC1 电连接，用于在所述开关控制端 SW 提供的开关控制信号的控制下，将所述第一数据线 SL1 提供的第一数据电压写入所述第一差分控制节点 NC1，并维持所述第一差分控制节点 NC1 的电位；

第二差分控制节点 NC2 与初始电压端 I1 电连接，所述初始电压端 I1 用于提供初始电压 V_{init} ；

所述差分控制电路 32 分别与第一差分控制节点 NC1、第二差分控制节点 NC2、输入节点 N2、第一输出节点 N3 和第二输出节点 N4 电连接，用于在所述第一差分控制节点 NC1 的电位和所述第二差分控制节点 NC2 的电位的控制下，根据所述输入节点 N2 的电位，控制所述第一输出节点 N3 的电位和第二输出节点 N4 的电位；

所述输入控制电路 33 分别与所述输出控制端 VCT、所述输入节点 N2 和第一电压端 V1 电连接，用于在所述输出控制端 VCT 提供的输出控制信号的控制下，控制所述输入节点 N2 与所述第一电压端 V1 之间连通或断开；

所述输出控制电路 34 分别与所述输出控制端 VCT、第一输出节点 N3、第二输出节点 N4 和驱动输出端 NT 电连接，用于在所述输出控制信号的控制下，根据所述第一输出节点 N3 的电位和所述第二输出节点 N4 的电位，生成并通过所述驱动输出端 NT 提供驱动输出信号。

如图 4 所示，在图 2 所示的驱动电路的至少一实施例的基础上，所述输出电路包括第一数据写入电路 31、差分控制电路 32、输入控制电路 33 和输出控制电路 34；

所述第一数据写入电路 31 分别与开关控制端 SW、第一数据线 SL1 和所述第一差分控制节点 NC1 电连接，用于在所述开关控制端 SW 提供的开关控制信号的控制下，将所述第一数据线 SL1 提供的第一数据电压写入所述第一差分控制节点 NC1，并维持所述第一差分控制节点 NC1 的电位；

第二差分控制节点 NC 与初始电压端 I1 电连接，所述初始电压端 I1 用于提供初始电压 V_{init} ；

所述差分控制电路 32 分别与第一差分控制节点 NC1、第二差分控制节点 NC2、输入节点 N2、第一输出节点 N3 和第二输出节点 N4 电连接，用于在所述第一差分控制节点 NC1 的电位和所述第二差分控制节点 NC2 的电位的控制下，根据所述输入节点 N2 的电位，控制所述第一输出节点 N3 的电位和第二输出节点 N4 的电位；

所述输入控制电路 33 分别与所述输出控制端 VCT、所述输入节点 N2 和第一电压端 V1 电连接，用于在所述输出控制端 VCT 提供的输出控制信号的控制下，控制所述输入节点 N2 与所述第一电压端 V1 之间连通或断开；

所述输出控制电路 34 分别与所述输出控制端 VCT、第一输出节点 N3、第二输出节点 N4 和驱动输出端 NT 电连接，用于在所述输出控制信号的控制下，根据所述第一输出节点 N3 的电位和所述第二输出节点 N4 的电位，生成并通过所述驱动输出端 NT 提供驱动输出信号。

在本公开至少一实施例中，所述输出电路还包括第二数据写入电路；

所述第二数据写入电路分别与开关控制端、第二数据线和所述第二差分控制节点电连接，用于在所述开关控制端提供的开关控制信号的控制下，将所述第二数据线提供的第二数据电压写入所述第二差分控制节点，并维持所述第二差分控制节点的电位。

在具体实施时，所述输出电路还可以包括第二数据写入电路，所述第二数据写入电路在开关控制信号的控制下，将第二数据电压写入第二差分控制节点，维持第二差分控制节点的电位。

如图 5 所示，在图 1 所示的驱动电路的至少一实施例的基础上，所述输出电路包括第一数据写入电路 31、差分控制电路 32、输入控制电路 33、输出控制电路 34 和第二数据写入电路 35；

所述第一数据写入电路 31 分别与开关控制端 SW、第一数据线 SL1 和所述第一差分控制节点 NC1 电连接，用于在所述开关控制端 SW 提供的开关控制信号的控制下，将所

述第一数据线 SL1 提供的第一数据电压写入所述第一差分控制节点 NC1，并维持所述第一差分控制节点 NC1 的电位；

所述第二数据写入电路 35 分别与开关控制端 SW、第二数据线 SL2 和所述第二差分控制节点 NC2 电连接，用于在所述开关控制端 SW 提供的开关控制信号的控制下，将所述第二数据线 SL2 提供的第二数据电压写入所述第二差分控制节点 NC2，并维持所述第二差分控制节点 NC2 的电位；

所述差分控制电路 32 分别与第一差分控制节点 NC1、第二差分控制节点 NC2、输入节点 N2、第一输出节点 N3 和第二输出节点 N4 电连接，用于在所述第一差分控制节点 NC1 的电位和所述第二差分控制节点 NC2 的电位的控制下，根据所述输入节点 N2 的电位，控制所述第一输出节点 N3 的电位和第二输出节点 N4 的电位；

所述输入控制电路 33 分别与所述输出控制端 VCT、所述输入节点 N2 和第一电压端 V1 电连接，用于在所述输出控制端 VCT 提供的输出控制信号的控制下，控制所述输入节点 N2 与所述第一电压端 V1 之间连通或断开；

所述输出控制电路 34 分别与所述输出控制端 VCT、第一输出节点 N3、第二输出节点 N4 和驱动输出端 NT 电连接，用于在所述输出控制信号的控制下，根据所述第一输出节点 N3 的电位和所述第二输出节点 N4 的电位，生成并通过所述驱动输出端 NT 提供驱动输出信号。

如图 6 所示，在图 2 所示的驱动电路的至少一实施例的基础上，所述输出电路包括第一数据写入电路 31、差分控制电路 32、输入控制电路 33、输出控制电路 34 和第二数据写入电路 35；

所述第一数据写入电路 31 分别与开关控制端 SW、第一数据线 SL1 和所述第一差分控制节点 NC1 电连接，用于在所述开关控制端 SW 提供的开关控制信号的控制下，将所述第一数据线 SL1 提供的第一数据电压写入所述第一差分控制节点 NC1，并维持所述第一差分控制节点 NC1 的电位；

所述第二数据写入电路 35 分别与开关控制端 SW、第二数据线 SL2 和所述第二差分控制节点 NC2 电连接，用于在所述开关控制端 SW 提供的开关控制信号的控制下，将所述第二数据线 SL2 提供的第二数据电压写入所述第二差分控制节点 NC2，并维持所述第二差分控制节点 NC2 的电位；

所述差分控制电路 32 分别与第一差分控制节点 NC1、第二差分控制节点 NC2、输入节点 N2、第一输出节点 N3 和第二输出节点 N4 电连接，用于在所述第一差分控制节点 NC1 的电位和所述第二差分控制节点 NC2 的电位的控制下，根据所述输入节点 N2 的电位，控制所述第一输出节点 N3 的电位和第二输出节点 N4 的电位；

所述输入控制电路 33 分别与所述输出控制端 VCT、所述输入节点 N2 和第一电压端 V1 电连接，用于在所述输出控制端 VCT 提供的输出控制信号的控制下，控制所述输入节点 N2 与所述第一电压端 V1 之间连通或断开；

所述输出控制电路 34 分别与所述输出控制端 VCT、第一输出节点 N3、第二输出节点 N4 和驱动输出端 NT 电连接，用于在所述输出控制信号的控制下，根据所述第一输出节点 N3 的电位和所述第二输出节点 N4 的电位，生成并通过所述驱动输出端 NT 提供驱动输出信号。

本公开至少一实施例所述的驱动电路还包括开关控制电路；

所述开关控制电路分别与通断控制端、第一输出控制节点和第二输出控制节点电连接，用于在所述通断控制端提供的通断控制信号的控制下，控制所述第一输出控制节点与所述第二输出控制节点之间连通或断开；

所述第一输出控制节点与所述驱动输出端电连接，所述第二输出控制节点与所述第一反相器的输入端电连接；或者，

所述第一输出控制节点与所述第 N 反相器的输出端电连接，所述第二输出控制节点与所述驱动信号输出端电连接；或者，

N 大于 1，所述第一输出控制节点与所述第 m 反相器的输出端电连接，所述第二输出控制节点与所述第 m+1 反相器的输入端电连接。

在具体实施时，所述驱动电路还可以包括开关控制电路，所述开关控制电路在通断控制信号的控制下，控制所述第一输出控制节点与所述第二输出控制节点之间连通或断开。

如图 7A 所示，在图 3 所示的驱动电路的至少一实施例的基础上，本公开至少一实施例所述的驱动电路还包括开关控制电路 70；

所述开关控制电路 70 分别与通断控制端 VCT2、所述驱动输出端 NT 和第一反相器 F1 的输入端电连接，用于在所述通断控制端 VCT2 提供的通断控制信号的控制下，控制所述驱动输出端 NT 和第一反相器 F1 的输入端之间连通或断开。

在图 7A 所示的驱动电路的至少一实施例中，标号为 NS1 的为第一输出控制节点，标号为 NS2 的为第二输出控制节点；

NS1 与 NT 电连接，NS2 与所述第一反相器 F1 的输入端电连接。

如图 7B 所示，在图 5 所示的驱动电路的至少一实施例的基础上，本公开至少一实施例所述的驱动电路还包括开关控制电路 70；

所述开关控制电路 70 分别与通断控制端 VCT2、所述驱动输出端 NT 和第一反相器 F1 的输入端电连接，用于在所述通断控制端 VCT2 提供的通断控制信号的控制下，控制所述驱动输出端 NT 和第一反相器 F1 的输入端之间连通或断开。

在图 7B 所示的驱动电路的至少一实施例中，标号为 NS1 的为第一输出控制节点，标号为 NS2 的为第二输出控制节点；

NS1 与 NT 电连接，NS2 与所述第一反相器 F1 的输入端电连接。

如图 8A 所示，在图 3 所示的驱动电路的至少一实施例的基础上，本公开至少一实施例所述的驱动电路还包括开关控制电路 70；

所述开关控制电路 70 分别与通断控制端 VCT2、所述第一反相器 F1 的输出端和驱动

信号输出端 OT 电连接，用于在所述通断控制端 VCT2 提供的通断控制信号的控制下，控制所述第一反相器 F1 的输出端和驱动信号输出端 OT 之间连通或断开。

在图 8A 所示的驱动电路的至少一实施例中，标号为 NS1 的为第一输出控制节点，标号为 NS2 的为第二输出控制节点；

NS1 与第一反相器 F1 的输出端电连接，NS2 与所述驱动信号输出端 OT 电连接。

如图 8B 所示，在图 5 所示的驱动电路的至少一实施例的基础上，本公开至少一实施例所述的驱动电路还包括开关控制电路 70；

所述开关控制电路 70 分别与通断控制端 VCT2、所述第一反相器 F1 的输出端和驱动信号输出端 OT 电连接，用于在所述通断控制端 VCT2 提供的通断控制信号的控制下，控制所述第一反相器 F1 的输出端和驱动信号输出端 OT 之间连通或断开。

在图 8B 所示的驱动电路的至少一实施例中，标号为 NS1 的为第一输出控制节点，标号为 NS2 的为第二输出控制节点；

NS1 与第一反相器 F1 的输出端电连接，NS2 与所述驱动信号输出端 OT 电连接。

如图 9A 所示，在图 4 所示的驱动电路的至少一实施例的基础上，本公开至少一实施例所述的驱动电路还包括开关控制电路 70；

所述开关控制电路 70 分别与通断控制端 VCT2、所述驱动输出端 NT 和第一反相器 F1 的输入端电连接，用于在所述通断控制端 VCT2 提供的通断控制信号的控制下，控制所述驱动输出端 NT 和第一反相器 F1 的输入端之间连通或断开。

在图 9A 所示的驱动电路的至少一实施例中，标号为 NS1 的为第一输出控制节点，标号为 NS2 的为第二输出控制节点；

NS1 与所述驱动输出端 NT 电连接，NS2 与第一反相器 F1 的输入端电连接。

如图 9B 所示，在图 6 所示的驱动电路的至少一实施例的基础上，本公开至少一实施例所述的驱动电路还包括开关控制电路 70；

所述开关控制电路 70 分别与通断控制端 VCT2、所述驱动输出端 NT 和第一反相器 F1 的输入端电连接，用于在所述通断控制端 VCT2 提供的通断控制信号的控制下，控制所述驱动输出端 NT 和第一反相器 F1 的输入端之间连通或断开。

在图 9B 所示的驱动电路的至少一实施例中，标号为 NS1 的为第一输出控制节点，标号为 NS2 的为第二输出控制节点；

NS1 与所述驱动输出端 NT 电连接，NS2 与第一反相器 F1 的输入端电连接。

如图 10A 所示，在图 4 所示的驱动电路的至少一实施例的基础上，本公开至少一实施例所述的驱动电路还包括开关控制电路 70；

所述开关控制电路 70 分别与通断控制端 VCT2、所述第一反相器 F1 的输出端和所述第二反相器 F2 的输入端电连接，用于在所述通断控制端 VCT2 提供的通断控制信号的控制下，控制所述第一反相器 F1 的输出端和所述第二反相器 F2 的输入端之间连通或断开。

在图 10A 所示的驱动电路的至少一实施例中，标号为 NS1 的为第一输出控制节点，

标号为 NS2 的为第二输出控制节点；

NS1 与所述第一反相器 F1 的输出端电连接，NS2 与所述第二反相器 F2 的输入端电连接。

如图 10B 所示，在图 6 所示的驱动电路的至少一实施例的基础上，本公开至少一实施例所述的驱动电路还包括开关控制电路 70；

所述开关控制电路 70 分别与通断控制端 VCT2、所述第一反相器 F1 的输出端和所述第二反相器 F2 的输入端电连接，用于在所述通断控制端 VCT2 提供的通断控制信号的控制下，控制所述第一反相器 F1 的输出端和所述第二反相器 F2 的输入端之间连通或断开。

在图 10B 所示的驱动电路的至少一实施例中，标号为 NS1 的为第一输出控制节点，标号为 NS2 的为第二输出控制节点；

NS1 与所述第一反相器 F1 的输出端电连接，NS2 与所述第二反相器 F2 的输入端电连接。

如图 11A 所示，在图 4 所示的驱动电路的至少一实施例的基础上，本公开至少一实施例所述的驱动电路还包括开关控制电路 70；

所述开关控制电路 70 分别与通断控制端 VCT2、所述第二反相器 F2 的输出端和驱动信号输出端 OT 电连接，用于在所述通断控制端 VCT2 提供的通断控制信号的控制下，控制所述第二反相器 F2 的输出端和驱动信号输出端 OT 之间连通或断开。

在图 11A 所示的驱动电路的至少一实施例中，标号为 NS1 的为第一输出控制节点，标号为 NS2 的为第二输出控制节点；

NS1 与所述第二反相器 F2 的输出端电连接，NS2 与所述驱动信号输出端 OT 电连接。

如图 11B 所示，在图 6 所示的驱动电路的至少一实施例的基础上，本公开至少一实施例所述的驱动电路还包括开关控制电路 70；

所述开关控制电路 70 分别与通断控制端 VCT2、所述第二反相器 F2 的输出端和驱动信号输出端 OT 电连接，用于在所述通断控制端 VCT2 提供的通断控制信号的控制下，控制所述第二反相器 F2 的输出端和驱动信号输出端 OT 之间连通或断开。

在图 11B 所示的驱动电路的至少一实施例中，标号为 NS1 的为第一输出控制节点，标号为 NS2 的为第二输出控制节点；

NS1 与所述第二反相器 F2 的输出端电连接，NS2 与所述驱动信号输出端 OT 电连接。

在本公开至少一实施例中，所述输出控制电路包括锁存电路和置位电路；

所述置位电路分别与输出控制端、中间节点、驱动输出端和第二电压端电连接，用于在所述输出控制信号的控制下，控制所述中间节点与所述第二电压端之间连通或断开，控制所述驱动输出端与所述第二电压端之间连通或断开；

所述锁存电路分别与所述第一输出节点、第二输出节点、所述中间节点、所述驱动输出端和第二电压端电连接，用于在所述中间节点的电位的控制下，根据第一输出节点的电位和所述第二输出节点的电位，控制所述驱动输出端的电位。

在具体实施时,所述输出控制电路可以包括锁存电路和置位电路,所述置位电路在所述输出控制信号的控制下,控制所述中间节点与所述第二电压端之间连通或断开,控制所述驱动输出端与所述第二电压端之间连通或断开;所述锁存电路在所述中间节点的电位的控制下,根据第一输出节点的电位和所述第二输出节点的电位,控制所述驱动输出端的电位。

在本公开至少一实施例中,所述锁存电路用于在所述中间节点的电位的控制下,控制所述第二输出节点与所述驱动输出端之间连通或断开,控制所述驱动输出端与所述第二电压端之间连通或断开,在所述驱动输出端的电位的控制下,控制所述第一输出节点与所述中间节点之间连通或断开,控制所述中间节点与所述第二电压端之间连通或断开。

可选的,所述第二电压端可以为低电压端。

如图 12A 所示,在图 7A 所示的驱动电路的至少一实施例的基础上,在本公开至少一实施例中,所述输出控制电路包括锁存电路 41 和置位电路 42;

所述置位电路 42 分别与输出控制端 VCT、中间节点 N6、驱动输出端 NT 和第二电压端 V2 电连接,用于在所述输出控制信号的控制下,控制所述中间节点 N6 与所述第二电压端 V2 之间连通或断开,控制所述驱动输出端 NT 与所述第二电压端 V2 之间连通或断开;

所述锁存电路 41 分别与所述第一输出节点 N3、第二输出节点 N4、所述中间节点 N6、所述驱动输出端 NT 和第二电压端 V2 电连接,用于在所述中间节点 N6 的电位的控制下,根据第一输出节点 N3 的电位和所述第二输出节点 N4 的电位,控制所述驱动输出端 NT 的电位。

在图 12A 所示的驱动电路的至少一实施例中,标号为 NS1 的为第一输出控制节点,标号为 NS2 的为第二输出控制节点;

NS1 与所述驱动输出端 NT 电连接,NS2 与所述第一反相器 F1 的输入端电连接。

如图 12B 所示,在图 7B 所示的驱动电路的至少一实施例的基础上,在本公开至少一实施例中,所述输出控制电路包括锁存电路 41 和置位电路 42;

所述置位电路 42 分别与输出控制端 VCT、中间节点 N6、驱动输出端 NT 和第二电压端 V2 电连接,用于在所述输出控制信号的控制下,控制所述中间节点 N6 与所述第二电压端 V2 之间连通或断开,控制所述驱动输出端 NT 与所述第二电压端 V2 之间连通或断开;

所述锁存电路 41 分别与所述第一输出节点 N3、第二输出节点 N4、所述中间节点 N6、所述驱动输出端 NT 和第二电压端 V2 电连接,用于在所述中间节点 N6 的电位的控制下,根据第一输出节点 N3 的电位和所述第二输出节点 N4 的电位,控制所述驱动输出端 NT 的电位。

在图 12B 所示的驱动电路的至少一实施例中,标号为 NS1 的为第一输出控制节点,标号为 NS2 的为第二输出控制节点;

NS1 与所述驱动输出端 NT 电连接, NS2 与所述第一反相器 F1 的输入端电连接。

如图 13A 所示, 在图 8A 所示的驱动电路的至少一实施例的基础上, 在本公开至少一实施例中, 所述输出控制电路包括锁存电路 41 和置位电路 42;

所述置位电路 42 分别与输出控制端 VCT、中间节点 N6、驱动输出端 NT 和第二电压端 V2 电连接, 用于在所述输出控制信号的控制下, 控制所述中间节点 N6 与所述第二电压端 V2 之间连通或断开, 控制所述驱动输出端 NT 与所述第二电压端 V2 之间连通或断开;

所述锁存电路 41 分别与所述第一输出节点 N3、第二输出节点 N4、所述中间节点 N6、所述驱动输出端 NT 和第二电压端 V2 电连接, 用于在所述中间节点 N6 的电位的控制下, 根据第一输出节点 N3 的电位和所述第二输出节点 N4 的电位, 控制所述驱动输出端 NT 的电位。

在图 13A 所示的驱动电路的至少一实施例中, 标号为 NS1 的为第一输出控制节点, 标号为 NS2 的为第二输出控制节点;

NS1 与所述第一反相器 F1 的输出端电连接, NS2 与所述驱动信号输出端 OT 电连接。

如图 13B 所示, 在图 8B 所示的驱动电路的至少一实施例的基础上, 在本公开至少一实施例中, 所述输出控制电路包括锁存电路 41 和置位电路 42;

所述置位电路 42 分别与输出控制端 VCT、中间节点 N6、驱动输出端 NT 和第二电压端 V2 电连接, 用于在所述输出控制信号的控制下, 控制所述中间节点 N6 与所述第二电压端 V2 之间连通或断开, 控制所述驱动输出端 NT 与所述第二电压端 V2 之间连通或断开;

所述锁存电路 41 分别与所述第一输出节点 N3、第二输出节点 N4、所述中间节点 N6、所述驱动输出端 NT 和第二电压端 V2 电连接, 用于在所述中间节点 N6 的电位的控制下, 根据第一输出节点 N3 的电位和所述第二输出节点 N4 的电位, 控制所述驱动输出端 NT 的电位。

在图 13B 所示的驱动电路的至少一实施例中, 标号为 NS1 的为第一输出控制节点, 标号为 NS2 的为第二输出控制节点;

NS1 与所述第一反相器 F1 的输出端电连接, NS2 与所述驱动信号输出端 OT 电连接。

如图 14A 所示, 在图 9A 所示的驱动电路的至少一实施例的基础上, 在本公开至少一实施例中, 所述输出控制电路包括锁存电路 41 和置位电路 42;

所述置位电路 42 分别与输出控制端 VCT、中间节点 N6、驱动输出端 NT 和第二电压端 V2 电连接, 用于在所述输出控制信号的控制下, 控制所述中间节点 N6 与所述第二电压端 V2 之间连通或断开, 控制所述驱动输出端 NT 与所述第二电压端 V2 之间连通或断开;

所述锁存电路 41 分别与所述第一输出节点 N3、第二输出节点 N4、所述中间节点 N6、所述驱动输出端 NT 和第二电压端 V2 电连接, 用于在所述中间节点 N6 的电位的控制下,

根据第一输出节点 N3 的电位和所述第二输出节点 N4 的电位，控制所述驱动输出端 NT 的电位。

在图 14A 所示的驱动电路的至少一实施例中，标号为 NS1 的为第一输出控制节点，标号为 NS2 的为第二输出控制节点；

NS1 与所述驱动输出端 NT 电连接，NS2 与所述第一反相器 F1 的输入端电连接。

如图 14B 所示，在图 9B 所示的驱动电路的至少一实施例的基础上，在本公开至少一实施例中，所述输出控制电路包括锁存电路 41 和置位电路 42；

所述置位电路 42 分别与输出控制端 VCT、中间节点 N6、驱动输出端 NT 和第二电压端 V2 电连接，用于在所述输出控制信号的控制下，控制所述中间节点 N6 与所述第二电压端 V2 之间连通或断开，控制所述驱动输出端 NT 与所述第二电压端 V2 之间连通或断开；

所述锁存电路 41 分别与所述第一输出节点 N3、第二输出节点 N4、所述中间节点 N6、所述驱动输出端 NT 和第二电压端 V2 电连接，用于在所述中间节点 N6 的电位的控制下，根据第一输出节点 N3 的电位和所述第二输出节点 N4 的电位，控制所述驱动输出端 NT 的电位。

在图 14B 所示的驱动电路的至少一实施例中，标号为 NS1 的为第一输出控制节点，标号为 NS2 的为第二输出控制节点；

NS1 与所述驱动输出端 NT 电连接，NS2 与所述第一反相器 F1 的输入端电连接。

如图 15A 所示，在图 10A 所示的驱动电路的至少一实施例的基础上，在本公开至少一实施例中，所述输出控制电路包括锁存电路 41 和置位电路 42；

所述置位电路 42 分别与输出控制端 VCT、中间节点 N6、驱动输出端 NT 和第二电压端 V2 电连接，用于在所述输出控制信号的控制下，控制所述中间节点 N6 与所述第二电压端 V2 之间连通或断开，控制所述驱动输出端 NT 与所述第二电压端 V2 之间连通或断开；

所述锁存电路 41 分别与所述第一输出节点 N3、第二输出节点 N4、所述中间节点 N6、所述驱动输出端 NT 和第二电压端 V2 电连接，用于在所述中间节点 N6 的电位的控制下，根据第一输出节点 N3 的电位和所述第二输出节点 N4 的电位，控制所述驱动输出端 NT 的电位。

在图 15A 所示的驱动电路的至少一实施例中，标号为 NS1 的为第一输出控制节点，标号为 NS2 的为第二输出控制节点；

NS1 与所述第一反相器 F1 的输出端电连接，NS2 与所述第二反相器 F2 的输入端电连接。

如图 15B 所示，在图 10B 所示的驱动电路的至少一实施例的基础上，在本公开至少一实施例中，所述输出控制电路包括锁存电路 41 和置位电路 42；

所述置位电路 42 分别与输出控制端 VCT、中间节点 N6、驱动输出端 NT 和第二电压

端 V2 电连接, 用于在所述输出控制信号的控制下, 控制所述中间节点 N6 与所述第二电压端 V2 之间连通或断开, 控制所述驱动输出端 NT 与所述第二电压端 V2 之间连通或断开;

所述锁存电路 41 分别与所述第一输出节点 N3、第二输出节点 N4、所述中间节点 N6、所述驱动输出端 NT 和第二电压端 V2 电连接, 用于在所述中间节点 N6 的电位的控制下, 根据第一输出节点 N3 的电位和所述第二输出节点 N4 的电位, 控制所述驱动输出端 NT 的电位。

在图 15B 所示的驱动电路的至少一实施例中, 标号为 NS1 的为第一输出控制节点, 标号为 NS2 的为第二输出控制节点;

NS1 与所述第一反相器 F1 的输出端电连接, NS2 与所述第二反相器 F2 的输入端电连接。

如图 16A 所示, 在图 11A 所示的驱动电路的至少一实施例的基础上, 在本公开至少一实施例中, 所述输出控制电路包括锁存电路 41 和置位电路 42;

所述置位电路 42 分别与输出控制端 VCT、中间节点 N6、驱动输出端 NT 和第二电压端 V2 电连接, 用于在所述输出控制信号的控制下, 控制所述中间节点 N6 与所述第二电压端 V2 之间连通或断开, 控制所述驱动输出端 NT 与所述第二电压端 V2 之间连通或断开;

所述锁存电路 41 分别与所述第一输出节点 N3、第二输出节点 N4、所述中间节点 N6、所述驱动输出端 NT 和第二电压端 V2 电连接, 用于在所述中间节点 N6 的电位的控制下, 根据第一输出节点 N3 的电位和所述第二输出节点 N4 的电位, 控制所述驱动输出端 NT 的电位。

在图 16A 所示的驱动电路的至少一实施例中, 标号为 NS1 的为第一输出控制节点, 标号为 NS2 的为第二输出控制节点;

NS1 与所述第二反相器 F2 的输出端电连接, NS2 与所述驱动信号输出端 OT 电连接。

如图 16B 所示, 在图 11B 所示的驱动电路的至少一实施例的基础上, 在本公开至少一实施例中, 所述输出控制电路包括锁存电路 41 和置位电路 42;

所述置位电路 42 分别与输出控制端 VCT、中间节点 N6、驱动输出端 NT 和第二电压端 V2 电连接, 用于在所述输出控制信号的控制下, 控制所述中间节点 N6 与所述第二电压端 V2 之间连通或断开, 控制所述驱动输出端 NT 与所述第二电压端 V2 之间连通或断开;

所述锁存电路 41 分别与所述第一输出节点 N3、第二输出节点 N4、所述中间节点 N6、所述驱动输出端 NT 和第二电压端 V2 电连接, 用于在所述中间节点 N6 的电位的控制下, 根据第一输出节点 N3 的电位和所述第二输出节点 N4 的电位, 控制所述驱动输出端 NT 的电位。

在图 16B 所示的驱动电路的至少一实施例中, 标号为 NS1 的为第一输出控制节点,

标号为 NS2 的为第二输出控制节点；

NS1 与所述第二反相器 F2 的输出端电连接，NS2 与所述驱动信号输出端 OT 电连接。

在本公开至少一实施例中，一帧时间包括消隐时间段；所述消隐时间段包括关断阶段，所述关断阶段包括置位时间段；

所述置位电路用于在所述置位时间段，在所述输出控制信号的控制下，控制所述中间节点与所述第二电压端之间连通，控制所述驱动输出端与所述第二电压端之间连通；

所述开关控制电路用于在关断阶段，在所述通断控制信号的控制下，控制所述第一输出控制节点与所述第二输出控制节点之间断开。

在具体实施时，一帧时间包括消隐时间段，所述消隐时间段包括关断阶段，所述关断阶段包括置位时间段，在置位时间段，所述置位电路在所述输出控制信号的控制下，控制所述中间节点与所述第二电压端之间连通，控制所述驱动输出端与所述第二电压端之间连通，在关断阶段，所述开关控制电路在所述通断控制信号的控制下，控制所述第一输出控制节点与所述第二输出控制节点之间断开，以使得在消隐时间段，所述驱动信号输出端提供的驱动信号，不受所述驱动输出端提供的驱动输出信号的上升沿和下降沿的影响。

如图 17 所示，在图 3 所示的驱动电路的至少一实施例的基础上，在本公开至少一实施例中，所述输出控制电路包括锁存电路 41 和置位电路 42；

所述置位电路 42 分别与输出控制端 VCT、中间节点 N6、驱动输出端 NT 和第二电压端 V2 电连接，用于在所述输出控制信号的控制下，控制所述中间节点 N6 与所述第二电压端 V2 之间连通或断开，控制所述驱动输出端 NT 与所述第二电压端 V2 之间连通或断开；

所述锁存电路 41 分别与所述第一输出节点 N3、第二输出节点 N4、所述中间节点 N6、所述驱动输出端 NT 和第二电压端 V2 电连接，用于在所述中间节点 N6 的电位的控制下，根据第一输出节点 N3 的电位和所述第二输出节点 N4 的电位，控制所述驱动输出端 NT 的电位。

如图 18 所示，在图 4 所示的驱动电路的至少一实施例的基础上，在本公开至少一实施例中，所述输出控制电路包括锁存电路 41 和置位电路 42；

所述置位电路 42 分别与输出控制端 VCT、中间节点 N6、驱动输出端 NT 和第二电压端 V2 电连接，用于在所述输出控制信号的控制下，控制所述中间节点 N6 与所述第二电压端 V2 之间连通或断开，控制所述驱动输出端 NT 与所述第二电压端 V2 之间连通或断开；

所述锁存电路 41 分别与所述第一输出节点 N3、第二输出节点 N4、所述中间节点 N6、所述驱动输出端 NT 和第二电压端 V2 电连接，用于在所述中间节点 N6 的电位的控制下，根据第一输出节点 N3 的电位和所述第二输出节点 N4 的电位，控制所述驱动输出端 NT 的电位。

如图 19 所示，在图 5 所示的驱动电路的至少一实施例的基础上，在本公开至少一实

施例中, 所述输出控制电路包括锁存电路 41 和置位电路 42;

所述置位电路 42 分别与输出控制端 VCT、中间节点 N6、驱动输出端 NT 和第二电压端 V2 电连接, 用于在所述输出控制信号的控制下, 控制所述中间节点 N6 与所述第二电压端 V2 之间连通或断开, 控制所述驱动输出端 NT 与所述第二电压端 V2 之间连通或断开;

所述锁存电路 41 分别与所述第一输出节点 N3、第二输出节点 N4、所述中间节点 N6、所述驱动输出端 NT 和第二电压端 V2 电连接, 用于在所述中间节点 N6 的电位的控制下, 根据第一输出节点 N3 的电位和所述第二输出节点 N4 的电位, 控制所述驱动输出端 NT 的电位。

如图 20 所示, 在图 6 所示的驱动电路的至少一实施例的基础上, 在本公开至少一实施例中, 所述输出控制电路包括锁存电路 41 和置位电路 42;

所述置位电路 42 分别与输出控制端 VCT、中间节点 N6、驱动输出端 NT 和第二电压端 V2 电连接, 用于在所述输出控制信号的控制下, 控制所述中间节点 N6 与所述第二电压端 V2 之间连通或断开, 控制所述驱动输出端 NT 与所述第二电压端 V2 之间连通或断开;

所述锁存电路 41 分别与所述第一输出节点 N3、第二输出节点 N4、所述中间节点 N6、所述驱动输出端 NT 和第二电压端 V2 电连接, 用于在所述中间节点 N6 的电位的控制下, 根据第一输出节点 N3 的电位和所述第二输出节点 N4 的电位, 控制所述驱动输出端 NT 的电位。

可选的, N 等于 1; 所述反相电路包括第一反相器, 所述第一反相器包括第一晶体管和第二晶体管;

所述第一晶体管的栅极与所述第一反相器的输入端电连接, 所述第一晶体管的第一极与第一电压端电连接, 所述第一晶体管的第二极与所述第二晶体管的第一极都与所述驱动信号输出端电连接;

所述第二晶体管的栅极与所述第一反相器的输入端电连接, 所述第二晶体管的第二极与第二电压端电连接;

所述第一晶体管为 p 型晶体管, 所述第二晶体管为 n 型晶体管。

可选的, N 等于 2; 所述反相电路包括第一反相器和第二反相器; 所述第一反相器包括第一晶体管和第二晶体管; 所述第二反相器包括第三晶体管和第四晶体管;

所述第一晶体管的栅极与所述第一反相器的输入端电连接, 所述第一晶体管的第一极与第一电压端电连接, 所述第一晶体管的第二极与所述第二晶体管的第一极都与所述第二反相器的输入端电连接;

所述第二晶体管的栅极与所述第一反相器的输入端电连接, 所述第二晶体管的第二极与第二电压端电连接;

所述第三晶体管的栅极和所述第四晶体管的栅极都与所述第二反相器的输入端电连

接,所述第三晶体管的第一极与所述第一电压端电连接,所述第三晶体管的第二极和所述第四晶体管的第一极都与所述驱动信号输出端电连接;

所述第四晶体管的第二极与所述第二电压端电连接;

所述第一晶体管为 p 型晶体管,所述第二晶体管为 n 型晶体管;所述第三晶体管为 p 型晶体管,所述第四晶体管为 n 型晶体管。

可选的,所述第一数据写入电路包括第五晶体管和第一电容;

所述第五晶体管的栅极与所述开关控制端电连接,所述第五晶体管的第一极与所述第一数据线电连接,所述第五晶体管的第二极与所述第一差分控制节点电连接;

所述第一电容的第一端与所述第一差分控制节点电连接,所述第一电容的第二端与第二电压端电连接。

可选的,所述第二数据写入电路包括第六晶体管和第二电容;所述第六晶体管的栅极与所述开关控制端电连接,所述第六晶体管的第一极与所述第二数据线电连接,所述第六晶体管的第二极与所述第二差分控制节点电连接;

所述第二电容的第一端与所述第二差分控制节点电连接,所述第二电容的第二端与第二电压端电连接。

可选的,所述开关控制电路包括第七晶体管;

所述第七晶体管的栅极与所述通断控制端电连接,所述第七晶体管的第一极与所述第一输出控制节点电连接,所述第七晶体管的第二极与所述第二输出控制节点电连接。

在本公开至少一实施例中,所述第一输出控制节点与所述驱动输出端电连接,所述第二输出控制节点与所述第一反相器的输入端电连接;或者,

所述第一输出控制节点与所述第 N 反相器的输出端电连接,所述第二输出控制节点与所述驱动信号输出端电连接;或者,

N 大于 1,所述第一输出控制节点与所述第 m 反相器的输出端电连接,所述第二输出控制节点与所述第 m+1 反相器的输入端电连接。

可选的,所述输入控制电路包括第八晶体管,所述差分控制电路包括第九晶体管和第十晶体管;

所述第八晶体管的栅极与所述输出控制端电连接,所述第八晶体管的第一极与所述第一电压端电连接,所述第八晶体管的第二极与所述输入节点电连接;

所述第九晶体管的栅极与所述第一差分控制节点电连接,所述第九晶体管的第一极与所述输入节点电连接,所述第九晶体管的第二极与所述第一输出节点电连接;

所述第十晶体管的栅极与所述第二差分控制节点电连接,所述第十晶体管的第一极与所述输入节点电连接,所述第十晶体管的第二极与所述第二输出节点电连接。

可选的,所述置位电路包括第十一晶体管和第十二晶体管;

所述第十一晶体管的栅极与所述输出控制端电连接,所述第十一晶体管的第一极与所述中间节点电连接,所述第十一晶体管的第二极与所述第二电压端电连接;

所述第十二晶体管的栅极与所述输出控制端电连接,所述第十二晶体管的第一极与所述驱动输出端电连接,所述第十二晶体管的第二极与所述第二电压端电连接。

可选的,所述第八晶体管为 p 型晶体管,所述第十一晶体管和所述第十二晶体管为 n 型晶体管;或者,所述第八晶体管为 n 型晶体管,所述第十一晶体管和所述第十二晶体管为 p 型晶体管。

可选的,所述锁存电路包括第十三晶体管、第十四晶体管、第十五晶体管和第十六晶体管;

所述第十三晶体管的栅极与所述驱动输出端电连接,所述第十三晶体管的第一极与所述中间节点电连接,所述第十三晶体管的第二极与第二电压端电连接;

所述第十四晶体管的栅极与中间节点电连接,所述第十四晶体管的第一极与所述驱动输出端电连接,所述第十四晶体管的第二极与所述第二电压端电连接;

所述第十五晶体管的栅极与所述驱动输出端电连接,所述第十五晶体管的第一极与所述第一输出节点电连接,所述第十五晶体管的第二极与所述中间节点电连接;

所述第十六晶体管的栅极与所述中间节点电连接,所述第十六晶体管的第一极与所述第二输出节点电连接,所述第十六晶体管的第二极与所述驱动输出端电连接。

可选的,所述第十三晶体管和所述第十四晶体管为 n 型晶体管,所述第十五晶体管和所述第十六晶体管为 p 型晶体管。

如图 21A 所示,在图 17 所示的像素电路的至少一实施例的基础上,

所述第一反相器包括第一晶体管 T1 和第二晶体管 T2;

所述第一晶体管 T1 的栅极与所述第一反相器的输入端电连接,所述第一晶体管 T1 的源极与高电压端 VGH 电连接,所述第一晶体管 T1 的漏极与所述第二晶体管 T2 的源极都与所述驱动信号输出端 OT 电连接;

所述第二晶体管 T2 的栅极与所述第一反相器的输入端电连接,所述第二晶体管 T2 的漏极与低电压端 VGL 电连接;

所述第一反相器的输入端与驱动输出端 NT 电连接;

所述第一晶体管 T1 为 p 型晶体管,所述第二晶体管 T2 为 n 型晶体管;

所述第一数据写入电路包括第五晶体管 T5 和第一电容 C1;

所述第五晶体管 T5 的栅极与所述开关控制端 SW 电连接,所述第五晶体管 T5 的源极与所述第一数据线 SL1 电连接,所述第五晶体管 T5 的漏极与所述第一差分控制节点 NC1 电连接;

所述第一电容 C1 的第一端与所述第一差分控制节点 NC1 电连接,所述第一电容 C1 的第二端与低电压端 VGL 电连接;

所述输入控制电路包括第八晶体管 T8,所述差分控制电路包括第九晶体管 T9 和第十晶体管 T10;

所述第八晶体管 T8 的栅极与所述输出控制端 VCT 电连接,所述第八晶体管 T8 的源

极与所述高电压端 VGH 电连接, 所述第八晶体管 T8 的漏极与所述输入节点 N2 电连接;

所述第九晶体管 T9 的栅极与所述第一差分控制节点 NC1 电连接, 所述第九晶体管 T9 的源极与所述输入节点 N2 电连接, 所述第九晶体管 T9 的漏极与所述第一输出节点 N3 电连接;

所述第十晶体管 T10 的栅极与所述第二差分控制节点 NC2 电连接, 所述第十晶体管 T10 的源极与所述输入节点 N2 电连接, 所述第十晶体管 T10 的漏极与所述第二输出节点 N4 电连接; 所述第二差分控制节点 NC2 与初始电压端 I1 电连接;

所述置位电路包括第十一晶体管 T11 和第十二晶体管 T12;

所述第十一晶体管 T11 的栅极与所述输出控制端 VCT 电连接, 所述第十一晶体管 T11 的源极与所述中间节点 N6 电连接, 所述第十一晶体管 T11 的源极与所述低电压端 VGL 电连接;

所述第十二晶体管 T12 的栅极与所述输出控制端 VCT 电连接, 所述第十二晶体管 T12 的源极与所述驱动输出端 NT 电连接, 所述第十二晶体管 T12 的漏极与所述低电压端 VGL 电连接;

所述第八晶体管 T8 为 p 型晶体管, 所述第十一晶体管 T11 和所述第十二晶体管 T12 为 n 型晶体管;

所述锁存电路包括第十三晶体管 T13、第十四晶体管 T14、第十五晶体管 T15 和第十六晶体管 T16;

所述第十三晶体管 T13 的栅极与所述驱动输出端 NT 电连接, 所述第十三晶体管 T13 的源极与所述中间节点 N6 电连接, 所述第十三晶体管 T13 的漏极与低电压端 VGL 电连接;

所述第十四晶体管 T14 的栅极与中间节点 N6 电连接, 所述第十四晶体管 T14 的源极与所述驱动输出端 NT 电连接, 所述第十四晶体管 T14 的漏极与所述低电压端 VGL 电连接;

所述第十五晶体管 T15 的栅极与所述驱动输出端 NT 电连接, 所述第十五晶体管 T15 的源极与所述第一输出节点 N3 电连接, 所述第十五晶体管 T15 的漏极与所述中间节点 N6 电连接;

所述第十六晶体管 T16 的栅极与所述中间节点 N6 电连接, 所述第十六晶体管 T16 的源极与所述第二输出节点 N4 电连接, 所述第十六晶体管 T16 的漏极与所述驱动输出端 NT 电连接;

所述第十三晶体管 T13 和所述第十四晶体管 T14 为 n 型晶体管, 所述第十五晶体管 T15 和所述第十六晶体管 T16 为 p 型晶体管。

在本公开至少一实施例中, 第二电压端可以为低电压端, 但不以此为限。

在图 21A 所示的驱动电路的至少一实施例中, T1、T8、T9、T10、T15 和 T16 都为 p 型晶体管, T2、T5、T11、T12、T13 和 T14 都为 n 型晶体管。

图 21B 是图 21A 所示的驱动电路的至少一实施例的工作时序图。

在图 21B 中，标号为 F1 的为帧时间，标号为 SX 的为消隐时间段，消隐时间段 SX 设置于一帧时间 F1 的最开始的时间段，标号为 SD 的为帧时间 F1 包括的显示时间段。

图 21C 是图 21B 中的消隐时间段 SX 的放大后的时序图。

如图 21C 所示，本公开图 21A 所示的驱动电路的至少一实施例在工作时，消隐时间段包括先后设置的第一时间段 ST1、第二时间段 ST2、第三时间段 ST3 和第四时间段 ST4；

在第一时间段 ST1、第二时间段 ST2 和第三时间段 ST3，VCT 提供高电压信号，T11 和 T12 打开，N6 的电位为低电压，NT 与 VGL 之间连通，T15 和 T16 都打开，N3 和 N4 都与 VGL 之间连通，T1 和 T2 形成的第一反相器对 NT 提供的驱动输出信号进行反相，OT 输出高电压信号；

在第一时间段 ST1，SW 提供低电压信号，T5 关断；

在第二时间段 ST2，SW 提供高电压信号，VCT 提供高电压信号，T5 打开，将 SL1 提供的第一数据电压写入 NC1，由于 T5 是 IGZO（铟镓锌氧化物）TFT（薄膜晶体管），将第一数据电压写入 NC1 需要一定时间；

在第三时间段 ST3，SW 提供低电压信号，VCT 提供高电压信号，T5 关闭，第一数据电压写入 NC1 的时间到，不再对 NC1 充电，通过 C1 维持 NC1 的电位；

在第四时间段 ST4，VCT 提供低电压信号，T11 和 T12 关断，T8 打开，VGH 通过 T8 持续写入 N2，I1 提供初始电压 Vinit，由于 NC1 的电位与 Vinit 的电压值之间存在电压差，导致 N3 的电位与 N4 的电位有差异；

在第四时间段 ST4，NC1 的电位大于 Vinit 的电压值，N3 的电位小于 N4 的电位；在第四时间段 ST4 开始时，T15 和 T16 打开，N6 的电位小于 NT 的电位，T16 打开，NT 输出高电压信号，OT 输出低电压信号。

本公开图 21A 所示的驱动电路的至少一实施例在工作时，在第四时间段 ST4，当 NC1 的电位小于 Vinit 的电压值时，N3 的电位大于 N4 的电位，在第四时间段 ST4 开始时，T15 和 T16 打开，N6 的电位大于 NT 的电位，T14 打开，NT 输出低电压信号，OT 输出高电压信号。

本公开图 21A 所示的驱动电路的至少一实施例在工作时，在显示时间段，OT 输出的驱动信号与在第四时间段 ST4，OT 输出的驱动信号相同；在第四时间段 ST4 和显示时间段 SD，OT 都输出低电压信号；或者，在第四时间段 ST4 和显示时间段 SD，OT 都输出高电压信号。

在图 21A 所示的驱动电路的至少一实施例中，T13、T14、T15 和 T16 组成锁存器，T9 和 T10 组成差分部分。

本公开至少一实施例所述的驱动电路可以通过驱动信号输出端 OT 为图 21D 所示的像素电路中的第一控制晶体管 M9 的栅极提供驱动信号；

如图 21D 所示，像素电路的至少一实施例可以包括驱动晶体管 M3、第一初始化晶体

管 M1、补偿控制晶体管 M2、数据写入晶体管 M4、第一发光控制晶体管 M5、第二发光控制晶体管 M6、第二初始化晶体管 M7、第三初始化晶体管 M8、第一控制晶体管 M9、存储电容 Cst 和有机发光二极管 O1；

M5 的栅极与发光控制线 EM 电连接，M5 的源极与电源电压端 VDD 电连接，M5 的漏极与 M3 的源极电连接；

M9 的栅极与第一控制端 S0 电连接，M9 的漏极与 M3 的栅极电连接，M9 的源极与 M2 的漏极电连接，M2 的源极与 M3 的漏极电连接；

M1 的栅极与第一复位控制端 RP 电连接，M1 的源极与第一初始电压端 I01 电连接，M1 的漏极与 M3 的漏极电连接；

M2 的栅极与补偿控制端 GN 电连接；

M4 的栅极与扫描端 GP 电连接，M4 的源极与数据线 DL 电连接，M4 的漏极与 M3 的源极电连接；

M6 的栅极与发光控制线 EM 电连接，M6 的源极与 M3 的漏极电连接，M6 的漏极与 O1 的阳极电连接；O1 的阴极与低电平端 VSS 电连接；

M7 的栅极与第二复位控制端 RH 电连接，M7 的源极与第二初始电压端 I02 电连接，M7 的漏极与 O1 的阳极电连接；

M8 的栅极与第二复位控制端 RH 电连接，M8 的源极与第三初始电压端 I03 电连接，M8 的漏极与 M3 的源极电连接；

Cst 的第一端与 M3 的栅极电连接，Cst 的第二端与电源电压端 VDD 电连接。

在图 21D 所示的像素电路的至少一实施例中，M2 和 M9 为氧化物晶体管，M2 和 M9 为 n 型晶体管，其他晶体管都为 p 型晶体管。

图 21D 所示的像素电路的至少一实施例在工作时，在一帧时间包括的显示时间段，当 OT 输出高电压信号时，M9 打开，正常对所述像素电路进行刷新；在所述显示时间段，当 OT 输出低电压信号时，M9 关断，不对所述像素电路进行刷新。

如图 22A 所示，在图 18 所示的像素电路的至少一实施例的基础上，

所述反相电路包括第一反相器和第二反相器；所述第一反相器包括第一晶体管 T1 和第二晶体管 T2；所述第二反相器包括第三晶体管 T3 和第四晶体管 T4；

所述第一晶体管 T1 的栅极与所述第一反相器的输入端电连接，所述第一晶体管 T1 的源极与高电压端 VGH 电连接，所述第一晶体管 T1 的漏极与所述第二晶体管 T2 的源极都与所述第二反相器的输入端电连接；

所述第二晶体管 T2 的栅极与所述第一反相器的输入端电连接，所述第二晶体管 T2 的漏极与低电压端电连接；

所述第三晶体管 T3 的栅极和所述第四晶体管 T4 的栅极都与所述第二反相器的输入端电连接，所述第三晶体管 T3 的源极与所述高电压端 VGH 电连接，所述第三晶体管 T3 的漏极和所述第四晶体管 T4 的源极都与所述驱动信号输出端 OT 电连接；

所述第四晶体管 T4 的漏极与所述低电压端 VGL 电连接；

所述第一晶体管 T1 为 p 型晶体管，所述第二晶体管 T2 为 n 型晶体管；所述第三晶体管 T3 为 p 型晶体管，所述第四晶体管 T4 为 n 型晶体管；

所述第一反相器的输入端与驱动输出端 NT 电连接；

所述第一数据写入电路包括第五晶体管 T5 和第一电容 C1；

所述第五晶体管 T5 的栅极与所述开关控制端 SW 电连接，所述第五晶体管 T5 的源极与所述第一数据线 SL1 电连接，所述第五晶体管 T5 的漏极与所述第一差分控制节点 NC1 电连接；

所述第一电容 C1 的第一端与所述第一差分控制节点 NC1 电连接，所述第一电容 C1 的第二端与低电压端 VGL 电连接；

所述输入控制电路包括第八晶体管 T8，所述差分控制电路包括第九晶体管 T9 和第十晶体管 T10；

所述第八晶体管 T8 的栅极与所述输出控制端 VCT 电连接，所述第八晶体管 T8 的源极与所述高电压端 VGH 电连接，所述第八晶体管 T8 的漏极与所述输入节点 N2 电连接；

所述第九晶体管 T9 的栅极与所述第一差分控制节点 NC1 电连接，所述第九晶体管 T9 的源极与所述输入节点 N2 电连接，所述第九晶体管 T9 的漏极与所述第一输出节点 N3 电连接；

所述第十晶体管 T10 的栅极与所述第二差分控制节点 NC2 电连接，所述第十晶体管 T10 的源极与所述输入节点 N2 电连接，所述第十晶体管 T10 的漏极与所述第二输出节点 N4 电连接；所述第二差分控制节点 NC2 与初始电压端 I1 电连接；

所述置位电路包括第十一晶体管 T11 和第十二晶体管 T12；

所述第十一晶体管 T11 的栅极与所述输出控制端 VCT 电连接，所述第十一晶体管 T11 的源极与所述中间节点 N6 电连接，所述第十一晶体管 T11 的源极与所述低电压端 VGL 电连接；

所述第十二晶体管 T12 的栅极与所述输出控制端 VCT 电连接，所述第十二晶体管 T12 的源极与所述驱动输出端 NT 电连接，所述第十二晶体管 T12 的漏极与所述低电压端 VGL 电连接；

所述第八晶体管 T8 为 p 型晶体管，所述第十一晶体管 T11 和所述第十二晶体管 T12 为 n 型晶体管；

所述锁存电路包括第十三晶体管 T13、第十四晶体管 T14、第十五晶体管 T15 和第十六晶体管 T16；

所述第十三晶体管 T13 的栅极与所述驱动输出端 NT 电连接，所述第十三晶体管 T13 的源极与所述中间节点 N6 电连接，所述第十三晶体管 T13 的漏极与低电压端 VGL 电连接；

所述第十四晶体管 T14 的栅极与中间节点 N6 电连接，所述第十四晶体管 T14 的源极

与所述驱动输出端 NT 电连接, 所述第十四晶体管 T14 的漏极与所述低电压端 VGL 电连接;

所述第十五晶体管 T15 的栅极与所述驱动输出端 NT 电连接, 所述第十五晶体管 T15 的源极与所述第一输出节点 N3 电连接, 所述第十五晶体管 T15 的漏极与所述中间节点 N6 电连接;

所述第十六晶体管 T16 的栅极与所述中间节点 N6 电连接, 所述第十六晶体管 T16 的源极与所述第二输出节点 N4 电连接, 所述第十六晶体管 T16 的漏极与所述驱动输出端 OT 电连接;

所述第十三晶体管 T13 和所述第十四晶体管 T14 为 n 型晶体管, 所述第十五晶体管 T15 和所述第十六晶体管 T16 为 p 型晶体管。

在图 22A 所示的至少一实施例中, T1、T3、T8、T9、T10、T15 和 T16 都为 p 型晶体管, T2、T4、T5、T11、T12、T13 和 T14 都为 n 型晶体管。

在图 22A 所示的驱动电路的至少一实施例中, T1 和 T2 组成第一反相器, T3 和 T4 组成第二反相器, T1、T2、T3 和 T4 可以用于对所述驱动输出信号进行放大和稳定, 输出驱动信号。

图 22B 是图 22A 所示的驱动电路的至少一实施例的工作时序图。

在图 22B 中, 标号为 F1 的为帧时间, 标号为 SX 的为消隐时间段, 消隐时间段 SX 设置于一帧时间 F1 的最开始的时间段, 标号为 SD 的为帧时间 F1 包括的显示时间段。

如图 22C 所示, 本公开图 22A 所示的驱动电路的至少一实施例在工作时, 消隐时间段包括先后设置的第一时间段 ST1、第二时间段 ST2、第三时间段 ST3 和第四时间段 ST4;

在第一时间段 ST1、第二时间段 ST2 和第三时间段 ST3, VCT 提供高电压信号, T11 和 T12 打开, NT 输出低电压信号, 经过两级反相器后, OT 输出低电压信号;

在第一时间段 ST1, SW 提供低电压信号, T5 关断;

在第二时间段 ST2, SW 提供高电压信号, VCT 提供高电压信号, T5 打开, 将 SL1 提供的第一数据电压写入 NC1, 由于 T5 是 IGZO TFT (薄膜晶体管), 将第一数据电压写入 NC1 需要一定时间;

在第三时间段 ST3, SW 提供低电压信号, VCT 提供高电压信号, T5 关闭, 第一数据电压写入 NC1 的时间到, 不再对 NC1 充电, 通过 C1 维持 NC1 的电位;

在第四时间段 ST4, VCT 提供低电压信号, T11 和 T12 关断, T8 打开, VGH 通过 T8 持续写入 N2, I1 提供初始电压 Vinit, 由于 NC1 的电位与 Vinit 的电压值之间存在电压差, T9 的栅极电位与 T10 的栅极电位之间存在差异, 导致第一输出节点 N3 和第二输出节点 N4 的电压写入速度或电压值有差异;

在第四时间段 ST4, NC1 的电位大于 Vinit 的电压值, N3 的电位小于 N4 的电位; 在第四时间段 ST4 开始时, T15 和 T16 打开, N6 的电位小于 NT 的电位, T16 打开, NT 输出高电压信号, OT 输出高电压信号。

本公开图 22A 所示的驱动电路的至少一实施例在工作时，在第四时间段 ST4，当 NC1 的电位小于 V_{init} 的电压值时，N3 的电位大于 N4 的电位，在第四时间段 ST4 开始时，T15 和 T16 打开，N6 的电位大于 NT 的电位，T14 打开，NT 输出低电压信号，OT 输出低电压信号。

本公开图 22A 所示的驱动电路的至少一实施例在工作时，在显示时间段，OT 输出的驱动信号与在第四时间段 ST4，OT 输出的驱动信号相同；在第四时间段 ST4 和显示时间段 SD，OT 都输出低电压信号；或者，在第四时间段 ST4 和显示时间段 SD，OT 都输出高电压信号。

在图 22A 所示的驱动电路的至少一实施例中，T13、T14、T15 和 T16 组成锁存器，T9 和 T10 组成差分部分。

本公开图 21A、图 22A 所示的驱动电路的至少一实施例在工作时，在每一帧时间中的消隐时间段，在 VCT 提供的输出控制信号的置高过程中，都会导致 NT 输出的驱动输出信号有与 VCT 提供的输出控制信号相同脉宽的一个下拉信号或上拉信号，OT 输出的驱动信号也会受到扰动。

图 21D 所示的像素电路的至少一实施例在工作时，当 OT 输出高电压信号时，M9 处于开启状态，当 OT 输出低电压信号时，M9 处于关闭状态。由于 M9 的栅极与 M9 的漏极之间存在电容，该电容主要包括：M9 自身的寄生电容；在 Layout（布局）设计中，TFT 之外的节点之间的电容；其中，TFT 之外的节点之间的电容可以从设计上进行优化尽可能减小，但是 M9 自身的电容是 TFT 自身必然存在的，无法彻底消除，且电容值为 fF 量级，在像素级别的节点之间的电容里算是大电容。

当发光控制线 EM 提供的发光控制信号在显示时间段内采用多 pulse（脉冲）时，如图 22D 所示，包括图 21D 所示的像素电路的至少一实施例的显示面板包括多行发光控制线，在显示时间段 SD 内，各行发光控制线输出相应的发光控制信号，各发光控制信号具有三个向上的脉冲；

在消隐时间段 SX，部分发光控制线提供的发光控制信号具有上升沿。

在图 22D 中，标号为 EM1 的为第一行发光控制线，标号为 EM2 的为第二行发光控制线，标号为 EM3 的为第三行发光控制线，标号为 EM4 的为第四行发光控制线，标号为 EMN-3 的为第 N-3 行发光控制线，标号为 EMN-2 的为第 N-2 行发光控制线，标号为 EMN-1 的为第 N-1 行发光控制线，标号为 EMN 的为第 N 行发光控制线；N 为大于 7 的整数；

如图 22D 所示，在消隐时间段 SX，EMN-3 提供的第 N-3 行发光控制信号、EMN-2 提供的第 N-2 行发光控制信号、EMN-1 提供的第 N-1 行发光控制信号和 EMN 提供的第 N 行发光控制信号具有上升沿。

在消隐时间段，OT 输出的驱动信号存在下拉信号，在像素电路中，M9 的栅极与驱动晶体管 M3 的栅极之间存在电容，所述驱动信号的下拉信号对 M3 的栅极的电位造成耦合影响，而将 M3 的栅极的电位拉低；当所述发光控制线多脉冲输出时，部分行发光控制信

号在消隐时间段为关闭状态，大多数发光控制信号在消隐时间段保持开启状态，像素电路中的有机发光二极管处于发光阶段，此时驱动晶体管 M3 的栅极的电位的变化对这两种区域行对应的像素电路发光影响不同，造成不同区域的亮度差异，造成多分屏的情况。

针对上述问题，优化方案可以分为两大类：一是降低 M9 的栅极与驱动晶体管 M3 的栅极之间的电容，降低因驱动信号的扰动对 M3 的栅极带来的耦合影响；二是从生成驱动信号的驱动电路着手，使得该驱动电路输出的驱动信号稳定。本公开至少一实施例提供一种驱动电路，采用开关控制电路，所述开关控制电路在通断控制端 VCT2 提供的通断控制信号的控制下，控制所述第一输出控制节点与所述第二输出控制节点之间连通或断开，使得驱动信号输出端 OT 输出的驱动信号不受 VCT 提供的输出控制信号的影响。

在具体实施时，在消隐时间段，VCT2 提供的通断控制信号的脉宽大于 VCT 提供的输出控制信号的脉宽，所述通断控制信号的有效时间段的开始时刻早于所述输出控制信号的有效时间段的开始时刻，所述通断控制信号的有效时间段的结束时刻晚于所述输出控制信号的有效时间段的结束时刻。

在本公开至少一实施例中，所述通断控制信号的有效时间段指的是：所述通断控制信号为有效电压信号的时间段；

所述输出控制信号的有效时间段指的是：所述输出控制信号为有效电压信号的时间段；

当所述通断控制信号控制的晶体管为 n 型晶体管时，有效电压信号为高电压信号，当所述通断控制信号控制的晶体管为 p 型晶体管时，有效电压信号为低电压信号；

当所述输出控制信号控制的晶体管为 n 型晶体管时，有效电压信号为高电压信号，当所述输出控制信号控制的晶体管为 p 型晶体管时，有效电压信号为低电压信号。图 23A 所示的驱动电路的至少一实施例与图 22A 所示的驱动电路的至少一实施例的区别如下：

还包括开关控制电路；

所述开关控制电路包括第七晶体管 T7；

所述第七晶体管 T7 的栅极与所述通断控制端 VCT2 电连接，所述第七晶体管 T7 的源极与所述驱动输出端 NT 电连接，所述第七晶体管 T7 的漏极与 T1 的栅极电连接。

在图 23A 所示的驱动电路的至少一实施例中，T7 为 p 型晶体管，T7 为 LTPS（低温多晶硅）晶体管。

如图 23B 所示，本公开图 23A 所示的驱动电路的至少一实施例在工作时，一帧时间包括消隐时间段 SX，所述消隐时间段包括关断阶段 SG，所述关断阶段 SG 包括置位时间段 SZ；

在置位时间段 SZ，VCT 提供高电压信号，T11 和 T12 打开，N6 与 VGL 之间连通，NT 与 VGL 之间连通；

在关断阶段 SG，VCT2 提供高电压信号，T7 关断，使得 OT 提供的驱动信号不受 VCT 提供的输出控制信号的影响。

在本公开至少一实施例中，增设了开关控制电路，所述开关控制电路包括第七晶体管，

所述第七晶体管为隔断 TFT（薄膜晶体管），隔断因驱动电路中，在每一帧的信号跳变带来的驱动输出信号的变化，提升驱动信号的稳定性，提高 OLED（有机发光二极管）显示产品的显示效果。

图 23C 是图 23B 所示的驱动电路的至少一实施例的工作时序图；

在图 23C 中，标号为 F1 的为帧时间，标号为 SX 的为消隐时间段，消隐时间段 SX 设置于一帧时间 F1 的最开始的时间段，标号为 SD 的为帧时间 F1 包括的显示时间段。

如图 23D 所示，本公开图 23A 所示的驱动电路的至少一实施例在工作时，消隐时间段包括先后设置的第一时间段 ST1、第二时间段 ST2、第三时间段 ST3 和第四时间段 ST4；

在第一时间段 ST1、第二时间段 ST2 和第三时间段 ST3，VCT 提供高电压信号，T11 和 T12 打开，N6 和 NT 都与 VGL 之间连通，T15 和 T16 都打开，NT 输出低电压信号，T7 关断，OT 维持输出高电压信号；

在第一时间段 ST1，SW 提供低电压信号，T5 关断；

在第二时间段 ST2，SW 提供高电压信号，VCT 提供高电压信号，T5 打开，将 SL1 提供的第一数据电压写入 NC1，由于 T5 是 IGZO TFT（薄膜晶体管），将第一数据电压写入 NC1 需要一定时间；

在第三时间段 ST3，SW 提供低电压信号，VCT 提供高电压信号，T5 关闭，第一数据电压写入 NC1 的时间到，不再对 NC1 充电，通过 C1 维持 NC1 的电位；

在第四时间段 ST4，VCT 提供低电压信号，T11 和 T12 关断，T8 打开，VGH 通过 T8 持续写入 N2，I1 提供初始电压 Vinit，由于 NC1 的电位与 Vinit 的电压值之间存在电压差，导致 N3 的电位与 N4 的电位有差异；

在第四时间段 ST4，VCT2 提供低电压信号，T7 打开；

在第四时间段 ST4，NC1 的电位大于 Vinit 的电压值，N3 的电位小于 N4 的电位；在第四时间段 ST4 开始时，T15 和 T16 打开，N6 的电位小于 NT 的电位，T16 打开，NT 输出高电压信号，OT 输出高电压信号。

本公开图 23A 所示的驱动电路的至少一实施例在工作时，在第四时间段 ST4，当 NC1 的电位小于 Vinit 的电压值时，N3 的电位大于 N4 的电位，在第四时间段 ST4 开始时，T15 和 T16 打开，N6 的电位大于 NT 的电位，T14 打开，NT 输出低电压信号，OT 输出低电压信号。

图 24 所示的驱动电路的至少一实施例与图 22A 所示的驱动电路的至少一实施例的区别如下：

还包括开关控制电路；

所述开关控制电路包括第七晶体管 T7；

所述第七晶体管 T7 的栅极与所述通断控制端 VCT2 电连接，所述第七晶体管 T7 的源极与 T1 的漏极电连接，所述第七晶体管 T7 的漏极与 T3 的栅极电连接。

在图 24 所示的驱动电路的至少一实施例中，T7 为 p 型晶体管，T7 为 LTPS（低温多

晶硅)晶体管。

如图 23B 所示,本公开图 24 所示的驱动电路的至少一实施例在工作时,一帧时间包括消隐时间段 SX,所述消隐时间段包括关断阶段 SG,所述关断阶段 SG 包括置位时间段 SZ;

在置位时间段 SZ, VCT 提供高电压信号, T11 和 T12 打开, N6 与 VGL 之间连通, NT 与 VGL 之间连通;

在关断阶段 SG, VCT2 提供高电压信号, T7 关断,使得 OT 提供的驱动信号不受 VCT 提供的输出控制信号的影响。

图 25 所示的驱动电路的至少一实施例与图 22A 所示的驱动电路的至少一实施例的区别如下:

还包括开关控制电路;

所述开关控制电路包括第七晶体管 T7;

所述第七晶体管 T7 的栅极与所述通断控制端 VCT2 电连接,所述第七晶体管 T7 的源极与 T3 的漏极电连接,所述第七晶体管 T7 的漏极与所述驱动信号输出端 OT 电连接。

在图 25 所示的驱动电路的至少一实施例中, T7 为 p 型晶体管, T7 为 LTPS (低温多晶硅)晶体管。

如图 23B 所示,本公开图 25 所示的驱动电路的至少一实施例在工作时,一帧时间包括消隐时间段 SX,所述消隐时间段包括关断阶段 SG,所述关断阶段 SG 包括置位时间段 SZ;

在置位时间段 SZ, VCT 提供高电压信号, T11 和 T12 打开, N6 与 VGL 之间连通, NT 与 VGL 之间连通;

在关断阶段 SG, VCT2 提供高电压信号, T7 关断,使得 OT 提供的驱动信号不受 VCT 提供的输出控制信号的影响。

图 26A 所示的驱动电路的至少一实施例与图 22A 所示的驱动电路的至少一实施例的区别如下:

还包括开关控制电路;

所述开关控制电路包括第七晶体管 T7;

所述第七晶体管 T7 的栅极与所述通断控制端 VCT2 电连接,所述第七晶体管 T7 的源极与所述驱动输出端 NT 电连接,所述第七晶体管 T7 的漏极与 T1 的栅极电连接。

在图 26A 所示的驱动电路的至少一实施例中, T7 为 n 型晶体管, T7 为 IGZO (铟镓锌氧化物)晶体管。

如图 26B 所示,本公开图 26A 所示的驱动电路的至少一实施例在工作时,一帧时间包括消隐时间段 SX,所述消隐时间段包括关断阶段 SG,所述关断阶段 SG 包括置位时间段 SZ;

在置位时间段 SZ, VCT 提供高电压信号, T11 和 T12 打开, N6 与 VGL 之间连通,

NT 与 VGL 之间连通；

在关断阶段 SG, VCT2 提供低电压信号, T7 关断, 使得 OT 提供的驱动信号不受 VCT 提供的输出控制信号的影响。

图 27 所示的驱动电路的至少一实施例与图 22A 所示的驱动电路的至少一实施例的区别如下：

还包括开关控制电路；

所述开关控制电路包括第七晶体管 T7；

所述第七晶体管 T7 的栅极与所述通断控制端 VCT2 电连接, 所述第七晶体管 T7 的源极与 T1 的漏极电连接, 所述第七晶体管 T7 的漏极与 T3 的栅极电连接。

在图 27 所示的驱动电路的至少一实施例中, T7 为 n 型晶体管, T7 为 IGZO (铟镓锌氧化物) 晶体管。

如图 26B 所示, 本公开图 27 所示的驱动电路的至少一实施例在工作时, 一帧时间包括消隐时间段 SX, 所述消隐时间段包括关断阶段 SG, 所述关断阶段 SG 包括置位时间段 SZ；

在置位时间段 SZ, VCT 提供高电压信号, T11 和 T12 打开, N6 与 VGL 之间连通, NT 与 VGL 之间连通；

在关断阶段 SG, VCT2 提供低电压信号, T7 关断, 使得 OT 提供的驱动信号不受 VCT 提供的输出控制信号的影响。

图 28 所示的驱动电路的至少一实施例与图 22A 所示的驱动电路的至少一实施例的区别如下：

还包括开关控制电路；

所述开关控制电路包括第七晶体管 T7；

所述第七晶体管 T7 的栅极与所述通断控制端 VCT2 电连接, 所述第七晶体管 T7 的源极与 T3 的漏极电连接, 所述第七晶体管 T7 的漏极与所述驱动信号输出端 OT 电连接。

在图 28 所示的驱动电路的至少一实施例中, T7 为 n 型晶体管, T7 为 IGZO (铟镓锌氧化物) 晶体管。

如图 26B 所示, 本公开图 28 所示的驱动电路的至少一实施例在工作时, 一帧时间包括消隐时间段 SX, 所述消隐时间段包括关断阶段 SG, 所述关断阶段 SG 包括置位时间段 SZ；

在置位时间段 SZ, VCT 提供高电压信号, T11 和 T12 打开, N6 与 VGL 之间连通, NT 与 VGL 之间连通；

在关断阶段 SG, VCT2 提供低电压信号, T7 关断, 使得 OT 提供的驱动信号不受 VCT 提供的输出控制信号的影响。

图 29A 所示的驱动电路的至少一实施例与图 21A 所示的驱动电路的至少一实施例的区别如下：

还包括开关控制电路；

所述开关控制电路包括第七晶体管 T7；

所述第七晶体管 T7 的栅极与所述通断控制端 VCT2 电连接，所述第七晶体管 T7 的源极与所述驱动输出端 NT 电连接，所述第七晶体管 T7 的漏极与 T1 的栅极电连接。

在图 29A 所示的驱动电路的至少一实施例中，T7 为 p 型晶体管，T7 为 LTPS（低温多晶硅）晶体管。

如图 29B 所示，本公开图 29A 所示的驱动电路的至少一实施例在工作时，一帧时间包括消隐时间段 SX，所述消隐时间段包括关断阶段 SG，所述关断阶段 SG 包括置位时间段 SZ；

在置位时间段 SZ，VCT 提供高电压信号，T11 和 T12 打开，N6 与 VGL 之间连通，NT 与 VGL 之间连通；

在关断阶段 SG，VCT2 提供高电压信号，T7 关断，使得 OT 提供的驱动信号不受 VCT 提供的输出控制信号的影响。

图 30 所示的驱动电路的至少一实施例与图 21A 所示的驱动电路的至少一实施例的区别如下：

还包括开关控制电路；

所述开关控制电路包括第七晶体管 T7；

所述第七晶体管 T7 的栅极与所述通断控制端 VCT2 电连接，所述第七晶体管 T7 的源极与 T1 的漏极电连接，所述第七晶体管 T7 的漏极与驱动信号输出端 OT 电连接。

在图 30 所示的驱动电路的至少一实施例中，T7 为 p 型晶体管，T7 为 LTPS（低温多晶硅）晶体管。

如图 29B 所示，本公开图 30 所示的驱动电路的至少一实施例在工作时，一帧时间包括消隐时间段 SX，所述消隐时间段包括关断阶段 SG，所述关断阶段 SG 包括置位时间段 SZ；

在置位时间段 SZ，VCT 提供高电压信号，T11 和 T12 打开，N6 与 VGL 之间连通，NT 与 VGL 之间连通；

在关断阶段 SG，VCT2 提供高电压信号，T7 关断，使得 OT 提供的驱动信号不受 VCT 提供的输出控制信号的影响。

图 31A 所示的驱动电路的至少一实施例与图 21A 所示的驱动电路的至少一实施例的区别如下：

还包括开关控制电路；

所述开关控制电路包括第七晶体管 T7；

所述第七晶体管 T7 的栅极与所述通断控制端 VCT2 电连接，所述第七晶体管 T7 的源极与所述驱动输出端 NT 电连接，所述第七晶体管 T7 的漏极与 T1 的栅极电连接。

在图 31A 所示的驱动电路的至少一实施例中，T7 为 n 型晶体管，T7 为 IGZO（铟镓

锌氧化物)晶体管。

如图 31B 所示,本公开图 31A 所示的驱动电路的至少一实施例在工作时,一帧时间包括消隐时间段 SX,所述消隐时间段包括关断阶段 SG,所述关断阶段 SG 包括置位时间段 SZ;

在置位时间段 SZ, VCT 提供高电压信号, T11 和 T12 打开, N6 与 VGL 之间连通, NT 与 VGL 之间连通;

在关断阶段 SG, VCT2 提供低电压信号, T7 关断,使得 OT 提供的驱动信号不受 VCT 提供的输出控制信号的影响。

图 32 所示的驱动电路的至少一实施例与图 21A 所示的驱动电路的至少一实施例的区别如下:

还包括开关控制电路;

所述开关控制电路包括第七晶体管 T7;

所述第七晶体管 T7 的栅极与所述通断控制端 VCT2 电连接,所述第七晶体管 T7 的源极与 T1 的漏极电连接,所述第七晶体管 T7 的漏极与驱动信号输出端 OT 电连接。

在图 32 所示的驱动电路的至少一实施例中, T7 为 n 型晶体管, T7 为 IGZO (铟镓锌氧化物)晶体管。

如图 31B 所示,本公开图 32 所示的驱动电路的至少一实施例在工作时,一帧时间包括消隐时间段 SX,所述消隐时间段包括关断阶段 SG,所述关断阶段 SG 包括置位时间段 SZ;

在置位时间段 SZ, VCT 提供高电压信号, T11 和 T12 打开, N6 与 VGL 之间连通, NT 与 VGL 之间连通;

在关断阶段 SG, VCT2 提供低电压信号, T7 关断,使得 OT 提供的驱动信号不受 VCT 提供的输出控制信号的影响。

图 33 所示的驱动电路的至少一实施例与图 21A 所示的驱动电路的至少一实施例的区别如下:还包括第二数据写入电路;

所述第二数据写入电路包括第六晶体管 T6 和第二电容 C2;

所述第六晶体管 T6 的栅极与所述开关控制端 SW 电连接,所述第六晶体管 T6 的源极与所述第二数据线 SL2 电连接,所述第六晶体管 T6 的漏极与所述第二差分控制节点 NC2 电连接;

所述第二电容 C2 的第一端与所述第二差分控制节点 NC2 电连接,所述第二电容 C2 的第二端与低电压端 VGL 电连接。

在图 33-图 44 所示的驱动电路的至少一实施例中, T6 为 n 型晶体管。

在本公开图 33-图 44 所示的驱动电路的至少一实施例中,当 SW 提供高电压信号时, SL1 提供的第一数据电压写入 NC1, SL2 提供的第二数据电压写入 NC2, NC1 的电位和 NC2 的电位进行差分, SL1 提供的第一数据电压为低电压信号, SL2 提供的第二数据电压

为高电压信号，或者，SL1 提供的第一数据电压为高电压信号，SL2 提供的第二数据电压为低电压信号，例如，第一数据电压为 7V 电压信号，第二数据电压为 0V 电压信号，或者，第一数据电压为 0V 电压信号，第二数据电压为 7V 电压信号；当第一数据电压、第二数据电压具有一高一低的特点时，T15 和 T16 才能完成较好的差分功能，且由于第一差分控制节点 NC1 的电位与第二差分控制节点 NC2 的电位相差较大，因此针对于图 21A、图 22A 所示的驱动电路的至少一实施例，T15 和 T16 的差分效果更明显，驱动电路的 Margin 也更大。

在图 33-图 44 所示的驱动电路的至少一实施例中，由于驱动电路需要同时使用相邻两路数据线上的数据电压，使得列方向上的局部刷新控制分辨率较大；一级驱动电路可以驱动相邻两行像素电路。

图 34 所示的驱动电路的至少一实施例与图 22A 所示的驱动电路的至少一实施例的区别如下：还包括第二数据写入电路；

所述第二数据写入电路包括第六晶体管 T6 和第二电容 C2；

所述第六晶体管 T6 的栅极与所述开关控制端 SW 电连接，所述第六晶体管 T6 的源极与所述第二数据线 SL2 电连接，所述第六晶体管 T6 的漏极与所述第二差分控制节点 NC2 电连接；

所述第二电容 C2 的第一端与所述第二差分控制节点 NC2 电连接，所述第二电容 C2 的第二端与低电压端 VGL 电连接。

可选的，所述第二电压端可以为低电压端。

图 35 所示的驱动电路的至少一实施例与图 23A 所示的驱动电路的至少一实施例的区别如下：还包括第二数据写入电路；

所述第二数据写入电路包括第六晶体管 T6 和第二电容 C2；

所述第六晶体管 T6 的栅极与所述开关控制端 SW 电连接，所述第六晶体管 T6 的源极与所述第二数据线 SL2 电连接，所述第六晶体管 T6 的漏极与所述第二差分控制节点 NC2 电连接；

所述第二电容 C2 的第一端与所述第二差分控制节点 NC2 电连接，所述第二电容 C2 的第二端与低电压端 VGL 电连接。

图 36 所示的驱动电路的至少一实施例与图 24 所示的驱动电路的至少一实施例的区别如下：还包括第二数据写入电路；

所述第二数据写入电路包括第六晶体管 T6 和第二电容 C2；

所述第六晶体管 T6 的栅极与所述开关控制端 SW 电连接，所述第六晶体管 T6 的源极与所述第二数据线 SL2 电连接，所述第六晶体管 T6 的漏极与所述第二差分控制节点 NC2 电连接；

所述第二电容 C2 的第一端与所述第二差分控制节点 NC2 电连接，所述第二电容 C2 的第二端与低电压端 VGL 电连接。

图 37 所示的驱动电路的至少一实施例与图 25 所示的驱动电路的至少一实施例的区别如下：还包括第二数据写入电路；

所述第二数据写入电路包括第六晶体管 T6 和第二电容 C2；

所述第六晶体管 T6 的栅极与所述开关控制端 SW 电连接，所述第六晶体管 T6 的源极与所述第二数据线 SL2 电连接，所述第六晶体管 T6 的漏极与所述第二差分控制节点 NC2 电连接；

所述第二电容 C2 的第一端与所述第二差分控制节点 NC2 电连接，所述第二电容 C2 的第二端与低电压端 VGL 电连接。

图 38 所示的驱动电路的至少一实施例与图 26A 所示的驱动电路的至少一实施例的区别如下：还包括第二数据写入电路；

所述第二数据写入电路包括第六晶体管 T6 和第二电容 C2；

所述第六晶体管 T6 的栅极与所述开关控制端 SW 电连接，所述第六晶体管 T6 的源极与所述第二数据线 SL2 电连接，所述第六晶体管 T6 的漏极与所述第二差分控制节点 NC2 电连接；

所述第二电容 C2 的第一端与所述第二差分控制节点 NC2 电连接，所述第二电容 C2 的第二端与低电压端 VGL 电连接。

图 39 所示的驱动电路的至少一实施例与图 27 所示的驱动电路的至少一实施例的区别如下：还包括第二数据写入电路；

所述第二数据写入电路包括第六晶体管 T6 和第二电容 C2；

所述第六晶体管 T6 的栅极与所述开关控制端 SW 电连接，所述第六晶体管 T6 的源极与所述第二数据线 SL2 电连接，所述第六晶体管 T6 的漏极与所述第二差分控制节点 NC2 电连接；

所述第二电容 C2 的第一端与所述第二差分控制节点 NC2 电连接，所述第二电容 C2 的第二端与低电压端 VGL 电连接。

图 40 所示的驱动电路的至少一实施例与图 28 所示的驱动电路的至少一实施例的区别如下：还包括第二数据写入电路；

所述第二数据写入电路包括第六晶体管 T6 和第二电容 C2；

所述第六晶体管 T6 的栅极与所述开关控制端 SW 电连接，所述第六晶体管 T6 的源极与所述第二数据线 SL2 电连接，所述第六晶体管 T6 的漏极与所述第二差分控制节点 NC2 电连接；

所述第二电容 C2 的第一端与所述第二差分控制节点 NC2 电连接，所述第二电容 C2 的第二端与低电压端 VGL 电连接。

图 41 所示的驱动电路的至少一实施例与图 29A 所示的驱动电路的至少一实施例的区别如下：还包括第二数据写入电路；

所述第二数据写入电路包括第六晶体管 T6 和第二电容 C2；

所述第六晶体管 T6 的栅极与所述开关控制端 SW 电连接,所述第六晶体管 T6 的源极与所述第二数据线 SL2 电连接,所述第六晶体管 T6 的漏极与所述第二差分控制节点 NC2 电连接;

所述第二电容 C2 的第一端与所述第二差分控制节点 NC2 电连接,所述第二电容 C2 的第二端与低电压端 VGL 电连接。

图 42 所示的驱动电路的至少一实施例与图 30 所示的驱动电路的至少一实施例的区别如下:还包括第二数据写入电路;

所述第二数据写入电路包括第六晶体管 T6 和第二电容 C2;

所述第六晶体管 T6 的栅极与所述开关控制端 SW 电连接,所述第六晶体管 T6 的源极与所述第二数据线 SL2 电连接,所述第六晶体管 T6 的漏极与所述第二差分控制节点 NC2 电连接;

所述第二电容 C2 的第一端与所述第二差分控制节点 NC2 电连接,所述第二电容 C2 的第二端与低电压端 VGL 电连接。

图 43 所示的驱动电路的至少一实施例与图 31A 所示的驱动电路的至少一实施例的区别如下:还包括第二数据写入电路;

所述第二数据写入电路包括第六晶体管 T6 和第二电容 C2;

所述第六晶体管 T6 的栅极与所述开关控制端 SW 电连接,所述第六晶体管 T6 的源极与所述第二数据线 SL2 电连接,所述第六晶体管 T6 的漏极与所述第二差分控制节点 NC2 电连接;

所述第二电容 C2 的第一端与所述第二差分控制节点 NC2 电连接,所述第二电容 C2 的第二端与低电压端 VGL 电连接。

图 44 所示的驱动电路的至少一实施例与图 32 所示的驱动电路的至少一实施例的区别如下:还包括第二数据写入电路;

所述第二数据写入电路包括第六晶体管 T6 和第二电容 C2;

所述第六晶体管 T6 的栅极与所述开关控制端 SW 电连接,所述第六晶体管 T6 的源极与所述第二数据线 SL2 电连接,所述第六晶体管 T6 的漏极与所述第二差分控制节点 NC2 电连接;

所述第二电容 C2 的第一端与所述第二差分控制节点 NC2 电连接,所述第二电容 C2 的第二端与低电压端 VGL 电连接。

本公开实施例所述的驱动方法,应用于上述的驱动电路,所述驱动方法包括:

输出电路在开关控制信号和输出控制信号的控制下,根据数据电压,通过驱动输出端提供驱动输出信号;

反相电路包括的反相器对其输入端接入的信号进行反相,得到反相后的信号,通过该反相器的输出端输出所述反相后的信号。

在本公开至少一实施例中,所述输出电路包括第一数据写入电路、差分控制电路、输

入控制电路和输出控制电路；所述输出控制电路包括锁存电路和置位电路；一帧时间包括消隐时间段；所述消隐时间段包括置位时间段和输出阶段；所述置位时间段包括复位阶段、数据写入阶段和电位维持阶段；所述驱动方法包括：

在复位阶段，所述置位电路在输出控制信号的控制下，控制中间节点与第二电压端之间连通，控制驱动输出端与所述第二电压端之间连通；

在数据写入阶段，所述第一数据写入电路在开关控制信号的控制下，将第一数据线提供的第一数据电压写入所述第一差分控制节点；

在电位维持阶段，所述第一数据写入电路维持所述第一差分控制节点的电位；

在输出阶段，所述输入控制电路在输出控制信号的控制下，控制输入节点与第一电压端之间连通；所述差分控制电路在第一差分控制节点的电位和第二差分控制节点的电位的控制下，根据输入节点的电位，控制第一输出节点的电位和第二输出节点的电位；所述锁存电路在所述中间节点的电位的控制下，根据第一输出节点的电位和所述第二输出节点的电位，控制所述驱动输出端的电位。

在本公开至少一实施例中，所述输出电路还包括第二数据写入电路；所述驱动方法还包括：

在数据写入阶段，所述第二数据写入电路在开关控制信号的控制下，将第二数据线提供的第二数据电压写入第二差分控制节点；

在电位维持阶段，所述第二数据写入电路维持所述第二差分控制节点的电位。

可选的，所述驱动电路还包括开关控制电路；所述消隐时间段包括关断阶段，所述关断阶段包括所述置位时间段；所述驱动方法还包括：

在所述关断阶段，开关控制电路在通断控制信号的控制下，控制第一输出控制节点与第二输出控制节点之间断开。

本公开实施例所述的显示装置包括上述的驱动电路。

以上所述是本公开的优选实施方式，应当指出，对于本技术领域的普通技术人员来说，在不脱离本公开所述原理的前提下，还可以作出若干改进和润饰，这些改进和润饰也应视为本公开的保护范围。

权 利 要 求 书

1、一种驱动电路，包括输出电路和反相电路；

所述输出电路分别与输出控制端、开关控制端、数据线和驱动输出端电连接，用于在所述开关控制端提供的开关控制信号和所述输出控制端提供的输出控制信号的控制下，根据所述数据线提供的数据电压，通过所述驱动输出端提供驱动输出信号；

所述反相电路包括 N 级反相器；N 为正整数；n 为小于或等于 N 的正整数；

第一反相器的输入端与所述驱动输出端电连接，第 N 反相器的输出端与驱动信号输出端电连接；

当 N 大于 1 时，第 m 反相器的输出端与第 m+1 反相器的输入端电连接，m 小于 N 的正整数；

所述反相器用于对其输入端接入的信号进行反相，得到反相后的信号，通过该反相器的输出端输出所述反相后的信号。

2、如权利要求 1 所述的驱动电路，其中，所述输出电路包括第一数据写入电路、差分控制电路、输入控制电路和输出控制电路；

所述第一数据写入电路分别与开关控制端、第一数据线和第一差分控制节点电连接，用于在所述开关控制端提供的开关控制信号的控制下，将所述第一数据线提供的第一数据电压写入所述第一差分控制节点，并维持所述第一差分控制节点的电位；

所述差分控制电路分别与第一差分控制节点、第二差分控制节点、输入节点、第一输出节点和第二输出节点电连接，用于在所述第一差分控制节点的电位和所述第二差分控制节点的电位的控制下，根据所述输入节点的电位，控制所述第一输出节点的电位和第二输出节点的电位；

所述输入控制电路分别与所述输出控制端、所述输入节点和第一电压端电连接，用于在所述输出控制端提供的输出控制信号的控制下，控制所述输入节点与所述第一电压端之间连通或断开；

所述输出控制电路分别与所述输出控制端、第一输出节点、第二输出节点和驱动输出端电连接，用于在所述输出控制信号的控制下，根据所述第一输出节点的电位和所述第二输出节点的电位，生成并通过所述驱动输出端提供驱动输出信号。

3、如权利要求 2 所述的驱动电路，其中，所述输出控制电路包括锁存电路和置位电路；

所述置位电路分别与输出控制端、中间节点、驱动输出端和第二电压端电连接，用于在所述输出控制信号的控制下，控制所述中间节点与所述第二电压端之间连通或断开，控制所述驱动输出端与所述第二电压端之间连通或断开；

所述锁存电路分别与所述第一输出节点、第二输出节点、所述中间节点、所述驱动输出端和第二电压端电连接，用于在所述中间节点的电位的控制下，根据第一输出节点的电

位和所述第二输出节点的电位，控制所述驱动输出端的电位。

4、如权利要求3所述的驱动电路，其中，所述输出电路还包括第二数据写入电路；

所述第二数据写入电路分别与开关控制端、第二数据线和所述第二差分控制节点电连接，用于在所述开关控制端提供的开关控制信号的控制下，将所述第二数据线提供的第二数据电压写入所述第二差分控制节点，并维持所述第二差分控制节点的电位。

5、如权利要求3所述的驱动电路，其中，还包括开关控制电路；

所述开关控制电路分别与通断控制端、第一输出控制节点和第二输出控制节点电连接，用于在所述通断控制端提供的通断控制信号的控制下，控制所述第一输出控制节点与所述第二输出控制节点之间连通或断开；

所述第一输出控制节点与所述驱动输出端电连接，所述第二输出控制节点与所述第一反相器的输入端电连接；或者，

所述第一输出控制节点与所述第N反相器的输出端电连接，所述第二输出控制节点与所述驱动信号输出端电连接；或者，

N大于1，所述第一输出控制节点与所述第m反相器的输出端电连接，所述第二输出控制节点与所述第m+1反相器的输入端电连接。

6、如权利要求5所述的驱动电路，其中，所述锁存电路用于在所述中间节点的电位的控制下，控制所述第二输出节点与所述驱动输出端之间连通或断开，控制所述驱动输出端与所述第二电压端之间连通或断开，在所述驱动输出端的电位的控制下，控制所述第一输出节点与所述中间节点之间连通或断开，控制所述中间节点与所述第二电压端之间连通或断开。

7、如权利要求6所述的驱动电路，其中，一帧时间包括消隐时间段；所述消隐时间段包括关断阶段，所述关断阶段包括置位时间段；

所述置位电路用于在所述置位时间段，在所述输出控制信号的控制下，控制所述中间节点与所述第二电压端之间连通，控制所述驱动输出端与所述第二电压端之间连通；

所述开关控制电路用于在关断阶段，在所述通断控制信号的控制下，控制所述第一输出控制节点与所述第二输出控制节点之间断开。

8、如权利要求1所述的驱动电路，其中，N等于1；所述反相电路包括第一反相器，所述第一反相器包括第一晶体管和第二晶体管；

所述第一晶体管的栅极与所述第一反相器的输入端电连接，所述第一晶体管的第一极与第一电压端电连接，所述第一晶体管的第二极与所述第二晶体管的第一极都与所述驱动信号输出端电连接；

所述第二晶体管的栅极与所述第一反相器的输入端电连接，所述第二晶体管的第二极与第二电压端电连接；

所述第一晶体管为p型晶体管，所述第二晶体管为n型晶体管。

9、如权利要求1所述的驱动电路，其中，N等于2；所述反相电路包括第一反相器和

第二反相器；所述第一反相器包括第一晶体管和第二晶体管；所述第二反相器包括第三晶体管和第四晶体管；

所述第一晶体管的栅极与所述第一反相器的输入端电连接，所述第一晶体管的第一极与第一电压端电连接，所述第一晶体管的第二极与所述第二晶体管的第一极都与所述第二反相器的输入端电连接；

所述第二晶体管的栅极与所述第一反相器的输入端电连接，所述第二晶体管的第二极与第二电压端电连接；

所述第三晶体管的栅极和所述第四晶体管的栅极都与所述第二反相器的输入端电连接，所述第三晶体管的第一极与所述第一电压端电连接，所述第三晶体管的第二极和所述第四晶体管的第一极都与所述驱动信号输出端电连接；

所述第四晶体管的第二极与所述第二电压端电连接；

所述第一晶体管为 p 型晶体管，所述第二晶体管为 n 型晶体管；所述第三晶体管为 p 型晶体管，所述第四晶体管为 n 型晶体管。

10、如权利要求 2 所述的驱动电路，其中，所述第一数据写入电路包括第五晶体管和第一电容；

所述第五晶体管的栅极与所述开关控制端电连接，所述第五晶体管的第一极与所述第一数据线电连接，所述第五晶体管的第二极与所述第一差分控制节点电连接；

所述第一电容的第一端与所述第一差分控制节点电连接，所述第一电容的第二端与第二电压端电连接。

11、如权利要求 4 所述的驱动电路，其中，所述第二数据写入电路包括第六晶体管和第二电容；所述第六晶体管的栅极与所述开关控制端电连接，所述第六晶体管的第一极与所述第二数据线电连接，所述第六晶体管的第二极与所述第二差分控制节点电连接；

所述第二电容的第一端与所述第二差分控制节点电连接，所述第二电容的第二端与第二电压端电连接。

12、如权利要求 5 所述的驱动电路，其中，所述开关控制电路包括第七晶体管；

所述第七晶体管的栅极与所述通断控制端电连接，所述第七晶体管的第一极与所述第一输出控制节点电连接，所述第七晶体管的第二极与所述第二输出控制节点电连接。

13、如权利要求 3 所述的驱动电路，其中，所述输入控制电路包括第八晶体管，所述差分控制电路包括第九晶体管和第十晶体管；

所述第八晶体管的栅极与所述输出控制端电连接，所述第八晶体管的第一极与所述第一电压端电连接，所述第八晶体管的第二极与所述输入节点电连接；

所述第九晶体管的栅极与所述第一差分控制节点电连接，所述第九晶体管的第一极与所述输入节点电连接，所述第九晶体管的第二极与所述第一输出节点电连接；

所述第十晶体管的栅极与所述第二差分控制节点电连接，所述第十晶体管的第一极与所述输入节点电连接，所述第十晶体管的第二极与所述第二输出节点电连接。

14、如权利要求 13 所述的驱动电路，其中，所述置位电路包括第十一晶体管和第十二晶体管；

所述第十一晶体管的栅极与所述输出控制端电连接，所述第十一晶体管的第一极与所述中间节点电连接，所述第十一晶体管的第二极与所述第二电压端电连接；

所述第十二晶体管的栅极与所述输出控制端电连接，所述第十二晶体管的第一极与所述驱动输出端电连接，所述第十二晶体管的第二极与所述第二电压端电连接。

15、如权利要求 14 所述的驱动电路，其中，所述第八晶体管为 p 型晶体管，所述第十一晶体管和所述第十二晶体管为 n 型晶体管；或者，所述第八晶体管为 n 型晶体管，所述第十一晶体管和所述第十二晶体管为 p 型晶体管。

16、如权利要求 6 所述的驱动电路，其中，所述锁存电路包括第十三晶体管、第十四晶体管、第十五晶体管和第十六晶体管；

所述第十三晶体管的栅极与所述驱动输出端电连接，所述第十三晶体管的第一极与所述中间节点电连接，所述第十三晶体管的第二极与第二电压端电连接；

所述第十四晶体管的栅极与中间节点电连接，所述第十四晶体管的第一极与所述驱动输出端电连接，所述第十四晶体管的第二极与所述第二电压端电连接；

所述第十五晶体管的栅极与所述驱动输出端电连接，所述第十五晶体管的第一极与所述第一输出节点电连接，所述第十五晶体管的第二极与所述中间节点电连接；

所述第十六晶体管的栅极与所述中间节点电连接，所述第十六晶体管的第一极与所述第二输出节点电连接，所述第十六晶体管的第二极与所述驱动输出端电连接。

17、如权利要求 16 所述的驱动电路，其中，所述第十三晶体管和所述第十四晶体管为 n 型晶体管，所述第十五晶体管和所述第十六晶体管为 p 型晶体管。

18、一种驱动方法，应用于如权利要求 1 至 17 中任一权利要求所述的驱动电路，所述驱动方法包括：

输出电路在开关控制信号和输出控制信号的控制下，根据数据电压，通过驱动输出端提供驱动输出信号；

反相电路包括的反相器对其输入端接入的信号进行反相，得到反相后的信号，通过该反相器的输出端输出所述反相后的信号。

19、如权利要求 18 所述的驱动方法，其中，所述输出电路包括第一数据写入电路、差分控制电路、输入控制电路和输出控制电路；所述输出控制电路包括锁存电路和置位电路；一帧时间包括消隐时间段；所述消隐时间段包括置位时间段和输出阶段；所述置位时间段包括复位阶段、数据写入阶段和电位维持阶段；所述驱动方法包括：

在复位阶段，所述置位电路在输出控制信号的控制下，控制中间节点与第二电压端之间连通，控制驱动输出端与所述第二电压端之间连通；

在数据写入阶段，所述第一数据写入电路在开关控制信号的控制下，将第一数据线提供的第一数据电压写入第一差分控制节点；

在电位维持阶段，所述第一数据写入电路维持所述第一差分控制节点的电位；

在输出阶段，所述输入控制电路在输出控制信号的控制下，控制输入节点与第一电压端之间连通；所述差分控制电路在第一差分控制节点的电位和第二差分控制节点的电位的控制下，根据输入节点的电位，控制第一输出节点的电位和第二输出节点的电位；所述锁存电路在所述中间节点的电位的控制下，根据第一输出节点的电位和所述第二输出节点的电位，控制所述驱动输出端的电位。

20、如权利要求 19 所述的驱动方法，其中，所述输出电路还包括第二数据写入电路；所述驱动方法还包括：

在数据写入阶段，所述第二数据写入电路在开关控制信号的控制下，将第二数据线提供的第二数据电压写入第二差分控制节点；

在电位维持阶段，所述第二数据写入电路维持所述第二差分控制节点的电位。

21、如权利要求 19 或 20 所述的驱动方法，其中，所述驱动电路还包括开关控制电路；所述消隐时间段包括关断阶段，所述关断阶段包括所述置位时间段；所述驱动方法还包括：

在所述关断阶段，开关控制电路在通断控制信号的控制下，控制第一输出控制节点与第二输出控制节点之间断开。

22、一种显示装置，包括如权利要求 1 至 17 中任一权利要求所述的驱动电路。

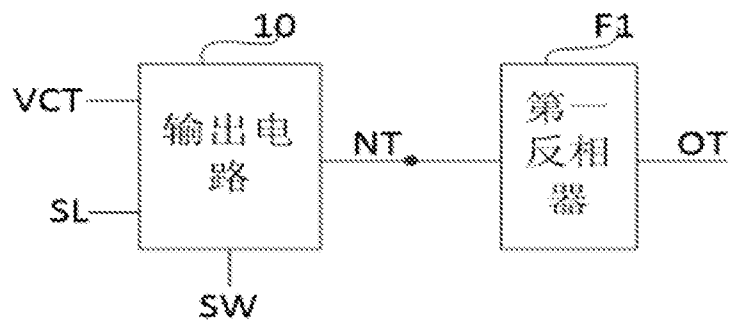


图 1

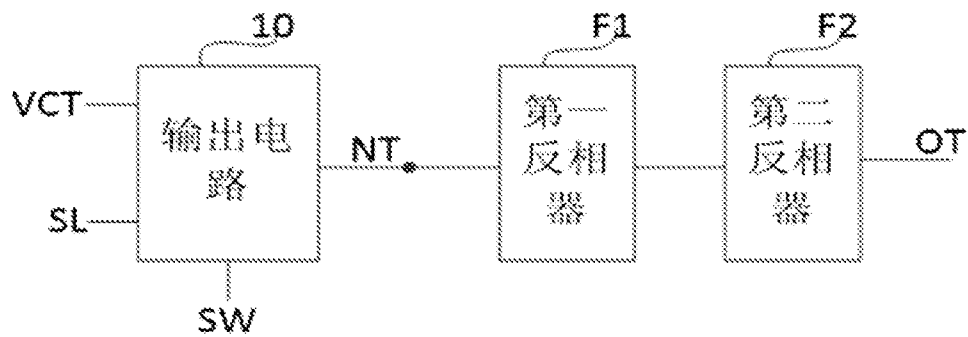


图 2

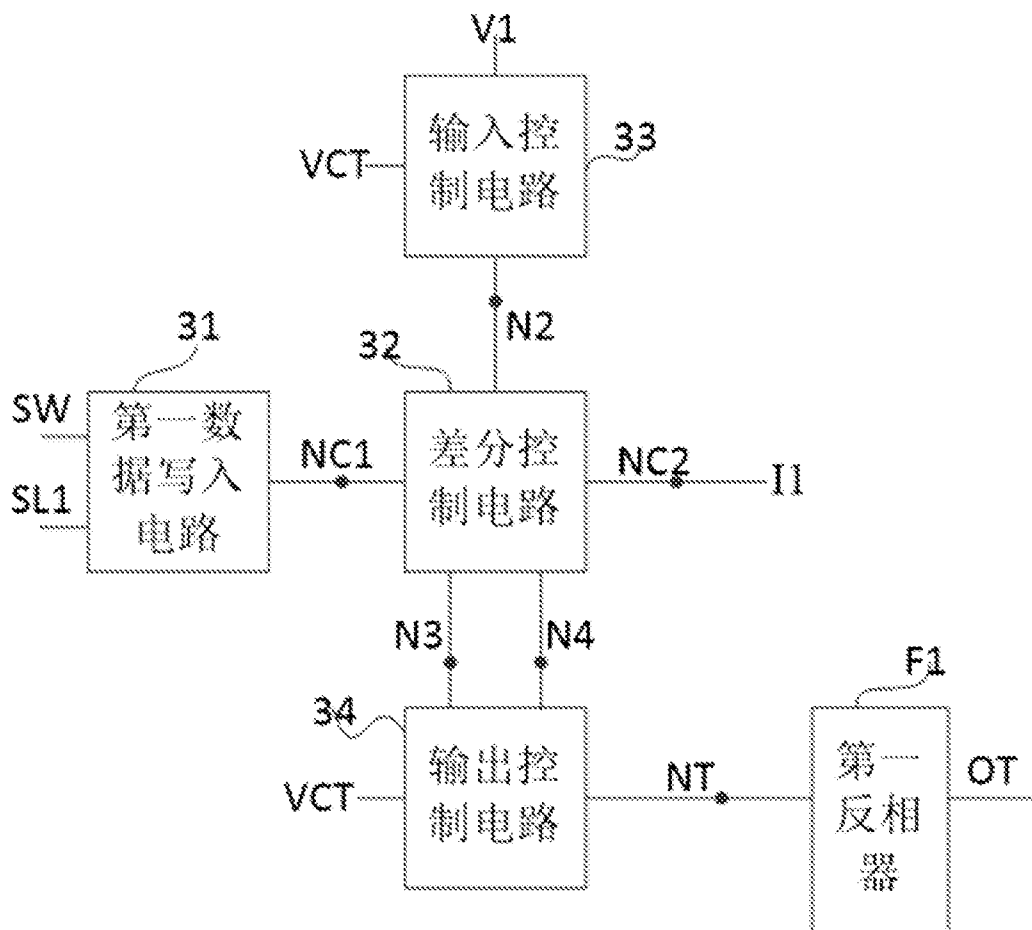


图 3

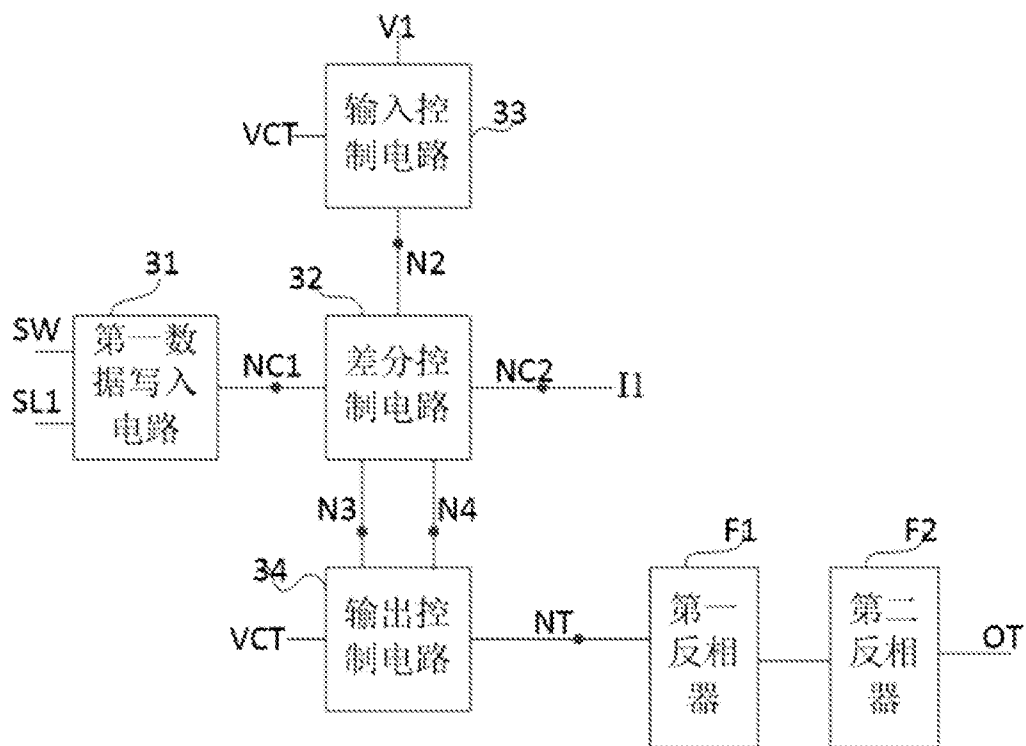


图 4

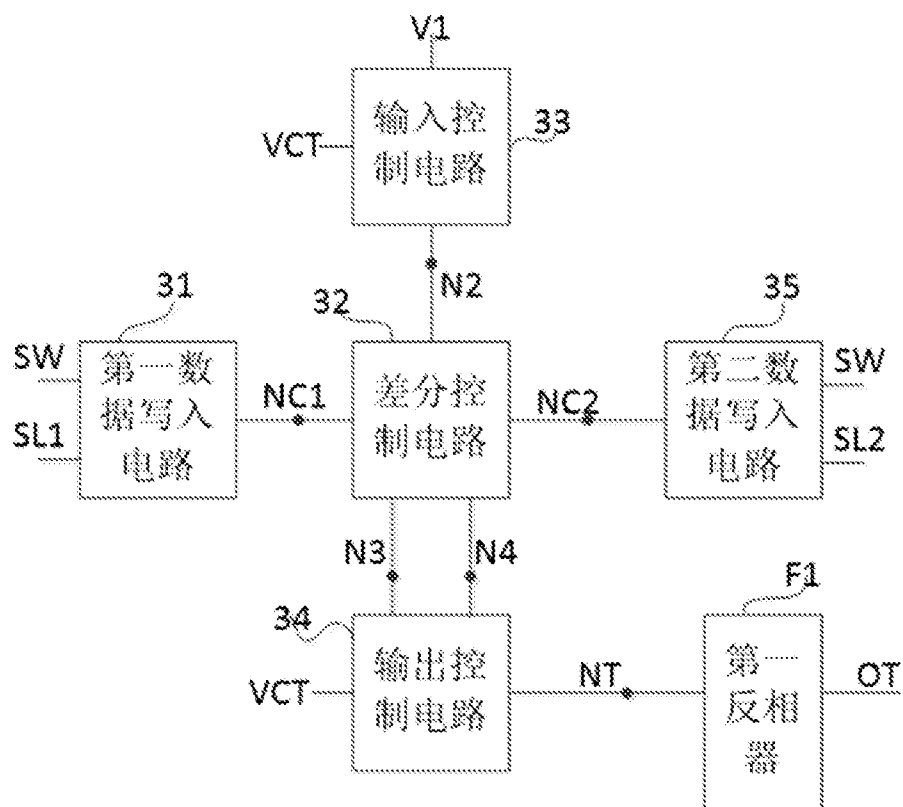


图 5

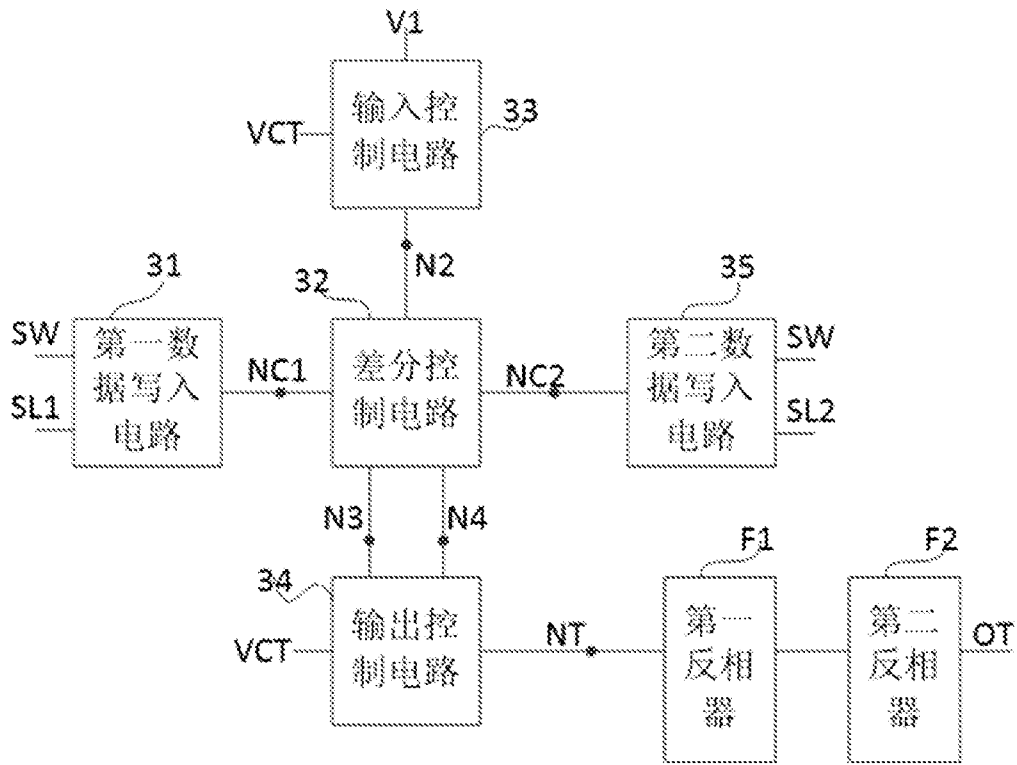


图 6

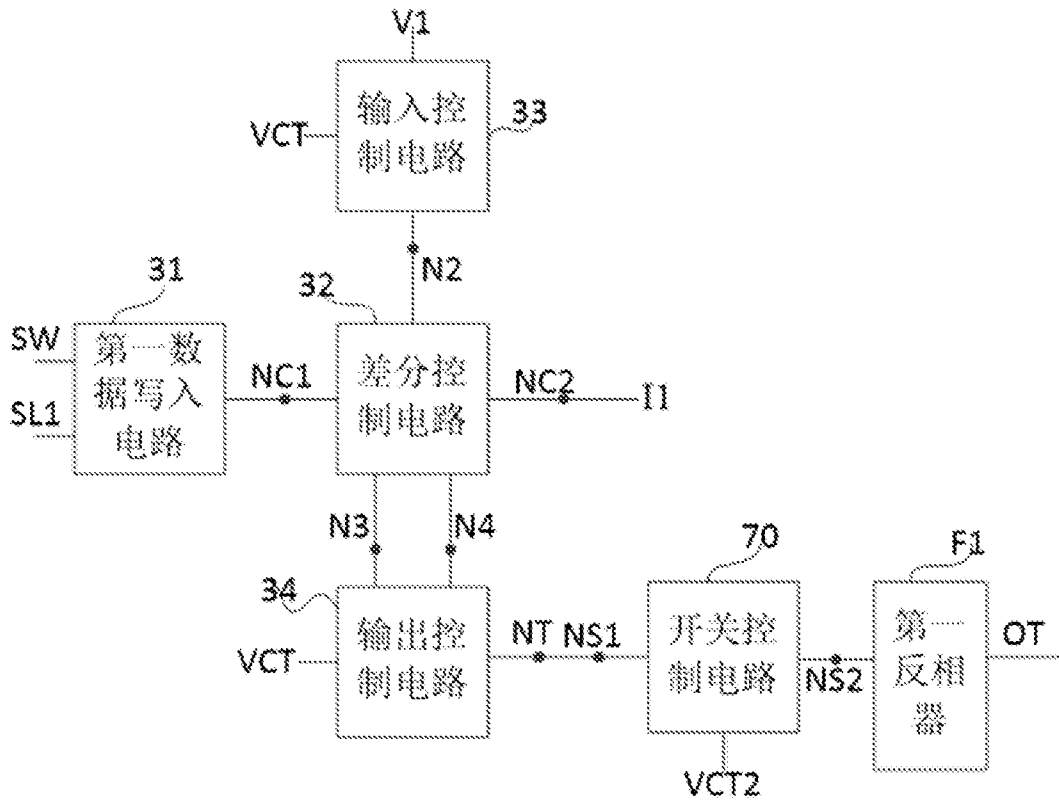


图 7A

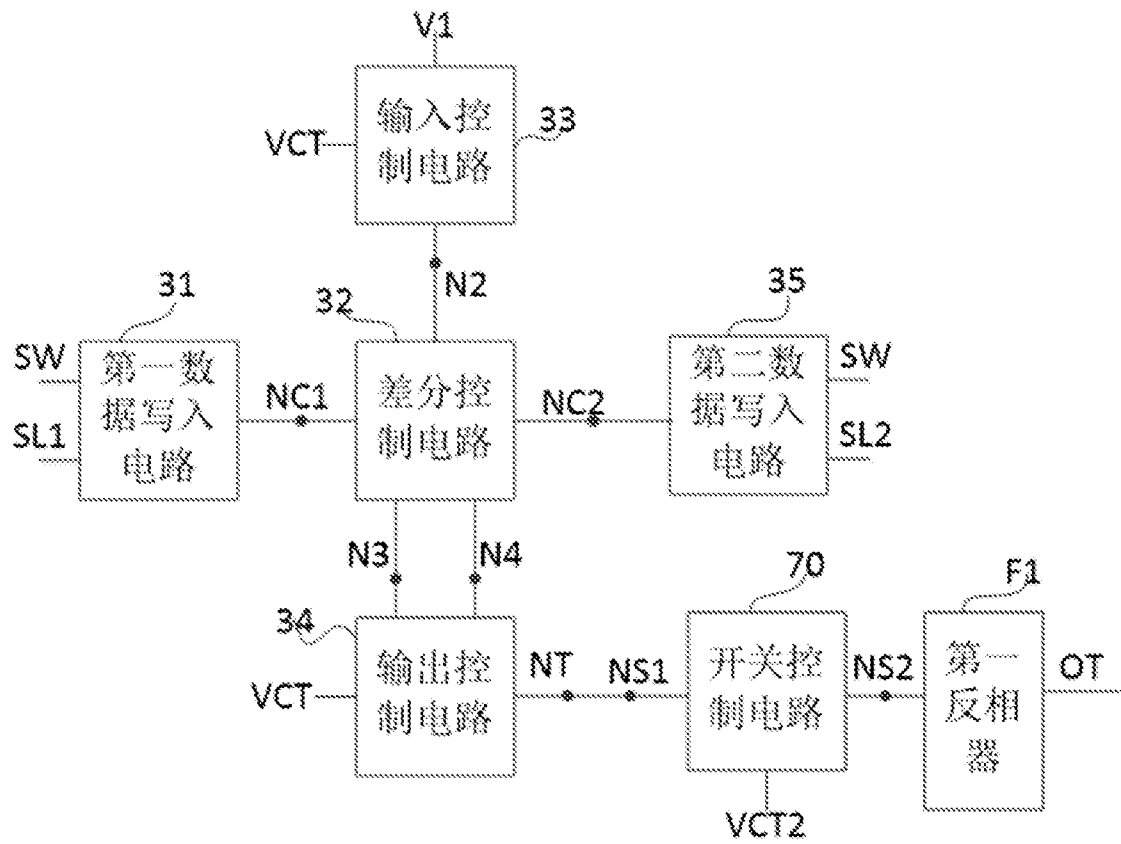


图 7B

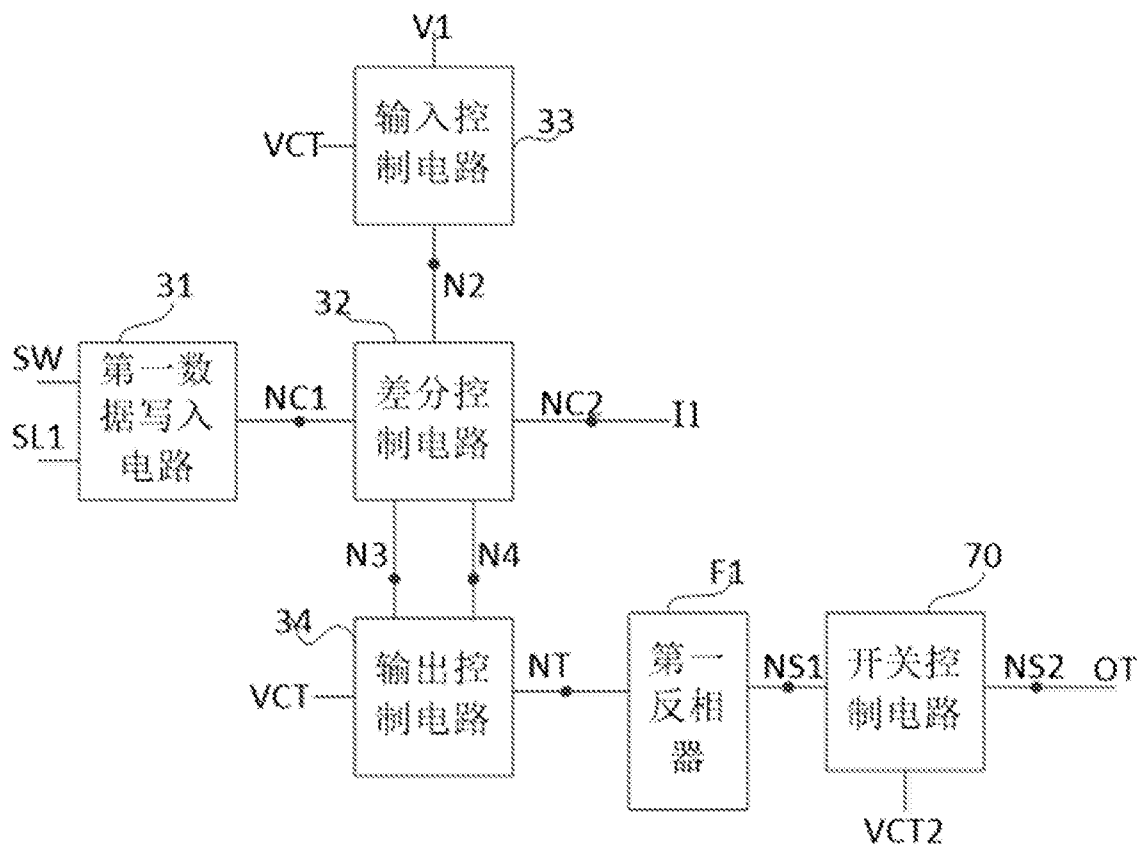


图 8A

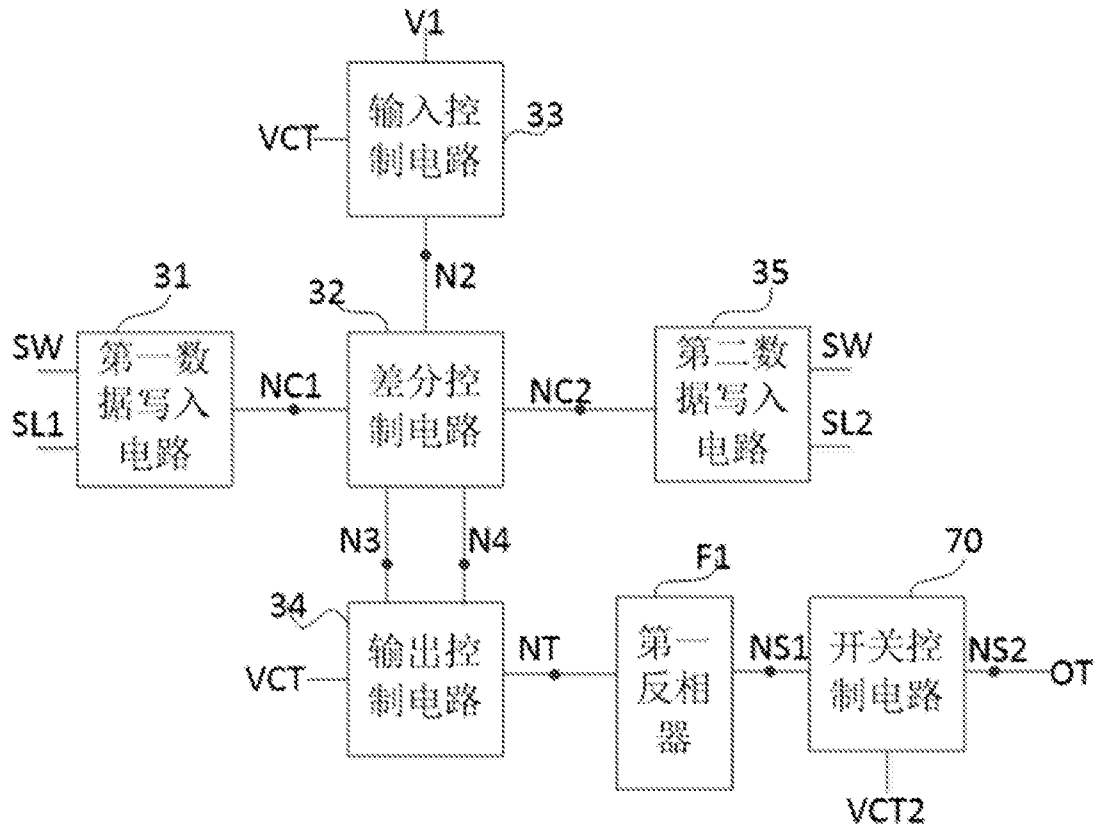


图 8B

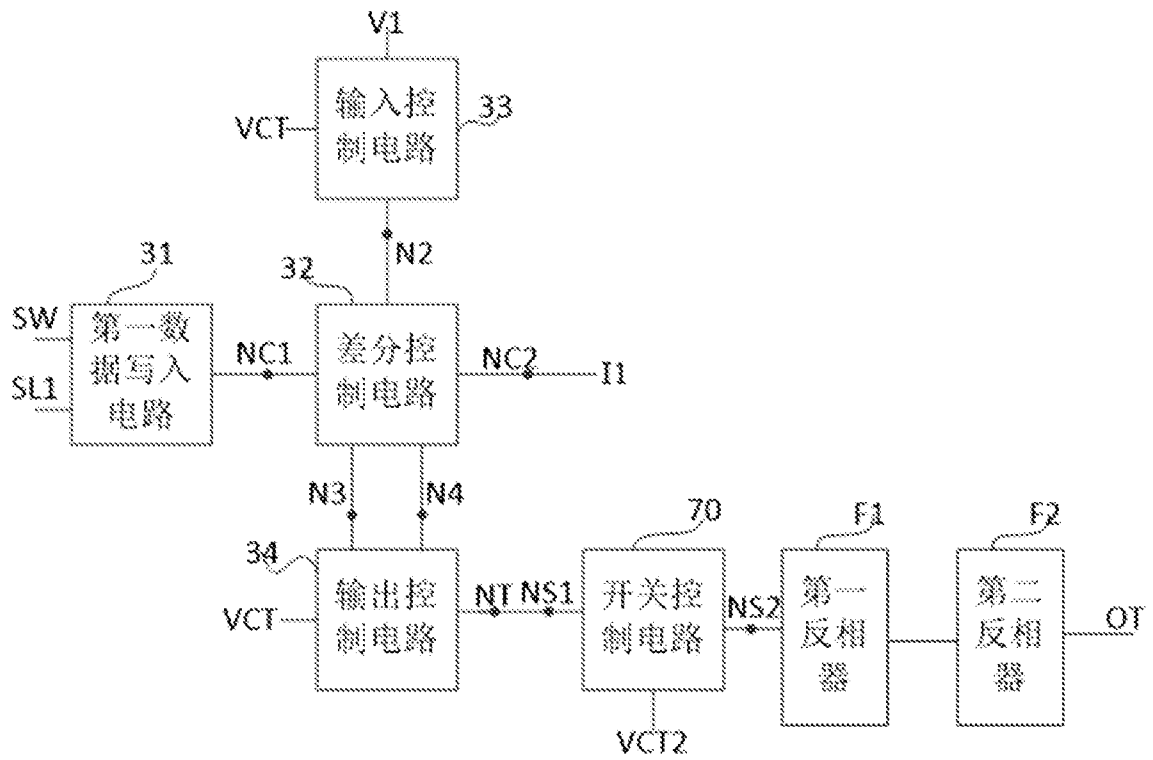


图 9A

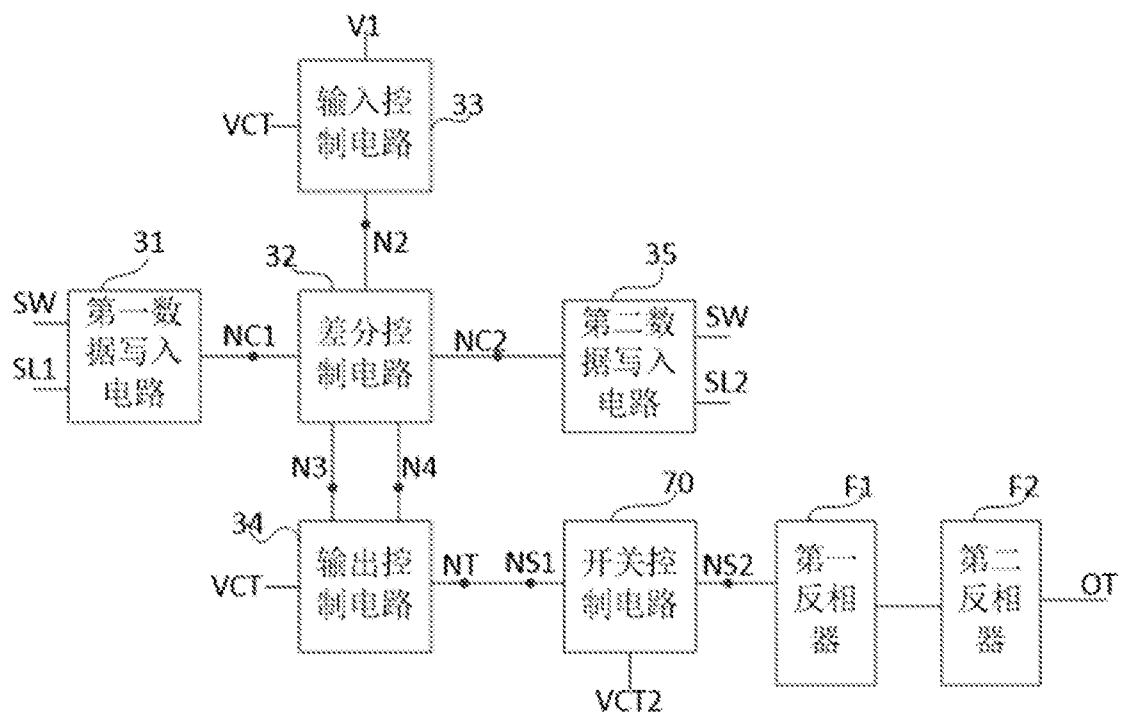


图 9B

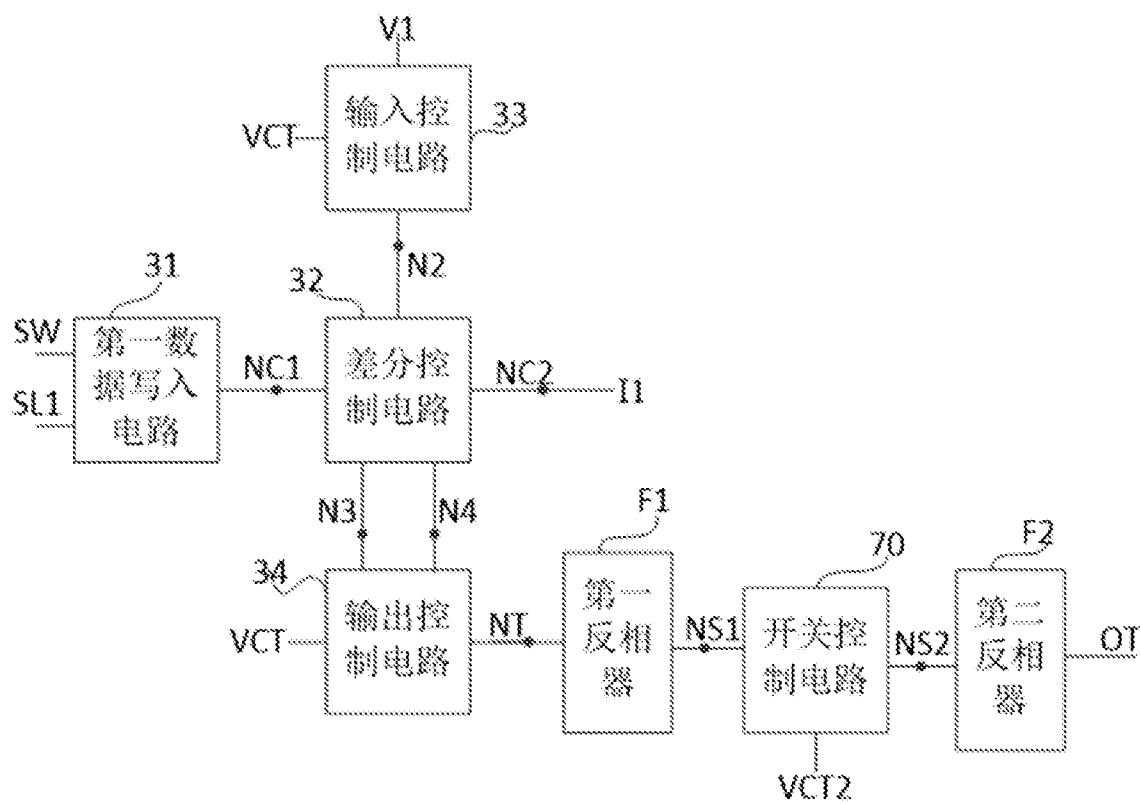


图 10A

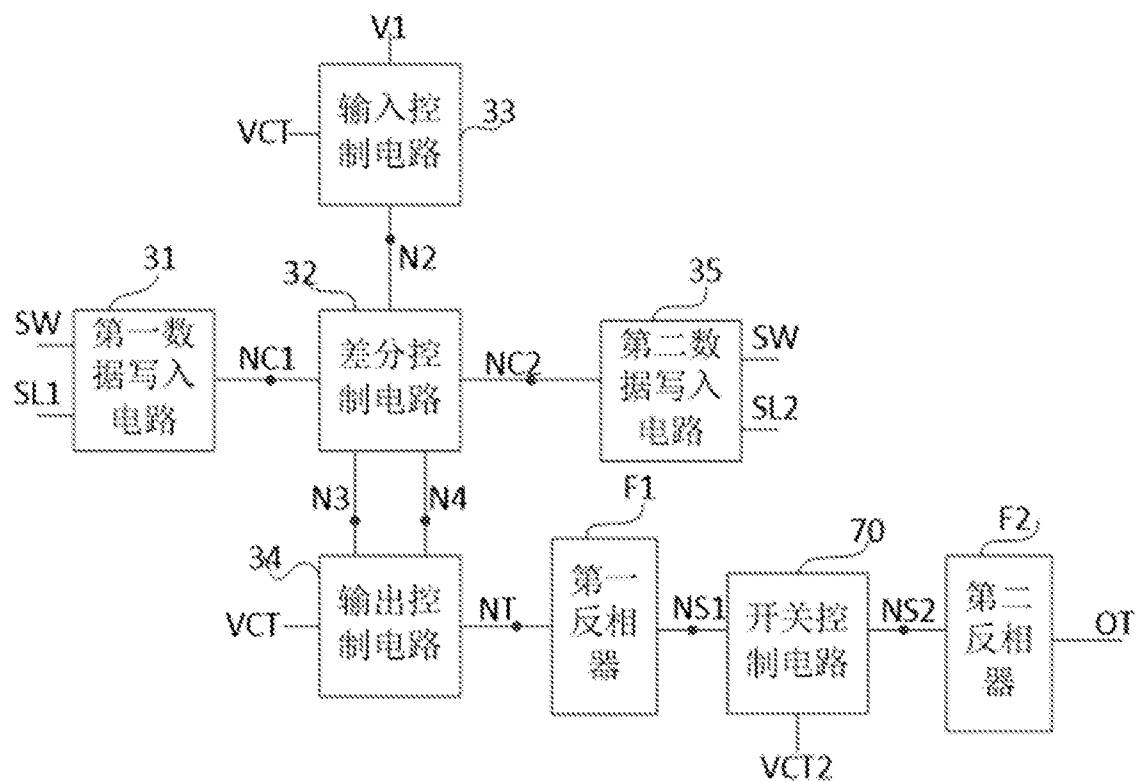


图 10B

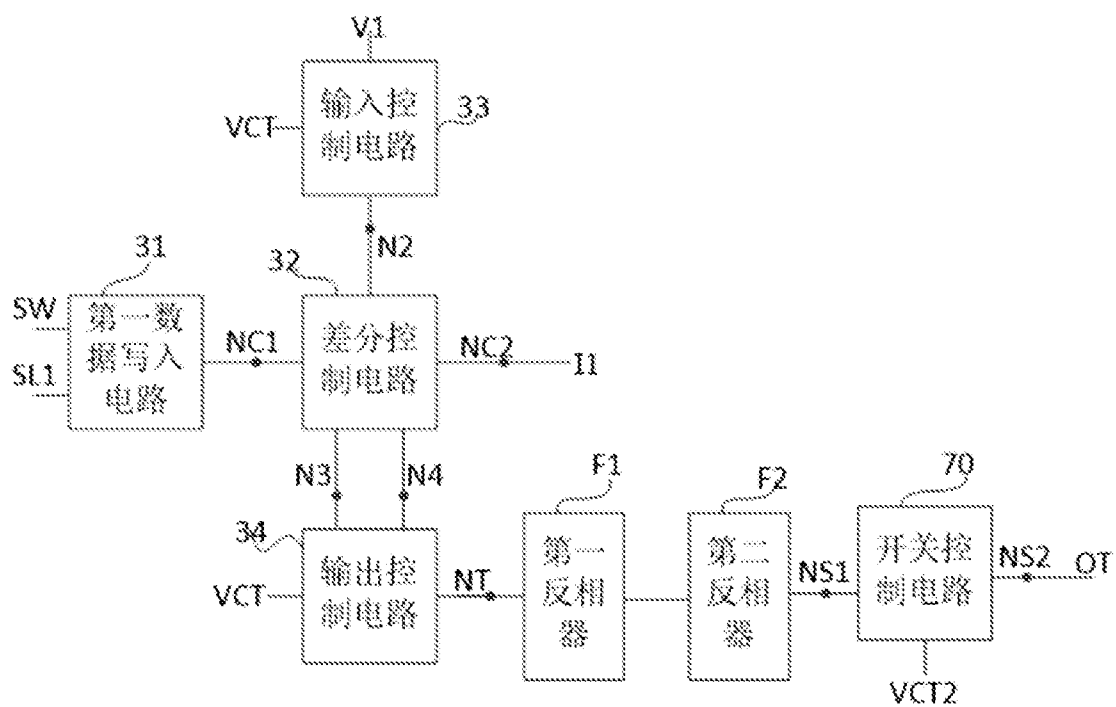


图 11A

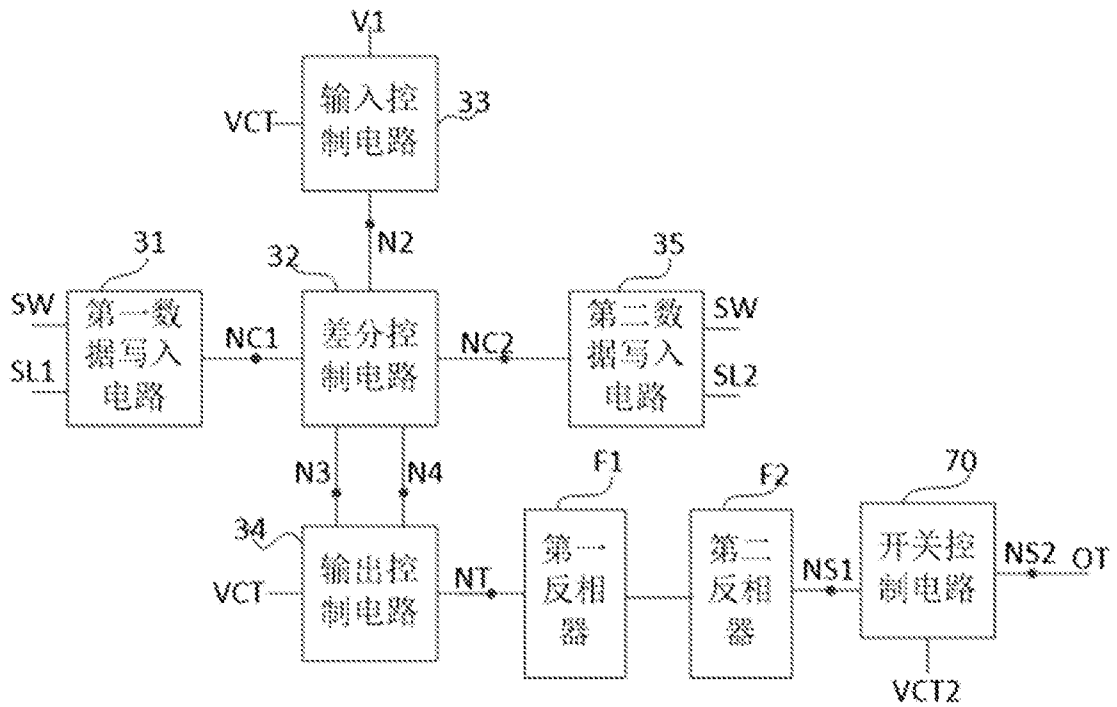


图 11B

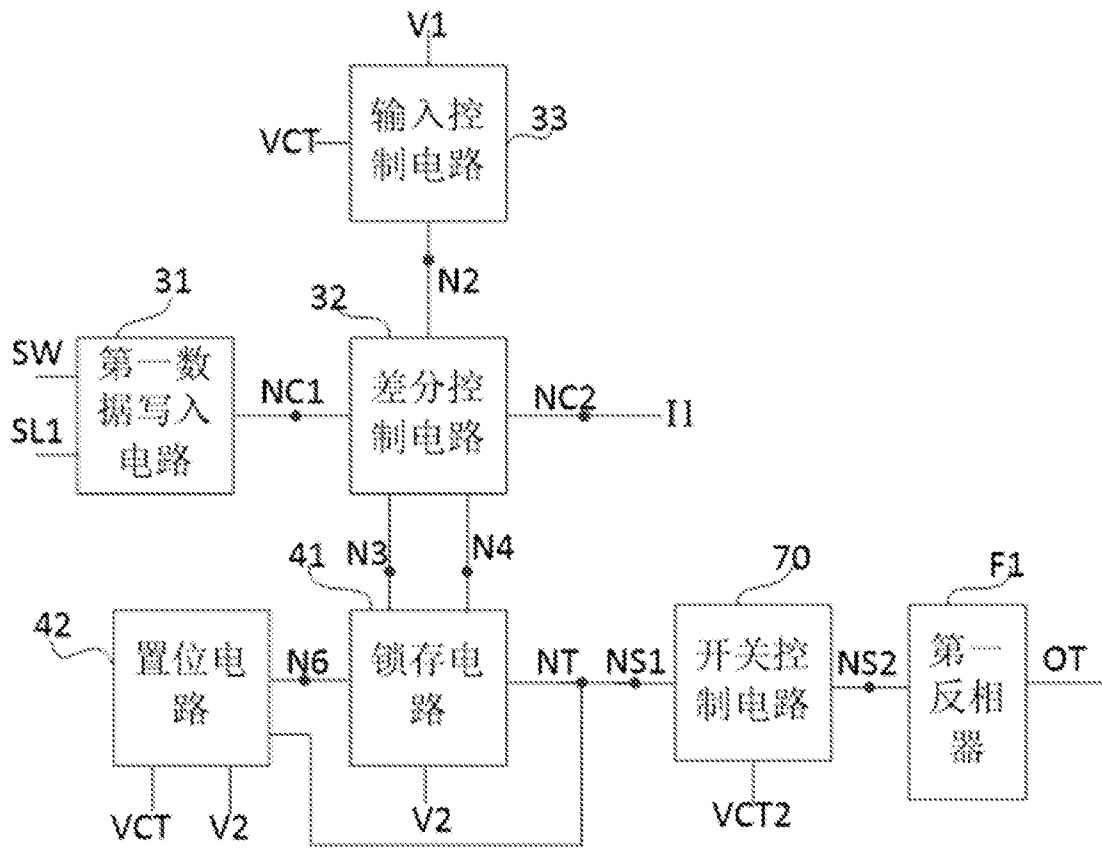


图 12A

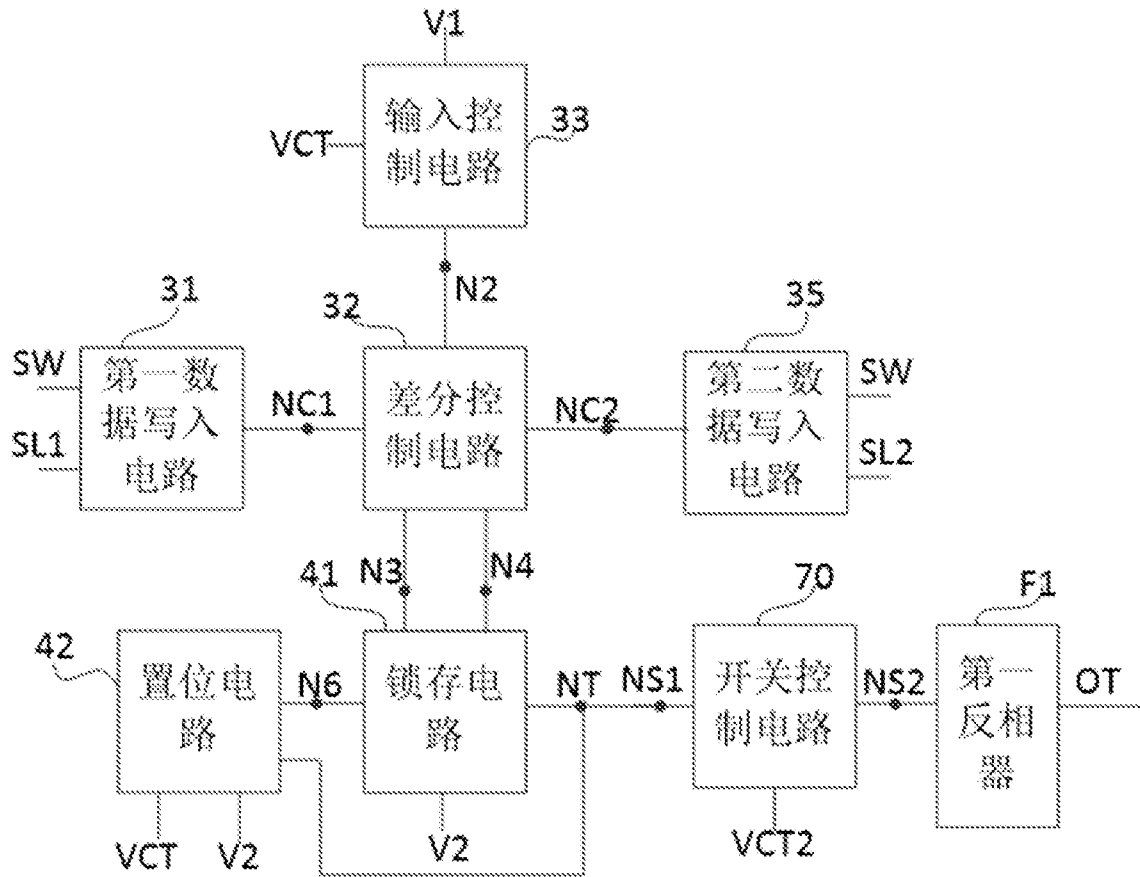


图 12B

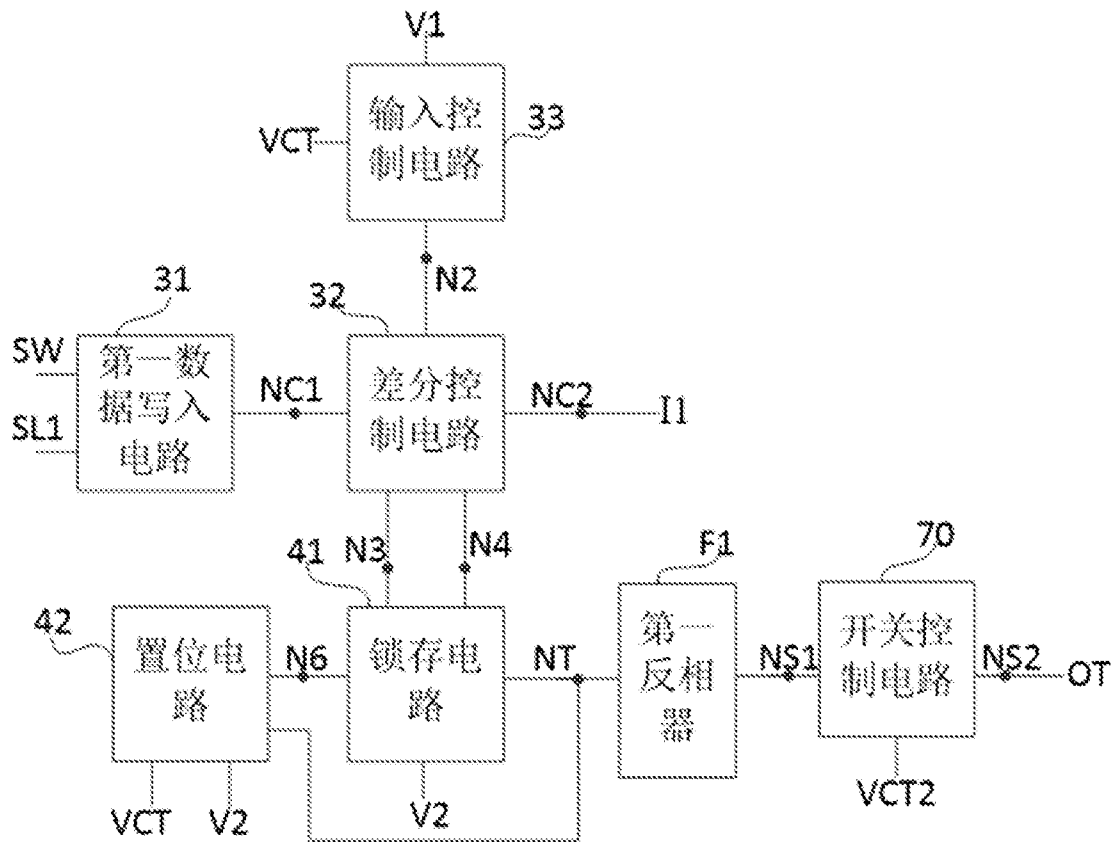


图 13A

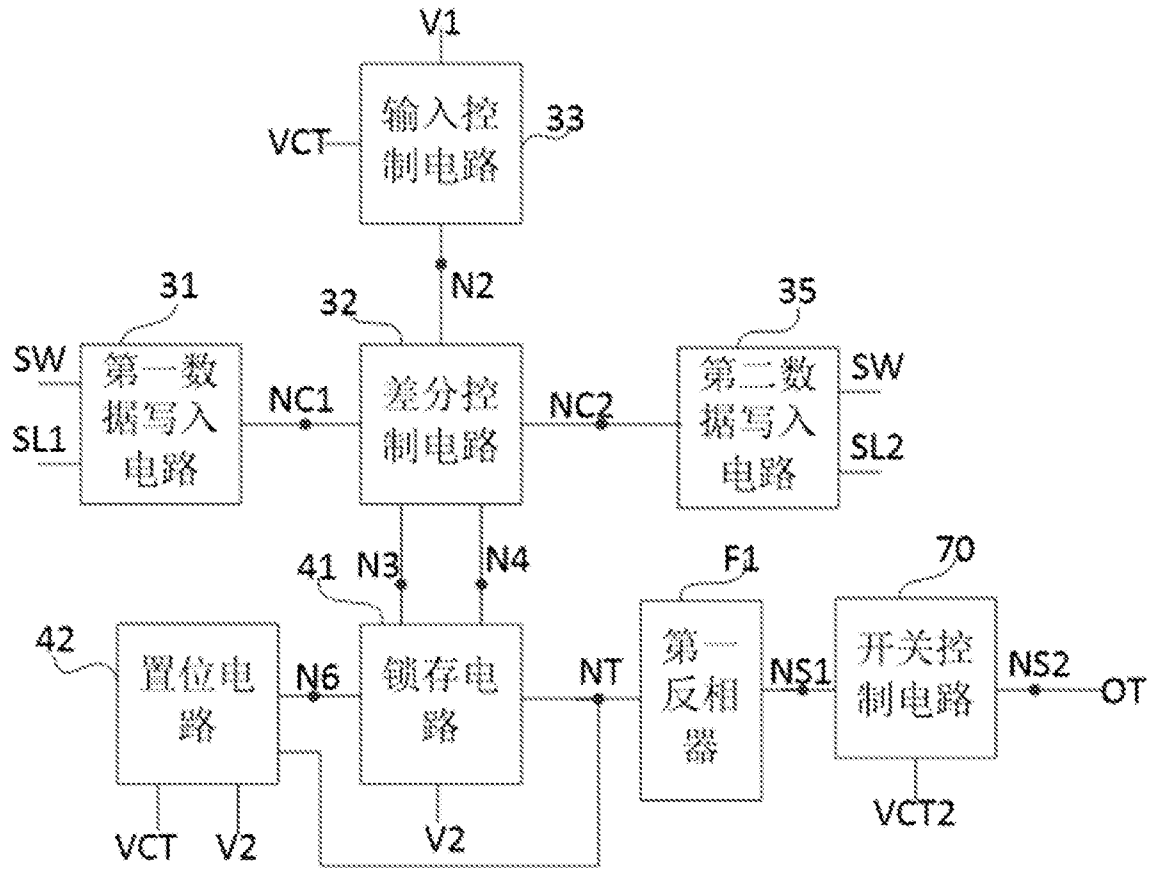


图 13B

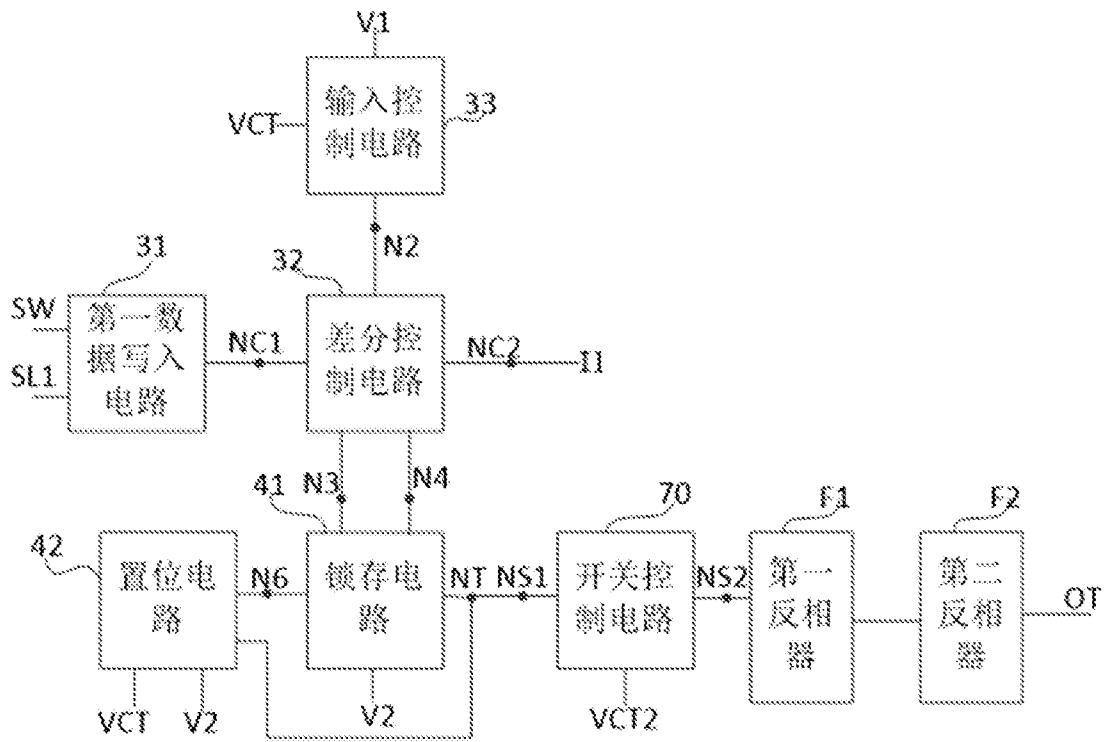


图 14A

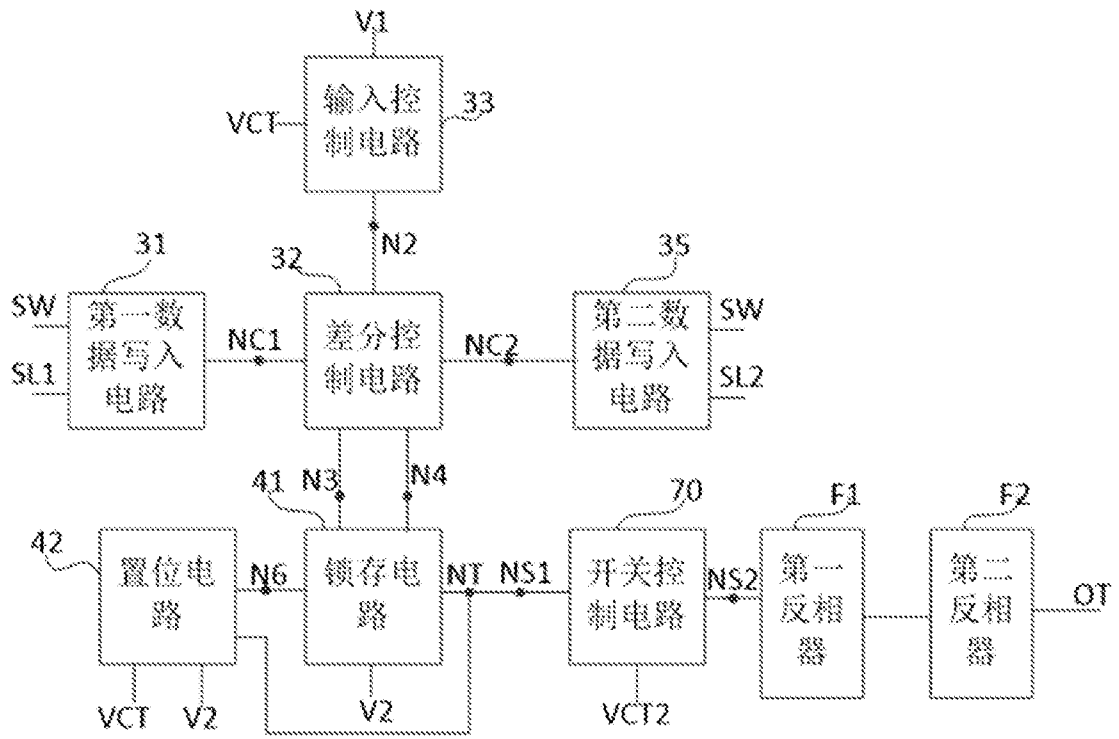


图 14B

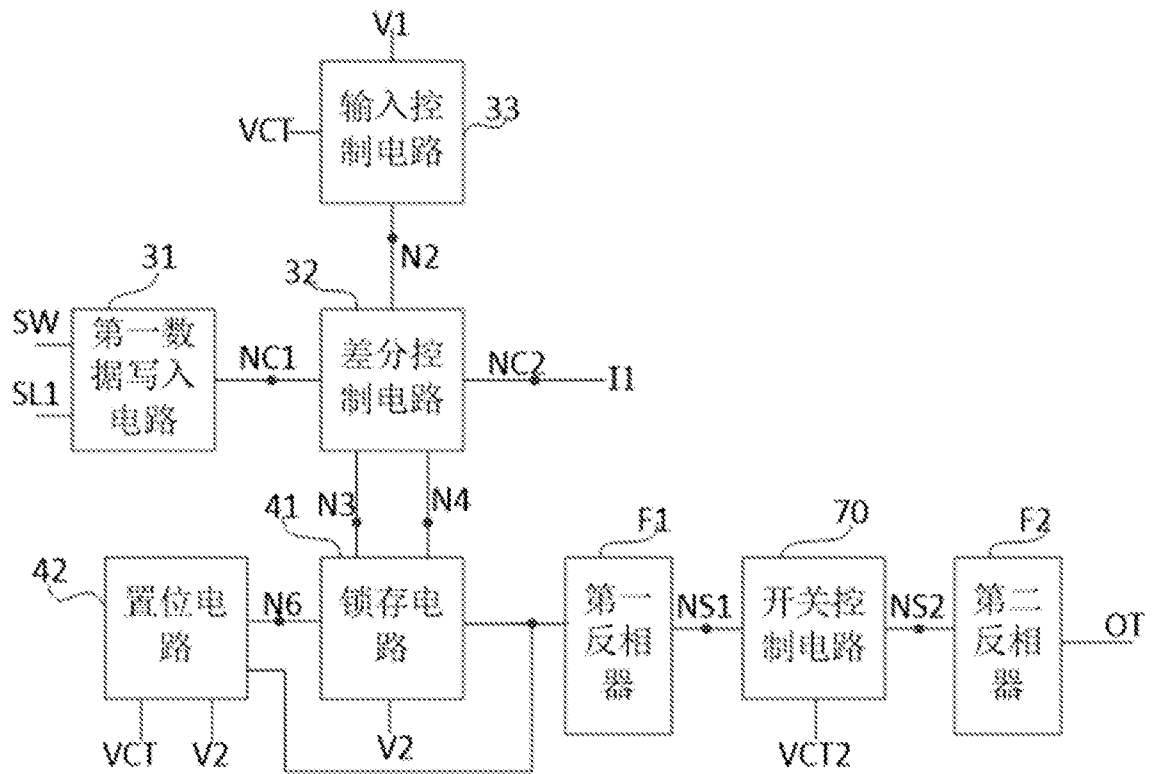


图 15A

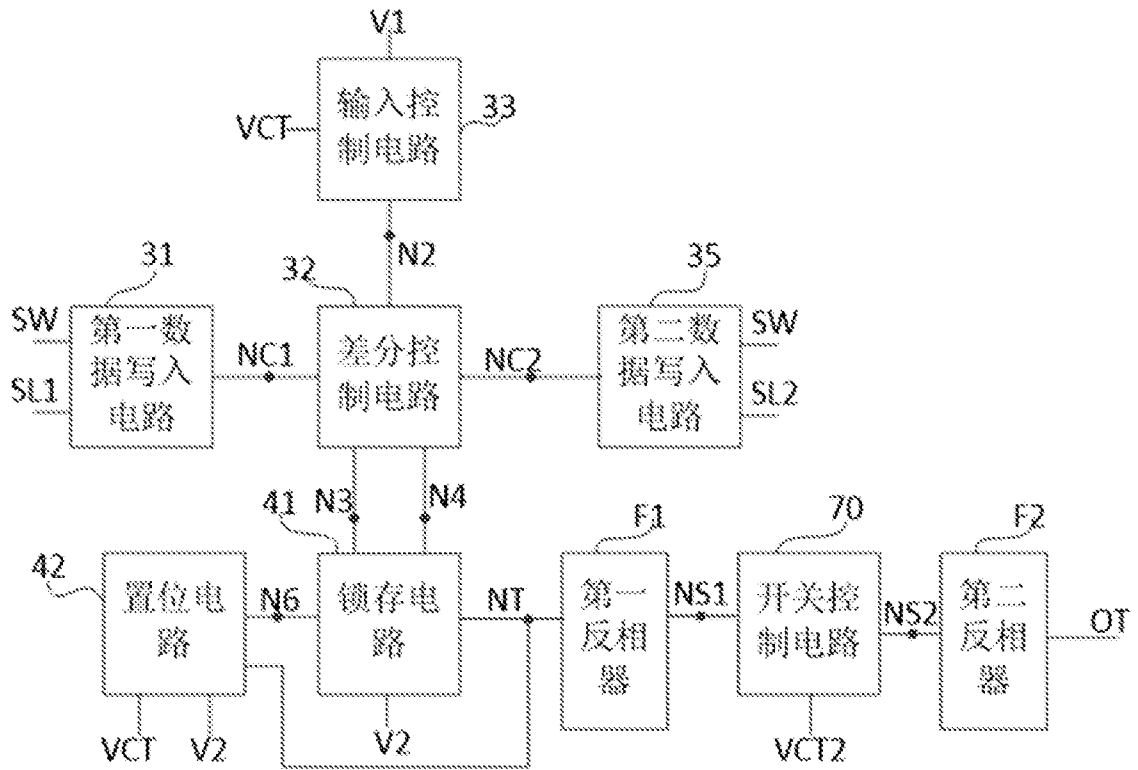


图 15B

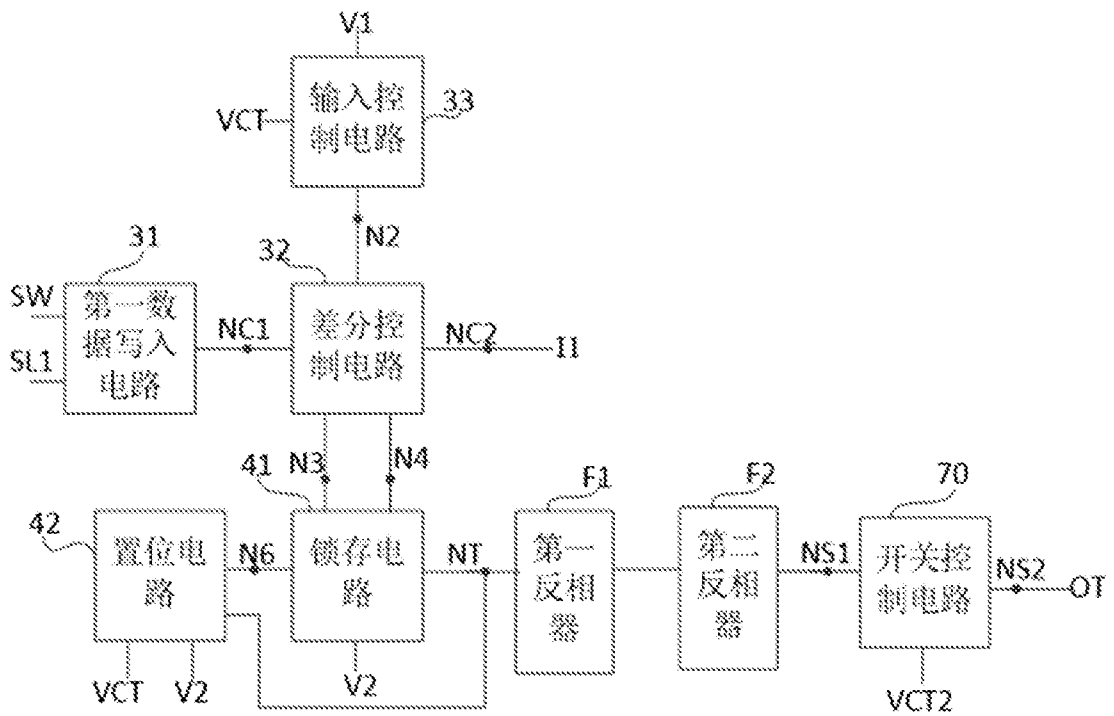


图 16A

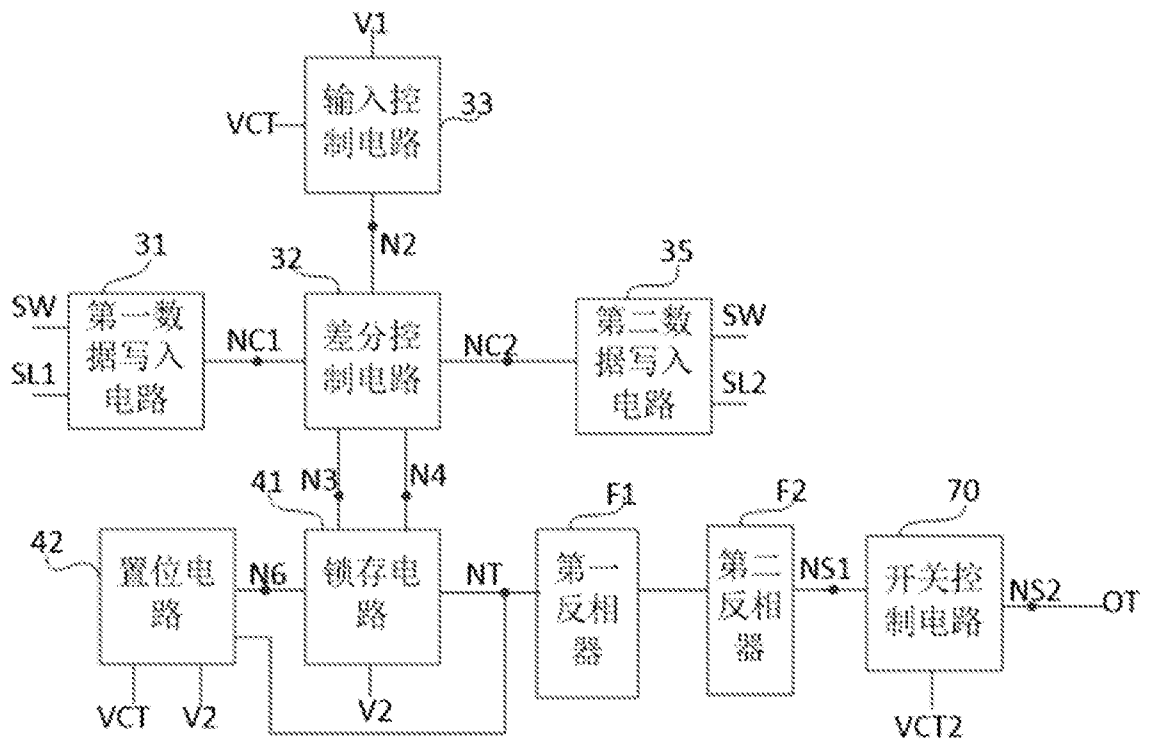


图 16B

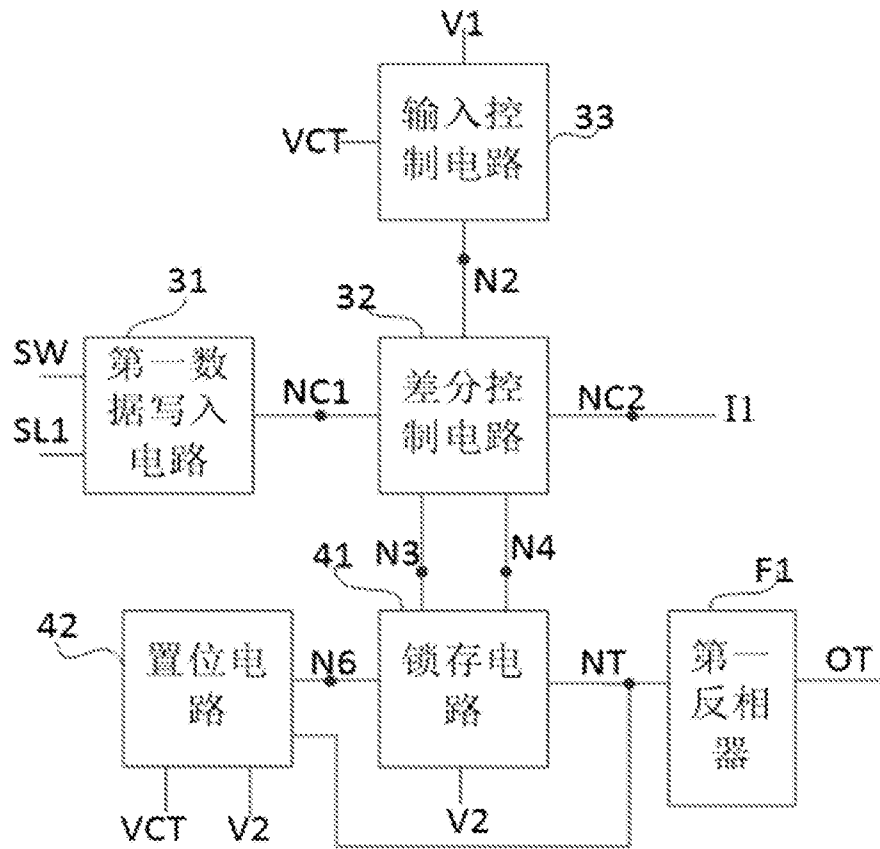


图 17

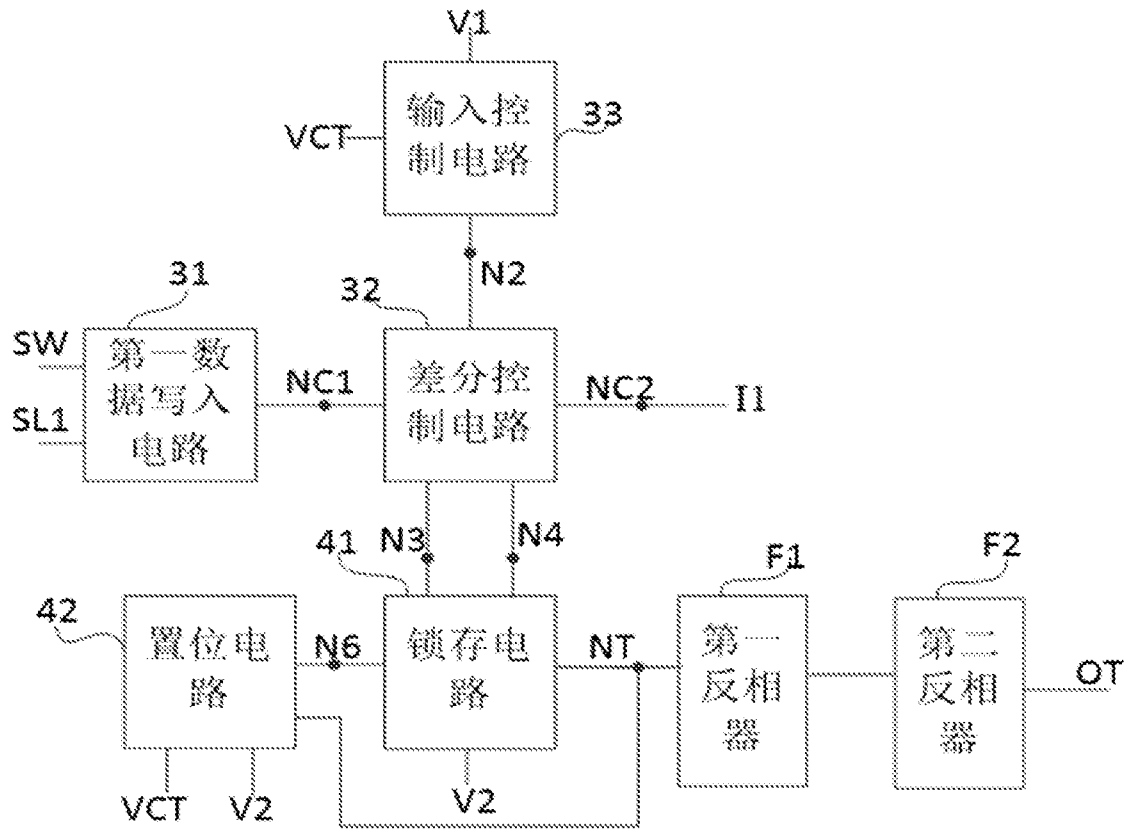


图 18

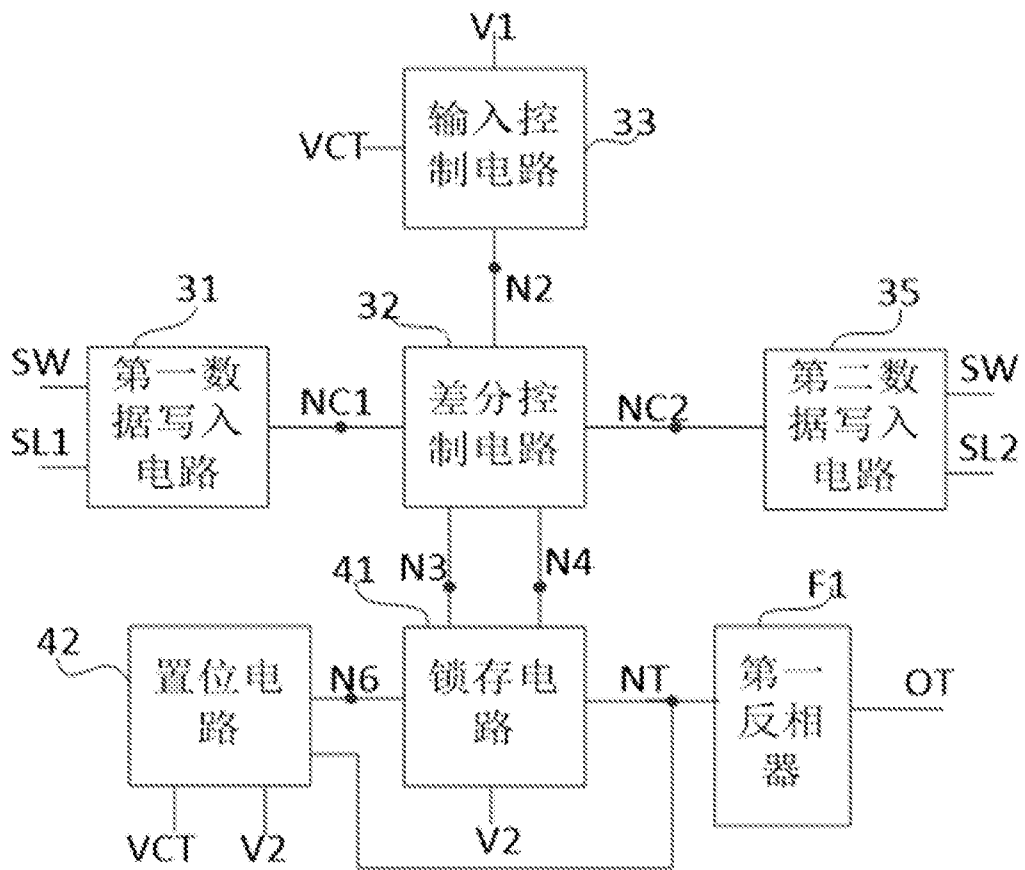


图 19

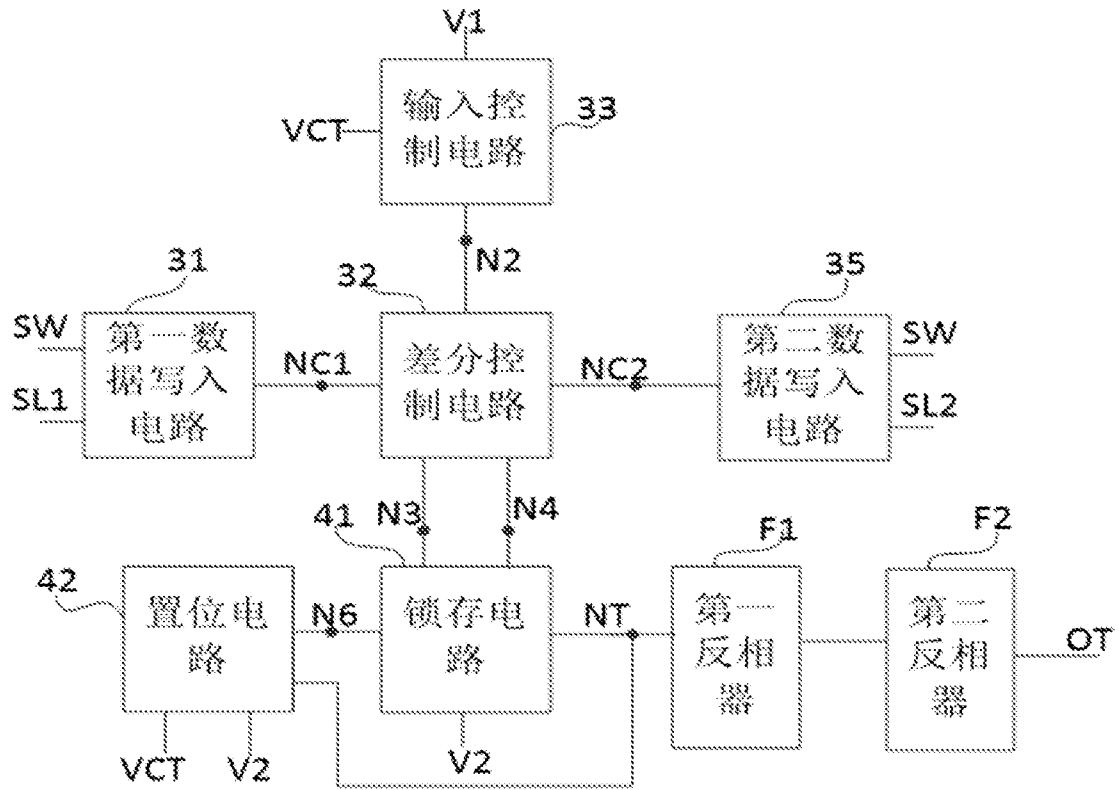


图 20

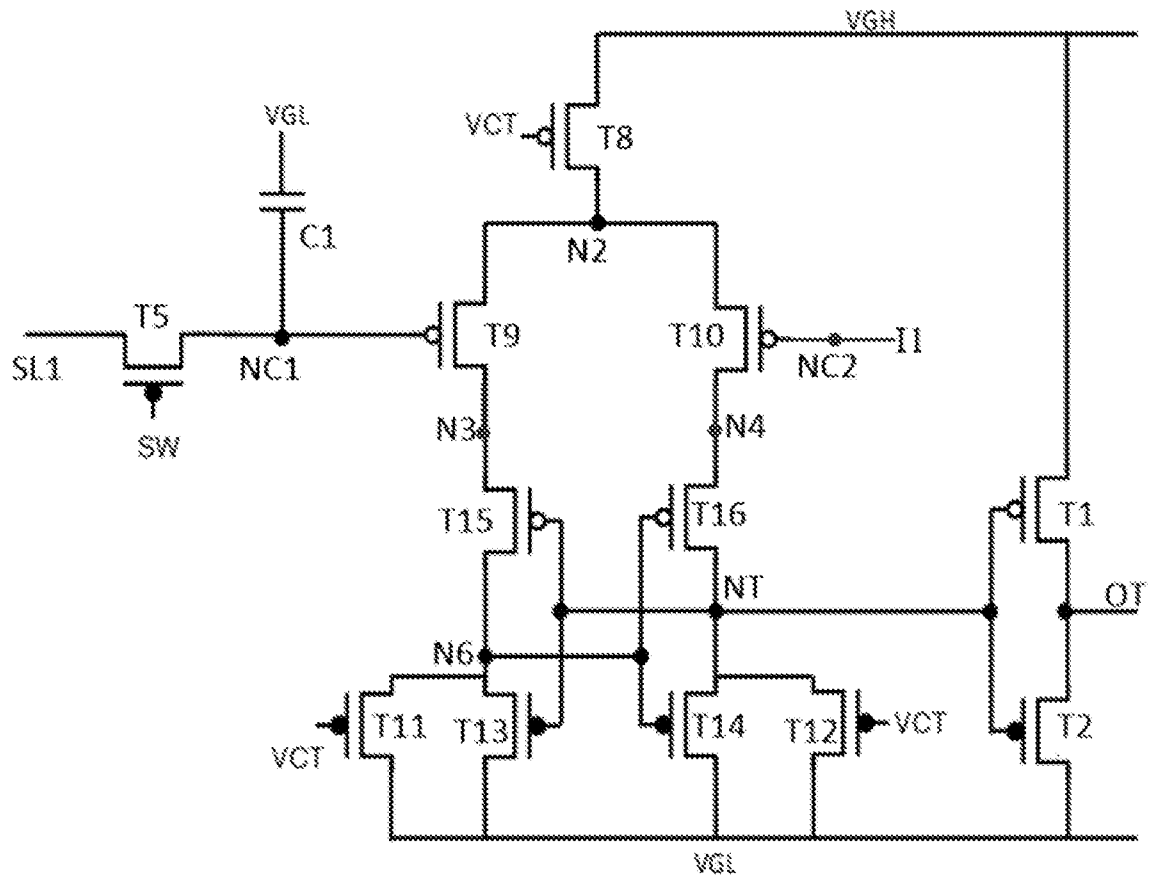


图 21A

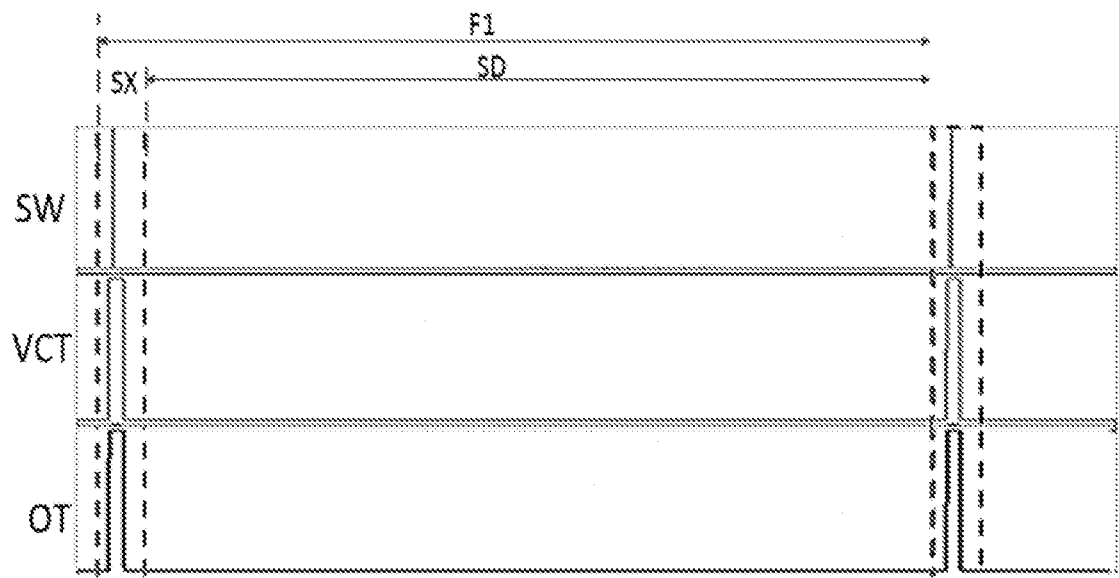


图 21B

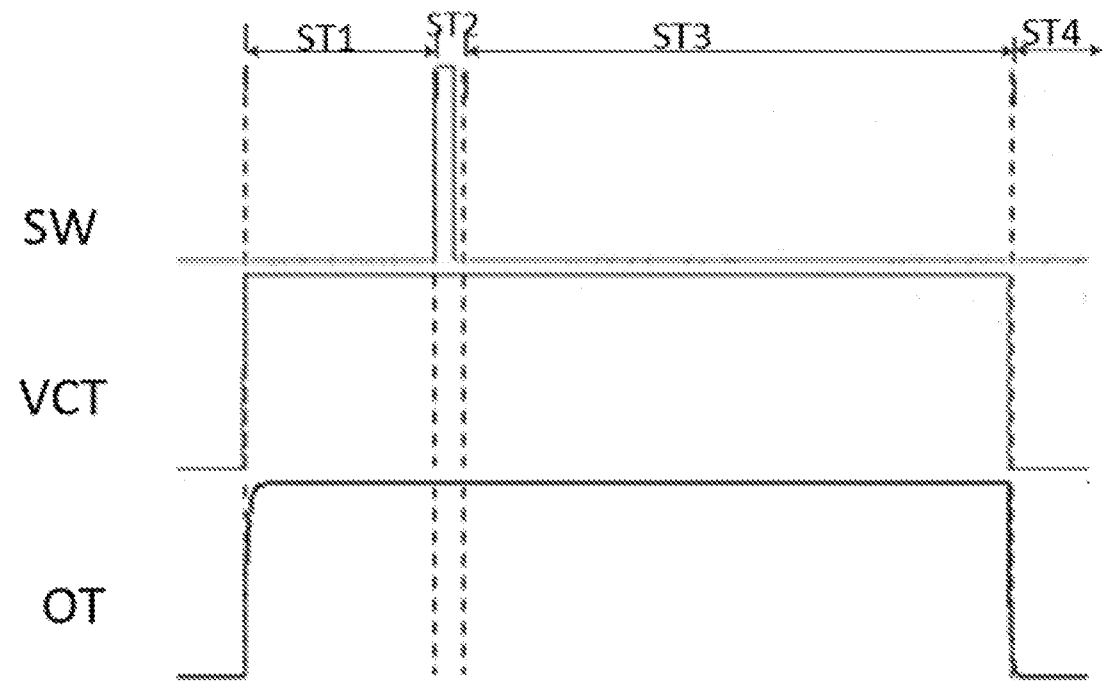


图 21C

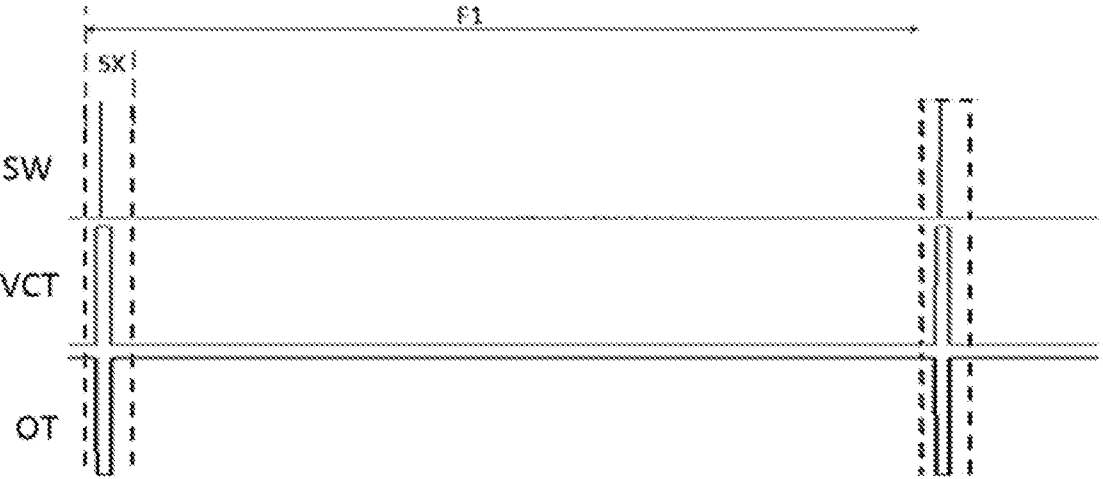


图 22B

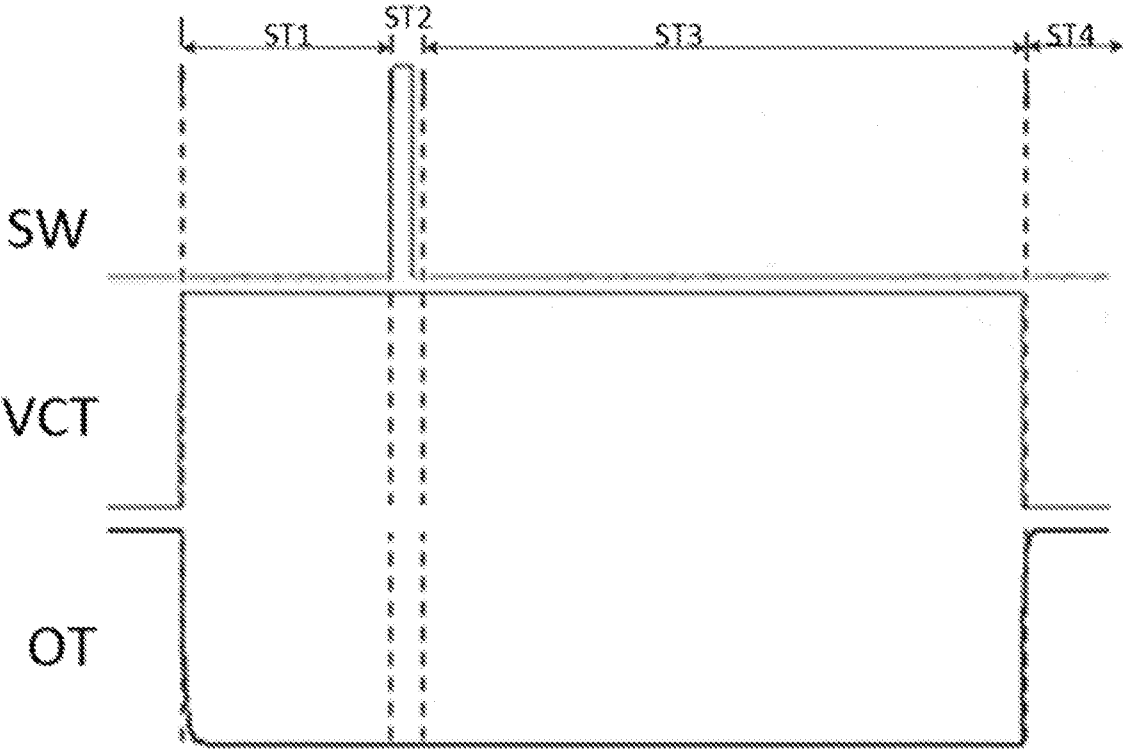


图 22C

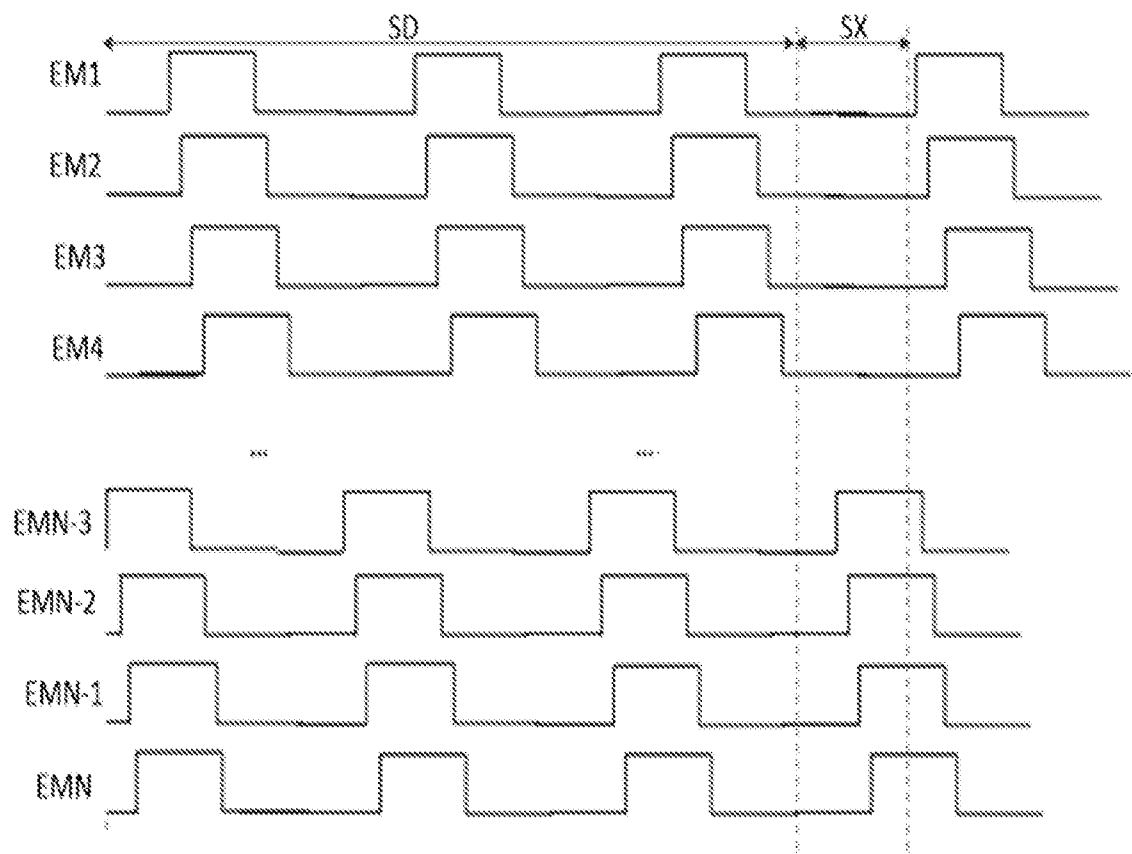


图 22D

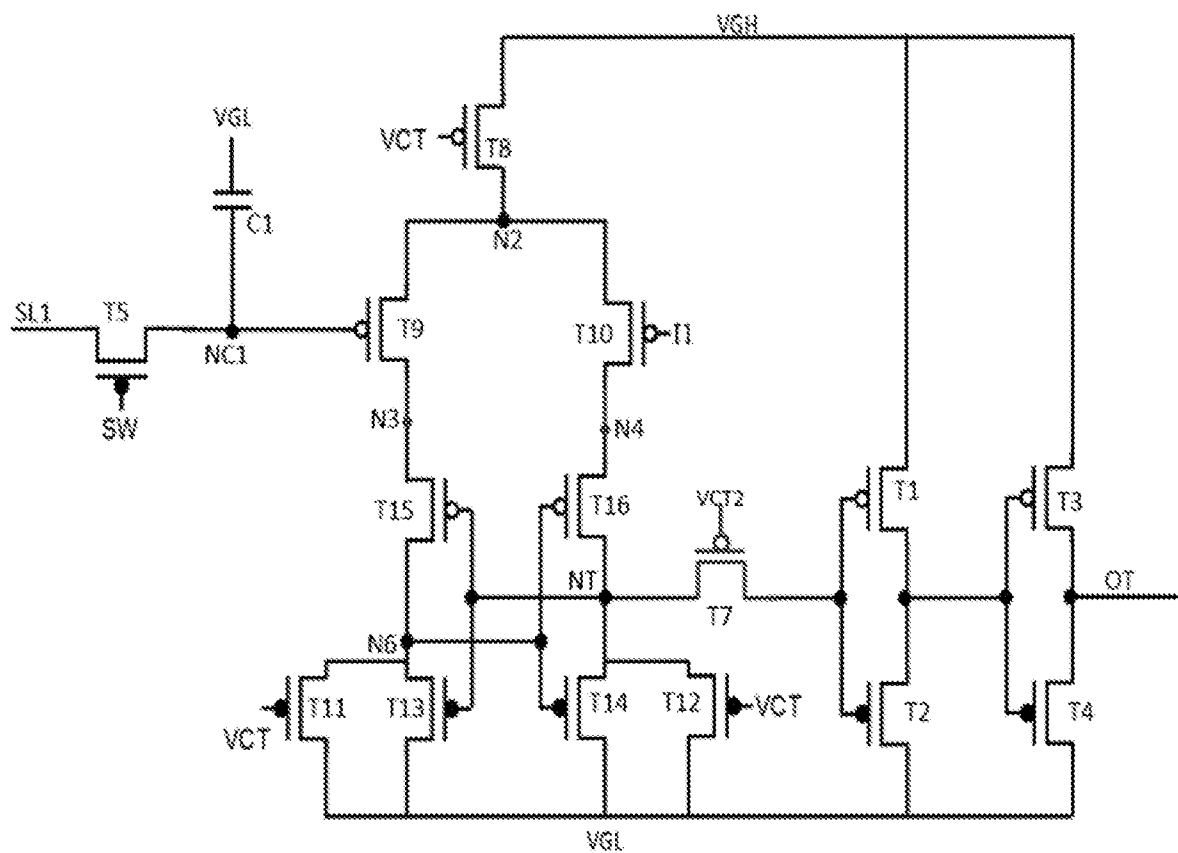


图 23A

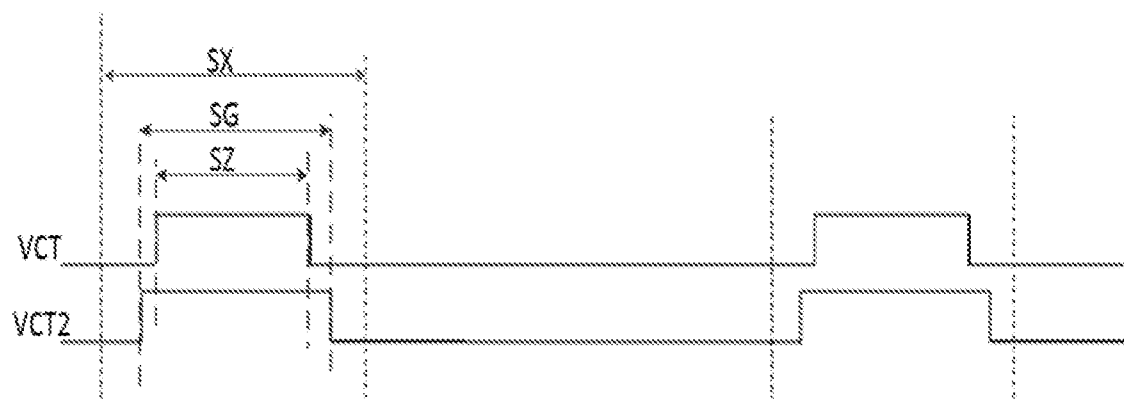


图 23B

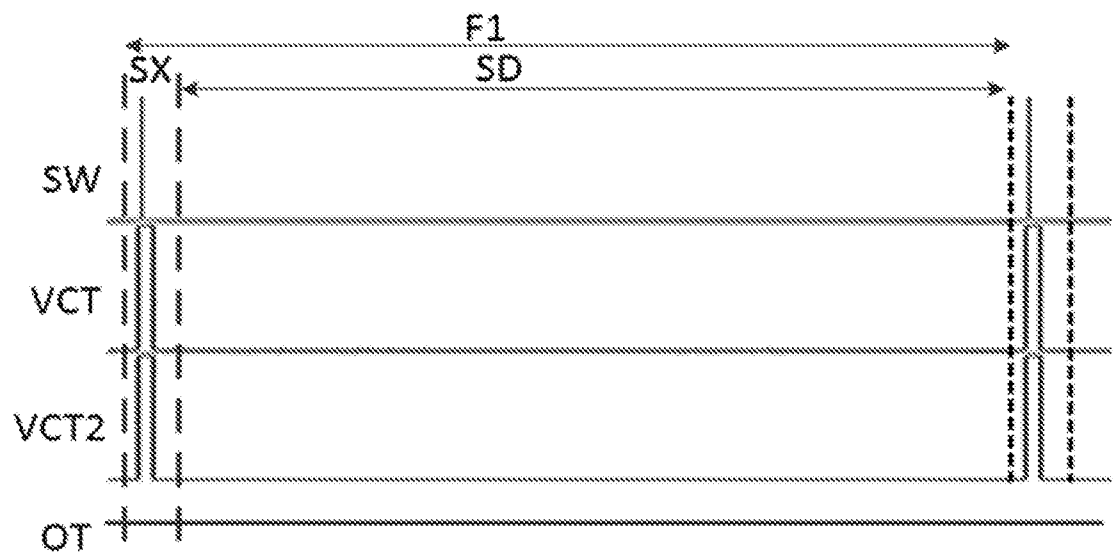


图 23C

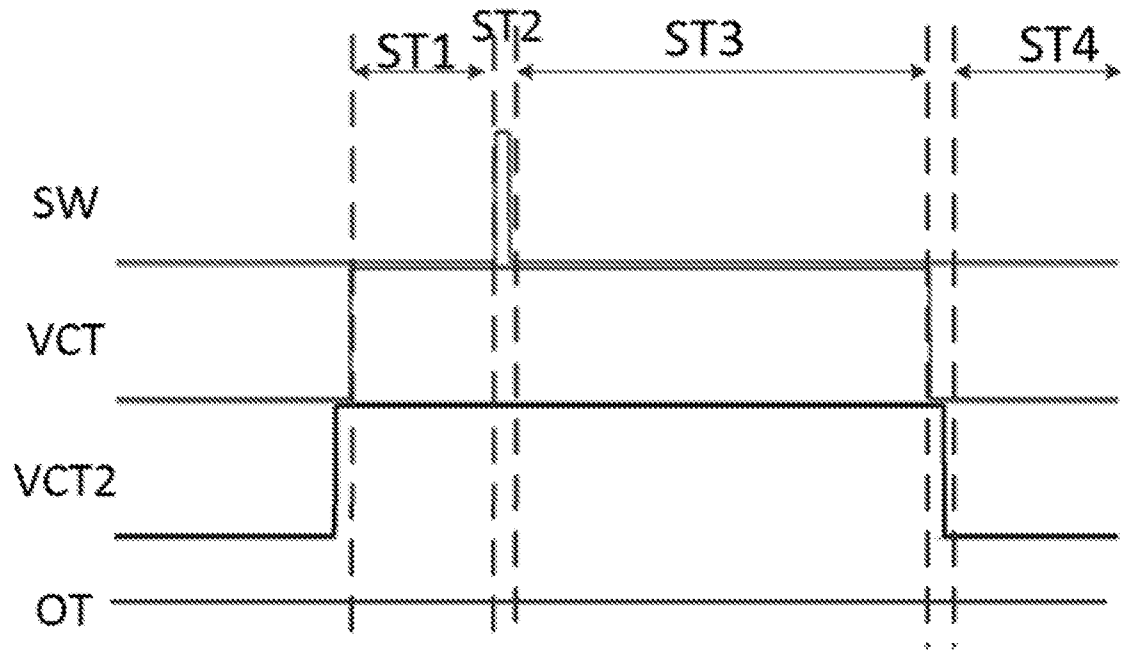


图 23D

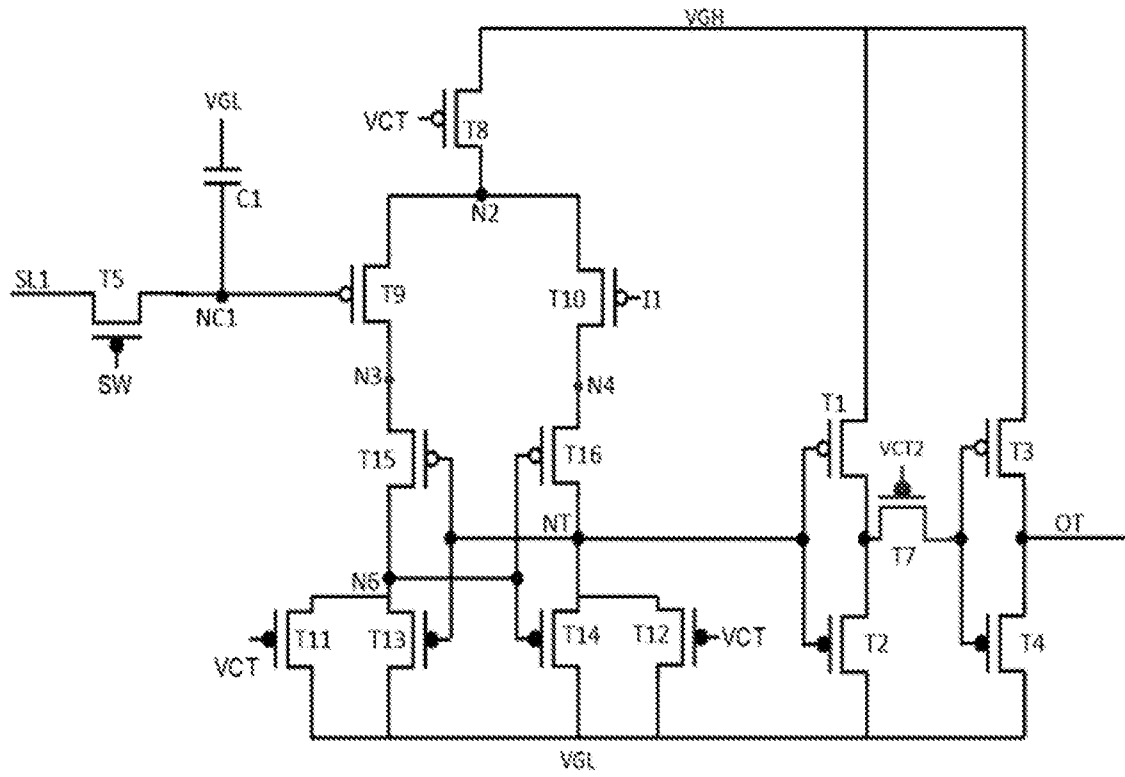


图 27

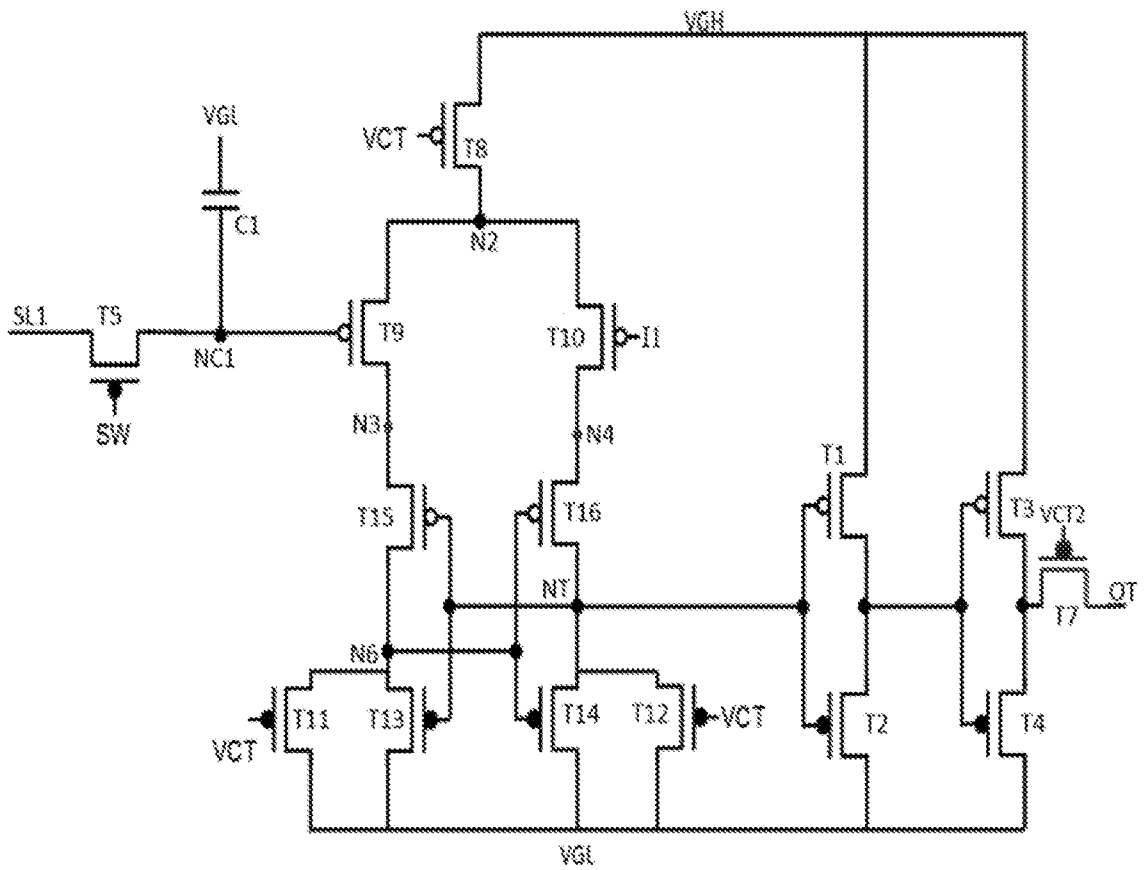


图 28

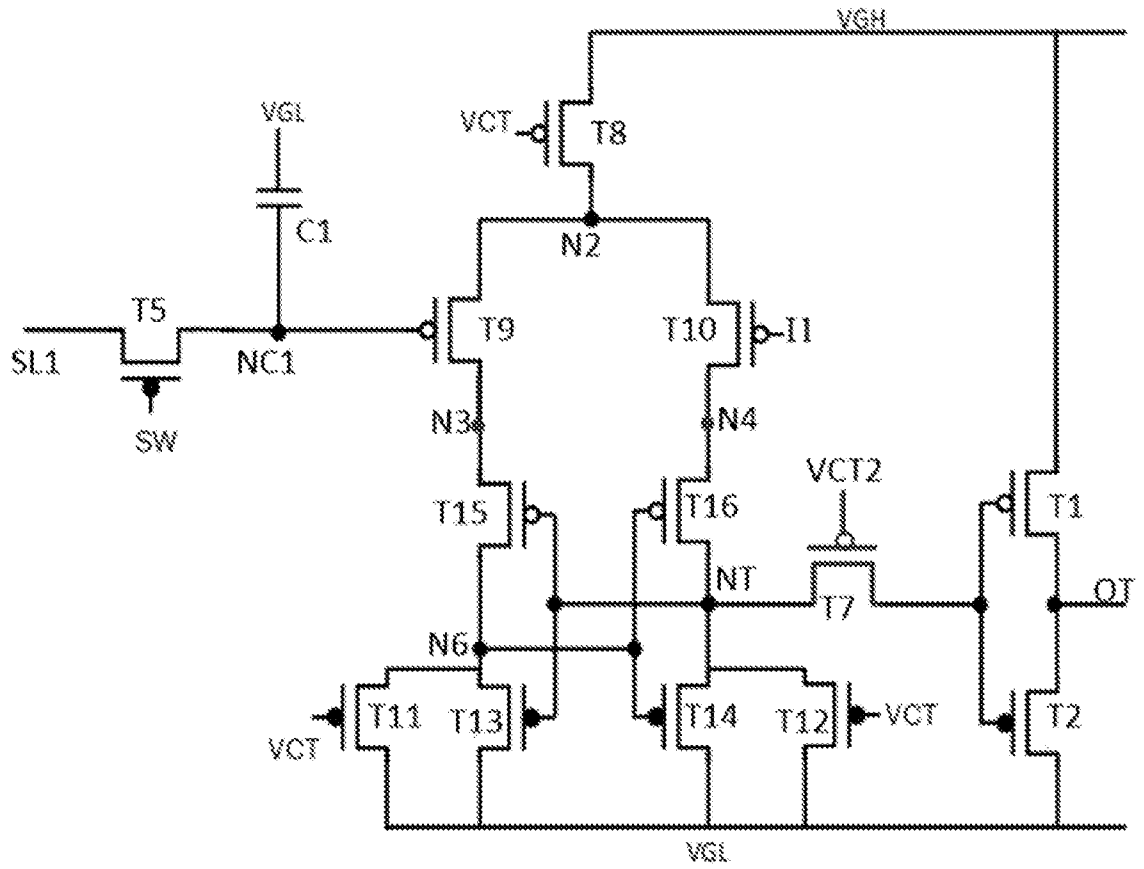


图 29A

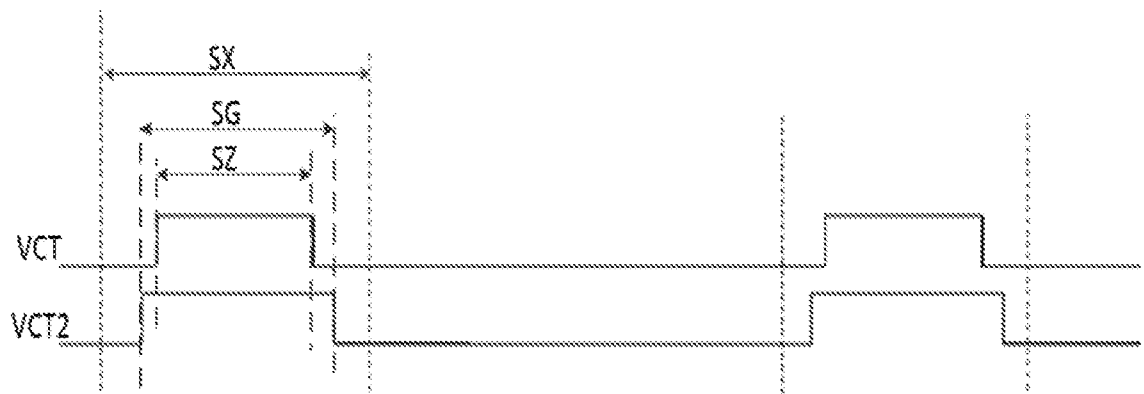


图 29B

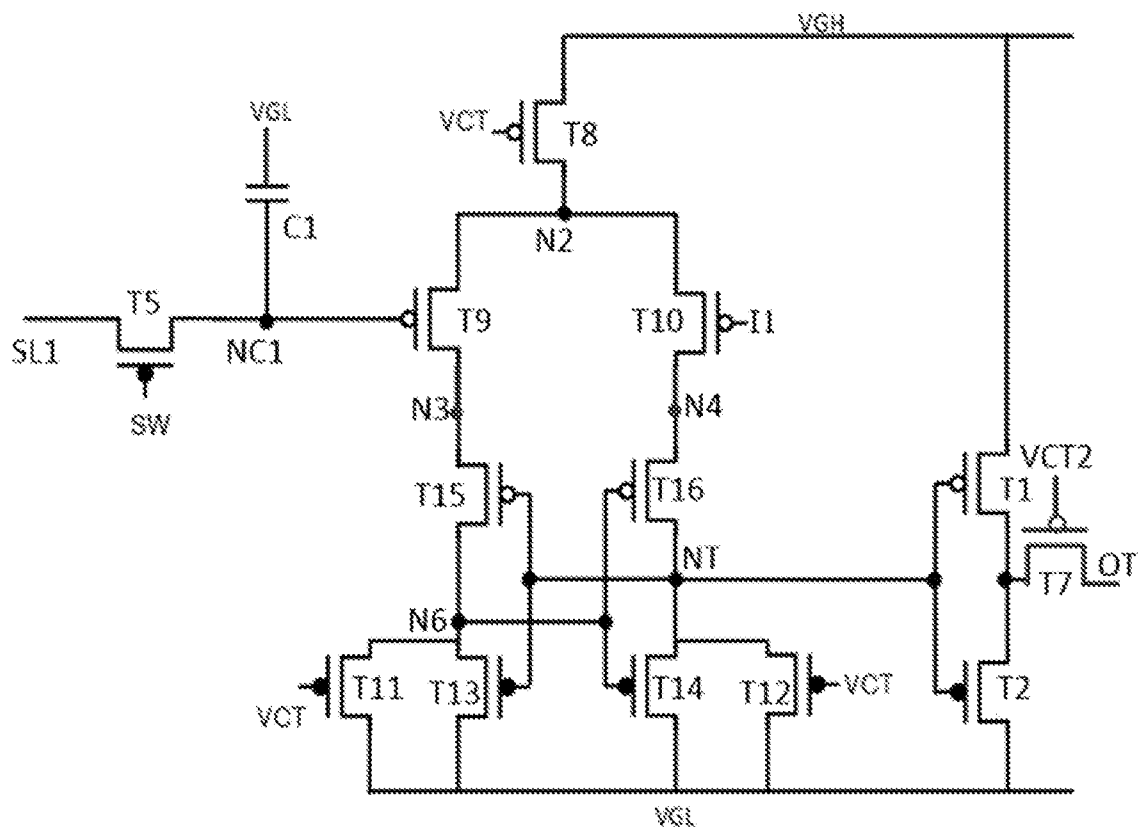


图 30

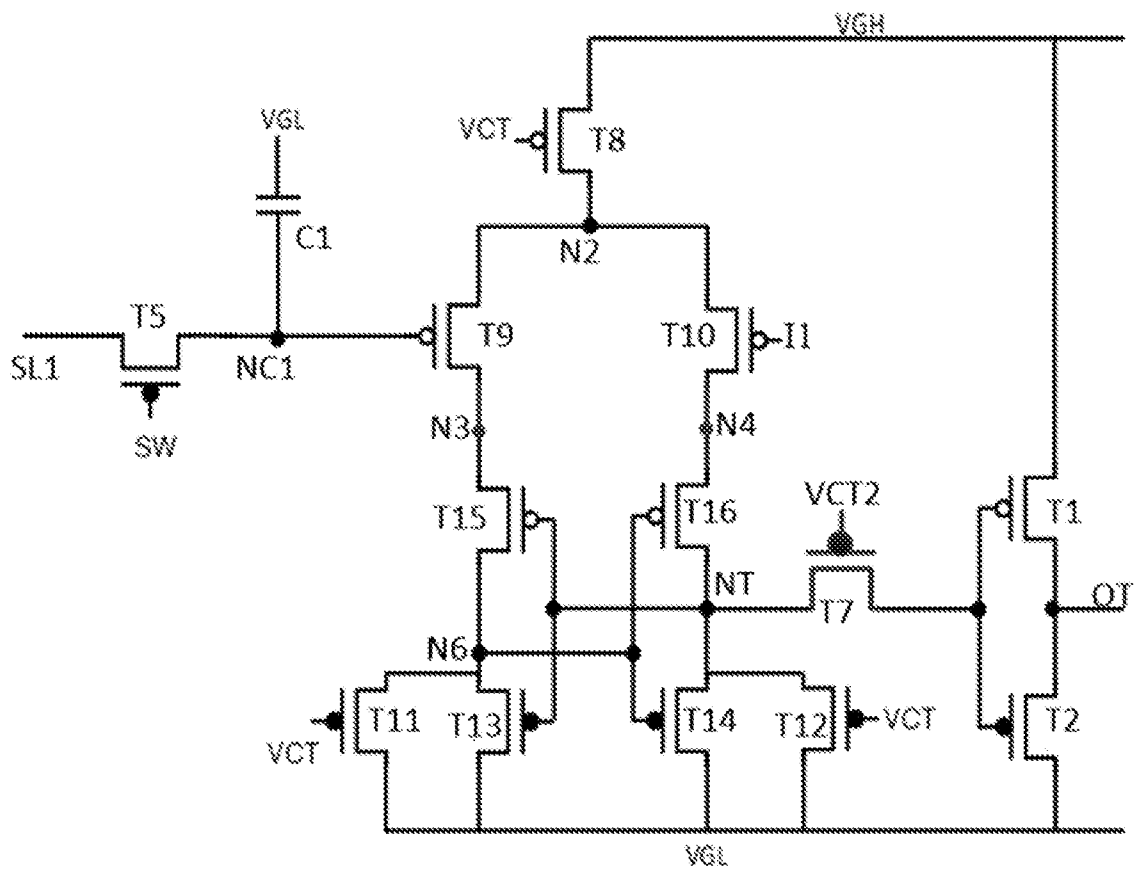


图 31A

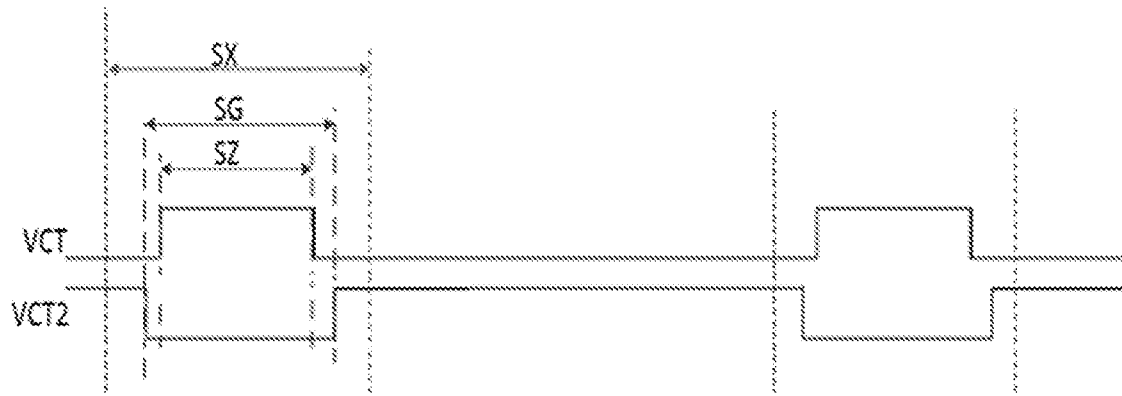


图 31B

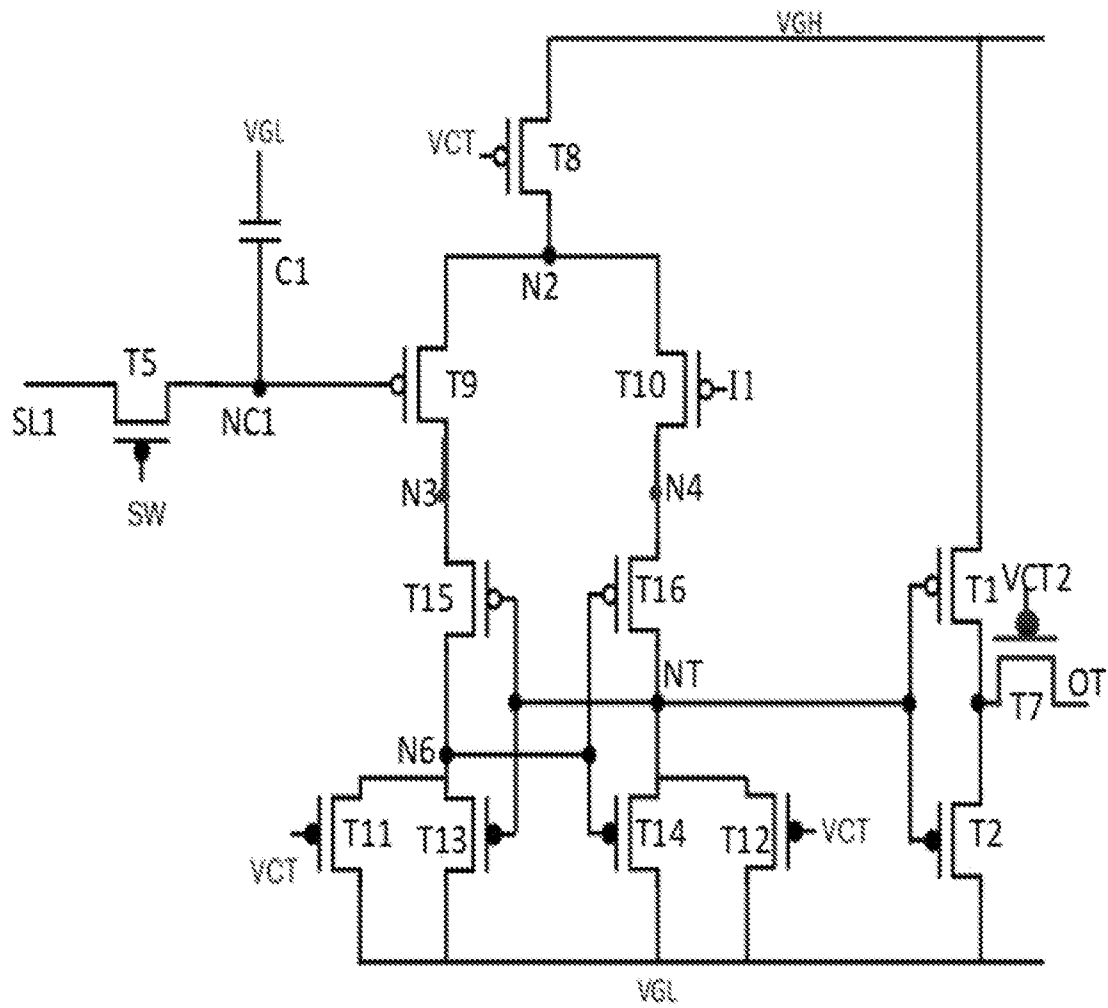


图 32

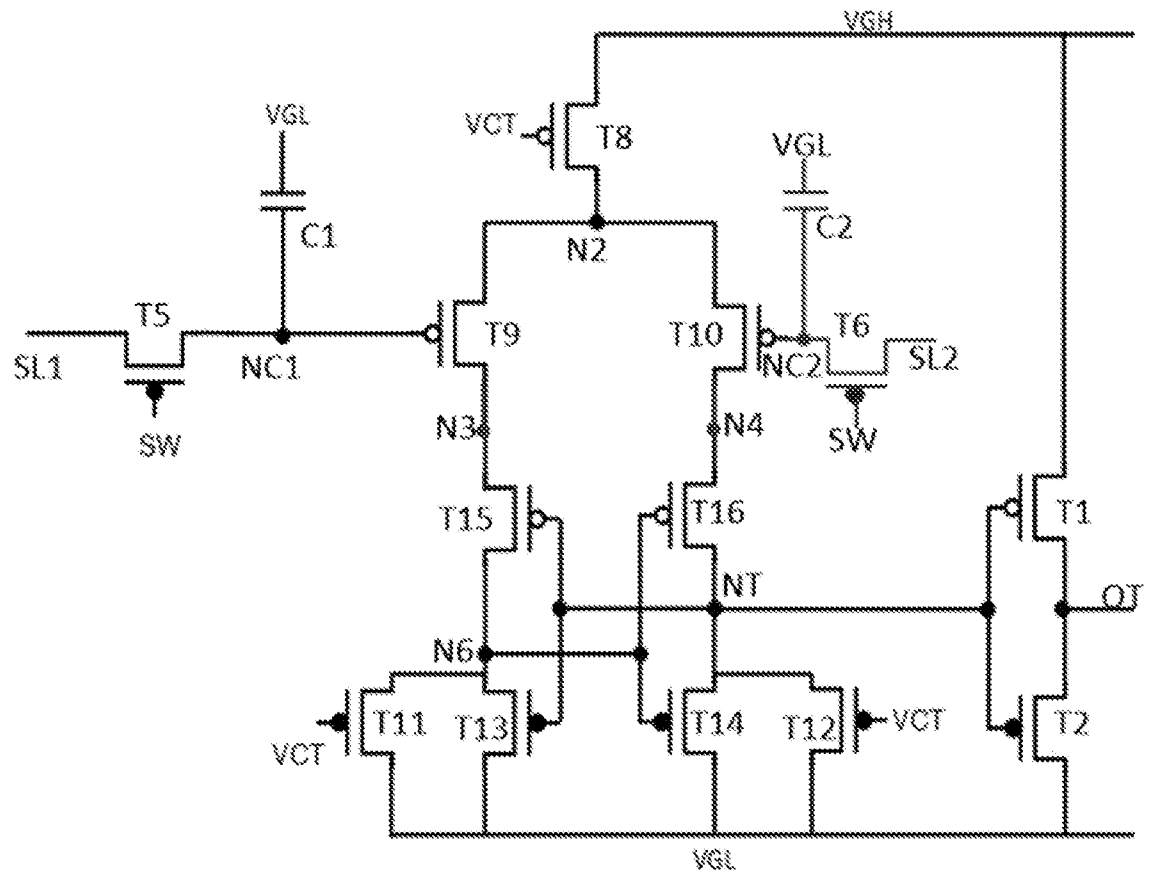


图 33

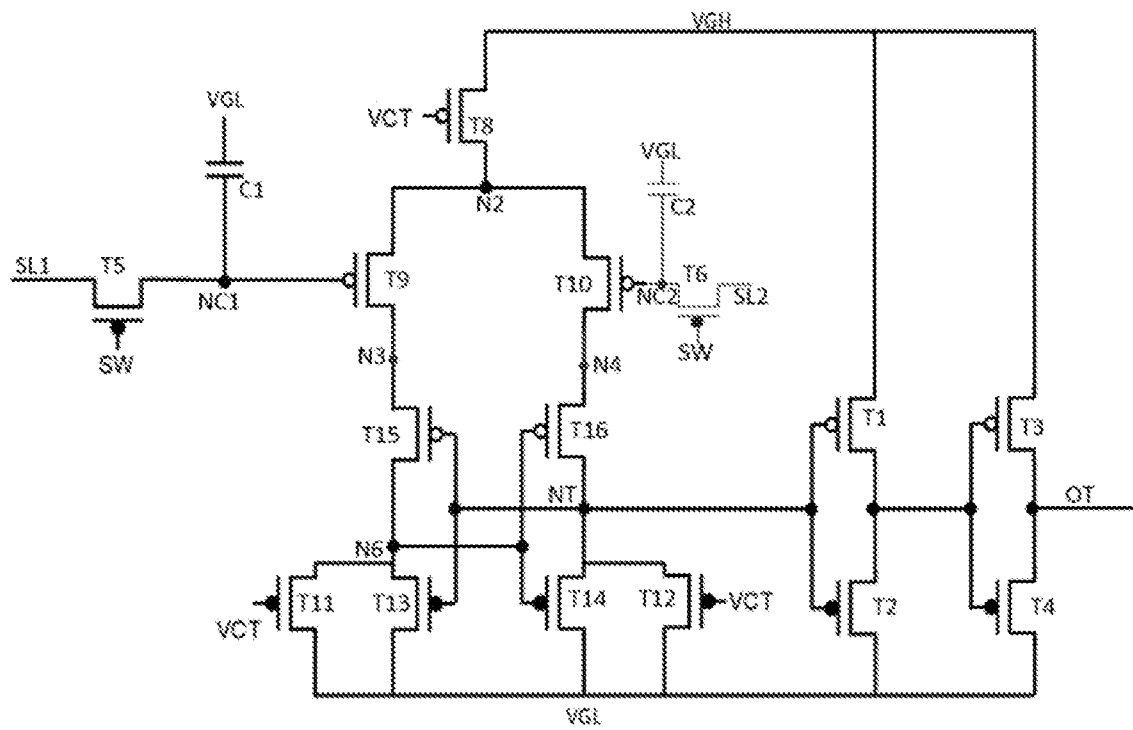


图 34

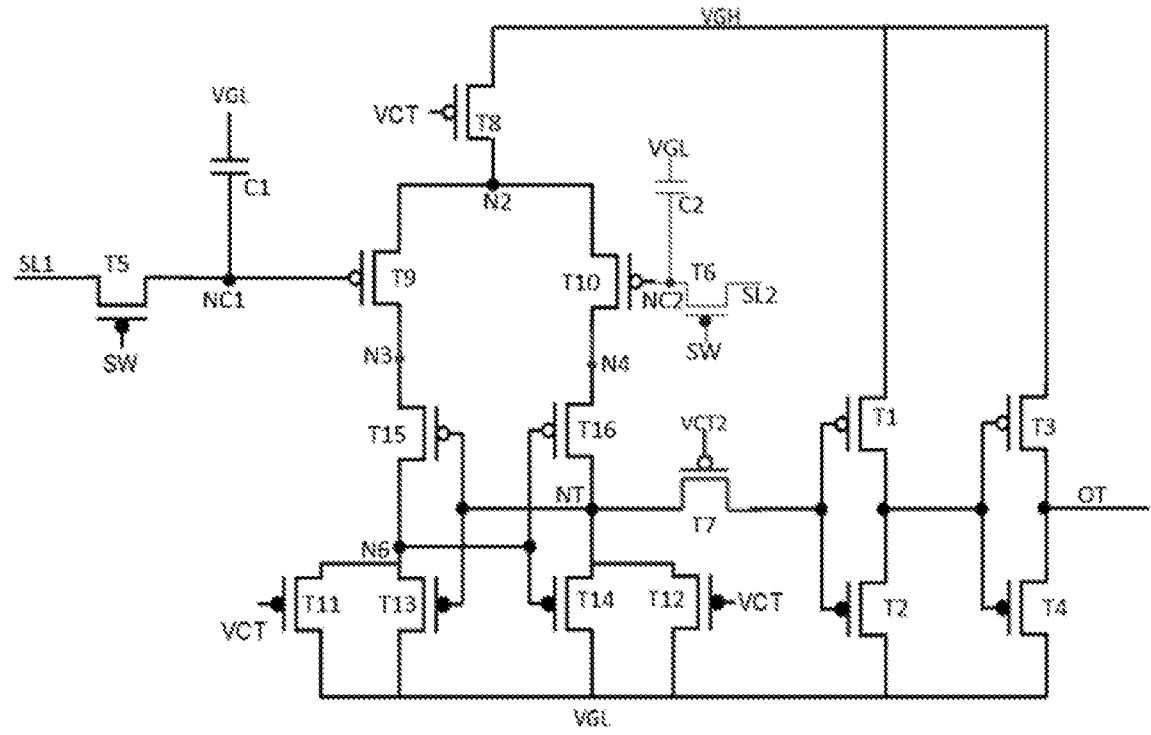


图 35

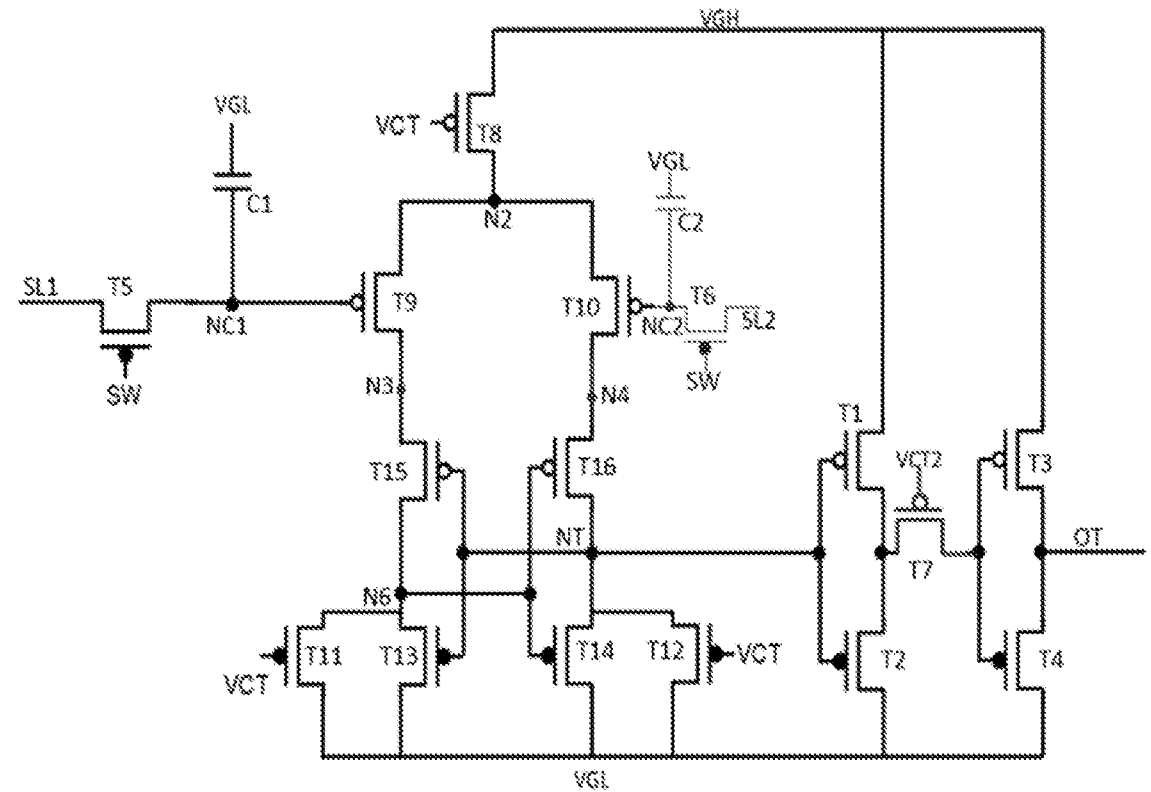


图 36

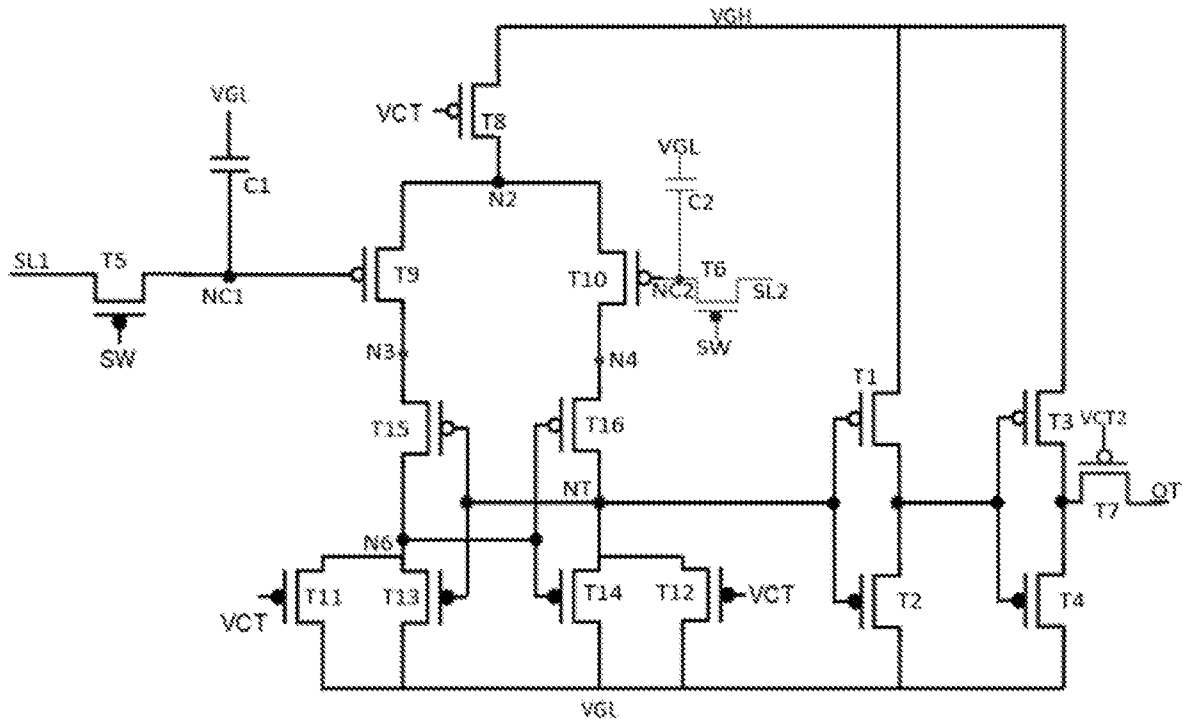


图 37

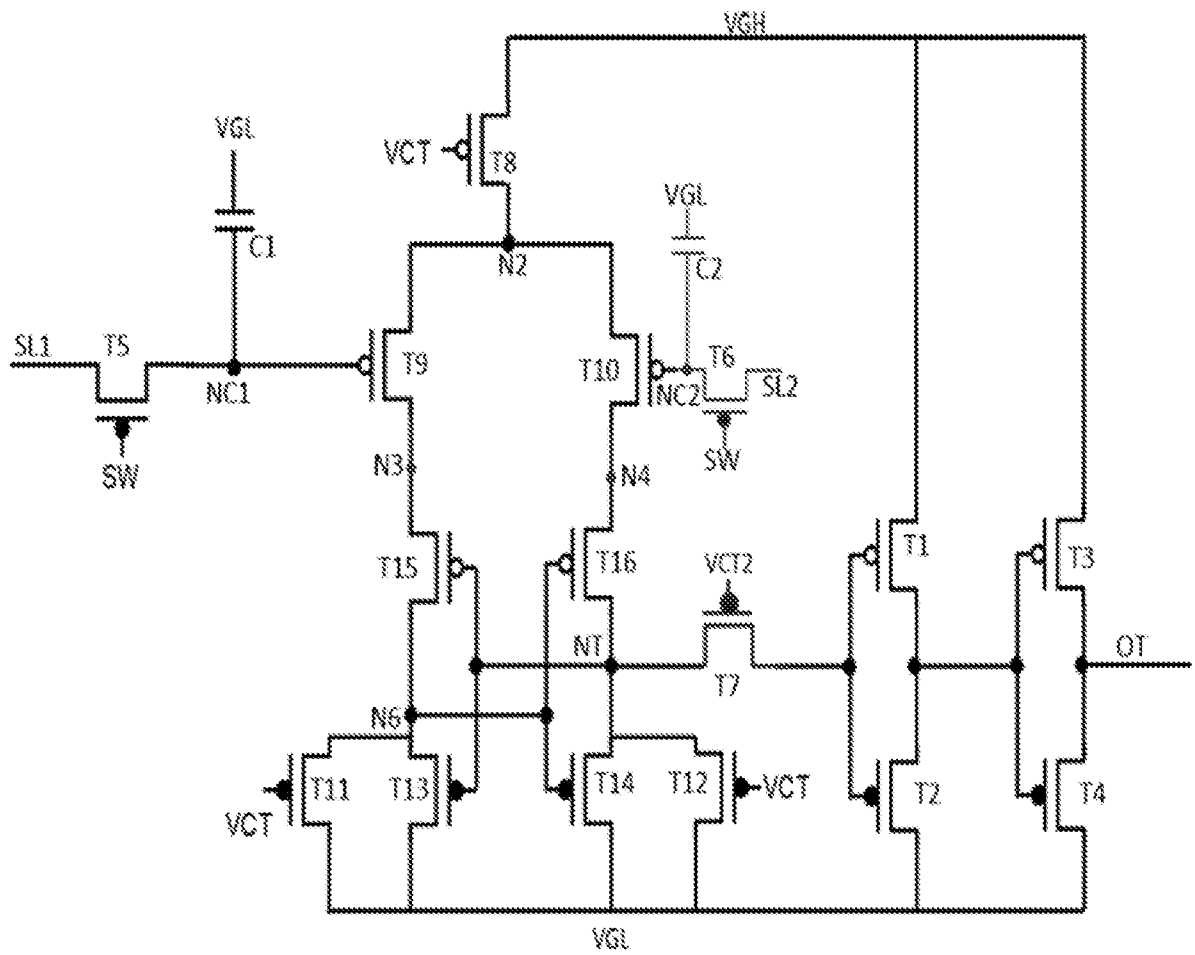


图 38

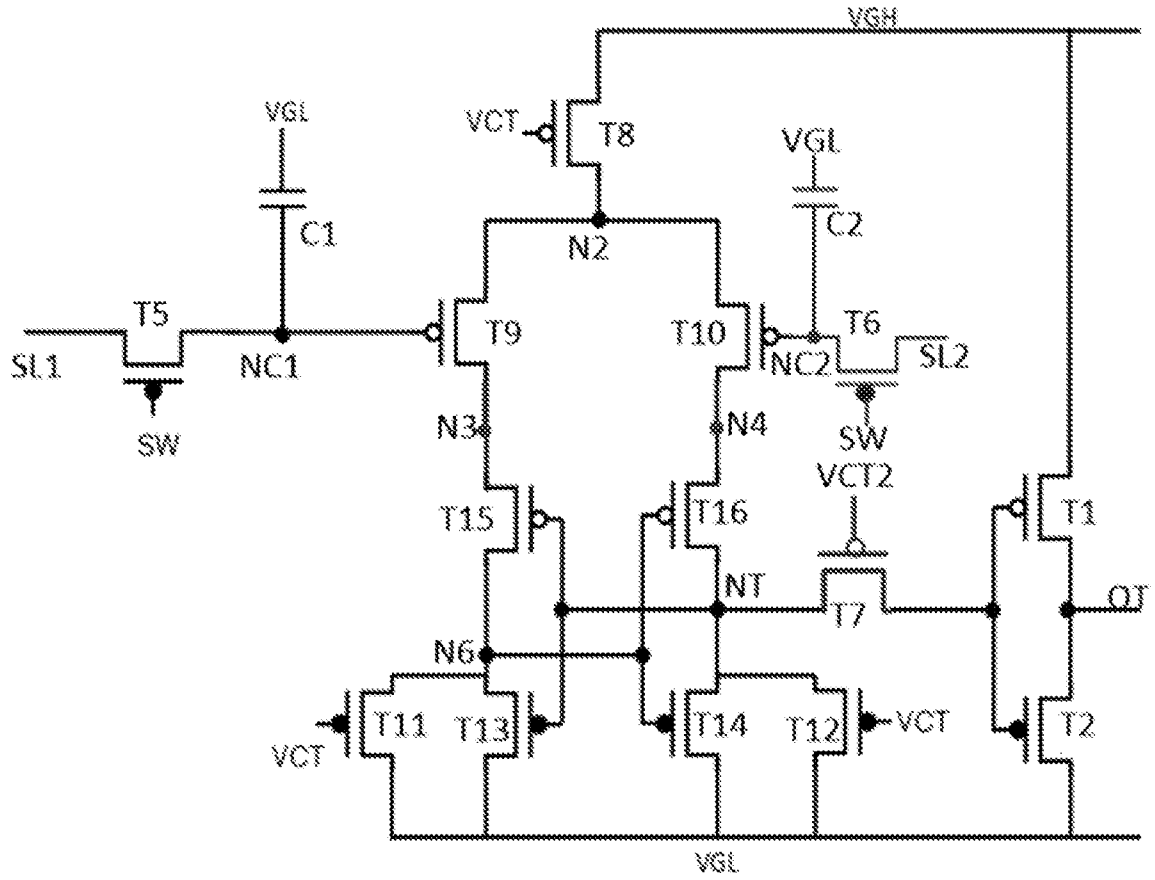


图 41

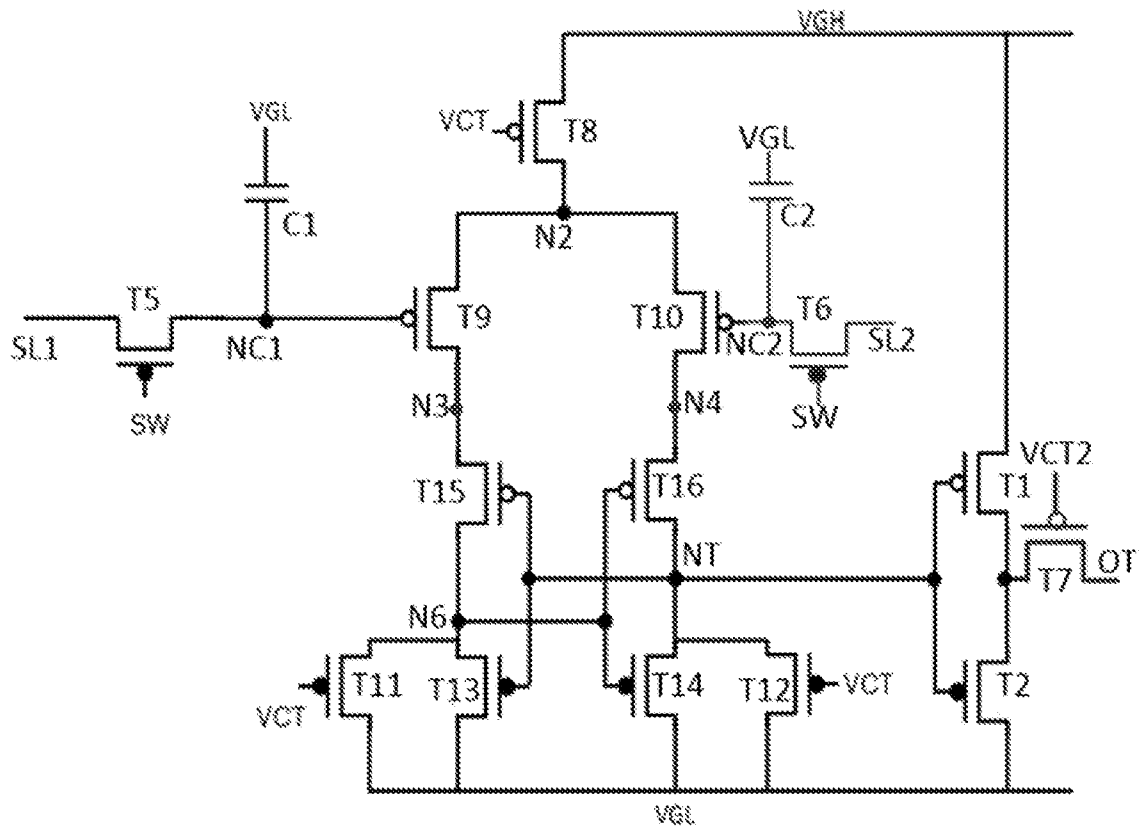


图 42

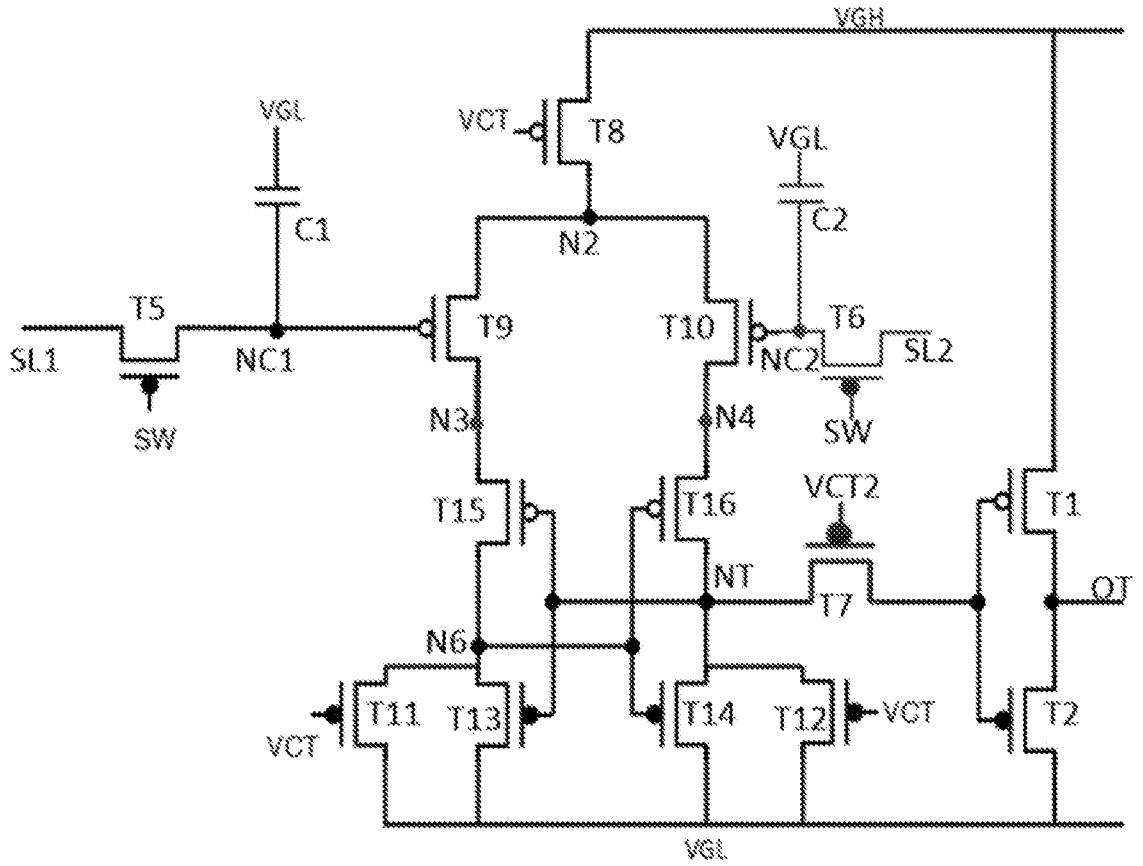


图 43

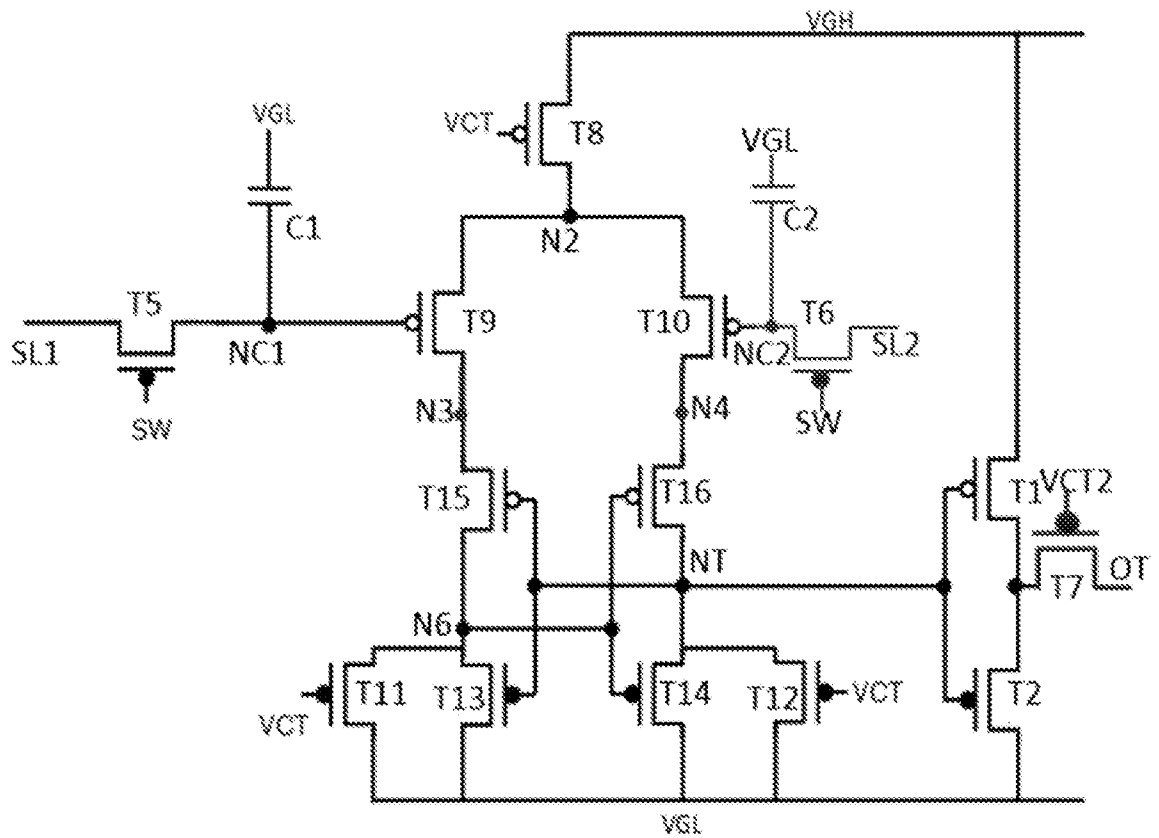


图 44

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2024/094704

A. CLASSIFICATION OF SUBJECT MATTER G09G3/20(2006.01)i; G11C19/28(2006.01)i According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) IPC:G09G G11C Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) CNABS; CNTXT; CNKI; VEN; WOTXT; USTXT; EPTXT: 京东方, 栅极驱动, 源极驱动, 数据驱动, 移位寄存, 移位暂存, 反相, 级, 串联, shift register, grid driv+, cascade, invert+, opposit+		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CN 104392686 A (XIAMEN TIANMA MICROELECTRONICS CO., LTD. et al.) 04 March 2015 (2015-03-04) description, paragraphs [0030]-[0073], and figures 2-8b	1-4, 8-11, 13-15, 18-22
X	CN 106169280 A (XIAMEN TIANMA MICROELECTRONICS CO., LTD. et al.) 30 November 2016 (2016-11-30) description, paragraphs [0023]-[0063], and figures 1-8	1-4, 8-11, 13-15, 18-22
X	CN 112863586 A (BOE TECHNOLOGY GROUP CO., LTD. et al.) 28 May 2021 (2021-05-28) description, paragraphs [0087]-[0196], and figures 1-8	1-4, 8-11, 13-15, 18-22
A	CN 105763184 A (SHANGHAI ZHAOXIN INTEGRATION CIRCUIT CO., LTD.) 13 July 2016 (2016-07-13) entire document	1-22
A	CN 108682396 A (PEKING UNIVERSITY SHENZHEN GRADUATE SCHOOL) 19 October 2018 (2018-10-19) entire document	1-22
☒ Further documents are listed in the continuation of Box C. ☒ See patent family annex.		
* Special categories of cited documents: “A” document defining the general state of the art which is not considered to be of particular relevance “D” document cited by the applicant in the international application “E” earlier application or patent but published on or after the international filing date “L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) “O” document referring to an oral disclosure, use, exhibition or other means “P” document published prior to the international filing date but later than the priority date claimed “T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention “X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone “Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art “&” document member of the same patent family		
Date of the actual completion of the international search 08 July 2024		Date of mailing of the international search report 23 July 2024
Name and mailing address of the ISA/CN China National Intellectual Property Administration (ISA/CN) China No. 6, Xitucheng Road, Jimenqiao, Haidian District, Beijing 100088		Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2024/094704

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN 115331644 A (BOE TECHNOLOGY GROUP CO., LTD. et al.) 11 November 2022 (2022-11-11) entire document	1-22

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2024/094704

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
CN	104392686	A	04 March 2015	None	
CN	106169280	A	30 November 2016	None	
CN	112863586	A	28 May 2021	None	
CN	105763184	A	13 July 2016	None	
CN	108682396	A	19 October 2018	None	
CN	115331644	A	11 November 2022	None	

A. 主题的分类

G09G3/20(2006.01)i; G11C19/28(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

IPC:G09G G11C

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

CNABS;CNTXT;CNKI;VEN;WOTXT;USTXT;EPTXT:京东方, 栅极驱动, 源极驱动, 数据驱动, 移位寄存, 移位暂存, 反相, 级, 串联, shift register, grid driv+, cascade, invert+, opposit+

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
X	CN 104392686 A (厦门天马微电子有限公司 等) 2015年3月4日 (2015 - 03 - 04) 说明书第[0030]-[0073]段, 附图2-8b	1-4、8-11、 13-15、18-22
X	CN 106169280 A (厦门天马微电子有限公司 等) 2016年11月30日 (2016 - 11 - 30) 说明书第[0023]-[0063]段, 附图1-8	1-4、8-11、 13-15、18-22
X	CN 112863586 A (京东方科技集团股份有限公司 等) 2021年5月28日 (2021 - 05 - 28) 说明书第[0087]-[0196]段, 附图1-8	1-4、8-11、 13-15、18-22
A	CN 105763184 A (上海兆芯集成电路有限公司) 2016年7月13日 (2016 - 07 - 13) 全文	1-22
A	CN 108682396 A (北京大学深圳研究生院) 2018年10月19日 (2018 - 10 - 19) 全文	1-22
A	CN 115331644 A (京东方科技集团股份有限公司 等) 2022年11月11日 (2022 - 11 - 11) 全文	1-22

☐ 其余文件在C栏的续页中列出。

☒ 见同族专利附件。

★ 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“D” 申请人在国际申请中引证的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2024年7月8日

国际检索报告邮寄日期

2024年7月23日

ISA/CN的名称和邮寄地址

中国国家知识产权局
中国北京市海淀区蓟门桥西土城路6号 100088

授权官员

宋澄

电话号码 (+86) 0512-88997526

PCT/ISA/210 表(第2页) (2022年7月)

国际检索报告
关于同族专利的信息

国际申请号
PCT/CN2024/094704

检索报告引用的专利文件			公布日 (年/月/日)	同族专利	公布日 (年/月/日)
CN	104392686	A	2015年3月4日	无	
CN	106169280	A	2016年11月30日	无	
CN	112863586	A	2021年5月28日	无	
CN	105763184	A	2016年7月13日	无	
CN	108682396	A	2018年10月19日	无	
CN	115331644	A	2022年11月11日	无	