

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2013-161515

(P2013-161515A)

(43) 公開日 平成25年8月19日(2013.8.19)

(51) Int.Cl.

G 11 B 21/10 (2006.01)

F 1

G 11 B 21/10

G 11 B 21/10

テーマコード(参考)

L

G

5 D O 9 6

審査請求 未請求 請求項の数 10 O L (全 17 頁)

(21) 出願番号 特願2012-250784 (P2012-250784)
 (22) 出願日 平成24年11月15日 (2012.11.15)
 (31) 優先権主張番号 13/368,508
 (32) 優先日 平成24年2月8日 (2012.2.8)
 (33) 優先権主張国 米国(US)

(71) 出願人 508243639
 エルエスアイ コーポレーション
 アメリカ合衆国 95131 カリフォルニア、サンホセ、リッダー パーク ドライヴ 1320
 (74) 代理人 100094112
 弁理士 岡部 譲
 (74) 代理人 100106183
 弁理士 吉澤 弘司
 (74) 代理人 100128657
 弁理士 三山 勝巳
 (74) 代理人 100160967
 弁理士 ▲濱▼口 岳久
 (74) 代理人 100170601
 弁理士 川崎 孝

最終頁に続く

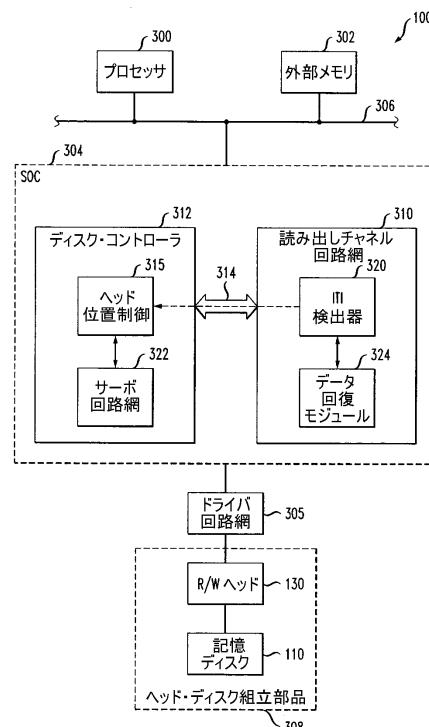
(54) 【発明の名称】検出されたトラック間干渉に応じてヘッド位置制御を行うディスクベースの記憶装置

(57) 【要約】 (修正有)

【課題】検出されたトラック間干渉に応じてヘッド位置制御を行うディスクベースの記憶装置を提供する。

【解決手段】ディスクベースの記憶装置は、記憶ディスク100と、記憶ディスクからデータを読み出し、記憶ディスクにデータを書き込むように構成された読み出し/書き込みヘッド130と、読み出し/書き込みヘッドの位置決めを制御するように構成された制御回路網とを備えている。制御回路網は、読み出し/書き込みヘッドによって記憶ディスクの少なくとも所定のトラックから読み出された信号を、その信号中の記憶ディスクの少なくとも1つの他のトラックからの干渉を検出するために処理するように構成されたトラック間干渉検出器320を備えている。制御回路網は、検出された干渉に応じて読み出し/書き込みヘッド位置決めを調節するように構成された、トラック間干渉ベースのヘッド位置コントローラ315をさらに備えている。

【選択図】図3



【特許請求の範囲】**【請求項 1】**

記憶ディスクからデータを読み出し、前記記憶ディスクにデータを書き込むように構成された読み出し／書き込みヘッドに結合するように適合された制御回路網を備える装置であって、

前記制御回路網は、前記読み出し／書き込みヘッドから受けるデータ及び前記読み出し／書き込みヘッドに供給されるデータを処理し、前記記憶ディスクに対する前記読み出し／書き込みヘッドの位置決めを制御するように構成され、

前記制御回路網は、

前記読み出し／書き込みヘッドによって前記記憶ディスクの少なくとも所定のトラックから読み出された信号を、その信号中の前記記憶ディスクの少なくとも1つの他のトラックからの干渉を検出するために処理するように構成されたトラック間干渉検出器と、

前記検出された干渉に応じて前記読み出し／書き込みヘッドの前記位置決めを調節するように構成された、トラック間干渉ベースのヘッド位置コントローラとを備える、装置。

【請求項 2】

前記トラック間干渉ベースのヘッド位置コントローラは、前記検出された干渉を特徴付ける情報に少なくとも部分的に基づいて前記読み出し／書き込みヘッドの前記位置決めを調節するように構成されており、前記情報は、1つ以上のトラック間干渉測定指標を含んでいる、請求項1に記載の装置。

【請求項 3】

前記制御回路網は、前記記憶ディスクの表面上のタイミング・パターンを検出することによって生成されるサーボ・タイミング情報に少なくとも部分的に基づいて前記読み出し／書き込みヘッドの前記位置決めを調節するように構成されたサーボ・コントローラを備え、前記タイミング・パターンは、その表面上に形成された複数のサーボ・マークを含んでいる、請求項1に記載の装置。

【請求項 4】

前記サーボ・コントローラは、前記サーボ・タイミング情報と、前記検出された干渉を特徴付ける情報の両方を利用して、前記読み出し／書き込みヘッドの前記位置決めを制御するように構成されている、請求項3に記載の装置。

【請求項 5】

前記サーボ・コントローラは、
サーボ・プロセッサと、

前記読み出し／書き込みヘッド及び前記記憶ディスクを備えるヘッド・ディスク組立部品に結合するように適合された調整モータ制御モジュールとをさらに備え、

前記調整モータ制御モジュールは、前記サーボ・プロセッサ及び前記ヘッド位置コントローラからそれぞれの制御信号を受ける、請求項3に記載の装置。

【請求項 6】

前記ヘッド位置コントローラからの制御信号は、前記検出された干渉を特徴付ける情報を利用してルックアップ・テーブルをアドレスすることによって少なくとも部分的に生成される、請求項5に記載の装置。

【請求項 7】

前記ヘッド位置コントローラからの制御信号は、前記調整モータ制御モジュールによって前記読み出し／書き込みヘッドに適用される、所望のオフセット調整のオフセット信号指標を含んでいる、請求項5に記載の装置。

【請求項 8】

前記サーボ・コントローラは、
前記サーボ・プロセッサに結合されたタイミング制御回路網と、

前記タイミング制御回路網の出力に応じて、前記ヘッド位置コントローラからの前記制御信号を前記調整モータ制御モジュールの入力部に選択的に適用するように構成された切換回路網とをさらに備える、請求項5に記載の装置。

10

20

30

40

50

【請求項 9】

読み出し／書き込みヘッドによって記憶ディスクの少なくとも所定のトラックから読み出された信号を、その信号中の前記記憶ディスクの少なくとも1つの他のトラックからのトラック間干渉を検出するために処理するステップと、

前記検出された干渉に応じて前記読み出し／書き込みヘッドの位置を調節するステップとを含む、方法。

【請求項 10】

少なくとも1つの記憶ディスクと、

前記記憶ディスクからデータを読み出し、前記記憶ディスクにデータを書き込むように構成された読み出し／書き込みヘッドと、

前記読み出し／書き込みヘッドに結合され、前記読み出し／書き込みヘッドから受けるデータ及び前記読み出し／書き込みヘッドに供給されるデータを処理し、前記記憶ディスクに対する前記読み出し／書き込みヘッドの位置決めを制御するように構成された制御回路網とを備える記憶装置であって、

前記制御回路網は、

前記読み出し／書き込みヘッドによって前記記憶ディスクの少なくとも所定のトラックから読み出された信号を、その信号中の前記記憶ディスクの少なくとも1つの他のトラックからの干渉を検出するために処理するように構成されたトラック間干渉検出器と、

前記検出された干渉に応じて前記読み出し／書き込みヘッドの前記位置決めを調節するように構成された、トラック間干渉ベースのヘッド位置コントローラとを備える、記憶装置。

10

20

30

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、検出されたトラック間干渉に応じてヘッド位置制御を行うディスクベースの記憶装置に関する。

【背景技術】**【0002】**

ハード・ディスク・ドライブ(HDD)のようなディスクベースの記憶装置は、広い種類の異なったタイプのデータ処理システムで不揮発性データ記憶を提供するために使用されている。代表的なHDDは、プラッタ(plate)と呼ばれる1つ以上の平らな円形の記憶ディスクを保持するスピンドル(spindle)を備えている。各記憶ディスクは、磁性材料の1つ以上の薄い層でコーティングされたアルミニウム又はガラスのような非磁性材料から作られた基板を備えている。動作の際、データは、ディスクが高速回転するときに位置決めアームによってディスク表面を横切って正確に移動される読み出し／書き込みヘッドによって、記憶ディスクのトラックから読み出され、これらのトラックに書き込まれる。

【0003】

従来のHDDは、代表的に、読み出し／書き込みヘッド位置制御システムを用いており、このシステムでは、一般に「サーボ(servo)」マークと呼ばれる位置誤差検出領域が一定の間隔で記憶ディスク上に書き込まれる。これらのサーボ・マークは、サーボ・ライタ(writer)を使用してドライブ製造時に一度だけ書き込まれる。例として、ウェッジ(wedge)・サーボ配置では、サーボ・マークは、ディスクの周囲に分散した指定された放射状のウェッジの形態である。サーボ・ウェッジ間のデータ・ウェッジは、複数のデータ・セクタ(sector)を含み、トラック容量の大部分を消費する。サーボ・アルゴリズムは、ヘッド位置を検出するためにサーボ・ウェッジからのサーボ・マークを使用する。位置フィードバックは、データ・ウェッジの間利用できないので、サーボ・アルゴリズムは、代表的には、検出されたサーボ・マーク間のヘッド位置を補間しなければならない。サーボ・マークの他の配置も可能である。例えば、サーボ・マークは、サーボ・ウェッジに編成するのではなく、ディスク全体に均等に分散してもよい。

40

50

50

【0004】

HDDの動作中、ドライブ・ハードウェアは、読み出し／書き込みヘッド位置誤差の見積りを計算するためにサーボ・マークを読み取り、次にこの見積りは、読み出し／書き込みヘッドの半径方向の位置を維持するために、ファームウェア制御ループで使用される。サーボ・マーク専用のディスク空間は、ユーザ・データを記憶するために利用できないため、ディスク上に書き込まれるサーボ・マークの数は、読み出し／書き込みヘッド位置制御ループの帯域幅と、ドライブの容量との間のトレードオフを規定する。

【0005】

HDDの記憶容量は増加し続けており、数テラバイト(TB)のデータを記憶できるHDDが現在利用できる。しかしながら、記憶容量の増加は、しばしば、トラック間干渉(Inter-Track Interference: ITI。以下単に「ITI」と称する。)及び読み出し／書き込みヘッド位置が重要な性能を制限する問題となるような、各記憶ディスク上により多くのトラックを収めるためのトラック寸法の縮小を必要とする。また、読み出し／書き込みヘッドの拡大縮小は制限されるので、結局、あるトラックに書き込むために使用される磁場は、隣接するトラックに影響を与え、そのためトラック密度を制限するであろう。

10

【0006】

HDD記憶容量をさらに増加させる試みでは、多数の記録技術が開発されている。例えば、シングルド(shingled)磁気記録(SMR)として知られる記録技術は、記憶ディスク上に以前に書き込まれた隣接するトラック上に所定のトラックを「瓦重ね(shingling)」することによって、HDDの記憶容量を増加させることを試みている。ビット・パターン化媒体(BPM)と呼ばれる別の記録技術では、磁気島の高密度トラックが記憶ディスクの表面上に予め形成され、データのビットがこれらの島のそれぞれに書き込まれる。それにもかかわらず、ITI及び読み出し／書き込みヘッド位置は、これらの及び他のHDD記録技術によっても重要な性能を制限する問題のままである。

20

【0007】

HDDの性能に対するITIの悪影響は、読み出し時のITI打ち消し技術の適用によって、場合によっては対処することができる。このような打ち消し技術は、例えば、記憶ディスクから読み出されたデータにITI低減後処理を行うことが必要であることがある。このタイプの技術では、ITIに起因する読み出し信号ノイズを検出し、通常のデータ回復処理が適用される前に読み出し信号からそのノイズを打ち消すために、隣接するトラックに記憶された干渉データパターンについての情報が使用される。しかしながら、低減後処理は、代表的には、干渉データを記憶ディスクから読み出し、メモリに記憶することを必要とし、これは、アクセス時間のような他の性能尺度にも悪影響を及ぼすと同時に、HDDのコストと複雑さを増すことがある。

30

【0008】

隣接ビットの極性を考慮する方法での書き込み信号の補償前処理によって、ITIを低減することもできる。このタイプの書き込み補償技術は、本願の譲受人に譲渡され、参照により本明細書に組み込まれる、「Disk-Based Storage Device having Write Signal Compensation for Magnetization Polarity of Adjacent Bits」と表題が付けられた2011年9月30日に出願された米国特許出願第13/250,419号に開示されている。

40

【発明の概要】**【課題を解決するための手段】****【0009】**

本発明の例示的な実施形態は、検出されたITIに少なくとも部分的に基づいてヘッド位置を制御することによって向上した動作性能を示すHDD又は他のタイプのディスクベースの記憶装置を提供する。例えば、このような実施形態によるHDDは、ITI打ち消し処理の一部として、或いはその他の方法でITIを検出し、検出されたITIに関する情報を、検出されたITIに応じてヘッド位置を調節するヘッド位置コントローラに提供

50

することができる。

【0010】

1つ以上の実施形態でのITIベースのヘッド位置制御は、従来のサーボベースのヘッド位置制御と併せて、又はその代わりに利用することができる。サーボ・フィードバックは、一般に、サーボ・マークが記憶ディスク上で一定の間隔で処理される場合にのみ利用可能であるのに対し、ヘッド位置制御のためのITIの使用は、ITIフィードバックがほとんど常に利用可能であるという点で、特に有利であることがある。

【0011】

一実施形態では、HDD又は他のディスクベースの記憶装置は、記憶ディスクと、前記記憶ディスクからデータを読み出し、前記記憶ディスクにデータを書き込むように構成された読み出し／書き込みヘッドと、前記読み出し／書き込みヘッドに結合され、前記読み出し／書き込みヘッドから受けるデータ及び前記読み出し／書き込みヘッドに供給されるデータを処理し、前記記憶ディスクに対する前記読み出し／書き込みヘッドの位置決めを制御するように構成された制御回路網とを備えている。この実施形態の前記制御回路網は、前記読み出し／書き込みヘッドによって前記記憶ディスクの少なくとも所定のトラックから読み出された信号を、その信号中の前記記憶ディスクの少なくとも1つの他のトラックからのITIを検出するために処理するように構成されたITI検出器を備えている。前記制御回路網は、検出されたITIに応じて前記読み出し／書き込みヘッドの位置決めを調節するように構成されたITIベースのヘッド位置コントローラをさらに備えている。

10

20

【0012】

前記ITIベースのヘッド位置コントローラは、前記記憶ディスクの表面上のサーボ・マークのタイミング・パターンを検出することによってサーボ・タイミング情報を生成するサーボ・コントローラの一部であってもよく、そうでなければ、このようなサーボ・コントローラと共に動作するように構成されていてもよい。例えば、前記サーボ・コントローラは、前記ヘッド位置コントローラを組み込んでもよく、前記サーボ・タイミング情報と検出されたITIを特徴付ける情報の両方を利用して、前記読み出し／書き込みヘッドの位置決めを制御するように構成されていてもよい。しかしながら、上述したように、ITIベースのヘッド位置制御は、サーボ制御の使用を必要としない。

30

【発明の効果】

【0013】

本発明の実施形態の1つ以上は、ディスクベースの記憶装置の大幅な改善を提供する。例えば、検出されたITIに少なくとも部分的に基づいてヘッド位置を調節することによって、ヘッド位置を、ITIの存在下でのデータ回復のために最適化することができる。これは、従来のサーボ制御を使用してもしなくても、ヘッド位置精度を改善させることができ、それによって、低コストでよりよい性能が提供される。さらに、このような配置は、トラック・ピッチを減少させ、それによって、増加した記憶容量が所定の記憶ディスクに与えられる。

【図面の簡単な説明】

【0014】

【図1】本発明の例示的な実施形態によるディスクベースの記憶装置の斜視図である。

【図2】図1の記憶装置内の記憶ディスクの平面図である。

【図3】ディスク・コントローラ及び読み出しチャネル回路網を備える好例のシステム・オン・チップを含む、図1の記憶装置の一部のブロック図である。

【図4】図1の記憶装置の一部の別の図を示している。

【図5A】本発明の実施形態における読み出し／書き込みヘッド・オフセットの関数としてのITIの変化を例示している。

【図5B】本発明の実施形態における読み出し／書き込みヘッド・オフセットの関数としてのITIの変化を例示している。

【図6】図1の記憶装置の、データ処理システム内のホスト処理装置との相互接続を例示

40

50

している。

【図7】複数の図1に示すタイプのディスクベースの記憶装置を組み込んだ仮想記憶システムを示している。

【発明を実施するための形態】

【0015】

本発明の実施形態が、本明細書には、好例のディスクベースの記憶装置と、制御回路網と、関連するITIベースのヘッド位置制御技術と共に例示される。しかしながら、本発明のこれらの及び他の実施形態は、より一般的には、正確且つ効率的なヘッド位置制御の点で改善された性能が望まれるどのようなディスクベースの記憶装置にも適用可能であることを理解すべきである。追加の実施形態は、例示的な実施形態と共に特に示され記載されたもの以外の構成要素を使用して実施することができる。10

【0016】

図1は、本発明の例示的な実施形態によるディスクベースの記憶装置100を示している。この実施形態の記憶装置100は、より具体的には、記憶ディスク110を含むハードディスクドライブ(HDD)を備えている。記憶ディスク110は、データを磁化状態の形態で記憶することができる1つ以上の磁気材料がコーティングされている記憶表面を有している。記憶ディスク110は、スピンドル120に接続されている。スピンドル120は、記憶ディスク110を高速で回転させるために、図には明示されていないスピンドル・モータによって駆動される。

【0017】

データは、位置決めアーム140に取り付けられた読み出し/書き込みヘッド130によって、記憶ディスク110から読み出され、記憶ディスク110に書き込まれる。記憶ディスク110の磁気表面上の読み出し/書き込みヘッドの位置は、電磁アクチュエータ150によって制御される。本実施形態の電磁アクチュエータ150と、その関連するドライバ回路網とは、より一般的には本明細書では記憶装置100の「制御回路網」と呼ばれるものの一部を構成するとみなすことができる。この実施形態のこのような制御回路網は、組立部品の反対側に配置され、したがって図1の斜視図では見ることができない追加の電子部品をさらに含むものとする。本明細書で使用される用語「制御回路網」は、したがって、ドライブ・エレクトロニクスと、信号処理エレクトロニクスと、関連する処理及びメモリ回路網とを、例として且つ限定されることなく含むように広く解釈されることを目的としており、記憶装置内の記憶ディスクの記憶表面に対する読み出し/書き込みヘッドの位置決めを制御するために利用される他の要素をさらに含むことができる。コネクタ160は、記憶装置100をホストコンピュータ又は他の関連する処理装置に接続するために使用される。20

【0018】

図1は、単一の記憶ディスク110、読み出し/書き込みヘッド130及び位置決めアーム140の各々の1つの例のみを有する本発明の実施形態を示しているが、これは、單に説明的な例としてのものであり、本発明の代わりの実施形態は、1つ以上のこれら又は他のドライブ部品の複数の例を備えることができることを認識すべきである。例えば、あるこのような代わりの実施形態は、すべて同じ速度で回転するように同じスピンドルに取り付けられた複数の記憶ディスクと、複数の読み出し/書き込みヘッド及び1つ以上のアクチュエータに結合された複数の関連する位置決めアームとを備えることができる。所定の読み出し/書き込みヘッドは、この用語が本明細書では広く利用されているように、別個の読み出しヘッド及び書き込みヘッドの組み合わせの形態で実現されてもよい。より具体的には、本明細書で使用される用語「読み出し/書き込み」は、読み出し/書き込みヘッドが、読み出しヘッドのみ、書き込みヘッドのみ、読み出し及び書き込みの両方に使用される单一のヘッド、又は、別個の読み出しヘッド及び書き込みヘッドの組み合わせを備えることができるように、読み出し及び/又は書き込みとして広く解釈されることを目的としている。30

【0019】

10

20

30

40

50

また、図1に例示されている記憶装置100は、記憶装置のような従来の実施で一般に見られるタイプの1つ以上の要素を含む他の要素を、特別に図示されている要素に加えて、又はそれらの代わりに含むことができる。当業者にはよく理解されるこれら及び他の従来の要素は、本明細書では詳細には説明しない。図1に示す要素の特定の配置は、単に説明的な例として示されていることも理解すべきである。開示される技術は、より一般的には、記憶装置内に改善されたヘッド位置制御を与えることが望ましいどのような記憶装置用途にも、制限なしに適用可能である。当業者は、したがって、多種多様な他の記憶装置構成を、本発明の実施形態を実施する際に使用できることを認めるであろう。

【0020】

図2は、記憶ディスク110の記憶表面をより詳細に示している。例示されているように、記憶ディスク110の記憶表面は、複数の同心円状のトラック210を備えている。各トラックは、以降の検索のためのデータのブロックを記憶することができる複数のセクタ220に小分割されている。記憶ディスクの外側エッジに向かって配置されたトラックは、記憶ディスクの中心に向かって配置されたトラックと比べて、より大きな円周を有する。トラックはいくつかの環状ゾーン230にグループ化され、ゾーンのうちの所定のゾーン内のトラックは同じ数のセクタを有する。外側ゾーン内のこれらのトラックは、内側ゾーンに配置されたトラックより多くのセクタを有する。この例では、記憶ディスク110は、最も外側のゾーン230-0及び最も内側のゾーン230-Mを含むM+1のゾーンを備えているとする。

10

【0021】

記憶ディスク110の外側ゾーンは、内側ゾーンより高いデータ転送レートを提供する。これは、部分的には、本実施形態の記憶ディスクは、動作速度で回転させるために一旦加速されると、読み出し／書き込みヘッドの位置決めにかかるらず、一定の角又は放射速度で回転するが、内側ゾーンのトラックは外側ゾーンのトラックより小さい円周を有することによる。したがって、読み出し／書き込みヘッドが外側ゾーンのトラックの1つの上に位置する場合、読み出し／書き込みヘッドが内側ゾーンのトラックの1つの上に位置する場合より、記憶ディスクの所定の360度回転に対して、ディスク表面に沿ってより長い直線距離をカバーする。このような配置は、記憶ディスクの各360度回転に同じ時間が掛かるため、角速度一定(Constant Angular Velocity: CAV)を有すると呼ばれるが、CAV動作は本発明の実施形態の必要条件ではないことを理解すべきである。

20

30

【0022】

データ・ビット密度は、一般に、記憶ディスク110の記憶表面全体で一定であり、これは結果として、外側ゾーンでのより高いデータ転送レートを生じる。各外側ゾーンは、内側ゾーンより多くのデータを記憶するため、読み出し／書き込みヘッドは、外側ゾーン内のデータにアクセスするとき、所定のデータ量を読み出すために頻繁に移動する必要はない。したがって、内側ゾーン内のトラックに、又は内側ゾーン内のトラックからより、外側ゾーン内のトラックに、又は外側ゾーン内のトラックからのほうが、より高いレートでデータを転送することができる。

【0023】

したがって、記憶ディスクの最も外側の環状ゾーン230-0は、記憶ディスクの最も内側の環状ゾーン230-Mより高い平均データ転送レートを有する。平均データ転送レートは、所定の実施形態の最も外側の環状ゾーンと最も内側の環状ゾーンとの間で、2倍を超えて異なることがある。

40

【0024】

単に例示としての一例の実施形態として、最も内側の環状ゾーンが、約1.0ギガビット毎秒(Gb/s)のデータ転送レートを有する一方で、最も外側の環状ゾーンは、約2.3Gb/sのデータ転送レートを有することができる。このような実施では、HDDは、より具体的には、500GBの合計記憶容量と、7200RPMのスピンドル速度とを有し、データ転送レートは、上記のように最も外側のゾーンの約2.3Gb/sから最も内側のゾーンの約1.0Gb/sまでの範囲にわたる。

50

【0025】

記憶ディスク110は、また、その記憶表面上に形成されたタイミング・パターンを含むものとする。このようなタイミング・パターンは、サーボ・アドレス・マーク(SAM)、又は、従来の方法で特定のセクタ内に形成された他のタイプのサーボ・マークを1組以上備えることができる。SAMは、したがって、本明細書ではより具体的にサーボ・マークと呼ばれるものの一例とみなすことができる。したがって、「タイミング・パターン」は、この用語が本明細書で使用されるとき、複数のサーボ・マークの配置をも含むことを目的としている。

【0026】

記憶装置100は、内蔵読み出しチャネル・クロックと記憶ディスク110の表面上のサーボ・タイミング・パターンとの間の周波数差及び位相差を減少させるために、ディスク・ロックド・クロック(disk locked clock)(DLC)技術を実施することができる。これは、データ・セクタをより少ない周波数変化で書き込むことを可能にし、結果として、読み出しチャネルのクロック再生ループは、データ・セクタを読み出すとき、大きい周波数変化として処理する必要がない。代表的なDLC技術は、例えば、記憶ディスクの表面上のタイミング・パターンを提供するサーボ・マークの位置及び位相を測定することを含むことができる。HDD又は他のディスクベースの記憶装置におけるサーボ・マークの測定に関する追加の詳細は、本願の譲受人に譲渡され、参照により本明細書に組み込まれる、「Methods and Apparatus for Measuring Servo Address Mark Distance in a Read Channel Using Selective Fine Phase Estimate」と表題が付けられた米国特許第8,049,982号に見ることができる。

10

20

【0027】

上述した実施形態で言及されている特定のデータ転送レート及び他の特徴は、単に例示の目的で提示されており、どのように制限するものとしても解釈されるべきではない。多種多様な他のデータ転送レート及び記憶ディスク構成を、他の実施形態で使用することができる。

【0028】

本発明の実施形態が図3乃至5に関連して以下に説明され、これらの実施形態では、図1の記憶装置100は、ITIベースのヘッド位置制御に関する処理を実施するように構成される。これらの実施形態では、ITIベースのヘッド位置制御が、別の通常のサーボベースのヘッド位置制御と共に利用されているが、他の実施形態は、サーボベースのヘッド位置制御の使用なしで、ITIベースのヘッド位置制御を実施することができる。

30

【0029】

図3は、図1の記憶装置100の一部をより詳細に示している。この図では、記憶装置100は、プロセッサ300と、メモリ302と、システム・オン・チップ(SOC)304とを備えており、これらはバス306によって通信する。記憶装置は、SOC304と読み出し/書き込みヘッド130との間のインターフェースを提供するドライバ回路網305をさらに備えている。ドライバ回路網305は、例えば、プリアンプ及び他の関連するインターフェース回路網を備えることができる。メモリ302は、SOC304と、記憶装置100の他の部品とに関連した外部メモリであるが、それにもかかわらずこの記憶装置に内蔵されている。読み出し/書き込みヘッド130及び記憶ディスク100は、ヘッド・ディスク組立部品(HDA)308を構成するものとして、図3ではまとめて示されている。

40

【0030】

本実施形態のSOC304は、読み出しチャネル回路網310及びディスク・コントローラ312を含んでおり、記憶ディスク110からデータを読み出し、記憶ディスク110にデータを書き込む際の読み出し/書き込みヘッド130の動作を指示する。読み出しチャネル回路網310及びディスク・コントローラ312は、バス306の一部を表すも

50

のとみなすことができる 1 つ以上のインターフェース接続部 314 によって互いに通信する。

【0031】

バス 306 は、例えば、1 つ以上の相互接続ファブリック (f a b r i c) を備えることができる。このようなファブリックは、本実施形態では、例えば、参照により本明細書に組み込まれる、the Advanced Microcontroller Bus Architecture (AMBA) AXI v2.0 Specification により詳細に記載されているアドバンスド・エクステンシブル・インターフェース (Advanced extensible Interface) (AXI) ファブリックとして実装することができる。バスは、SOC 304 とドライバ回路網 305 との間のような、他のシステム部品間の通信をサポートするために使用することもできる。AXI 相互接続は必須ではなく、多種多様な他のタイプのバス構成を本発明の実施形態で使用することができることを理解すべきである。10

【0032】

ディスク・コントローラ 312 は、読み出しチャネル回路網 310 内に実装された ITI 検出器 320 からの検出された ITI に応答するヘッド位置コントローラ 315 を備えている。ヘッド位置コントローラ 315 は、サーボ回路網 322 によって提供されるサーボ・タイミング情報にも応答する。ITI 検出器 320 は、一般に、読み出し / 書き込みヘッド 130 によって記憶ディスク 110 の少なくとも所定のトラックから読み出された信号を、その信号中の記憶ディスクの少なくとも 1 つの他のトラックからの干渉を検出するために処理するように構成されている。本実施形態では、ITI 検出器 320 によって処理される信号は、データ回復モジュール 324 によって提供されるが、他の実施形態では、他のタイプの信号を、これらの信号中の ITI を検出するために ITI 検出器によって利用することができる。20

【0033】

用語「トラック間干渉」は、広く解釈されることを目的としており、所定のトラックから読み出された信号中に 1 つ以上の他のトラックによって形成される干渉をも含むことができるというこの点について、注意すべきである。所定のトラックから読み出された信号中に干渉を形成する 1 つ以上の他のトラックは、1 つ以上の非隣接トラックと同様に、又はその代わりに、1 つ以上の隣接トラックを含むことがある。したがって、「トラック間干渉」は、この用語が本明細書で使用されるとき、1 つ以上の非隣接トラックからの干渉と同様に、隣接トラック干渉も含むことを目的としている。30

【0034】

本実施形態のヘッド位置コントローラ 315 は、ITI 検出器 320 によって検出された干渉に応じて読み出し / 書き込みヘッド 130 の半径方向の位置を調節するように構成されている。例えば、ヘッド位置コントローラ 315 は、ITI 検出器 320 によって生成された 1 つ以上の ITI 測定指標 (メトリック) を含む情報のような、検出された干渉を特徴付ける情報に少なくとも部分的に基づいて、読み出し / 書き込みヘッドの位置決めを調節するように構成することができる。この実施形態では、ヘッド位置コントローラ 315 は、また、記憶ディスクの表面上のタイミング・パターンを検出するサーボ回路網 322 によって生成されるサーボ・タイミング情報に基づいて、読み出し / 書き込みヘッド 130 の半径方向の位置を調節する。ここで、タイミング・パターンは、その表面上に形成された複数のサーボ・マークを備えている。ヘッド位置コントローラ 315 は、したがって、サーボ・タイミング情報と、検出された ITI を特徴付ける情報の両方を利用して読み出し / 書き込みヘッド 130 の位置決めを制御するように構成された、別の通常のサーボ・コントローラを備えるとみなすことができる。40

【0035】

他の実施形態は、ITI ベースのヘッド位置制御のみを実施することができる。用語「ITI ベースのヘッド位置コントローラ」は、したがって、関連するサーボベースのヘッド位置制御を有する又は有さない配置を含む、検出された ITI が記憶装置内で読み出し

/書き込みヘッドの位置を制御するために利用されるどのような配置をも含むことを目的としている。

【0036】

例として、サーボベースのヘッド位置制御は、サーボベースのヘッド位置測定値を、検出されたITI測定指標と相關させることによって、所定の実施形態のITIベースのヘッド位置制御と相互作用させることができる。相關パラメータは、記憶ディスク全体で一定であってもよく、記憶ディスクの異なったゾーンに関して変化してもよい。

【0037】

ヘッド位置コントローラ315とITI検出器320は、それぞれディスク・コントローラ312と読み出しチャネル回路網310の中に実装されているように図3では例示的に示されているが、他の実施形態では、要素315と要素320は、他の方法で配置することができる。例えば、ITI検出器320は、ディスク・コントローラ312内に少なくとも部分的に実装することができ、又は、ヘッド位置コントローラ315は、読み出しチャネル回路網310内に少なくとも部分的に実装することができる。

10

【0038】

プロセッサ300と、メモリ302と、SOC304と、ドライバ回路網305とは、本明細書で利用される用語「制御回路網」の1つの可能な例をまとめて含むものとみなすことができる。制御回路網の多数の代わりの配置が、他の実施形態で使用することができ、このような配置は、部品300、302、304及び305の一部のみ、又は、1つ以上のこれらの部品の一部のみを含むことができる。例えば、SOC304それ自身は、「制御回路網」の一例とみなすことができる。上述したように、図3に示す実施形態の記憶装置100の制御回路網は、一般に、読み出し/書き込みヘッド130から受けるデータと、読み出し/書き込みヘッド130に供給されるデータとを処理し、記憶ディスク110に対する読み出し/書き込みヘッド130の位置決めを制御するように構成されている。

20

【0039】

図3の記憶装置100におけるSOC304の特定の動作は、外部メモリ302に記憶されたコードを実行するプロセッサ300によって指示することができることに注意すべきである。例えば、プロセッサ300は、SOC304によって行われるITIベースのヘッド位置制御プロセスの少なくとも一部を行うためのメモリ302に記憶されたコードを実行するように構成することができる。したがって、記憶装置100のITI検出及びヘッド位置制御機能の少なくとも一部は、少なくとも部分的にはソフトウェア・コードの形態で実装することができる。

30

【0040】

外部メモリ302は、ランダム・アクセス・メモリ(RAM)又は読み出し専用メモリ(ROM)のような電子メモリをどのような組み合わせでも備えることができる。本実施形態では、制限することなしに、外部メモリ302がダブル・データ・レート(DDR)シンクロナス(Synchronous)・ダイナミック(Dynamic)RAM(SDRAM)の少なくとも一部として実装されるとする。メモリ302は、本明細書ではより一般的に「コンピュータ読み出し可能な記憶媒体」と呼ばれているものの一例である。このような媒体は、書き込み可能であってもよい。

40

【0041】

本実施形態のSOC304は、単一の集積回路上に実装されると仮定されているが、この集積回路は、プロセッサ300、メモリ302、ドライバ回路網305、及びバス306の部分をさらに含んでもよい。代わりに、プロセッサ300、メモリ302、ドライバ回路網305、及びバス306の部分は、HDDで使用されるように設計され、本明細書で開示されるようなITIベースのヘッド位置制御機能を提供するように適切に変更された別の通常の集積回路のような1つ以上の追加の集積回路の形態で、少なくとも部分的に実装することができる。

【0042】

50

本発明の実施形態を組み込むように変更することができるS O C集積回路の一例は、本願の譲受人に譲渡され、参照により本明細書に組み込まれる、「Data Storage Drive with Reduced Power Consumption」と表題が付けられた米国特許第7,872,825号に開示されている。

【0043】

プロセッサ、メモリ、又は所定の実施形態の他の記憶装置部品を実装するために使用することができる他のタイプの集積回路は、例えば、マイクロプロセッサ、ディジタル信号プロセッサ(D S P)、特定用途向け集積回路(A S I C)、フィールド・プログラマブル・ゲート・アレイ(Field Programmable Gate Array)(F P G A)、又は他の集積回路装置を含む。10

【0044】

集積回路実装を含む実施形態では、複数の集積回路ダイを、ウエハの表面上に繰り返しパターンで形成することができる。各々のこのようなダイは、本明細書に記載されるような装置を含むことができ、他の構造又は回路を含むことができる。ダイは、ウエハから切断又はダイシングされ(diced)、次に集積回路としてパッケージされる。当業者は、ウエハをどのようにダイシングし、パッケージされた集積回路を製造するためにダイをどのようにパッケージするかを知っているであろう。このように製造された集積回路は、本発明の実施形態と考えられる。

【0045】

本実施形態では記憶装置100の一部として示されているが、プロセッサ300とメモリ302の一方又は両方は、記憶装置がインストールされたホストコンピュータ又はサーバのような関連する処理装置内に少なくとも部分的に実装することができる。したがって、図3の実施形態の要素300及び302は、記憶装置100から分離しているとみなすこともでき、又は、記憶装置及びその関連する処理装置の両方とは別個の処理又はメモリ回路網部品を各々含む複合要素を表すとみなすこともできる。上述したように、プロセッサ300及びメモリ302の少なくとも一部は、本明細書で広く定義されている用語である「制御回路網」を備えるとみなすことができる。20

【0046】

図4は、記憶装置100内のI T I検出器320及び関連するヘッド位置コントローラ315の1つの可能な実装のより詳細な図を示している。この実施形態では、サーボ・コントローラ400は、I T Iベースのヘッド位置コントローラ402を使用してI T Iベースのヘッド位置制御を実施する。I T Iベースのヘッド位置コントローラは、読み出しチャネル回路網310内のI T I検出器320からI T I測定指標(metric)404を受ける。サーボ・コントローラ400は、サーボ・プロセッサ410を使用するサーボベースのヘッド位置制御も実施する。本実施形態のサーボ・コントローラ400は、ヘッド位置コントローラ315とサーボ回路網322の組み合わせとみなすことができる。30

【0047】

サーボ・コントローラ400は、また、タイミング制御モジュール412と、ルックアップ・テーブル(lookup table)414と、調整モータ制御モジュール415と、インターフェース・バス417と、スイッチ418とを含んでいる。タイミング制御モジュール412及びスイッチ418は、それぞれ本明細書ではより一般的にタイミング制御回路網及び切換回路網と呼ばれるものの例である。図4には明確に例示されていないが、ヘッド・ディスク組立部品308は、調整モータ制御モジュール415の出力に応じて、記憶ディスク110の表面に対する読み出し/書き込みヘッド130の半径方向の位置を変える調整モータを備えるものとする。本実施形態では、調整モータ制御モジュール415は、より具体的には、信号結合器を備えるボイス・コイル・モータ(Voice Coil Motor: V C M)制御モジュールの形態で実装されるが、他の実施形態では、サーボ・コントローラ400のこの部品を実装するために、多種多様な他の回路網配置を使用することができる。40

【0048】

10

20

30

40

50

インターフェース・バス 417 は、AMBA ハイ・パフォーマンス・バス (High-performance Bus : AHB) を備えるように例示的に示されており、バス 306 の一部であってもよい。また、他の実施形態では、他のタイプのバス構成を使用することができる。

【0049】

調整モータ制御モジュール 415 は、サーボ・プロセッサ 410 及び ITI ベースのヘッド位置コントローラ 402 からの個々の制御信号を受ける。ITI ベースのヘッド位置コントローラ 402 からの制御信号は、1 つ以上の読み出しチャネル ITI 測定指標 404 のような、検出された干渉を特徴付ける情報を利用してルックアップ・テーブル 414 をアドレス (address) することによって、少なくとも部分的に生成される。この制御信号は、より具体的には、調整モータ制御モジュール 415 によって読み出し / 書き込みヘッド 130 に適用される所望のオフセット調整のオフセット信号指標を含んでいる。スイッチ 418 は、ITI ベースのヘッド位置コントローラ 402 からの制御信号を、タイミング制御モジュール 412 の出力に応じて、オフセット信号線 420 を介して、調整モータ制御モジュール 415 の入力部に選択的に適用する。タイミング制御モジュール 412 及び ITI ベースのヘッド位置コントローラ 402 の動作は、インターフェース・バス 417 を介して伝送される 1 つ以上の信号を使用して、サーボ・プロセッサ 410 によって指示される。このような指示をコントローラ 402 及びタイミング制御モジュール 412 に与える際に、サーボ・プロセッサ 410 は、ヘッド・ディスク組立部品 308 からフィードバック経路 422 を経てプロセッサ 410 で受けた位置誤差信号 (PES) フィードバックを利用する。

10

20

30

40

50

【0050】

サーボ・プロセッサ 410 は、記憶ディスクの表面上のサーボ・マークを検出することによって生成されるサーボ・タイミング情報に基づいて読み出し / 書き込みヘッド 130 の位置を制御するサーボ・アルゴリズムを実施する。モジュール 415 の出力における VCM 制御信号は、各サーボ・マークが処理された後に更新することができ、ITI ベースのヘッド位置コントローラ 402 によって決定される電流オフセットを反映するためにも更新される。このオフセットは、本実施形態では、検出されたサーボ・マーク間でほぼ連続的に、読み出し / 書き込みヘッドの半径方向の位置を微調整するために利用される。この実施形態での ITI ベースのヘッド位置制御は、したがって、サーボベースのヘッド位置制御を補う。ITI フィードバックは、データが記憶ディスクから読み出されるととき、ほぼ常に利用可能であるという点で、特に有用である。これは、一般に、サーボ・マークが記憶ディスク上で一定間隔で処理される場合にのみ利用可能なサーボ・フィードバックとは対照的である。

【0051】

図 4 の実施形態では、検出器 320 は、ほぼ連続的にデータ信号から ITI を抽出するように構成されていてもよい。ITI 検出は、別の通常の ITI 打ち消しプロセスと併せて行ってもよいが、ITI 打ち消しは、この実施形態では必須ではない。ITI は、浮上量（すなわち、データがディスクから読み出される、又はディスクに書き込まれるとき、ヘッドの磁気表面と記憶ディスクの磁気表面との間で維持される距離）及び環境要因 (environment factors) のような、ヘッド位置変化の指標ではない要因 (factors) を制御するために、検出器 320 の信号レベルに正規化することができる。ITI 測定指標 404 は、正規化された ITI、又は、ITI の複合エネルギーのような他の関連する尺度を含んでもよい。これらの測定指標は、図に示されているようにサーボ・コントローラ 400 に提供される。ITI 測定指標のこの伝送は、制御ループの特定の実装に応じて、ITI が記憶ディスクから読み出されたデータ信号中に検出されたとき、ほぼ連続的に生じるかもしれない、或いは、例えば、指定された ITI しきい値を超えたとき、又は、サーボ・コントローラ 400 によって要求されたとき、周期的に生じることがある。サーボ・コントローラは、一般に、ヘッドをデータ回復に最適な位置に維持するためにヘッド位置を調節するように構成されている。

【0052】

図5A及び5Bに関連して説明するように、データ回復に最適な位置は、読み出されているトラックの中心であるとは限らないことを理解すべきである。これらの図は、本発明の実施形態での、トラック中心に対する読み出し／書き込みヘッドのオフセットの関数としての、ITIの変化を例示している。この例のITIは、特定のタイプの測定指標、すなわち、複合エネルギー(E)によって表され、オフセットは、トラック・ピッチの割合として表される。各図は、公称原トラック・ピッチに対する異なった量のトラック・ピッチの変化(VTP)に対応している。

【0053】

図5Aでは、トラック・ピッチは原(オリジナル)トラック・ピッチに対して10%減少しており、その結果、減少したトラック・ピッチは原トラック・ピッチの90%である。この図から、この場合、ITIが顕著になる前、ヘッド位置は約+15%又は-20%中心から離れていることがわかる。また、現在のトラックNの中心に対する負のオフセットが増加すると、隣接トラックN-1からのITIの量が増加し、トラックNの中心に対する正のオフセットが増加すると、隣接トラックN+1からのITIの量が増加することは明らかである。この例の最適なヘッド位置は、トラック中心に対する小さい負のオフセットであるように思われる。このようなオフセットは、上述したように、サーボ・プロセッサ410及びその関連するタイミング制御モジュール412の制御の下で、ITIベースのヘッド位置コントローラ402及びオフセット線420を経て、サーボ・コントローラ400によって導入することができる。この例のサーボ・コントローラは、一般に、ディスクから読み出されたデータ信号中のITIの複合エネルギーを最小化する負のオフセット位置にヘッドを維持しようとする。

10

20

30

【0054】

このようなオフセットの必要性は、トラック・ピッチが原トラック・ピッチに対して30%減少し、その結果、減少したトラック・ピッチが原トラック・ピッチの70%になっている図5Bの例では、さらに明らかである。この場合、ヘッドのその最適な位置からの比較的小さいずれによっても、相当な量のITIが結果として生じる。図5Aの例のように、最適な位置はトラック中心に対応していない。さらに、この場合のサーボ・コントローラ400は、ディスクから読み出されたデータ信号中のITIの複合エネルギーを最小化する負のオフセット位置にヘッドを維持しようとする。

30

【0055】

ITI複合エネルギーを使用してヘッド位置を推定することは、書き込みプロセスがかなりのITIを導入する場合、特に有効であることがあるが、それはこのような場合、ITIは、実際には、制御ループ性能を低下させるよりも、むしろ追加の位置推定情報を生成するからである。さらに、図4の実施形態でのようなITIベースのヘッド位置制御の使用は、ヘッド位置推定が、サーボベースのヘッド位置制御の場合のサーボ・マークにおけるのみではなく、データがディスクから読み出されるとき、ほぼ連続的に提供されることを可能にする。結果として、ITIベースのヘッド位置制御は、ディスク容量を犠牲にすることなく、非常に高い帯域幅の制御ループを提供する。

40

【0056】

上述したように、ITI測定指標404は、別の通常のITI打ち消しプロセスから得ることができる。このようなプロセスは、片側又は両側ITI打ち消しを含むことができる。片側ITI打ち消しは、単一の隣接トラックからのITIを検出し、打ち消す。この場合、サーボ・コントローラ400は、ヘッドが、ITIが抽出されていない反対側の隣接トラックに向かってドリフトしないことを保証するために、関連する隣接トラックの近くに位置するヘッドを維持するように構成することができる。両側(double-sided)ITI打ち消しは、両方の隣接トラックからのITIを検出し、打ち消す。この場合、サーボ・コントローラ400は、2つの隣接トラックから導入される合計のITIが最小化されるように、2つの隣接トラックの間にヘッドを位置決めするように構成することができる。

50

【0057】

特に片側 (single-sided) I T I 打ち消しの場合、サーボベースのヘッド位置制御を可動域リミッタとして使用し、ヘッドが一方の隣接トラックから遠くに動き過ぎ、その結果、反対側の隣接トラックを侵害することから、I T I ベースのヘッド位置制御を防ぐことができることに注意すべきである。

【0058】

所定の実施形態では、I T I 複合エネルギーのようなI T I 測定指標は、各データ・セクタ内の各データ・ブロックに関して、それがディスクから読み出されたすぐ後に得ることができる。ブロック長は、I T I 推定精度と制御ループ帯域幅との間のトレードオフを決定する。サーボ・コントローラ400は、現在のデータ・ブロックに関するこのI T I 複合エネルギーを、予め決められた範囲と比較し、ヘッド位置オフセットを予め決められた量だけ調節するように構成することができる。これらの動作は、少なくとも部分的にルックアップ・テーブル414を利用して実施することができる。I T I 測定指標は、検出されたサーボ・マークに作用するサーボ・アルゴリズムによっても利用することができることに注意すべきである。

10

【0059】

上述したように、すべてのデータ・ブロックに関するようにほぼ連続的にI T I 測定指標を得る必要はなく、他の実施形態では、このような測定指標は、例えば、I T I 複合エネルギーが規定された範囲外になったときにのみ、周期的にサーボ・コントローラ400によって取得し、処理することができる。

20

【0060】

図3及び4に示す特定の回路網配置は、単に例として提示されており、本発明の他の実施形態は、他のタイプ及び配置の、追加の又は代わりの部品を利用することができるのことを認識すべきである。これらの他の実施形態の記憶装置の制御回路網は、ソフトウェアを実行するために利用される専用ハードウェア並びにプロセッサ又はメモリ資源を備えることができる。

【0061】

上述したように、記憶装置100の構成は、本発明の他の実施形態では変化してもよい。例えば、本発明の別の実施形態の記憶装置は、1つ以上の記憶ディスクに加えてフラッシュ・メモリを含むハイブリッドHDDを備えてもよい。

30

【0062】

特定の記憶ディスク構成及び記録機構は、本発明の他の実施形態では変化してもよいことも理解すべきである。例えば、シングルド (shingled) 磁気記録 (SMR) 及びビット・パターン化媒体 (BPM) のような記録技術は、本発明の1つ上の実施形態で使用することができる。

【0063】

図6は、コンピュータ、サーバ、通信装置等であってもよいホスト処理装置602に結合されたディスクベースの記憶装置100を備える処理システム600を例示している。この図では別個の要素として示されているが、記憶装置100は、ホスト処理装置に組み込むことができる。記憶装置100に指示される読み出しコマンド及び書き込みコマンドのような命令は、図3に関連して上述したものと同様のプロセッサ及びメモリ素子を備えることができる処理装置602から来てもよい。

40

【0064】

複数のディスクベースの記憶装置100を、図7に例示されているような仮想記憶システム700に組み込むことができる。ストレージ (storage) 仮想化システムとも呼ばれる仮想記憶システム700は、RAIDシステム704に結合された仮想記憶コントローラ702を例示的に備えており、ここでRAIDはリダンダント・アレイ・オブ・インデペンデント・ディスクス (Redundant Array of Independent Disks) を示す。RAIDシステムは、より具体的には、100-1, 100-2, . . . 100-Kと示されるK個の別個の記憶装置を備えており、それらの

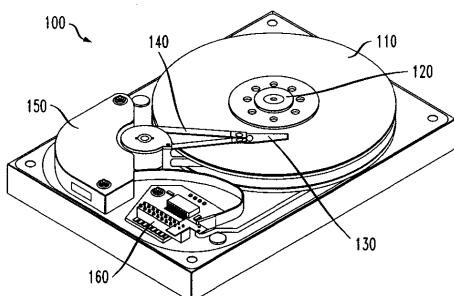
50

1つ以上は、本明細書で開示されているITIベースのヘッド位置制御機能を含むように構成されているとする。HDD又は本明細書で開示されているタイプの他のディスクベースの記憶装置を備えるこれら及び他の仮想記憶システムは、本発明の実施形態と考えられる。図6のホスト処理装置602は、仮想記憶システムの要素であってもよく、仮想記憶コントローラ702を組み込んでもよい。

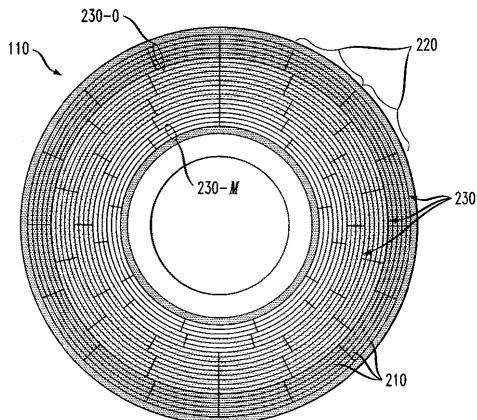
【0065】

再び、上述した本発明の実施形態は、単に例示的なものであることを目的としていることを強調すべきである。例えば、他の実施形態は、異なるタイプ及び配置の、記憶ディスク、読み出し／書き込みヘッド、制御回路網、及び、説明した機能を実施するための他の記憶装置要素を使用することができる。また、ヘッド位置制御が検出されたITIに基づいて提供される特定の方法は、他の実施形態では変化してもよい。以下の請求項の範囲内にあるこれら及び多数の他の代わりの実施形態は、当業者には明らかであろう。

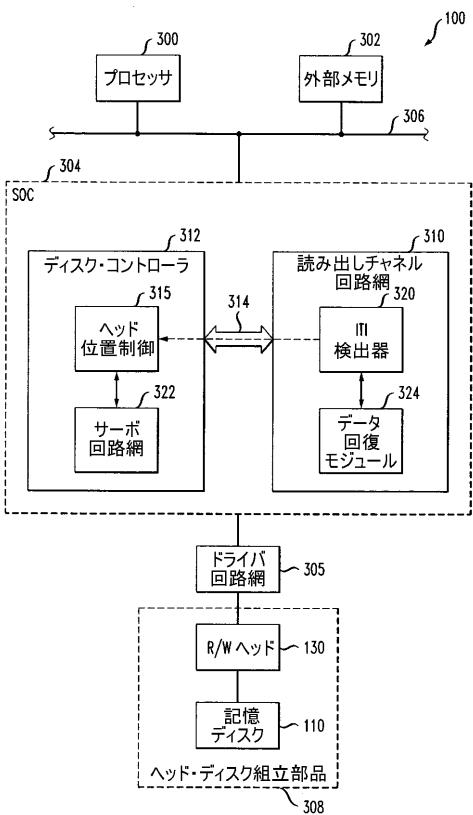
【図1】



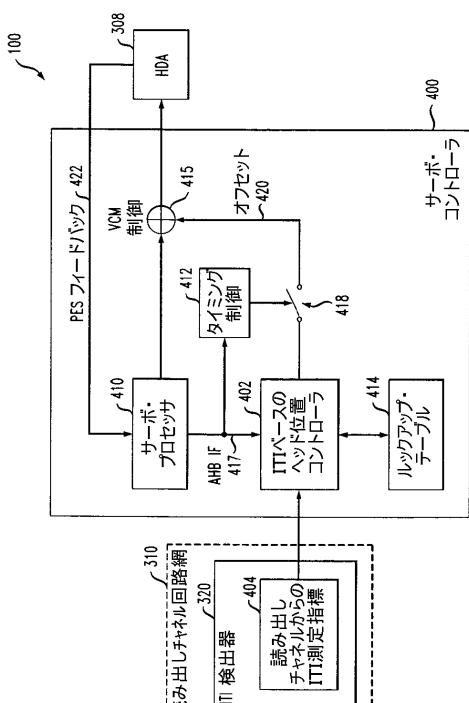
【図2】



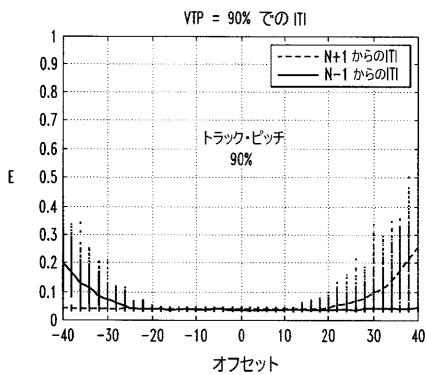
【図3】



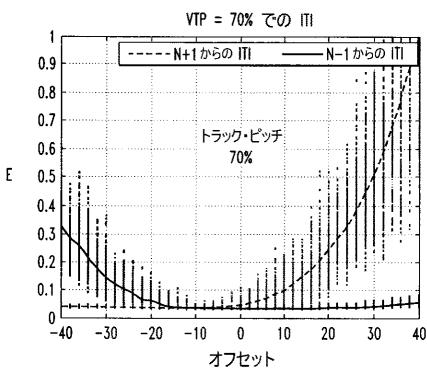
【 図 4 】



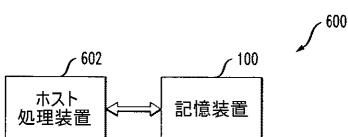
【 図 5 A 】



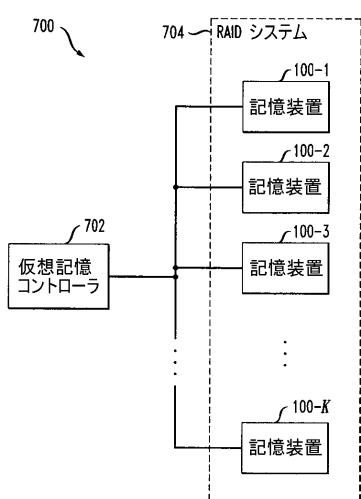
【 図 5 B 】



【 図 6 】



【 図 7 】



フロントページの続き

(72)発明者 ディヴィッド エム . スプリングバーグ

アメリカ合衆国 8 0 5 2 5 コロラド , フォート コリンズ , ダンフィールド コート 2 0 0
1 , アパートメント 2 3 0

(72)発明者 ジェファーソン イー . シングルトン

アメリカ合衆国 8 0 0 2 1 コロラド , ウエストミンスター , ウエスト ワンハンドレッド セ
ヴァンス ドライヴ 9 7 0 7

(72)発明者 ジェフリイ ピー . グランドヴィグ

アメリカ合衆国 8 0 5 3 7 コロラド , ラヴランド , メドウビュー ドライヴ 2 6 4

F ターム(参考) 5D096 AA02 BB01 CC01 DD01 EE03 EE13 KK02