



SCHWEIZERISCHE EIDGENOSSENSCHAFT
BUNDESAMT FÜR GEISTIGES EIGENTUM

51 Int. Cl.³: G 06 F 13/00

Erfindungspatent für die Schweiz und Liechtenstein

Schweizerisch-liechtensteinischer Patentschutzvertrag vom 22. Dezember 1978



12 PATENTSCHRIFT A5

11

634 938

21 Gesuchsnummer: 6746/78

22 Anmeldungsdatum: 21.06.1978

30 Priorität(en): 05.07.1977 US 813404

24 Patent erteilt: 28.02.1983

45 Patentschrift
veröffentlicht: 28.02.1983

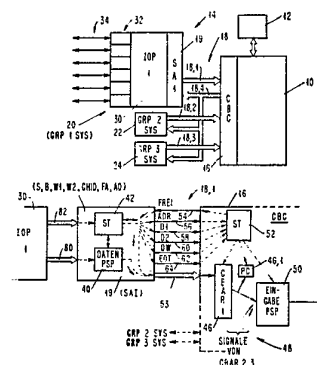
73 Inhaber:
International Business Machines Corporation,
Armonk/NY (US)

72 Erfinder:
Robert Stanley Capowski, Verbank/NY (US)
Matthew Anthony Krygowski, Wappingers
Falls/NY (US)
Terrence Keith Zimmermann, Red Hook/NY
(US)

74 Vertreter:
Dipl.-Ing. Wolfgang Möhlen, c/o IBM Corp.,
Rüschlikon

54 Einrichtung für die Weiterleitung von Speicherzugriffsanforderungen.

57 Ein Kanalspeicher-Adapter (19) enthält Steuereinrichtungen (42) und Pufferspeicher (40) für Speicherzugriffsanforderungen eines E/A-Prozessors (30), der eine Gruppe von E/A-Kanälen (32) bedient. Der von allen Gruppen (20, 22, 24) gemeinsam benützte Hauptspeicher (10) hat einen Kanabussteueradapter (16) zum zwischenspeichern und übermitteln des Verkehrs mit dem Hauptspeicher. Leitungsverbindungen (18.1) zwischen beiden Adaptern umfassen eine Sammelleitung (53) für Speicherdaten und einige Steuerleitungen (54...64) für Steuerinformation. Ein Freigabesignal erlaubt dem Kanal die Übertragung von Anforderungen, wenn immer freier Raum im Pufferspeicher verfügbar ist. Selektive Kennzeichensignale bestimmen die Breite der Übertragung (1, 2 oder 4 Datenwörter), die Art der Anforderung (Abrufen oder Speichern), die Reihenfolge der Wörter eines Paares und den Befehl, die nächste Adresse aus der übermittelten Adresse zu bilden.



PATENTANSPRÜCHE

1. Einrichtung für die Weiterleitung von Speicherzugriffsanforderungen in einer datenverarbeitenden Anlage mit einer Mehrzahl von E/A-Kanälen und einem gemeinsam benutzten Hauptspeicher, dadurch gekennzeichnet,

- dass jeweils eine Gruppe (20, 22, 24) von E/A-Kanälen (32) zusammengefasst ist und einen eigenen zugehörigen E/A-Prozessor (30) hat,

- dass jeder der genannten E/A-Prozessoren (30) einen ersten Adapter als Kanalspeicher-Adapter (19) aufweist, der Pufferspeichereinrichtungen (40) für Daten und Steuereinrichtungen (42) samt Pufferspeichereinrichtungen für zu den Daten gehörige Steuerinformation für die Übertragung von Speicherzugriffsanforderungen an den Hauptspeicher (10) enthält,

- dass der Hauptspeicher (10) einen zweiten Adapter (16) für die Kanalbusssteuerung aufweist, der für jede Gruppe (20, 22, 24) von E/A-Kanälen (32) ein eigenes Kanalbussammelregister (46), mit einem Eingabepufferspeicher (50) und mit zugehörigen Steuereinrichtungen (52) enthält,

- und dass zwischen den genannten Adaptern (19, 16) eine Eingangssammelleitung (53) und eine Anzahl von Steuerleitungen (54, 56, 58, 60, 62, 64) vorgesehen sind, welche die Weiterleitung von Speicherzugriffsanforderungen verschiedener Art ermöglichen.

2. Einrichtung nach Anspruch 1, dadurch gekennzeichnet, dass die Eingangssammelleitung (53) zum Übertragen von Anforderungsinformation von der zugehörigen E/A-Kanalgruppe an den Kanalbusssteueradapter (16) vorgesehen ist, dass eine der genannten Steuerleitungen eine durch die Steuereinrichtungen des Kanalbusssteueradapters aktivierbare Freigabeschaltleitung (54) ist, welche unabhängig vom Vorhandensein aktiver Speicherzugriffsanforderungen dem zugehörigen Kanalspeicher-Adapter (19) die mögliche Übertragung von Anforderungssignalen immer dann freigibt, solange dem Adapter reservierter Pufferspeicherraum in der Kanalbusssteuerung verfügbar ist, und dass andere, durch den Kanalspeicher-Adapter (19) aktivierbare Steuerleitungen (56-64) zum Senden von Kennzeichen für die Steuerung der Anforderungsübertragung vorgesehen sind, wobei es Kennzeichen gibt, die zwischen verschiedenen, aufeinander folgenden Anforderungen unterscheiden, solche, die angeben, ob es sich um einzugebende oder auszugebende Information handelt, ob mehrere Speicherwörter in abweichender Reihenfolge zu verarbeiten sind, oder ob aus der übermittelten Adresse als Anfangsadresse weiter folgende Adressen zu ermitteln sind.

3. Einrichtung nach Anspruch 2, dadurch gekennzeichnet, dass der erste Kanalspeicher-Adapter (19) dazu eingerichtet ist, Speicherzugriffsanforderungsinformation an den Hauptspeicher mit einer variablen Anzahl von Datenwörtern zu geben, die Speicherdaten oder Adressinformation enthalten, dass der zweite Kanalbusssteueradapter (16) dazu eingerichtet ist, die Anforderungsinformation zwischenspeichern und asynchron an den Hauptspeicher weiter zu vermitteln, dass der erste Adapter (19) Schaltmittel enthält, welche zwischen Leseoperationen und Rückwärtsleseoperationen zu unterscheiden vermögen und Steuerleitungen entsprechend aktivieren, um in einer vorgegebenen Reihenfolge die übertragenen Datenwörter zu kennzeichnen, und dass der zweite Adapter (16) Schaltmittel enthält, die auf die übertragenen Kennzeichen-Signale ansprechen und die übertragenen Datenwörter in einer entsprechenden Reihenfolge von Speicherräumen zwischenspeichert.

4. Einrichtung nach Anspruch 3, dadurch gekennzeichnet, dass für zwei Datenwörter breite Übertragungen von Speicherzugriffsanforderungen auf der Eingangssammelleitung (53) zwei Steuerleitungen (58, 60) vorgesehen sind, die selektiv Kennzeichensignale (D1, D2) führen, welche die

erwünschte Reihenfolge der Speicherplätze eines Wortpaares markieren.

5. Einrichtung nach Anspruch 4, dadurch gekennzeichnet, dass für vier Datenwörter breite Übertragungen von Speicherzugriffsanforderungen auf der Eingangssammelleitung (53) eine weitere Steuerleitung (62) vorgesehen ist, die selektiv ein Kennzeichensignal (QW) führen kann, das den zweiten Adapter (16) veranlasst, das dritte und vierte Datenwort der Übertragung in benachbarte Speicherplätze zu verbringen, deren Adresse durch Schaltkreise im Adapter durch Invertieren eines wertniederen Bits der übertragenen Anfangsadresse automatisch verfügbar ist.

15

Die vorliegende Erfindung betrifft eine Einrichtung für die Übertragung von Speicherzugriffsanforderungen von mehreren Eingabe/Ausgabekanälen an einen gemeinsam benutzten Hauptspeicher.

Die Verwendung von Kennzeichensignalen für die Abgrenzung von Datenwörtern bei der Weiterleitung von Speicherzugriffsanforderungen zwischen den Eingabe/Ausgabekanälen und den gemeinsam benutzten Speicherzugriffseinrichtungen ist nicht neu. Die hier beschriebene Verwendung von Kennzeichen für die Markierung der Abgrenzungen von Datenwörtern zum Ermöglichen einer reversiblen Orientierung von Datenwortpaaren in einem Speicher je nach der Richtung des Speichervorganges, ob es sich beispielsweise um Vorwärts- oder Rückwärtsleseoperationen in den zugehörigen Kanälen handelt, wird jedoch als neu und erfinderisch angesehen.

Bei bekannten Einrichtungen für die Weiterleitung von Speicherzugriffsanforderungen muss mit jeder Speicherzugriffsanforderung ausdrücklich eine Speicheradresse übertragen werden. Das vorliegende System bietet jedoch mögliche Vorteile bezüglich der Signalübertragungsgeschwindigkeit durch die Benützung einer speziellen Kennzeichenleitung (QW) für die Bezeichnung implizierter Adressen in einer Serie von Anforderungsübertragungen von einer Quelle mit einer Reihe von zusammenhängenden Datenspeicherräumen. Beim Empfang einer einzigen, expliziten Adresse, die eine Anfangsspeicherstelle bezeichnet, und einer Reihe von übertragenen Kennzeichen auf der zugehörigen Adresskennzeichenleitung, erzeugt die Speicherzugriffseinrichtung selbst eine Reihe von Adressen für den Zugriff zu besagten zusammenhängenden Speicherräumen.

Bekannte Einrichtungen für die Weiterleitung von Speicherzugriffsanforderungen verwenden die bilaterale voll verzahnte Steuersignalgebung zwischen den Kanaladaptern und gemeinsam benutzten Speicherzugriffseinrichtungen. Jeder Adapter muss dabei zuerst ein den Zugriff anforderndes Signal an die Einrichtung geben und dann ein Betätigungssignal von dieser Einrichtung zurück empfangen, bevor er die Signale übertragen kann, welche diese eine Anforderung darstellen. Das vorliegende System unterscheidet sich davon durch die Benutzung einseitiger Steuersignale, was im allgemeinen viel wirksamer und schneller ist.

Die Einrichtung nach der Erfindung ist durch die im Patentanspruch 1 aufgeführten Merkmale gekennzeichnet. Weiterbildungen der Erfindung gehen aus den abhängigen Ansprüchen hervor.

Bei dieser einseitig gerichteten Signalisierung für die Steuerung von gemeinsam benutzten Einrichtungen steuert eine Freigabeleitung für jeden Adapter die Abgabe eines Freigabesignales, das für lange Zeiträume ununterbrochen aktiv dargeboten sein kann. Der Status eines jeden solchen Freigabesignales hängt nur vom frei verfügbaren Pufferspeicherraum ab, der die Anforderungssignale auf dem Weg zum Hauptspeicher zwi-

schenspeichert. Solange die jedem Adapter zugeordnete Pufferspeicherkapazität nicht voll ausgelastet ist, wird das Übertragungsfreigabesignal für diesen Adapter aktiv gehalten oder aktiv geschaltet, sobald es möglich ist.

Wenn dann ein Adapter eine Anforderung weiterzuleiten hat, kann er sofort mit der Übertragung von Anforderungssignalen beginnen, wenn die zugehörige Freigabeleitung aktiv ist und eine vorgegebene Verzögerungszeit seit der Beendigung ihrer vorhergehenden Anforderungsübertragung vergangen ist. Zum Verarbeiten der Daten in einer Warteschlange gehören sowohl Eingaberegister (CBAR), von denen eines jedem Adapter zugeordnet ist und die Anforderungssignale von den Schnittstellensammelleitungen empfängt, als auch ein gemeinsamer Pufferspeicher (Eingabepufferspeicher), der die Anforderungen auf ihrem Wege zwischen jedem der Eingaberegister und dem Hauptspeicher zwischenspeichert. Die oben erwähnte Verzögerungszeit ist auf die schlimmstenfalls zum Leeren aller Eingaberegister in den Eingabepufferspeicher erforderliche (ungünstigste) Gesamtzeit bezogen, wenn diese Eingaberegister alle einmal gleichzeitig geladen sein sollten.

Die beschriebene Benutzung der Datenkennzeichensignale wird insofern als einmalig und vorteilhaft in einem ungewöhnlichen Sinne betrachtet, als die den Eingabe/Ausgabekanäle und den Kanalgruppen-Speicher-Adaptoren die gleichartige Behandlung von Datenwörtern und von Speicheradressen für Eingabeoperationen sowohl zum Lesen als auch zum Rückwärtslesen ermöglicht. Sie gestattet ausserdem jedem Adapter, seine Unterscheidung der Zugriffsart (und der zugehörigen Entscheidung für die Wahl des zu gebenden Datenkennzeichensignals) bis zu einem möglichst späten Zeitpunkt im Zyklus seiner Anforderungs-Weiterleitungsoperationenfolge zu verschieben. Infolgedessen kann die Steuerung der Anforderungs-Weiterleitungssignalfolge entsprechend vereinfacht werden. Ausserdem wird so die Verantwortung für die Einspeicherung von Daten in den durch die Anforderungsadresse bezeichneten Speicherraum an die Zugriffseinrichtungen abgegeben, welche von allen Adaptern gemeinsam benutzt werden, woraus sich auch Ersparnisse bei der Ausnutzung und der Zeitablauffolge der Einrichtungen ergeben.

Als weitere Neuheit wird die beschriebene Behandlung von Vierwort-Anforderungen (allgemein 2n) als Doppelwort-Anforderungen (allgemein n) und die Verwendung von zugehörigen Kennzeichensignalen (QW) für die Eliminierung von Doppelübertragungen der Adressen (allgemein Vielfachübertragungen) bei der Weiterleitung von Vierwort-Anforderungen (allgemein 2n) angesehen. Das Speicherzugriffssystem benutzt eine einzelne explizit übertragene Adresse zum Zugriff auf zwei zusammenhängende Doppelwortspeicherplätze (allgemein n), welche die Quelle oder das Ziel der angeforderten Daten darstellen. Im Falle der Vierwort-Anforderung wird ein Speicherplatz durch Benutzung der (explizit) übertragenen Adresse angesteuert und der andere zusammenhängende Speicherraum wird durch die Benutzung einer impliziten Adresse angesteuert, welche durch Inversion eines wertniederen Bits der expliziten Adresse gebildet wird.

Ein weiterer neuer Aspekt der Erfindung ist die Verwendung einer einseitig gerichteten Verzahnung der Signale für die schnellere Behandlung der Anforderungsübertragungen.

Ein Ausführungsbeispiel der Erfindung ist in den Zeichnungen dargestellt und wird anschliessend näher beschrieben. Es zeigen:

Fig. 1 schematisch die Systemumgebung, in der die Einrichtung für die Weiterleitung von Speicherzugriffsanforderungen arbeiten soll,

Fig. 2 schematisch den ersten Adapter (Speicheradapter) und den zweiten Adapter (Kanalbussteuerung) sowie ihre Leitungsverbindungen zum Austausch von Speicherzugriffsanforderungen und Steuersignalen,

Fig. 3 und 4 Format und Zeiteinteilung von Übertragungen der Signale für Eingabeoperationen und für Ausgabeoperationen, bezogen auf die in der Figur 2 dargestellten Verbindungsleitungen,

Fig. 5 schematisch das Bitformat eines Anforderungs-Adresswortes, das entweder eine ganze Ausgabeoperation (Abruf) oder einen Teil einer Eingabeoperation bildet. Ausserdem ist das Format der zu Eingabeoperationen gehörenden Datenwörter dargestellt,

Fig. 6 zeigt die Lage von durch den Adresswortteil einer Eingabeoperation und die zugehörigen Kennzeichen D1 und/oder D2 bezeichneten Plätze im Speicher,

Fig. 7 und 8 die herkömmliche Benutzung des Speichers in Verbindung mit Lese- und Rückwärtsleseoperationen eines Eingabe/Ausgabekanals,

Fig. 9 eine Folge von herkömmlichen Speicheroperationen für die Weiterleitung von Anforderungen in Verbindung mit Rückwärtsleseoperationen in herkömmlichen Kanälen,

Fig. 10 und 11 in Ablaufdiagrammen Operationen des ersten (Speicheradapter) und zweiten Adapters (Kanalbussteuerung) bei der Weiterleitung von Anforderungen für Speicherzugriffe,

Fig. 12 im Speicheradapter für die Weiterleitung von Anforderungen verwendete Boole'sche Schaltungen,

Fig. 13 und 14 Schaltungen in der Kanalbussteuerung, für die Ausführung der in der Figur 11 dargestellten Operationen und

Fig. 15 einen besonderen Aspekt des Zeitablaufes der Operationen im ersten und im zweiten Adapter zur Erläuterung des Grundgedankens der einseitig gerichteten Steuerung in den Einrichtungen nach der vorliegenden Erfindung.

Einleitung

Ein die vorliegende Erfindung verwendetes System ist in den Figuren 1 und 2 dargestellt. Abgesehen vom Speicheradapter und der Kanalbussteuerung sind Einzelheiten der einzelnen Komponenten des Systems für das Verständnis der vorliegenden Erfindung nicht von Bedeutung. Das ganze System wird in seiner Arbeitsweise jedoch allgemein beschrieben, um die Betriebsumgebung der vorliegenden Erfindung leichter verständlich zu machen.

Ein gemeinsam benutzter Hauptspeicher 10 bedient einen Computer 12 und mehrere Gruppen von Eingabe/Ausgabe-Datenverarbeitungs-Untersystemen 14. Der Hauptspeicher 10 enthält eine Anzahl von Speichermodulen sowie Speicherzugriffssteuerungen, welche die Priorität des Zugriffs zu den Modulen steuern und bestimmte Adressen von Speicherplätzen innerhalb der Module auswählen. Das Verbindungssystem zwischen dem Hauptspeicher 10 und einem E/A-Gruppenverarbeitungssystem zwischen dem Hauptspeicher 10 und einem E/A-Gruppenverarbeitungssystem 14 enthält einen Kanalbussteueradapter 16, spezielle Anordnungen von Sammelleitungen 18 und zu den einzelnen E/A-Gruppenverarbeitungssystemen gehörende Speicheradapter, wie den mit 19 bezeichneten Speicheradapter SA1.

Das in der Figur 1 dargestellte System enthält bis zu drei E/A-Gruppenverarbeitungssysteme 20, 22 und 24, die jeweils eine Gruppe von bis zu 6 Eingabe/Ausgabekanälen bedienen. Das die Kanalgruppe 1 bedienende System ist bei 20 gezeigt, das die Kanalgruppe 2 bedienende System bei 22 und das die Kanalgruppe 3 bedienende System bei 24. Die Systeme 20, 22 und 24 sind intern im wesentlichen gleich aufgebaut. Daher werden Einzelheiten nur vom System 20 für die Gruppe 1 hier näher beschrieben. Einzelheiten für die anderen Systeme können sinngemäss daraus abgeleitet werden.

Das Verarbeitungssystem 20 für die E/A-Gruppe 1 besteht aus dem Speicheradapter 19 (auch Speicheradapter SA1 genannt), dem Eingabe/Ausgabeprozessor 30 (IOP1) und sechs

Eingabe/Ausgabekanälen mit der gemeinsamen Bezeichnung 32. Die sechs Kanäle haben sechs entsprechende E/A-Schnittstellen 34, die über nicht dargestellte E/A-Steuerungen an Peripheriegeräte oder über Kanaladaptereinheiten an periphere Computer angeschlossen sind.

Der Speicheradapter 19 und der Eingabe/Ausgabeprozessor, auch Direktor genannt, sowie der Kanalsteueradapter 16 werden an anderer Stelle im einzelnen beschrieben.

Der Computer 12 leitet die Operationen der einzelnen Kanäle über eine nicht dargestellte Signalverbindung zum zugehörigen Eingabe/Ausgabeprozessor 30 ein. Danach arbeiten die Kanäle 32 unabhängig voneinander. Sie verbinden die zugehörigen Peripheriegeräte mit dem Hauptspeicher 10 über das Verarbeitungssystem 20 für die E/A-Gruppe 1, den Speicheradapter 19, die Gruppenadapterverbindung 18.1 und den Kanalbussteueradapter (CBC) 16. Im Laufe der Kommunikation zwischen den Kanälen und dem Speicher liefern die Kanäle Eingabeanforderungen (Einspeichern) und Ausgabeanforderungen (Auslesen), welche die Adressinformation für die Bezeichnung der Datenspeicherplätze enthalten, und der Hauptspeicher 10 gibt Antworten zurück, die entweder aufgrund von Ausgabeanforderungen gelesene Daten oder den Status der Verarbeitung der Eingabeanforderungen darstellen. Anforderungen und Antworten werden in Pufferspeichern, die sich in den Einheiten 30, 19 und 16 befinden, im Warteschlangen gesetzt und zwischen den Einheiten asynchron übertragen. Übertragene Information wird im Kanalsteueradapter 16 auf Parität geprüft.

Die Antwort auf eine Eingabe-Anforderung enthält auch Information, ob die Daten in paritätsgeprüfter Form empfangen wurden. Die Antwort auf eine Abrufanforderung (Ausgabe) enthält aus dem durch die Anforderungsadresse bezeichneten Speicherraum gelesene Daten.

Die Verbindungsleitungen 18.1 für die Weiterleitung von Anforderungen gehören zur Gruppe 1 des Verarbeitungsunter-systems 20 für die E/A-Gruppe 1. Ähnliche Verbindungen 18.2 und 18.3 gehören entsprechend zum Verarbeitungsuntersystem 22 für die E/A-Gruppe 2 und zum Verarbeitungsuntersystem 24 für die E/A-Gruppe 3.

Die Antwort-Leitungsverbindungen 18.4 bestehen aus einer Sammelleitung mit einer Mehrzahl von Anschlüssen für die einzelnen Speicheradapter 19 in den Verarbeitungsuntersystemen 20, 22 und 24. Diese Verbindungen enthalten (nicht dargestellte) einzelne Fortschaltleitungen, die zu je einem Adapter gehören und jede Antwort an die entsprechende Einheit lenken.

Die vorliegende Erfindung betrifft insbesondere die Verbindungen 18.1 bis 18.3 für die Weiterleitung von Anforderungen, sowie die zugehörigen Teile der entsprechenden Speicheradapter (wie des Adapters 19) und den gemeinsam benutzten Kanalbussteueradapter 16.

Speicheradapter (allgemein)

Figur 2 zeigt den Speicheradapter 19 (SA1), der einen Datenpufferspeicher 40 und die zugehörige Steuereinrichtung 42 enthält. Diese Komponenten werden im einzelnen an anderer Stelle beschrieben. Für die Weiterleitung von Speicherzugriffsanforderungen relevante Teile dieser Komponenten werden anschliessend beschrieben.

Kanalbussteueradapter (allgemein)

Figur 2 zeigt, dass der Kanalbussteueradapter 16 (CBC) ein gesondertes Kanalbusregister (nachfolgend CBAR genannt) enthält, von denen je eines zu jedem Gruppenspeicheradapter gehört, und das über Leitungen in den zugehörigen Sammelleitungsverbindungen (18.1, 18.2 oder 18.3 in Figur 1) übertragene Anforderungssignale empfängt. Das Kanalbusregister 46 (CBAR 1) gehört zum Speicheradapter 19 (SA1) und ist aus-

föhrlich dargestellt. Die anderen Register sind implizit bei 48 angedeutet, aber nicht im einzelnen gezeigt. Ausserdem enthält der Kanalbussteueradapter einen Eingabepufferspeicher 50 und eine dazugehörige Anforderungs-Warteschlangensteuerung 52. Der Eingabepufferspeicher 50 empfängt Anforderungen von allen Kanalbusregistern und setzt die Daten in eine Warteschlange ein. Bestimmte Registerbereiche im Eingabepufferspeicher 50 sind permanent dem Verkehr der betreffenden Kanalbusregister zugeordnet. Übertragungen in den Eingabepufferspeicher 50 erfolgen in einer vorgegebenen Prioritätsreihenfolge (der Verkehr im CBAR 1 hat Vorrang vor dem Verkehr im CBAR 2 und dieser wiederum gegenüber dem Verkehr im CBAR 3). Der Eingangspufferspeicher 50 leitet Anforderungen an den gemeinsam benutzten Hauptspeicher 10 in derselben Prioritätsreihenfolge weiter, wenn dieser zur Verfügung steht. Ausgaben der Kanalbusregister werden durch zugehörige Paritätsprüfschaltungen, wie die Schaltung 46.1, auf Parität geprüft.

20 Schnittstelle der Anforderungs-Weiterleitung

Die in der Figur 2 gezeigten Verbindungen 18.1 umfassen eine aus 41 Leitungen bestehende Eingangssammelleitung 53 und sechs Steuerleitungen. Über die Eingangssammelleitung 53 wird das Adresswort und die Information in Datenwörtern von Speicherzugriffsanforderungen in Wortsignaleinheiten von 41 Bits übertragen.

Die Freigabesteuerleitung 54 wird durch die Anforderungs-Weiterleitungssteuerungen 52 des CBC aktiviert (angehoben), um dem Speicheradapter 19 (SA1) zu ermöglichen, eine Anforderung sofort an den CBC weiterzuleiten, wenn er eine solche Anforderung zu senden bereit hat. Die Freigabesteuerleitung 54 wird aktiv gehalten, um einseitig gerichtet den Speicheradapter SA1 zu steuern, wenn immer freie Speicherkapazität entweder im Kanalbusregister CBAR 1 oder im Eingabepufferspeicher 50 (in dessen den Anforderungen der Gruppe 1 zugeordneten Teil) verfügbar ist.

Die anderen fünf Steuerleitungen der der Verbindungen 18.1, nämlich die Leitungen 56, 58, 60, 62 und 64, werden durch die Steuerschaltungen 42 des SA1 gesteuert. Diese anderen Leitungen umfassen die ADR-Kennzeichenleitung 56 (Adresskennzeichen), die D1-Kennzeichenleitung 58 und die D2-Kennzeichenleitung 60 (Datenkennzeichen), die QW-Kennzeichenleitung 62 (Viererwort) und die EOT-Kennzeichenleitung 64 (Übertragungsfolgende). Mit dem aktivierten Adresskennzeichen wird das Vorhandensein von Anforderungsadresswortsignalen auf der Eingangssammelleitung 53 signalisiert. Die Datenkennzeichen D1 und D2 werden selektiv aktiviert, um das Vorhandensein von Eingabe-Datenwortsignalen auf der Eingangssammelleitung 53 anzuzeigen und die Bestimmungs-orte der Datenwörter zu bezeichnen, die zu den Paaren von Wortspeicherplätzen gehören, die durch ein zugehöriges Adresswort gekennzeichnet sind. Die QW-Kennzeichenleitung 62 wird aktiviert, um eine implizite Adressübertragung in Verbindung mit den Übertragungen von Viererwort-Anforderungen darzustellen. Mit der Aktivierung der EOT-Kennzeichenleitung werden Anforderungen abgegrenzt, die Anforderungen von Einzelbreite, von Doppelwortbreite oder die Hälften von Anforderungen mit Viererwortbreite betreffen.

Die Eingangssammelleitung 53 wird zyklisch betätigt, um Adress- und Datenworteinheiten von Anforderungen in dem in der Fig. 5 gezeigten bitparallelen Format zu übertragen. Die zeitliche Folge und die Zyklusformate der Übertragungssignalfolgen bei Abruf- und Speicheranforderungen sind in den Fig. 3 und 4 dargestellt.

Die Fig. 3 und 4 zeigen die typische Zykluszeit 70 der Anforderungs-Übertragungssignaloperationen, wobei diese Zeit auch einem Operationszyklus des IOP 1 bzw. des Speicheradapters SA1 entspricht. Ein bei 72 angedeuteter interner Ope-

rationszyklus des Kanalbussteueradapters (CBC) dauert ungefähr halb so lang wie der Zyklus 70. Der Zyklus 70 dauert ungefähr 120 und der Zyklus 72 ungefähr 60 Nanosekunden. Der CBC kann daher für jeden Zyklus eines auf den Verbindungen 18.1 wirksamen Signales zwei interne Operationszyklen ausführen.

Kanalbusregister wie das Register 46 (Fig. 2) werden nicht zurückgestellt, nachdem ihr Inhalt in den Eingabepufferspeicher 50 übertragen ist. Sie werden durch folgende Information überschrieben. Zu jedem dieser Register gehört eine Voll/Leerkipperschaltung, die auf «voll» geschaltet wird, wenn das EOT-Kennzeichen empfangen wird, und die auf «leer» geschaltet wird, wenn eine Anforderungsinformation vom CBAR-Register an den Eingabepufferspeicher 50 weitergeleitet wird.

Weiterleitung einer Speicherzugriffsanforderung (allgemein)

Anforderungen werden wie folgt behandelt. Von einem Kanal 32 oder einem IOP Untersystem 30 kommende Anforderungsinformation (für einen von diesem System ausgeführten internen Rechenprozess) wird an den Speicheradapter SA1 weitergeleitet und im Datenpufferspeicher 40 mittels der Steuerschaltung 42 in eine Warteschlange gesetzt. Adress- und Dateninformation der Anforderung werden über (bei 80 gezeigte) Sammelleitungen an den Pufferspeicher 40 weitergeleitet. Zu der Anforderung gehörende Steuerinformation wird über Leitungen 82 in der Fig. 2 an einen Steuerfolgepufferspeicher weitergeleitet, der in der Eingabeschaltung 42 enthalten ist. Die Steuerinformation wird daher in zugeordneter Weise mit der entsprechenden Anforderung in eine Warteschlange gesetzt. Die Steuerinformation enthält drei Bits CHID als Kennzeichen für die Kanalidentität, welche die Quelle der Anforderung bezeichnen (Kanal oder interner IOP-Prozess), das Bit S für die Bezeichnung der Anforderungsart (Speicher/Abruf), das Bit B für die Richtungsunterscheidung (rückwärts/vorwärts) der Eingabeanforderungen (die zu einer Leseoperation oder zu einer Rückwärtsleseoperation in den Quellenkanälen gehören), die Bits W1 und W2 zur Bezeichnung der Datenbreite der Anforderung (1, 2 oder 4 Datenwörter zu lesen oder zu speichern), sowie das in Verbindung mit ein Wort breiten Eingabeanforderungen benutzte Bit A0. Das Bit A0 ist ein Adressbit, das nicht an den CBC weitergeleitet wird, sondern vom Speicheradapter 19 bei der Auswahl des Datenkennzeichens D1 oder D2 zur Weitergabe an den CBC in Verbindung mit der Dateninformation der zugehörigen ein Wort breiten Eingabeanforderung benutzt wird.

Wenn die Freigabesteuerleitung 54 aktiv ist, kann eine im Speicheradapter 19 stehende Anforderung über die Verbindungen 18.1 übertragen werden. Die Übertragung braucht eine unterschiedliche Anzahl von Zyklen 70 (Fig. 3 und 4), wobei diese Anzahl eine Funktion von der Anforderungsart und der Breite ist. Die Steuerschaltung 42 hebt das ADR-Kennzeichen an, wenn eine Adressinformation einer Anforderung auf der Eingangssammelleitung 53 übertragen wird. Die Steuerschaltung 42 hebt die Kennzeichen D1 oder D2 selektiv an, wenn Daten einer Eingabeanforderung auf der Eingangssammelleitung 53 übertragen werden. Das QW-Kennzeichen wird von der Steuerschaltung 42 angehoben, um die zweite Hälfte einer vier Wörter breiten Anforderungsübertragung zu bezeichnen. Auf dieses angehobene QW-Kennzeichensignal hin entwickelt der CBC selbst eine implizite Adresse durch Invertierung eines Bits in der explizit übertragenen Adresse. Das EOT-Kennzeichen wird angehoben, um die Abgrenzung von Anforderungen bzw. den Hälften von vier Wörter breiten Anforderungen zu markieren. Das EOT-Kennzeichen dient in Verbindung mit den Kennzeichen D1 oder D2 auch zur speziellen Unterscheidung von ein Wort breiten Speicheranforderungen und auch dazu, den Kanalbussteueradapter CBC zu räumen und dabei die Parität in den Datenübertragungsleitungen zwischen den einzelnen

Kanalbusregistern CBAR und dem Eingabepufferspeicher 50 aufrechtzuhalten.

Mit den empfangenen Kennzeichen ADR, D1 und D2 steuert der Adapter CBC die Adress- und Datenteile der Anforderungen von der Eingabesammelleitung 53 in bestimmte zugehörige Abschnitte des Kanalbusregisters (Fig. 2). Mit dem QW-Kennzeichen «impliziert» der CBC die zweite Adresse einer jeden vier Wörter breiten Anforderung durch Veranlassen des Invertierens eines wertniederen Adressbits in der expliziten im CBAR stehenden Adresse, wenn die Information der zweiten Anforderung an den Eingabepufferspeicher 50 übertragen wird.

Das EOT-Kennzeichen wird vom Kanalbussteueradapter CBC für die Abgrenzfunktion benutzt und als Anzeiger bestimmter Anforderungsarten, die eine vorbereitete Räumung verlangen. Bei der Abgrenzung wird beim Empfang des EOT-Kennzeichens ein Zeiger «CBAR voll» gesetzt. Dadurch wird der Zugriff zum Inhalt des Registers 46 für die Übertragung in den Eingabepufferspeicher 50 ermöglicht, entsprechend den Prioritäten der Gruppen-Untersysteme. Wenn das EOT-Kennzeichen in Verbindung mit den Kennzeichen D1 oder D2 und einem früheren ADR-Kennzeichen eine Einzelwort-Anforderung anzeigt, wird es von dem Kanalbussteueradapter CBC zum Bewirken der Übertragung von Nullen mit «richtiger» Parität auf einem unbenutzten von zwei Datenübertragungswegen zwischen dem Kanalbusregister CBAR 46 und dem Eingabepufferspeicher 50 benutzt.

Wenn der Hauptspeicher 10 zugänglich ist, werden Anforderungen vom Eingabepufferspeicher 50 an den Speicher entsprechend den Gruppenprioritäten weitergeleitet.

Format der Anforderungssignale

Das Format der über die Verbindungen 18.1 verarbeiteten Anforderungssignale ist in der Fig. 5 dargestellt. Jede Anforderung besteht aus einem Anforderungsadresswort von der allgemein bei 102 gezeigten Form. Jede Eingabeforderung umfasst eines oder mehrere Datenwörter, von denen jedes das bei 104 in allgemeiner Form gezeigte Format hat.

Jedes Anforderungsadresswort enthält ein 21 Bit grosses Adressfeld 105, das die Lage 106 (Fig. 6) eines Doppelwort-Speicherplatzes im Hauptspeicher 10 (Fig. 1) bezeichnet. Jedes Adresswort enthält ausserdem ein vier Bit grosses SP-Feld für den Speicherschutzschlüssel, ein vier Bit grosses CHID-Feld zur Angabe der Identität der Anforderungsquelle, ein ein Bit grosses S-Feld für die Bezeichnung der Anforderungsart (für Speichern ist $S = 1$ und für Abrufen $S = 0$), ein ein Bit grosses FA-Feld, mit dem angegeben wird, ob eine vorgegebene Adressübersetzung erforderlich ist, (Einzelheiten dieser Übersetzung sind für das Verständnis der vorliegenden Erfindung nicht erforderlich), ein P-Bit für die Parität der Bits S und FA, sowie ein Feld von vier Reservebits (für eine mögliche Erweiterung). Ausser den obengenannten 36 Bits enthält das Anforderungsadresswort fünf nicht dargestellte Paritätsbits, die vom CBC zum Prüfen von Teilen des 36 Bit grossen Ausdrucks verwendet werden, der aus den 21 Adressbits, den Bits SP, CHID, S, FA, P und den vier Reservebits gebildet wird. Eine parallele Signaldarstellung dieses Ausdrucks wird zusammen mit den fünf Paritätsbitsignalen als ein 41 Bit grosses Signaldatenwort über die 41 Leitungen umfassende Eingangssammelleitung 53 (Fig. 2) übertragen.

Das in den Eingabeanforderungen verwendete Datenwort 104 umfasst einen 41 Bit grossen Ausdruck, der aus 36 Nachrichtenbits und 5 nicht dargestellten Paritätsbits besteht. Die Nachrichtenbits umfassen vier jeweils acht Bit grosse Datenbytes und ein Feld von vier Markierungsbits. Jedes Markierungsbit gehört zu einem anderen Datenbyte. Mit den Markierungsbits bestimmt der Hauptspeicher 10, welches der zugehörigen Datenbytes zusammenhängend innerhalb des durch die

Adresse des Adresswortausdruckes bezeichneten Raumes zu speichern ist.

Zeitablauffolge der Schnittstellensignale

Die Zeitablauffolge der Abrufanforderungsübertragungen vom Speicheradapter 19 zum Kanalbussteueradapter CBC 16 ist in der Fig. 3 dargestellt. Zyklen der Signaloperation 70 fallen mit Zyklen der internen Operation des Speicheradapters 19 und des Eingabe/Ausgabeprozessors 30 zusammen. Halbzyklen der Verbindungssignaloperation, dargestellt bei 72, fallen mit Vollzyklen der internen Operation des Kanalbussteueradapters CBC 16 und der mit dem Hauptspeicher 10 verbundenen Zugriffssteuerungen zusammen.

In dem hier beschriebenen Ausführungsbeispiel können Anforderungen vom Kanalbussteueradapter CBC oder einem Speicheradapter SA nur übertragen werden, wenn die zugehörige Freigabeleitung 54, wie bei 110 dargestellt, aktiv ist und ein Leerzyklus seit dem vorigen EOT-Kennzeichen vergangen ist. Die Freigabesteuerleitung 54 ist aktiv, sobald eines der zugehörigen CBAR-Register oder der zugehörige Warteschlangenraum im Eingabepufferspeicher 50 eine freie Stelle für den Anforderungsverkehr des zugehörigen Speicheradapters SA enthält.

Bei einer Doppelwort-Abrufübertragung 112 besteht die auf der Eingangssammelleitung übertragene Anforderungsnachricht nur aus einem Adresswortausdruck wie bei 102 (Fig. 5). Dieses Wort wird auf die Eingangssammelleitung 53 gegeben, während die Kennzeichen ADR und EOT gleichzeitig auf die entsprechenden Leitungen 56 und 64 gegeben werden (Fig. 2). Die Übertragung solcher Anforderungen im vorliegenden Ausführungsbeispiel belegt drei aufeinanderfolgende Zyklen, nämlich einen aktiven Zyklus 114, in dem der Adresswortausdruck und die Kennzeichen ADR und EOT gegeben werden, und zwei Leerzyklen 115, in denen kein Signal gegeben wird.

Die Nachricht einer Viererwort-Abrufanforderung 118 (Fig. 3), enthält in ähnlicher Weise nur ein Adresswort. Die Übertragung der Anforderung belegt jedoch im vorliegenden Ausführungsbeispiel fünf aufeinanderfolgende Zyklen. Im ersten Zyklus 120 wird das Adresswort mit den Kennzeichen ADR und EOT gesendet. Der nächste Zyklus 121 ist leer. Im nächsten, dritten Zyklus 122 werden, wie bei 124 angedeutet, die Kennzeichen QW und EOT gegeben (es ist zu beachten, dass diese gegeben werden, ohne dass Nachricht über die Eingangssammelleitung läuft). Wie schon erklärt, benutzt der CBC das QW-Kennzeichen zur impliziten Behandlung einer jeden vier Wörter breiten Anforderung als Doppelwort-Anforderung von einer Quelle. Die Adressnachricht im Zyklus 120 wird zweimal vom CBC benutzt, das wertniedere Bit wird bei der zweiten Benutzung jedoch invertiert. Die beiden Zyklen nach dem Zyklus 122 sind leer. Die Kennzeichen D1 und D2 werden während der Weiterleitung der Abrufanforderungen nicht benutzt.

Nach der Darstellung in der Fig. 4 haben Eingabeanforderungen (Speichern) drei mögliche Breiten. Sie können ein, zwei und vier Wörter breit sein. Speichieranforderungen werden während der Zyklen 70 zeitlich genauso übertragen, wie die für die Übertragung von Abrufanforderungen benutzten Zyklen. Die Freigabeleitung 54 muss für die Weiterleitung einer Speichieranforderung im aktiven Zustand sein.

Im vorliegenden Ausführungsbeispiel belegt die Übertragung einer ein Wort breiten Speichieranforderung, dargestellt bei 140, drei aufeinanderfolgende Zyklen. Die Übertragung einer zwei Wörter breiten Speichieranforderung, dargestellt bei 142, belegt vier aufeinanderfolgende Zyklen. Die Übertragung einer vier Wörter breiten Speichieranforderung, dargestellt bei 144, belegt sieben aufeinanderfolgende Zyklen.

In einer ein Wort breiten Speicherübertragung wird im ersten Zyklus 150 Adressinformation über die Eingangssam-

melleitung 53 gleichzeitig mit der Abgabe des Adresskennzeichens ADR auf der Adresskennzeichenleitung 56 übertragen. Im zweiten Zyklus 152 wird Dateninformation über die Eingangssammelleitung übertragen, während das EOT-Kennzeichen und eines der Datenkennzeichen D1 oder D2 auf die entsprechenden Kennzeichenleitungen gegeben werden. Das Kennzeichen D1 wird gegeben, wenn das oben erwähnte Bit A0 den Wert 0 hat und das Kennzeichen D2 wird gegeben, wenn das Bit A0 den Wert 1 hat. Das im Zyklus 152 gegebene EOT-Kennzeichen dient gleichzeitig als Abgrenzungsfunktion und in Verbindung mit den Kennzeichen D1 oder D2 (und im vorhergehenden Zyklus ADR) für die Anzeige der Übertragung einer ein Wort breiten Speichieranforderung. Der Kanalbussteueradapter CBC nutzt das als Vorausschaubasis für das Freischalten eines der Datenwortübertragungswege zwischen dem CBAR 1 (Fig. 2) und dem Eingabepufferspeicher 50 und zur Paritätshaltung für die Paritätsprüfschaltungen 46.1, die mit besagten Datenwegen gekoppelt sind.

In diesem Ausführungsbeispiel belegt die Übertragung einer zwei Wörter breiten Speichieranforderung 142 insgesamt vier aufeinanderfolgende Zyklen. Im ersten Zyklus 156 wird Adressinformation auf der Eingangssammelleitung 53 übertragen, während das ADR-Kennzeichen auf die Kennzeichenleitung 56 gegeben wird. In den nächsten beiden Zyklen 158 und 160 werden zwei Datenwörter auf der Eingangssammelleitung 53 an den Quellenkanal übertragen. In diesen Zyklen werden in selektiver Reihenfolge die Datenkennzeichen D1 und D2 gegeben (D2 zuerst, wenn das Richtungsbit B = 1 ist, D1 zuerst, wenn das Richtungsbit B = 0 ist). Im Zyklus 160 wird als Abgrenzungsfunktion das EOT-Kennzeichen gegeben. Der anschließende Zyklus ist leer.

Die Übertragung einer bei 155 in der Fig. 4 dargestellten vier Wörter breiten Speichieranforderung belegt sieben aufeinanderfolgende Zyklen. Im ersten Zyklus 170 wird der explizite Adressteil der Anforderung zusammen mit dem ADR-Kennzeichen gesendet. In den beiden nächsten Zyklen 172 und 174 werden zwei Wörter der Dateninformation in der Reihenfolge des Kanalempfanges weitergeleitet, während die zugehörigen Datenkennzeichen in selektiver Reihenfolge gegeben werden. EOT wird im Zyklus 174 als Markierung der Abgrenzung der halben Übertragung gesendet. Der nächste, vierte Zyklus ist ein Leerzyklus und wird vom Adapter zum Abfragen der Freigabeleitung 54 benutzt, um die Übertragungserlaubnis für nachfolgende Zyklen zu erhalten. In den beiden nächsten Zyklen 176 und 178 werden zwei weitere Datenwörter von derselben Quelle (z.B. Kanal) gesendet, während die zugehörigen Datenkennzeichen in derselben Reihenfolge wie in den Zyklen 172 und 174 gegeben werden. Im Zyklus 178 wird das EOT-Kennzeichen präsentiert. Das QW-Kennzeichen kann entweder im Zyklus 176 oder im Zyklus 178 gesendet werden, wie bei 180 angedeutet, jedoch nicht in beiden. Analog zur Verarbeitung eines vier Wörter breiten Abrufes, benutzt der Kanalbussteueradapter CBC das QW-Kennzeichen für die impliziten Verarbeitungen einer vier Wörter breiten Speichieranforderung als zwei Anforderungen von je zwei Wörtern Breite (von einer Quelle), die an zwei zusammenhängende Doppelwort-speicherplätze im Speicher gerichtet sind.

Fig. 15 zeigt die ungünstigste Situation eines Anforderungs-Übertragungsverkehrs, wenn Anforderungen durch SA1, SA2 und SA3 gleichzeitig weitergeleitet werden. Die entsprechenden EOT-Kennzeichen werden gleichzeitig gegeben, Das bedeutet, dass CBAR 1, CBAR 2 und CBAR 3 gleichzeitig auf «voll» geschaltet werden. Wenn angenommen wird, dass der Eingabepufferspeicher 50 leere Speicherplätze für den Inhalt jedes der drei CBAR's enthält, würden die CBAR's in den Eingabepufferspeicher 50 in drei aufeinanderfolgenden CBC-Zyklen entladen, die eineinhalb Zyklen der Anforderungs-Übertragungssignale entsprechen, wie es in den drei untersten Zeilen in

der Fig. 15 dargestellt ist. Wenn jeder Speicheradapter SA einen Leerzyklus nach dem entsprechenden EOT verstreichen lassen kann, bevor er die Anforderungs-Signalisierung wieder aufnimmt (wie in den oberen drei Zeilen dieser Figur angedeutet), können die entsprechenden CBAR-Register darstellungsgemäss fortlaufend zugänglich sein (und daher können die entsprechenden Freigabesteuerleitungen fortlaufend aktiv gehalten werden, wenn der Datenweg vom Eingabepufferspeicher 50 zum System frei sein sollte).

Benutzung des Speicherraumes

Die Fig. 7 und 8 zeigen die Benutzung von Speicherplätzen bei Eingabeanforderungen, die zu Leseoperationen bzw. zu Rückwärtsleseoperationen der Quellenkanäle gehören. Diese Illustrationen gelten sowohl für herkömmliche Systeme als auch für das vorliegende System. Die Fig. 7 veranschaulicht, dass bei Einleseoperationen gewöhnlich aufeinanderfolgende Speicherzugriffe benutzt werden, um Eingabedatenwörter an Adressstellen in aufsteigender arithmetischer Reihenfolge in den Speicher zu setzen. Die Fig. 8 zeigt, dass bei Rückwärtsleseoperationen Daten in Adressstellen gespeichert werden, die in absteigender Reihenfolge geordnet sind. Dadurch wird das erste vom Kanal empfangene Datenwort in den ersten Wortspeicherplatz (höchste Adresse) eines zugeordneten Speicherraumes aus mehreren zusammenhängenden Wortspeicherplätzen gesetzt und das letzte vom Kanal empfangene Datenwort wird in den letzten Speicherplatz dieses Bereiches (niedrigste Adresse) gesetzt. Wenn der Datensatz daher aus dem Speicher in gewöhnlicher, aufsteigender Reihenfolge der Adressen ausgelesen wird, werden diese Datenwörter (und Bytes) in umgekehrter Reihenfolge erhalten (bezogen auf die Empfangsreihenfolge durch den Kanal).

Die Fig. 9 zeigt Komplikation bei der Handhabung von vier Wort breiten Eingabeanforderungen. In der Übertragungsbehandlung von vier Wort breiten Eingabeanforderungen für Rückwärtsleseoperationen in den Kanälen, muss jedes von einem Kanal empfangene Paar von Datenwörtern umgekehrt zusammengestellt werden, wie es im Doppelwort im Speicher stand (106, Fig. 6).

Im vorliegenden System brauchen die Kanäle diese Umstellung während der Übertragung nicht selbst vorzunehmen, weil durch die Verwendung der Daten-Kennzeichen D1 und D2 für die Datenwörter es möglich ist, sie in der natürlichen Reihenfolge des Empfanges durch den Kanal zu präsentieren. Die gemeinsam benutzten Speicherzugriffsschaltungen im Kanalbussteueradapter CBC sprechen nämlich auf die Datenkennzeichen an und setzen daher die Wörter eines Datenwortpaares, das zu einer Rückwärtslesefolge gehört, in umgekehrter Position in den diesem Paar zugeordneten Speicherraum 106.

Arbeitsweise des Speicheradapters

In den Fig. 10 ist die Arbeitsweise eines Gruppenadapters, wie des Speicheradapters SA1 bei der Weiterleitung von Anforderungengezeigt. Die zugehörige Steuerlogik ist in der Fig. 12 veranschaulicht. Die Steuerschaltung 42 (Fig. 2) enthält eine 8-stellige Steuerfolgeschaltung, mit acht verschiedenen aufeinanderfolgenden Steuerzuständen Sb1, Sb2... Sb8.

In dem bei 200 in der Fig. 10 gezeigten Anfangszustand Sb1 wird der Adapter für die Vorwärtsbehandlung einer nächsten Anforderung vorbereitet. Der Übergang in den nächsten Zustand Sb2 wird vom Status der Anforderungsbereitschaft 202 bedingt. Der Anforderungsbereitschaftsstatus wird durch den E/A-Prozessor IOP (Direktor 1) 30 (Fig. 2) begründet, solange eine Anforderung im Speicheradapter 19 in der Warteschlange steht und sie wird beendet, sobald der Zustand Sb2 erreicht ist, und wenn nur eine Anforderung gegenwärtig in die Warteschlange eingebracht ist.

Im Zustand Sb2 werden die bei 204 in der Fig. 10 gezeigten

Operationen aufgerufen. Der Adresswortteil der Anforderung wird vom Datenpufferspeicher 40 und von Pufferelementen innerhalb der Steuerschaltung 42 abgerufen, um die spätere Übertragung an den Kanalbussteueradapter CBC vorzubereiten. Wenn die Freigabeleitung 54 aktiv ist (Test 206), schaltet die Folgesteuerschaltung in den Zustand Sb3 weiter.

Die im Zustand Sb3 zu unternehmende Operation, 208 oder 210, wird durch die Anforderungsart bedingt (d.h. der Status des Bits S, das über die Sammelleitung 82 an den Speicheradapter 19 gegeben wird). Die Operation 208 gehört zur Behandlung einer Abrufanforderung (S = 0) und die Operation 210 zur Behandlung einer Speicheranforderung (S = 1).

Die Operation 208 leitet den Adresswortteil der Anforderung (102, Fig. 5) an den CBC (über die Eingangssammelleitung 53, Fig. 2) für einen Zyklus und überträgt die Kennzeichensignale ADR und EOT gleichzeitig an den CBC (über die Kennzeichenleitungen 56 und 64 in Fig. 2). Die Operation 210 überträgt den Adresswortteil der Anforderung mit ADR-Kennzeichen (aber nicht EOT-Kennzeichen) für einen Zyklus und bereitet ein Datenwort (104, Fig. 5) während dieses Zyklus für die Übertragung im nächsten Zyklus vor (Fig. 4). Das Datenwort wird durch Herausziehen aus dem Datenpufferspeicher 40 und durch Festhalten in einem direkt mit der Eingangssammelleitung verbindbaren Register vorbereitet.

Wenn die Anforderung eine Abrufanforderung ist, verzweigt die Folge im Zustand Sb3 über die Verzweigungsprüfung 212 entweder zum Zustand Sb1 oder zum Zustand Sb2. Wenn keine weitere Übertragung verlangt wird (d.h., wenn die Übertragung zwei Wörter breit ist oder der Weiterleitungsprozess einer vier Wörter breiten Übertragung beendet wird, wie in Zyklus 122, Fig. 3), kehrt die Folgesteuerschaltung in den Anfangszustand Sb1 zurück. Wenn eine weitere Operation erforderlich ist (Senden des QW-Kennzeichen für eine vier Wörter breite Anforderung), wiederholt die Folgesteuerschaltung die Zustände Sb2 und Sb3 für die Ausführung der Operation 214. Bei dieser Wiederholung der Zustände Sb2 und Sb3 ruft Sb2 einen Leerlaufzyklus entsprechend dem Zyklus 121 in Fig. 3 auf, und Sb3 veranlasst die Übertragung der Kennzeichen QW und EOT auf den betreffenden Kennzeichenleitungen 62 und 64 (Fig. 2) entsprechend dem Zyklus 122 in Fig. 3. Die Folgesteuerschaltung kehrt dann in den Anfangszustand Sb1 zurück.

Wenn die übertragene Anforderung eine Speicheranforderung ist, verzweigt die Folgesteuerschaltung bei Sb3 über die ein Wort breite Verzweigungsprüfung 220 (Fig. 10) entweder zum Zustand Sb4 (gehört zu einer Wort breiten Anforderung, dargestellt durch Einschaltung des Breitenbit W1, geliefert über die Sammelleitung 82, Fig. 2), oder zum Zustand Sb5. Im Zustand Sb5 wird die Operation 224 ausgeführt.

Die Operation 222 überträgt ein Datenwort (vorbereitet durch die Operation 210 im vorhergehenden Zyklus) an den Kanalbussteueradapter CBC mit EOT-Kennzeichen und mit einem der beiden Datenkennzeichen D1 oder D2. Die Datenkennzeichen D1 oder D2 werden als Funktion des Status des Bits A0 (Fig. 2, 4 und 6) ausgewählt. Mit dieser Wahl wird bestimmt, ob das zugehörige Datenwort schliesslich im Wortspeicherplatz Null oder Eins, 106.1 oder 106.2 (Fig. 6), innerhalb des Doppelwortspeicherraumes 106 gespeichert wird, der durch die Anforderungsadresse bezeichnet ist (die in der Operation 210 übertragene Adresse). Die Operation 222 beendet die Verarbeitung der ein Wort breiten Anforderung und die Folgesteuerschaltung kehrt in den Anfangszustand Sb1 zurück.

Bei der Operation 224, die zum Zustand Sb5 gehört (d.h. zur Verarbeitung von zwei Wörtern oder vier Wörtern breiten Eingabeanforderungen), wird das durch die Operation 210 im vorhergehenden Zyklus vorbereitete Datenwort an den CBC mit einem der Datenkennzeichen D1 oder D2 gesendet. D1 und D2 werden abhängig von Richtungsbit B ausgewählt und so

bestimmt, ob dieses erste Datenwort in der linken oder der rechten Hälfte 106.1 oder 106.2 des durch die Anforderungsadresse bezeichneten Doppelwortraumes 106 zu speichern ist. Die Operation 224 enthält auch die Vorbereitung eines weiteren, zweiten Datenwortes, das im nächsten Zyklus zu senden ist. Wenn die Operation 224 für eine zweite Übertragung ausgeführt wird (d.h. Übertragung eines zweiten Paares von Datenwörtern, bei einer vier Wörter breiten Eingabeanforderung; Fig. 4), umfasst sie auch die Darbietung des QW-Kennzeichens an den Kanalbussteueradapter CBC.

Vom Zustand Sb5 verzweigt die Steuersignalfolge bei 226 entweder in den Zustand Sb6 oder in den Zustand Sb8. Wenn keine weitere Übertragung erforderlich ist (d.h. wenn das Bit $W2 = 1$ eine zwei Wörter breite Anforderung bezeichnet oder wenn die zweite Übertragungsbedingung gesetzt ist und angibt, dass die Übertragungsbehandlung eines zweiten Paares von Datenwörtern einer vier Wörter breiten Speicheranforderung läuft), verzweigt die Steuersignalfolge nach Sb8, wo die Abschlussoperation 228 ausgeführt wird, bevor die Signalfolge in den Anfangszustand Sb1 zurückkehrt. Bei der Operation 228 wird das durch die Operation 224 vorbereitete Datenwort an den CBC mit EOT-Kennzeichen und Datenkennzeichen D1 oder D2 weitergeleitet. D1 oder D2 werden abhängig von dem Status des Richtungsbit B gewählt (wenn $B = 0$ wird D2 gesendet, sonst D1). Wenn $B = 1$ ist (und die Rückwärtsrichtung bezeichnet), werden die nacheinander durch die Operationen 224 und 228 übertragenen Paare von Datenwörtern entsprechend durch die Kennzeichen D2 und D1 (in dieser Reihenfolge) begleitet und entsprechend in den Doppelwortspeicherplätzen 106.2 und 106.1 des durch die Adresse bezeichneten Doppelwortspeicherraumes 106 (Fig. 6) gespeichert.

Wenn die Steuersignalfolge bei 226 nach Sb6 verzweigt (d.h. wenn eine zusätzliche Behandlung erforderlich ist, weil die Anforderung vier Wörter breit ist und der Übertragungsprozess für die ersten beiden der vier Datenwörter unvollständig ist), wird die Operation 230 ausgeführt. Dabei wird das während der Operation 224 vorbereitete Datenwort mit den Datenkennzeichen D2 oder D1 an den CBC übertragen. Wenn in der Operation 224 das Kennzeichen D1 gegeben wurde, wird in der Operation 230 das Kennzeichen D2 gegeben und umgekehrt.

Vom Zustand Sb6 läuft die Steuerfolgeschaltung automatisch weiter zum Zustand Sb7, in dem eine Leerlaufaktion 232 für wenigstens einen Zyklus ausgeführt wird, wonach die Freigabeschaltverzweigung 234 der Signalfolge die Rückkehr in den Zustand Sb5 gestattet. Die Freigabeschaltverzweigung 234 wird durch den Status der Leitung 54 bedingt, gesteuert durch den CBC. Wenn die Freigabeschaltleitung angehoben ist, schaltet die Folgesteuerschaltung in den Zustand Sb5 weiter. Wenn der Signalpegel niedrig ist, bleibt die Folgesteuerschaltung im Zustand Sb7.

Beim zweiten Durchlauf des Zustandes Sb5 und der zugehörigen Operation 224 (d.h. in der das dritte von vier Datenwörtern einer vier Wörter breiten Speicheranforderung an den CBC übertragen wird) kann das QW-Kennzeichen an den CBC gegeben werden. Im zweiten Durchgang durch den Zweig 226 verzweigt die Signalfolge unveränderlich in den Zustand Sb8 (das ist der zweite Übertragungsteil einer vier Wörter breiten Übertragung). Im Zustand Sb8 wird die Operation 228 ausgeführt, die vier Wörter breite Übertragung beendet, und die Steuersignalfolge kehrt in den Zustand Sb1 zurück.

Die Leitung 300 (oben in Fig. 12) ist mit dem Rückstellengang der Kippschaltung «zweite Übertragung» 302 (in Fig. 12 unten) verbunden. Die Leitung 300 wird durch die Operation 200 (Fig. 10) aktiviert, die zum Zustand Sb1 gehört. Wenn die Kippschaltung 202 gesetzt ist, bereitet sie teilweise die Verzweigungen 212 und 226 (Fig. 10) vor. Die Operation 200 im Zustand Sb1 bereitet auch das UND-Glied 304 vor (Fig. 12), das aufgrund des Signales «Anforderung bereit» (gesteuert durch

den Engabe/Ausgabeprozessor 30 in der Fig. 2), die Leitung 306 aktiviert. Dadurch kann die Steuersignalfolge in den nächsten Zustand Sb2 übergehen und die Operation 204 aufrufen.

Im Zustand Sb2 werden die UND-Glieder 308 und 310 vorbereitet (Fig. 12). Das UND-Glied 308 steuert die Operation 204 in diesen Zustand und das UND-Glied 310 das Fortschalten in den Zustand Sb3. Wenn die Kippschaltung für die «zweite Übertragung» 302 zurückgesetzt ist (2. Ü*) – d.h. wenn der vorgehende Zustand der Zustand Sb1 war – erzeugt das UND-Glied 308 eine Ausgabe «Adresswort vorbereiten». Durch dieses Ausgabesignal wird die in dem expliziten Adressteil der Anforderung enthaltene Information aus dem Datenpufferspeicher 40 und der Datenpuffersteuerschaltung 42 (Fig. 2) herausgezogen, um die Übertragung dieser Information im nächsten Operationszyklus vorzubereiten. Wenn die Kippschaltung «zweite Übertragung» 302 jedoch gesetzt ist, wenn der Zustand Sb2 wirksam ist (was der Fall ist, wenn Sb2 vom Zustand Sb3 über den Zweig 212 in Fig. 10 erreicht wird), dann geschieht während des Operationszyklus im Zustand Sb2 nichts.

Das UND-Glied 310 (Fig. 12) spricht auf dem Status Sb2 und die Freigabeschaltbedingung der zugehörigen Gruppenfreigabeschaltleitung 54 an und stimuliert die Leitung 312. Dadurch kann die Steuersignalfolge in den nächsten Zustand Sb3 fortschalten. In diesem Zustand wird eine der Operationen 208 oder 210 (Fig. 10) ausgeführt. Wenn es sich um eine Abrufanforderung handelt, ($S = 0$; auch bezeichnet als $\bar{S}$), werden die UND-Glieder 314 und 316 vorbereitet, die auf die entsprechenden komplementären Phasenausgänge der Kippschaltung «zweite Übertragung» 302 ansprechen, wenn der Zustand Sb3 wirksam ist und Signale für die Steuerung der Übertragung von Adressinformation und der Kennzeichen QW und EOT abgeben. Mit dem UND-Glied 314 wird auch festgestellt, ob eine weitere Übertragung nötig ist. (Zweig 212 in Fig. 10). Wenn andererseits die gegenwärtig verarbeitete Anforderung eine Speicheranforderung ist ($S = 1$), werden die UND-Glieder 318 und 320 durch komplementäre Phaseeingänge vorbereitet, die mit Breitenbit W1 (Fig. 2) verbunden sind und unterscheiden, ob die Übertragung eine Einzelübertragung ist oder breiter (Zweig 220 in Fig. 10).

Das UND-Glied 314 (Fig. 12) spricht im einzelnen auf $\bar{S}$ (Abruf), Sb3 und den Status Rückstellung der Kippschaltung «zweite Übertragung» 302 an. Das UND-Glied 316 spricht im einzelnen auf S, Sb3 und den gesetzten Zustand der Kippschaltung 302 an. Die Betätigung des UND-Gliedes 314 bereitet die UND-Glieder 324 und 326 vor und leitet auch das Adresswort und die Kennzeichen ADR und EOT an den CBC (über die Eingangsmelleitung und die entsprechenden Kennzeichenleitungen), wie es bei 328 angedeutet ist (Fig. 12).

Das UND-Glied 324 reagiert auf die Aus-Phase $\bar{W2}$ des Breitenbit W2 (das die Breite 4 bei einer Abrufanforderung bezeichnet) und überträgt ein verzögertes Setzsignal an die Kippschaltung «zweite Übertragung» 302 über ein nicht dargestelltes Verzögerungsglied und eine ODER-Schaltung 330 (unten in Fig. 12). Die Operation des UND-Gliedes 324 lässt auch die Folgesteuerschaltung in den Zustand Sb2 weiter-schalten.

Das UND-Glied 326 spricht auf die Ein-Phase von W2 bei einer Abrufanforderung an (bezeichnet eine Doppelwortbreite). Die Operation des UND-Gliedes 326 veranlasst die Folgesteuerschaltung zur Rückkehr in den Anfangszustand Sb1, wie bei 326 angedeutet.

Die Reaktion des UND-Gliedes 316 (bei der Behandlung einer vier Wörter breiten Abrufanforderung) erregt die Leitung 338. Dadurch werden die Kennzeichen EOT und QW über die Kennzeichenleitungen QW und EOT an den CBC gesendet. (Operation 214 in Fig. 10 und Zyklus 122 Fig. 3) und die Folgesteuerschaltung wird veranlasst, in den Anfangszustand Sb1 zurückzukehren.

Die Reaktion des UND-Gliedes 318 (auf den Zustand Sb3, gleichzeitig mit W1 und S bei der Behandlung einer ein Wort breiten Speicheranforderung) stimuliert die Leitung 340. Dadurch wird ein Datenwort vom Datenpufferspeicher 40 geholt (Fig. 2), um seine Übertragung im folgenden Zyklus vorzubereiten, und es wird die Folgesteuerschaltung zum Weitschalten aus dem Zustand Sb3 in den Zustand Sb4 vorbereitet (verbunden mit der Operation 222, Fig. 10).

Die Reaktion des UND-Gliedes 320 (auf Sb3, gleichzeitig mit W1 und S für die Bezeichnung einer Speicheranforderung mit einer grösseren Breite als 1), aktiviert die Leitung 342. Dadurch wird ein Datenwort vorbereitet, das im nächsten Zyklus zu senden ist (Operation 210 in Fig. 10), und die Folgesteuerschaltung wird vom Zustand Sb3 in den Zustand Sb5 fortgeschaltet.

Der ausschliesslich mit der Behandlung einer ein Wort breiten Speicheranforderung verbundene Zustand Sb4 (vgl. Leitung 340 in Fig. 12 und Operation 222 in Fig. 10), bereitet die UND-Glieder 344 und 346 vor. Das UND-Glied 344 reagiert auf den Aus-Zustand des Bits A0. Das UND-Glied 346 reagiert auf den Ein-Zustand des Bits A0. Das Bit A0 wird bekanntlich von einem Kanal 32 oder dem Eingabe/Ausgabeprozessor geliefert und bezeichnet effektiv einen der Unterräume 106.1 oder 106.2 (Fig. 6). Die Reaktion der Schaltungen 344 oder 346 veranlasst die Übertragung des durch die Operation auf die Ansprache des UND-Gliedes 318 vorbereiteten Datenwortes mit EOT-Kennzeichen an den Kanalbussteueradapter CBC. Bei der Antwort des UND-Gliedes 344 wird ausserdem das Kennzeichen D1 an den CBC gegeben, bei der Antwort des UND-Gliedes 346 das Kennzeichen D2 (s. Operation 222 in Fig. 10). Die Operation mindestens einer der beiden Schaltungen 344 oder 346 lässt die Folgesteuerschaltung vom Zustand Sb4 in den Zustand Sb1 weitschalten.

Der Zustand Sb5 bereitet die UND-Glieder 350, 352, 354, 355 und 356 vor, die wie folgt arbeiten. Das UND-Glied 350 reagiert auf den ausgeschalteten Zustand $\bar{B}$ des Bits B, der die Vorwärtsrichtung anzeigt, und lässt ein vorher im Zustand Sb3 vorbereitetes Datenwort an den CBC mit dem Kennzeichen D1 senden und ein weiteres Datenwort für den nächsten Zyklus der Übertragung vorbereiten (Zyklus 174 oder 178, Fig. 4). Das UND-Glied 352 spricht auf den Einschaltzustand von B an (und zeigt dadurch eine Rückleseeoperation in den Ursprungs-kanal an), lässt Daten mit dem Kennzeichen D2 an den CBC senden und das im nächsten Zyklus zu sendende Datenwort vorbereiten.

Der Zustand Sb5 und der Einschaltzustand von W2 (zur Bezeichnung einer zwei Wörter breiten Speicheranforderung, die keine weitere Verarbeitung braucht), aktivieren das UND-Glied 354, das die Folgesteuerschaltung vorbereitet zum Fortschalten vom Zustand Sb5 in den Zustand Sb8. Sb5 und der Einschaltzustand der Kippschaltung «zweite Übertragung» 302 (zur Bezeichnung einer vier Wörter breiten Speicheranforderung in den Endstufen der Behandlung) aktivieren das UND-Glied 355, welches das QW-Kennzeichen an den CBC mit den durch die Operation der UND-Glieder 350 oder 352 übertragenen Daten gibt und die Folgesteuerschaltung in den Zustand Sb8 weitschaltet. Der Zustand Sb5, Rückstellung der Kippschaltung 302 und der Ausschaltzustand von W2 (zur Bezeichnung einer «frühen» Behandlung der vier Wörter breiten Speicheranforderung) aktivieren das UND-Glied 356, so dass die Folgesteuerschaltung in den Zustand Sb6 fortgeschaltet.

Die UND-Glieder 362 und 364 reagieren auf den Ausschalt- bzw. Einschaltzustand des Richtungsbits B1, gleichzeitig mit dem Zustand Sb6. Die Operation einer der beiden Schaltungen lässt vorher vorbereitete Daten an den CBC mit dem Kennzeichen D2 übertragen, wenn das UND-Glied 362 betätigt wird, und mit dem Kennzeichen D1, wenn das UND-Glied 364 betätigt wird. Durch die Reaktion eines der beiden UND-Glieder

362 oder 364 wird die Kippschaltung 302 verzögert gesetzt und die Folgesteuerschaltung in den Zustand Sb7 weitergeschaltet.

Die zum Zustand Sb7 gehörende Leerlaufoperation 232 (Fig. 10) bereitet das UND-Glied 366 nach einem Verzögerungszyklus vor. Dieses spricht auf den Einschaltzustand des zugehörigen Gruppenfreigabesignales vom Adapter CBC an und schaltet die Folgesteuerschaltung in den Zustand Sb5 zurück. Bei diesem wiederholten Durchgang durch den Zustand Sb5 leitet eines der UND-Glieder 350 oder 352 Daten mit den Kennzeichen QW und einem der Kennzeichen D1 oder D2 an den Kanalbussteueradapter CBC, während nächstfolgende Daten vorbereitet werden, und das UND-Glied 355 schaltet die Folgesteuerschaltung automatisch wieder in den Zustand Sb8 weiter.

Im Zustand Sb8 werden die UND-Glieder 370, 372 und 374 vorbereitet. Die UND-Glieder 370 und 372 sprechen auf den Ausschalt- bzw. Einschaltzustand des Bits B an und lassen Daten mit dem Kennzeichen D2 oder D1 und dem EOT-Kennzeichen an den Busadapter CBC gehen. Das UND-Glied 374 spricht auf den Ausschaltzustand des Breitenbits W2 an (zur Bezeichnung der Verarbeitung einer vier Wörter breiten Speicheranforderung) und gibt das QW-Kennzeichen an den CBC. Dem Zustand Sb8 folgt der Zustand Sb1.

25 Anforderungsannahme und Warteschlangenoperation im Kanalbussteueradapter CBC

Die Anforderungsannahme an die Schlangenbildung im CBC sind im Ablaufdiagramm in Fig. 11 dargestellt. Die zugehörige Logikschaltung ist in den Fig. 13 und 14 dargestellt.

In der Fig. 11 ist gezeigt, dass die Annahme des ADR- und des Datenkennzeichens von einem Speichergruppenadapter SAX (X = 1, 2 oder 3) die Operation 402 aufruft. Adresse und Datenwortteile einer zugehörigen Anforderung (auf der Eingangssammelleitung der Gruppe X ankommend), werden dadurch in entsprechende 41 Bit grosse Abschnitte des zugehörigen Kanalbusregister X-CBAR 403 gesteuert (Fig. 13). Register XBAR 3 besteht aus drei Abschnitten 404, 406 und 408, die jeweils 41 Bits gross sind. Der Abschnitt 404 wird ausschliesslich für den Empfang der zum ADR-Kennzeichen gehörenden Adresse benutzt. Der Abschnitt 406 (dl) empfängt nur die zum Kennzeichen D1 gehörenden Daten und der Abschnitt 408 (d2) empfängt ausschliesslich die zum Kennzeichen D2 gehörenden Daten.

Die Eingangssammelleitung 410 für die Gruppe X läuft vom Speicheradapter über schematisch bei 412 dargestellte Schalter zur Fortsetzung im Abschnitt der Sammelleitung 414 (Fig. 13). Die Sammelleitung 414 ist über entsprechende Schalter 416, 418 und 420 mit den Abschnitten 404, 406 und 408 des Kanalbusregisters X-CBAR verbunden (Fig. 13). Die Schalter 412 können als interne logische Elemente des zur Gruppe X gehörenden Speicheradapters implementiert sein und werden während der Zustände Sb3 bis Sb6 und Sb8 der Folgesteuerschaltung betätigt, die zu der in Fig. 2 gezeigten Steuerschaltung 42 gehören. Sie führen die Signale über die Sammelleitung 414 weiter, sobald Adressen oder Daten an das Kanalbusregister X-CBAR weitergeleitet werden müssen.

Die Kennzeichensignale X-ADR stammen von der Leitung 422 und laufen über die Torschaltung 424 zur Leitung 426 (Fig. 13). Die Torschaltung 424, welche ein internes logisches Element des zugehörigen Gruppenadapters sein kann, wird bestätigt, wenn die zugehörige Folgesteuerschaltung des Adapters im Zustand Sb3 steht. Über Signale auf der Leitung 426 wird das Durchschalten der Schalter 416 gesteuert. Wenn Adressinformation an die Eingangssammelleitung 410 der Gruppe X gegeben wird, leiten daher die Schalter 412, 424 und 416 die Signale von der Eingangssammelleitung 410 weiter an den Eingang des Abschnittes 404 des Registers X-CBAR 403.

Die elektronischen Schalter 420 werden betätigt, wenn das

Kennzeichen D2 auf der Leitung 436 erscheint. Das Kennzeichen D2 wird an die Leitung 436 von der zu dem Quellenadapter gehörenden Leitung 438 durch die Betätigung der Torschaltung 440 im Quellenadapter übertragen. Die Torschaltung 440 wird betätigt, wenn die zugehörige Folgesteuerschaltung des entsprechenden Gruppenadapters in den Zuständen Sb4, Sb5, Sb6 oder Sb8 steht und das zugehörige Richtungsbit B oder, im Falle von Sb4, das Bit A0 so stehen, dass das Kennzeichen D2 gegeben wird (s. Operationen 222, 224, 228 und 230 in Figur 10). Wenn das Kennzeichen D2 an die Schalter 420 in der Eingangssammelleitung 410, 414 angelegt wird, wird 414 wirksam mit dem Abschnitt 408 des Kanalbusregisters X-CBAR 403 verbunden.

Das vom Kanalbussteueradapter CBC auf der Leitung 442 empfangene X-EOT-Kennzeichen (Fig. 14) setzt die Kippschaltung 443 für die Anzeige «X-CBAR voll». Eingabeoperationen 402 werden durch die Operation 444 (Fig. 11) vorbereitet, d.h. die Abgabe des Einschaltsignals an den zugehörigen Gruppenadapter. Dieser Vorgang wird auf einer Leerstelle entweder im Register X-CBAR oder im X-Bereich des Eingabepufferspeichers 50 vorbereitet.

Bei Empfang des EOT-Kennzeichens verzweigt der Kanalbussteueradapter CBC bei 448 (Fig. 11) zu den Operationen 452 und 454. Die Operation 452 stellt den Zustand «X-CBAR voll» ein und dadurch kann der Inhalt des Registers C-CBAR 403 nach der Eingabepufferzugänglichkeitsprüfung 456 in den X-Bereich des Eingabepufferspeichers 50 (Fig. 3) übertragen werden. Die Prüfung 456 hat zur Vorbedingung eine X-Priorität und eine verfügbare Speicherstelle im X-Bereich des Eingabepufferspeichers. Die Operation 454 bereitet die Schaltungswege zum Ausleiten des Inhaltes des Kanalbusregisters X-CBAR 403 in den Eingabepufferspeicher vor.

Diese Ausleitvorbereitung ist je nach der Art im Register X-CBAR 403 empfangenen Anforderung unterschiedlich. Die Kippschaltung 460 (Fig. 14) wird zur Anzeige der impliziten Adresserzeugung verwendet.

Die Kippschaltungen 464 und 466 (Fig. 14) unterscheiden den Empfang von Daten im Register X-CBAR 403 in Verbindung mit den entsprechenden X-Gruppenkennzeichen D1 und D2.

Durch das Rückstellen der Kippschaltung 464 (Fig. 14) wird das UND-Glied 476 vorbereitet. Durch das Rückstellen der Kippschaltung 46 wird das UND-Glied 480 vorbereitet. Wenn die UND-Glieder 476 und 480 durch Ausgangssignale der entsprechenden Kippschaltungen 464 und 466 vorbereitet sind, sprechen sie auf das Befehlssignal «X-CBAR ausleiten» an und steuern das Einschleichen von Null-Daten (Nullen mit «richtiger» Parität) in die Ausgabesammelleitungsbahnen, die zu den entsprechenden Abschnitten 406 und 408 des Kanalbusregisters X-CBAR 403 gehören (Fig. 13).

Das Signal «X-CBAR ausleiten» stellt denn gesetzten Zustand der Kippschaltung 490 dar (Fig. 14), der aufgrund der Betätigung des UND-Gliedes 492 geschaffen wurde. Das UND-Glied 492 tritt in Tätigkeit, wenn das Register X-CBAR voll ist (Kippschaltung 443 gesetzt), der X-Bereich des Eingabepufferspeichers 50 freie Kapazität und X-Priorität hat (kein Gruppen-CBAR mit höherer Priorität wünscht Zugriff zu einem zugehörigen freien Raum im Pufferspeicher 50). Die Anzeige, dass der X-Bereich des Pufferspeichers 50 nicht gefüllt ist, kommt von einer später zu beschreibenden Logikschaltung. Durch das Signal «X-CBAR ausleiten», werden auch die Schalter 500, 502, 504 und 506 (Fig. 13) betätigt, um den Inhalt der zugehörigen Abschnitte des Registers X-CBAR 403 an die Sammelleitungsschaltungen weiterzuleiten, die schliesslich zum Pufferspeicher 50 führen. Durch das Signal «X-CBAR ausleiten», werden gemäss der Darstellung bei 507 in der Fig. 14 auch alle Signale «CBAR-Gruppe ausleiten» mit niedriger Priorität abgeschaltet und die Kippschaltung 443 «X-CBAR voll» in der Fig. 14 (nötig-

genfalls nach einer nicht dargestellten Verzögerung) zurückgestellt. Durch das Signal «X-CBAR ausleiten», werden auch die Kippschaltungen 460, 464 und 466 (notfalls nach geeigneten, nicht dargestellten Verzögerungen) zurückgestellt.

Der X-Bereich im Eingabepufferspeicher 50 besteht aus zwei Anforderungsspeicherräumen von 123 Bit Grösse, die für die Anforderungen der Gruppe X reserviert sind. Die Logikschaltung 508 (Fig. 14) zum Auswählen eines der beiden Speicherräume für das Einschreiben spricht auf das Signal «X-CBAR ausleiten» an und setzt die zugehörige Kippschaltung 510 (Fig. 14). Im gesetzten Zustand bezeichnen die Kippschaltung 510 die Belegung des gewählten Speicherraumes. Die Logikschaltung 512 bestimmt, wann der Inhalt besagter X-Räume in den Speicher zu übertragen ist und stellt die zugehörige Kippschaltung 510 zurück, so dass jetzt der zugehörige Speicherraum als leer angezeigt wird. Diese Anzeigen laufen über das ODER-Glied 516 (Fig. 14) zum zugehörigen UND-Glied 492 (als Vorbedingung für das Setzen der Steuerkippschaltung 490) und zum ODER-Glied 520, welches das Signal 444.1 «X-Freigabe» liefert, das mit der Operation 444 verbunden ist.

Die Bevorrechtigung der obengenannten Übertragung vom Eingabepufferspeicher 50 in das Speichersystem 10 ist operativ bei 526 gezeigt (Fig. 11) und die Ausführung dieser Übertragung bei 528. Die Vorbereitung der zugehörigen X-Bereich-Leeranzeige ist operativ bei 530 angedeutet.

Nach der Darstellung in der Fig. 13 wird zur Zeit «X-CBAR ausleiten» eine Darstellung des Adressausdruckes im Abschnitt 404 des Registers X-CBAR 403 durch die Schalter 500 und 502 geleitet. Der Schalter 500 gibt das wertniederste Adressbit weiter und die Schalter 502 die übrigen Bits dieses Datenausdruckes. Wenn die QW-Kippschaltung 460 (Fig. 14) zu diesem Zeitpunkt nicht gesetzt ist, überträgt das UND-Glied 570 die Bitausgabe des Schalters 500 über das ODER-Glied 572 an die Bit-sammelleitung 574, die zum Eingabepufferspeicher 50 führt. Wenn die QW-Kippschaltung 460 gesetzt ist, leitet das UND-Glied 580 die Bitausgabe des Schalters 500 in der durch den Inverter 582 invertierten Form weiter. In Verbindung mit der Annahme von X-QW, überträgt daher das UND-Glied 580 ein invertiertes niedrigstes Adressbit vom Register X-CBAR in den Eingabepufferspeicher 50.

Zur Zeit des Signales «X-CBAR ausleiten» arbeiten die Schalter 504 und 506 mit den entsprechenden Datenabschnitten 406 und 408 des Kanalbusregisters X-CBAR 403 (Fig. 13). Wenn eine Abrufanforderung übertragen wird, oder wenn diese Anforderung eine ein Wort breite Speicheranforderung ist, werden eines oder beide UND-Glieder 476 und 480 (Fig. 14) aktiviert und übertragen entsprechende Befehlssignale «Nullen auf Ausgabepfad dl» und/oder «Nullen auf Aufgabepfad d2». Diese Befehlssignale betätigen entsprechende Schalter 586 und 584 (Fig. 13) für die Übertragung von Null-Signalen mit entsprechender Parität an die zugehörigen Sammelleitungen 588 und 590 (Fig. 13). Diese Befehlssignale wirken ausserdem über entsprechende Inverter 592 und 594 und schalten die Schalter 596 und 598 aus, die sonst den Durchgang zwischen den entsprechenden CBAR-Abschnitten 408 und 406 und den Weiterleitungsdatenwegen 588 und 590 schalten.

Während also der Adressteil einer Anforderung aus dem Abschnitt 404 des Registers X-CBAR 403 übertragen wird, werden die paritäteteinhaltenden Nullen selektiv in die Datenwege 588 und 590 eingeschoben, wenn die zugehörige Anforderung eine Abrufanforderung oder eine ein Wort breite Speicheranforderung ist. Während Adress- und Datenteile einer ein Wort breiten Speicheranforderung aus dem Abschnitt 404 und einem der Abschnitte 406 oder 408 des Registers X-CBAR 403 in die Datenwege 490 oder 488 übertragen werden (Weg 490, wenn das Kennzeichen D1 empfangen wurde und die Daten der Anforderung in den Abschnitt 406 einzugeben sind; Weg 588,

wenn das Kennzeichen D2 empfangen wurde), werden paritätshaltende Nullen in den jeweils anderen Datenweg 588 oder 590 eingeschoben.

Die X-CBAR-Operationen als Abläufe in den Kanalbusregistern werden relativ zum Empfang des Kennzeichen X-QW so getaktet, dass ein Register X-CBAR unveränderlich leergemacht wird oder frei ist, bevor ein Kennzeichen X-QW empfangen wird. Das bedeutet, dass ein erster Teil einer vier Wörter

breiten Anforderung aus dem X-CBAR übertragen sein muss, bevor X-QW empfangen wird, und ein zweiter Teil derselben Viererwortanforderung wird hinterher übertragen, wobei das wertniederste Adressbit invertiert ist. Das bedeutet ausserdem, dass bei jeder Übertragung die zuletzt empfangenen Daten einer Speicheranforderung (oder im Falle von Abrufanforderungen paritätshaltende Nullwörter) auf die Datenwege 588 und 590 übertragen werden.

FIG. 4

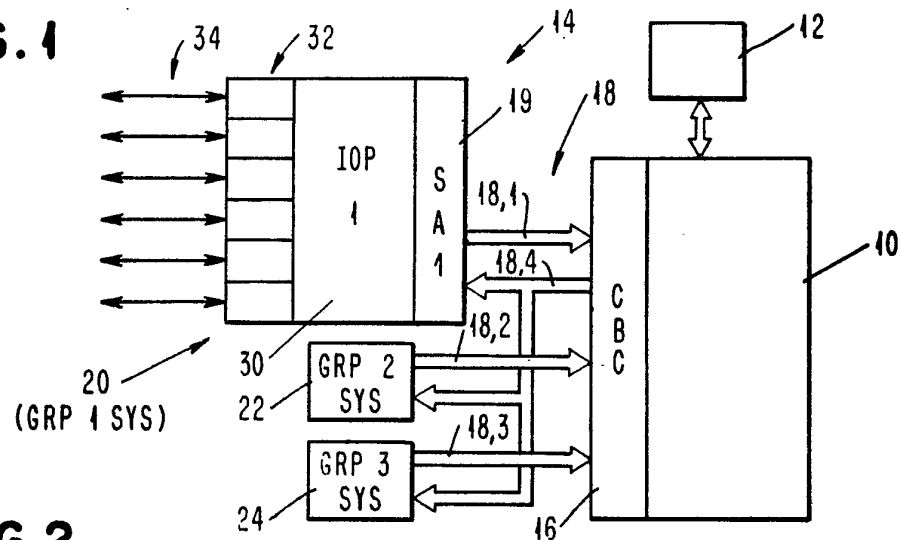


FIG.2

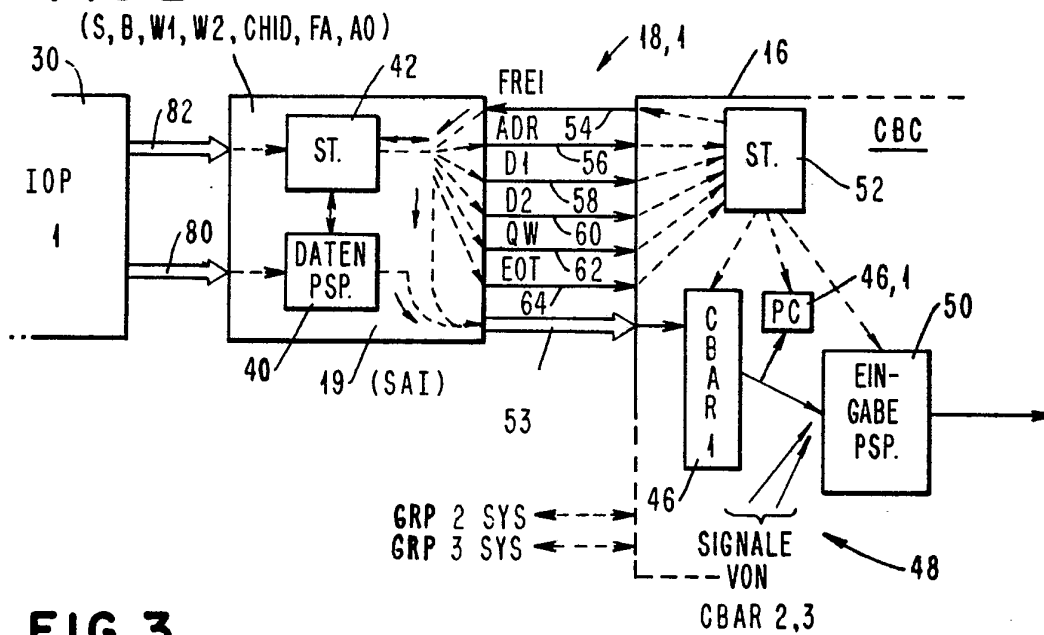


FIG. 3

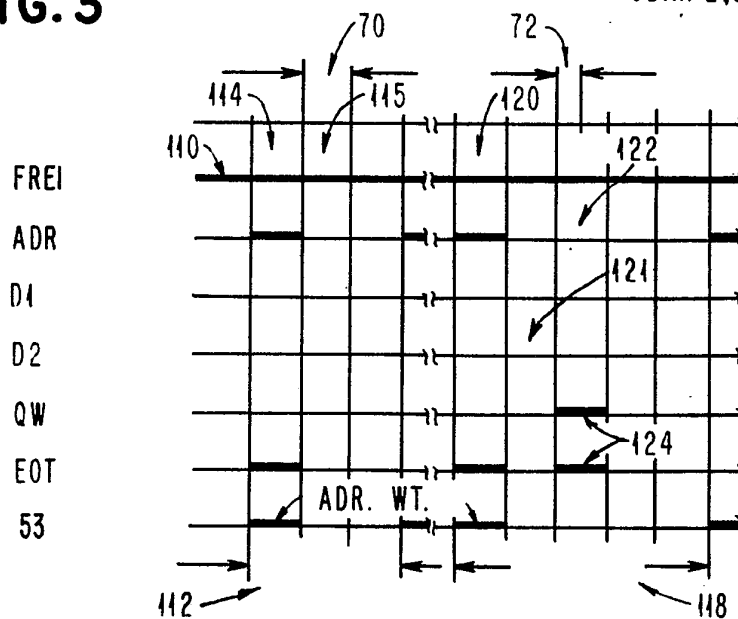


FIG. 4

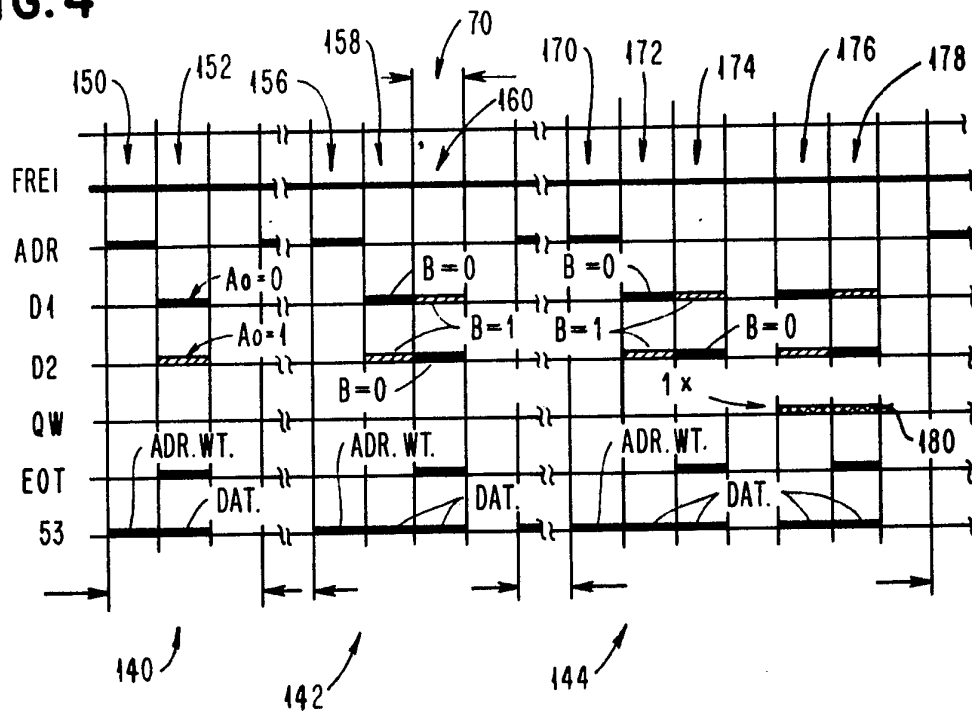


FIG. 5

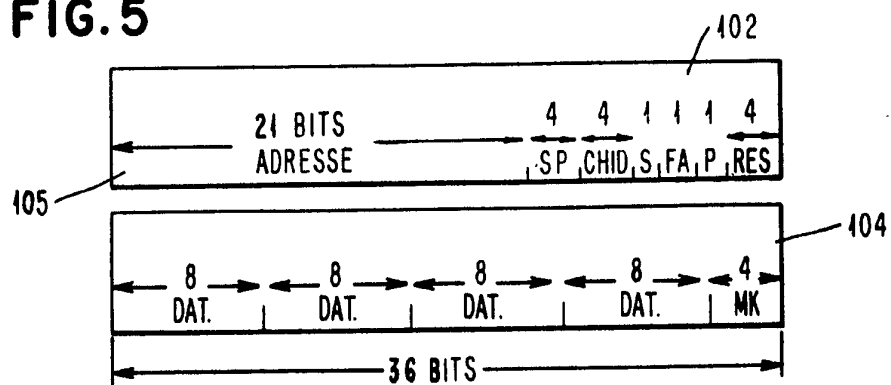


FIG. 6

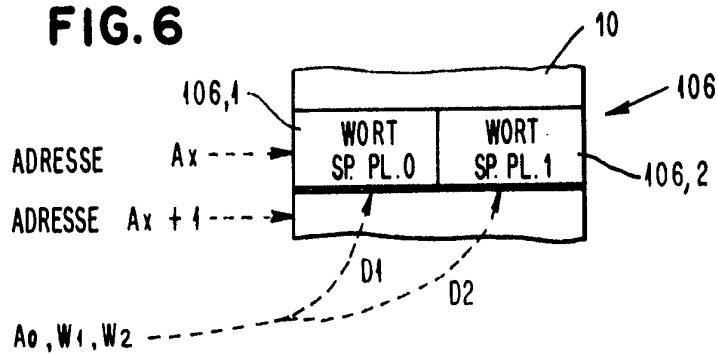


FIG.7

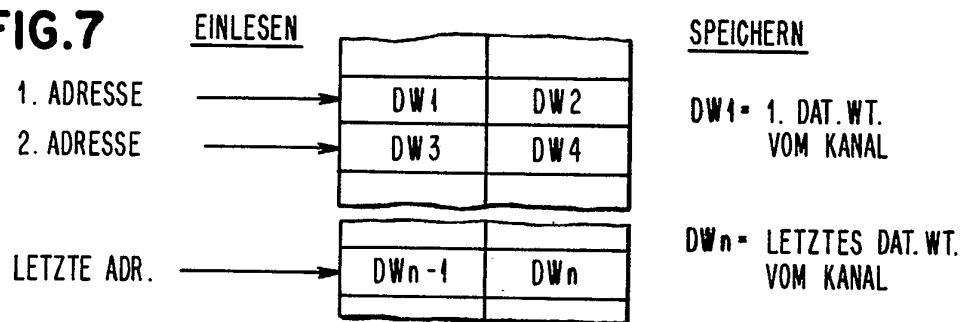


FIG.8

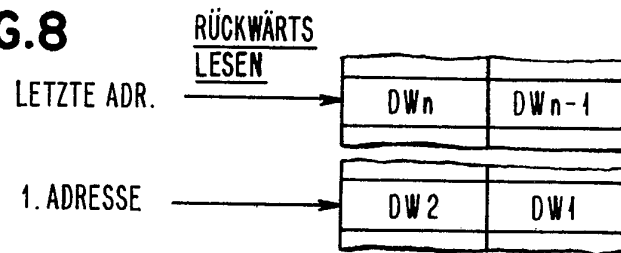


FIG.9

<u>KANAL EINGABE</u>	<u>KANAL AUSGABE</u>
DW1	DW2 1. ADR. WT. 0
DW2	DW1 1. ADR. WT. 1
DW3	DW4 2. ADR. WT. 0
DW4	DW3 2. ADR. WT. 1
DW5	DW6 3. ADR. WT. 0
DW6	DW5 3. ADR. WT. 1
DW7	DW8 4. ADR. WT. 0
DW8	DW7 4. ADR. WT. 1

FIG.15

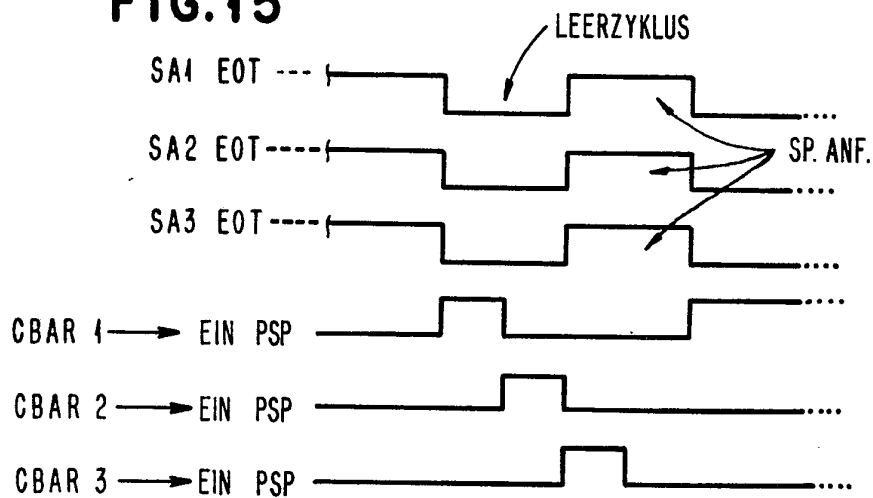


FIG. 10

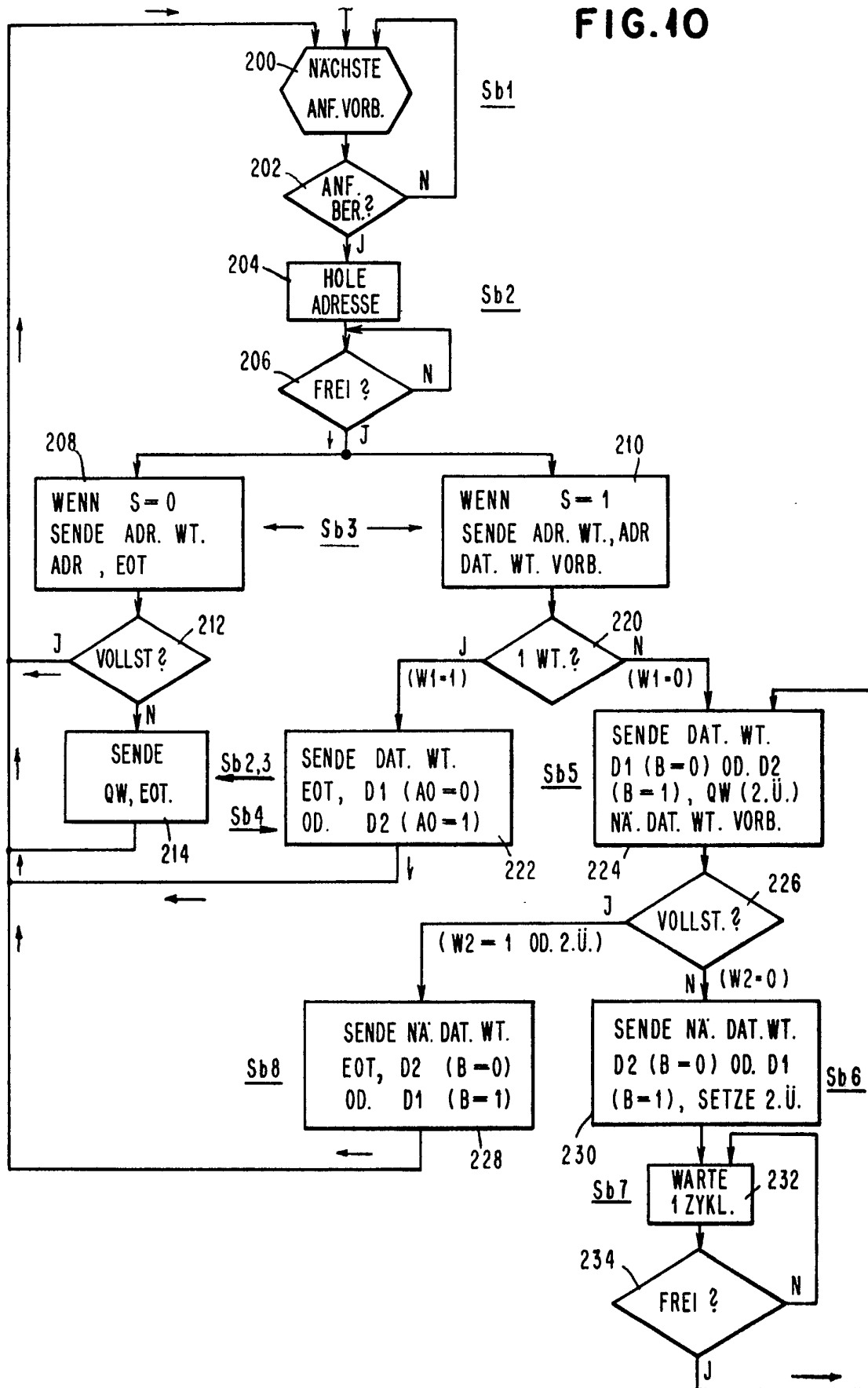


FIG. 11

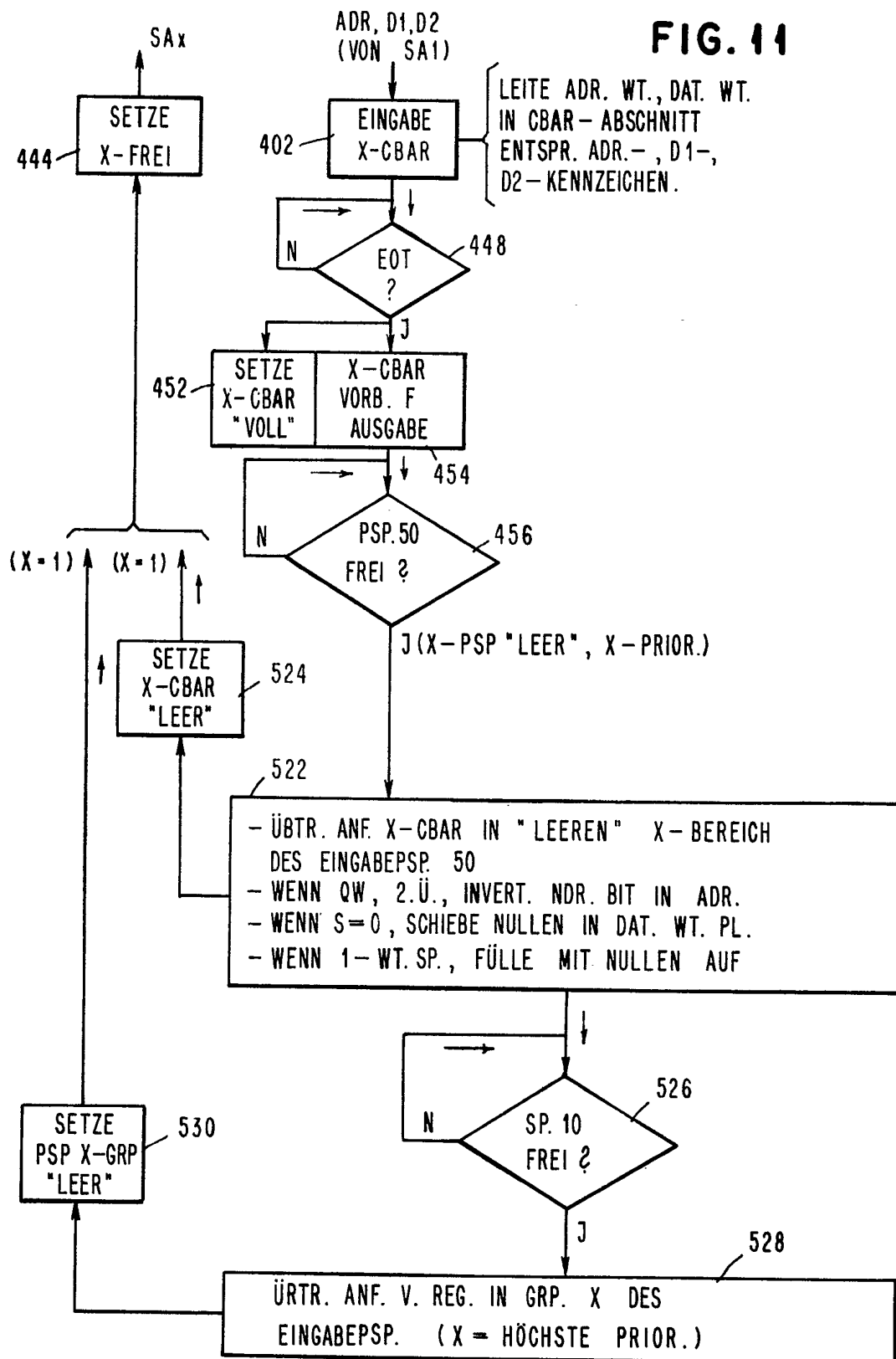


FIG. 12

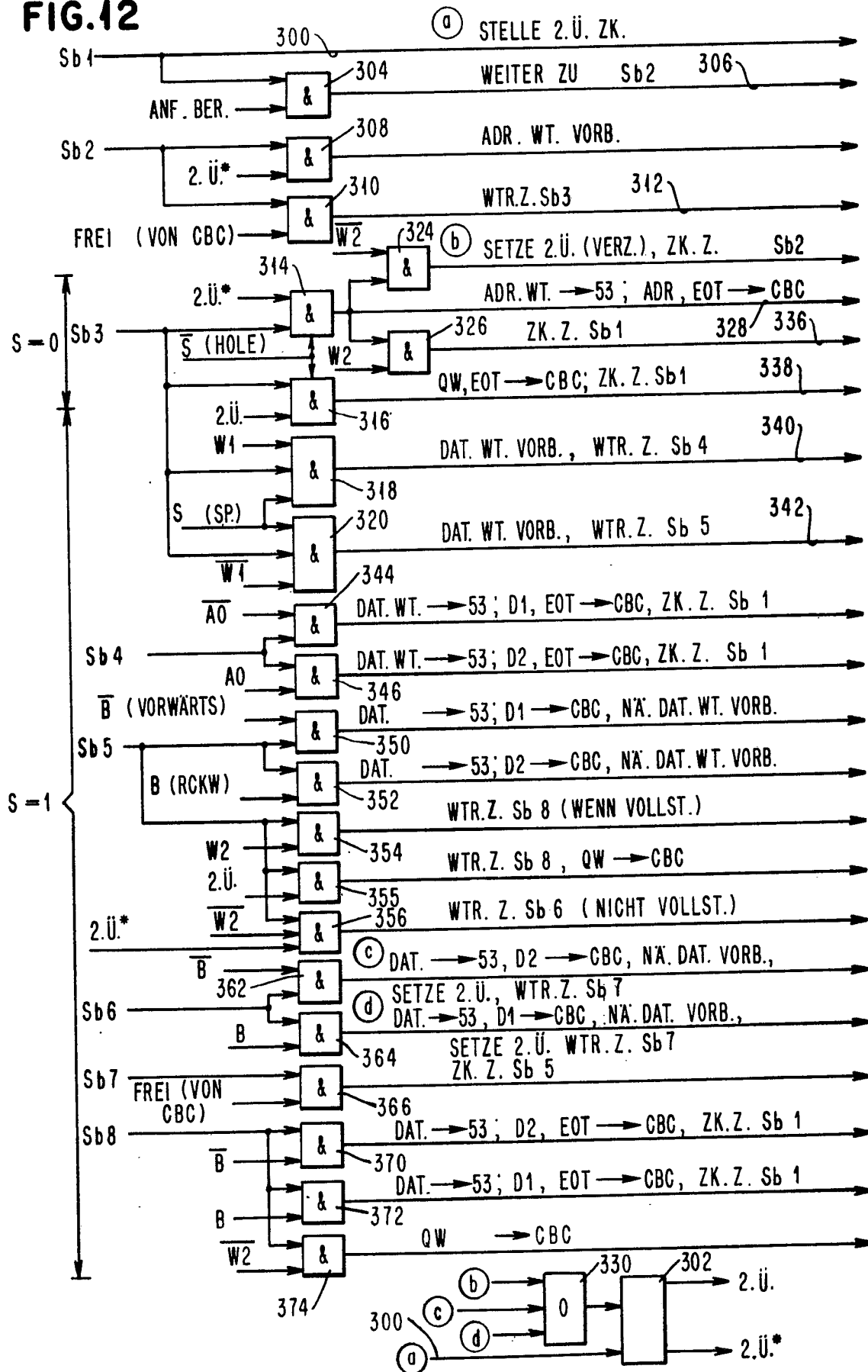


FIG. 13

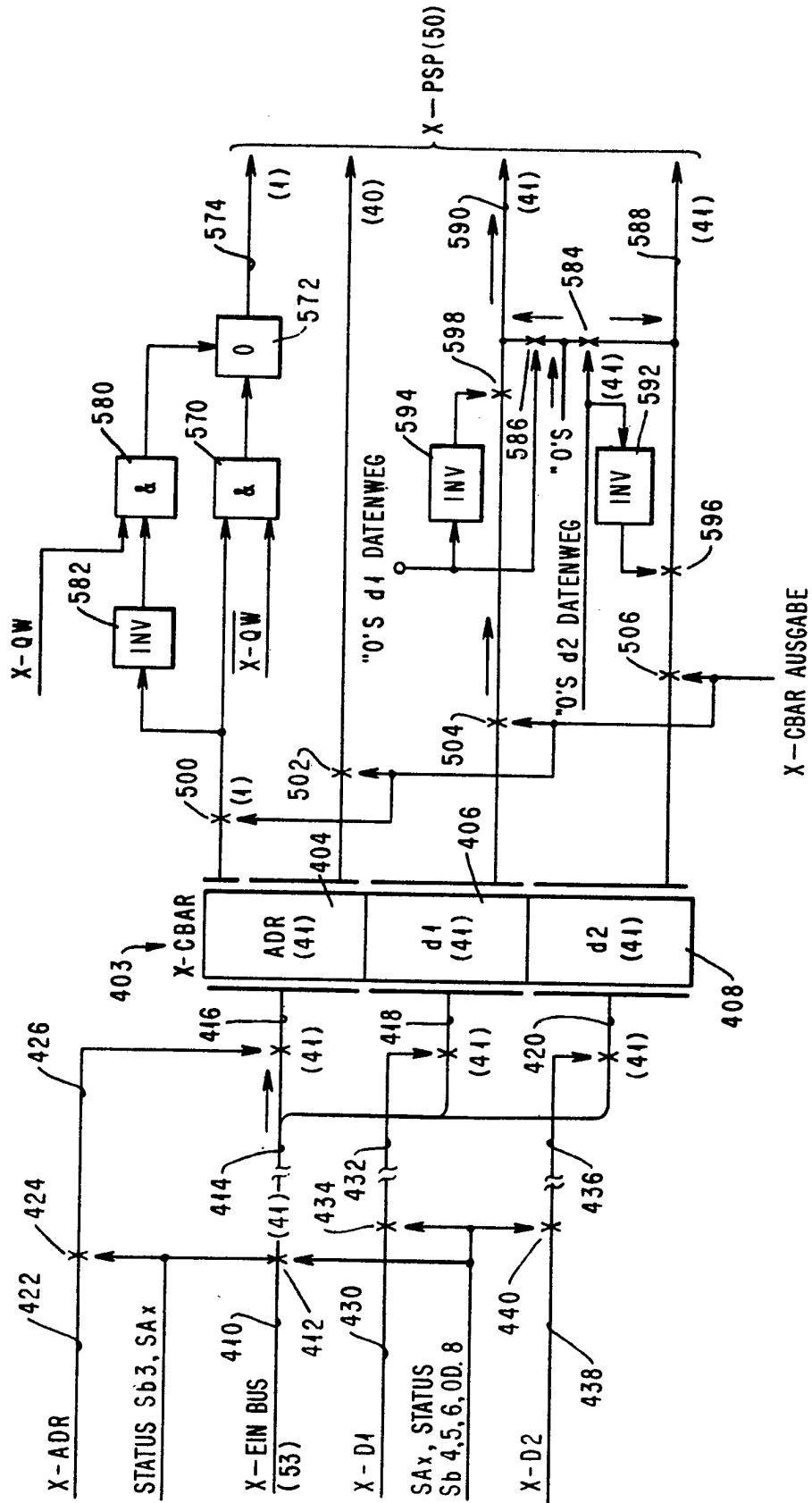


FIG. 14

