



ГОСУДАРСТВЕННЫЙ КОМИТЕТ
ПО ИЗОБРЕТЕНИЯМ И ОТКРЫТИЯМ
ПРИ ГНТ СССР

ОПИСАНИЕ ИЗОБРЕТЕНИЯ

К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

(21) 4439629/24-24
(22) 21.04.88
(46) 23.07.90. Бюл. № 27
(71) Кишиневский научно-исследовательский институт "Квант"
(72) А.А.Гремальский
(53) 681.3 (088.8)
(56) Авторское свидетельство СССР № 1211724, кл. G 06 F 9/22, 1984.
Авторское свидетельство СССР № 1309023, кл. G 06 F 9/22, 1985.

(54) МИКРОПРОГРАММНОЕ УСТРОЙСТВО
УПРАВЛЕНИЯ

(57) Изобретение относится к вычислительной технике и может быть использовано в устройствах управления дискретных объектов с сильным разбросом длительностей выполнения отдельных микроопераций. Цель изобретения - расширение области применения устройства. Для этого устройство содержит блок 1 памяти микрокоманд, регистр 2 адреса, регистр 3 микроопераций, регистр 4 маски, триггер 5 пуска, сумма-

тор 7, одновибратор 8, блоки 9, 10 элементов И, элементы ИЛИ 11, 12, элементы задержки 13, 14 и элемент И 15. Выдача в регистр 3 кода микроопераций очередной микрокоманды осуществляется при поступлении на вход 20 событий хотя бы одного из ожидаемых событий. Управляющий сигнал для выдачи микроопераций очередной микрокоманды формируется с помощью одновибратора 8, блока 10 элементов И и элемента ИЛИ 11 в соответствии с маской из регистра 4 маски. Адрес следующей микрокоманды формируется с помощью блока 9 элементов И и сумматора 7 путем анализа кодов логических условий с входа 19 устройства. Адрес микрокоманды хранится в регистре 2 адреса, куда он загружается с помощью коммутатора 6 адреса. Триггер 5 пуска, элемент И 15, элемент ИЛИ 12 и элементы задержки 13 и 14 обеспечивают управление работой отдельных компонентов устройства, 3 ил.

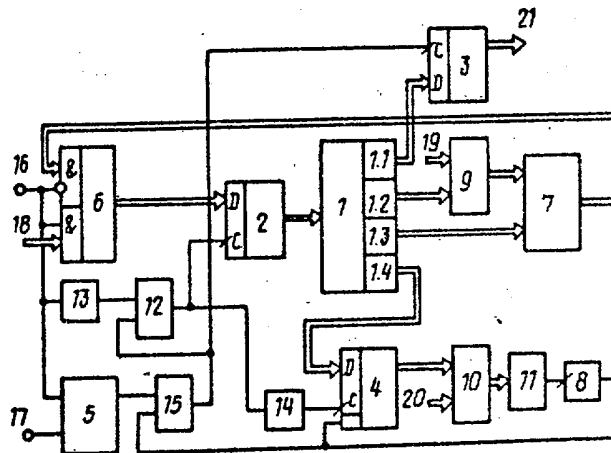


Fig. 1

Изобретение относится к вычислительной технике и может быть использовано в устройствах управления дискретных объектов.

Цель изобретения - расширение области применения устройства за счет реализации возможности программного выбора произвольного набора событий окончания выполнения микрооперации и за счет реализации возможности произвольного выбора начальной микрокоманды от внешнего источника.

На фиг.1 представлена функциональная схема предлагаемого устройства; на фиг.2 - формат микрокоманды; на фиг.3 - пример временной диаграммы, иллюстрирующей функционирование устройства.

Микропрограммное устройство управления содержит блок 1 памяти микрокоманд с выходом 1.1 кода микроопераций, выходом 1.2 маски условий, выходом 1.3 адреса и выходом 1.4 маски событий, регистр 2 адреса, регистр 3 микроопераций, регистр 4 маски, триггер 5 пуска, коммутатор 6 адреса, сумматор 7, одновибратор 8, первый 9 и второй 10 блоки элементов И, первый 11 и второй 12 элементы ИЛИ, первый 13 и второй 14 элементы задержки, элемент И 15, вход 16 пуска, вход 17 принудительного останова, вход 18 кода операции, вход 19 логических условий, вход 20 событий окончания выполнения микрооперации, выход 21 (кода микроопераций).

Поле 22 микроопераций (фиг.2) включает группу разрядов, которой соответствует выход 1.1 кода микроопераций блока 1 памяти микрокоманд.

Поле 23 микрокоманды включает группу разрядов, которой соответствует выход 1.2 маски условий. Если i -й разряд поля установлен в "0" (установлен в "1"), условие X_i не участвует (участвует) в формировании адреса следующей микрокоманды.

Поле 24 микрокоманды включает группу разрядов, которой соответствует выход 1.3 адреса и предназначено для формирования адреса следующей микрокоманды.

Поле 25 микрокоманды включает группу разрядов, которой соответствует выход 1.4 маски событий. Если j -й разряд поля установлен в "0" (установлен в "1"), сигнал наступления события S_j не вызывает (вызывает)

выдачу кода микроопераций микрокоманды на выход устройства.

На фиг.3 приняты следующие обозначения: сигнал 26 на входе 16 пуска устройства, сигнал 27 на синхровходе регистра 2 адреса; сигнал 28 на синхровходе регистра 4 маски; сигнал 29 на входе сброса регистра 4 маски; сигнал 30 на входе 20 устройства; сигнал 31 на выходе элемента ИЛИ 11; сигнал 32 на выходе одновибратора 8; сигнал 33 на синхровходе регистра 3 микроопераций; сигнал 34 на выходе 21, величина Δ_1 задержки первого элемента 13 задержки; величина Δ_2 задержки второго элемента 14 задержки; t_1, t_3 - моменты времени наступления событий, которые не маскируются полем 25 микрокоманды; t_2, t_4 - моменты поступления событий, которые маскируются полем 25 микрокоманды.

Блок 1 памяти микрокоманд предназначен для хранения микрокоманд и имеет четыре выхода. С выхода 1.1 считываются сигналы микроопераций, которые поступают на информационный вход регистра 3 микроопераций. С выхода 1.2 считывается маска условий, в которой "1" отмечены проверяемые, т.е. участвующие в формировании адреса следующей микрокоманды условия, с выхода 1.3 считывается код, участвующий в формировании адреса следующей микрокоманды, с выхода 1.4 считывается маска событий, в которой "1" отмечены анализируемые события, т.е. те события, при поступлении хотя бы одного из которых код микроопераций рассматриваемой микрокоманды выдается на выход 21 устройства.

Регистр 2 адреса предназначен для приема и хранения адресов микрокоманд из блока 1 памяти микрокоманд. Прием информации в регистр осуществляется при наличии на его синхровходе сигнала, формируемого на выходе элемента ИЛИ 12. Регистр 3 микроопераций предназначен для приема, хранения и выдачи кодов микроопераций на выход 21 устройства. Прием информации в регистр осуществляется при наличии на его синхровходе сигнала, формируемого на выходе элемента И 15. Регистр 4 маски предназначен для хранения кода, поступающего с выхода 1.4 маски событий блока 1 памяти микрокоманд.

Триггер 5 пуска предназначен для задания режима работы устройства - режим "Работа" и режим "Принудительный останов".

Коммутатор 6 адреса предназначен для передачи на информационный вход регистра 2 адреса кода поступающего либо с выхода сумматора 7, либо с входа 18 кода операции.

Сумматор 7 и первый блок 9 элементов И предназначены для формирования адреса следующей микрокоманды. Адрес следующей микрокоманды формируется как

$$A_{cl} = A + X \& M_y,$$

где A - код, поступающий с выхода 1.3 адреса;

X - код условий, поступающий с входа 19 логических условий устройства;

M_y - код, поступающий с выхода 1.3 маски условий;

$\&$ - операция поразрядной конъюнкции кодов.

Если в маске условий все разряды замаскированы, т.е. $X = 0...00$, очевидно $A_{cl} = A$, т.е. выполняется безусловный переход по адресу, поступающему с выхода 1.3 блока 1 памяти микрокоманд. Реализация ветвлений с произвольной топологией обеспечивается путем установки в "1" разрядов поля 23 микрокоманды, которые соответствуют проверяемым логическим условиям.

Одновибратор 8 одиночного импульса, второй блок 10 элементов И и первый элемент ИЛИ 11 предназначен для формирования управляющего сигнала, определяющего момент выдачи кода микроопераций, на выход 21 устройства и приема адреса следующей микрокоманды в регистр 2 адреса.

Управляющий сигнал выдается на выходе одновибратора 8 в момент времени поступления, хотя бы одного из событий, отмеченных "1" в коде, поступающем с выхода регистра 4 маски. Понимается, что момент поступления события S_j указывается сигналом в j -м разряде входа 20.

Элемент ИЛИ 12 предназначен для объединения сигналов, поступающих с входа 16 пуска устройства, либо с выхода элемента И 15.

Элемент 13 задержки предназначен для задержки управляющего сигнала на время переключения коммутатора 6 адреса и устранения состояний на входах регистра 2 адреса. Элемент 14 задержки предназначен для задержки управляющего сигнала на время приема адреса в регистр 2 адреса и чтения микрокоманды из блока 1 памяти микрокоманд, устраняя тем самым состояния на входах регистра 4 маски. Элемент И 15 предназначен для запрета прохождения управляющего сигнала с выхода одновибратора 8 при принудительном останове устройства.

Устройство работает следующим образом.

Устройство предназначено для выдачи управляющих сигналов (микроопераций), причем выдача кода микроопераций очередной микрокоманды происходит при наступлении хотя бы одного из событий, указанных в микрокоманде.

В исходном состоянии триггер 5 пуска, регистр 3 микроопераций, регистр 4 маски находятся в нулевом состоянии. Цепи приведения схемы в исходное состояние на фиг. 1 условно не показаны.

При подаче сигнала на вход 16 пуска коммутатор 6 адреса переключается на передачу кода с входа 18 кода операций на информационный вход регистра 2 адреса. Одновременно триггер 5 пуска устанавливается в единичном состоянии. Сигнал с входа 16 пуска, проходя через первый элемент 13 задержки и второй элемент ИЛИ 12 поступает на синхровход регистра 2 адреса и в регистре 2 заносится адрес первой микрокоманды.

При изменении содержимого регистра адреса запускается процесс чтения из блока 1 памяти микрокоманд и на его выходах 1.1 - 1.4 появляются соответствующие поля микрокоманды. Одновременно сигнал с выхода элемента ИЛИ 12, проходя через элемент 14 задержки, поступает на синхровход регистра 4 маски, и в регистр 4 заносится поле 25 микрокоманды. Сигналы с выхода регистра 4 маски поступают на соответствующие входы элементов И блока 10 элементов И. При этом к входам элемента ИЛИ 11 могут пройти только сигналы с тех разрядов входа

20, которые отмечены "1" в поле 25 маски событий. Одновременно поле 22 микроопераций поступает на информационный вход регистра 3 микроопераций, а поля 23 и 24 соответственно на блок 9 элементов И и сумматор 7. При этом блок 9 элементов И логически подключает к входу сумматора лишь те разряды входа 19 логических условий, которые отмечены "1" в поле 23 маски условий микрокоманды. Устройство переходит в режим ожидания момента наступления хотя бы одного из событий, указанных в поле 25 маски событий.

Предполагается, что в некотором моменте времени t_1 поступает хотя бы одно из ожидаемых событий. Сигнал с соответствующего разряда входа 20, проходя через соответствующий элемент И блока 10 элементов И (на другой вход этого элемента с регистра 4 маски событий поступает единица) и через первый элемент ИЛИ 11 поступает на вход одновибратора 8, который вырабатывает на своем выходе импульс.

Импульс с выхода одновибратора 8 поступает на вход сброса регистра 4 маски, устанавливая его в нулевое состояние. Тем самым блок 10 элементов И логически отключает вход 20 от входов элемента ИЛИ 11, устраняя возможные состояния сигналов во время переходных процессов чтения блока 1 памяти микрокоманд. Одновременно импульс с выхода одновибратора 8 через элемент И 15 поступает на синхровход регистра 3 микроопераций и в регистр 3 заносится поле 22 микроопераций микрокоманды с выхода 1.1 блока 1 памяти. Этот же импульс через элемент ИЛИ 12 поступает на синхровход регистра 2 адреса, в котором заносится адрес A_{cl} следующей микрокоманды, получаемый через коммутатор 6 адреса с выхода сумматора 7.

Изменение содержимого регистра 2 адреса вновь запускает процесс чтения из блока 1 памяти микрокоманд и на его выходах появляются соответствующие поля следующей микрокоманды. Импульс с выхода элемента 14 задержки записывает в регистр 4 маски, поле 25 новой микрокоманды и незамаскированные разряды входа 20 логически и подключаются к входам элемента ИЛИ 11. Устройство переходит в режим ожидания момента наступления хотя бы одно-

го из событий, указанных в поле 25 маски событий микрокоманды.

Предполагается, что в момент времени t_2 на вход 20 поступили сигналы лишь маскированных событий, т.е. событий, отмеченных в поле 23 маски событий значением "0". Очевидно, при этом соответствующие элементы И блока 10 элементов И не пропускают сигналы рассматриваемых событий к входам элемента ИЛИ 11, поэтому его выход не изменяется и устройство остается в режиме ожидания событий.

Если в момент времени t_3 поступает хотя бы одно из ожидаемых событий, сигнал с выхода элемента ИЛИ 11 вновь запускает одновибратор 8 и т.д.

Таким образом, выдача поля 22 микроопераций микрокоманд осуществляется в моменты времени, определяемые наступлением ожидаемых событий.

Признаком конца микропрограммы является микрокоманда, в поле 25 маски событий которой записаны нули. При выборке указанной микрокоманды и занесение поля 25 в регистр 4 маски, вход 20 событий блоком 10 элементов И логически отключается от элемента ИЛИ 11, т.е. ни одно из всевозможных событий не сможет в дальнейшем запустить одновибратор 8.

Процесс выборки микрокоманд можно прервать и в принудительном порядке, подав сигнал на вход 17 принудительного останова. При этом триггер 5 пуска сбрасывается в нулевое состояние, блокируя прохождение управляющего сигнала с выхода одновибратора 8 через элемент И 15 к регистру 2 адреса, к регистру 3 микроопераций и к регистру 4 маски.

При формировании адреса A_{cl} очередной микрокоманды возможны следующие случаи: реализация линейных участков микропрограммы без проверки логических условий. В этом случае в поле 23 маски условий записываются нули, т.е. $M_y = 0...00$, а в поле 24 адреса - адрес A следующей микрокоманды. При этом на выходе сумматора получено

$$A_{cl} = A + X \ \& \ M_y = A;$$

реализация безусловных переходов в микропрограммах, в этом случае в поле 23 маски условий записываются нули, а в поле 24 адреса - адрес

перехода; реализация ветвлений с различной конфигурацией проверяемых логических условий. При этом в поле 23 маски условий записываются единицы в тех разрядах, соответствующие условия которых необходимо проверить. В поле 24 адреса записывается адрес A микрокоманды, которую необходимо выполнить, если все проверяемые логические условия ложны. При заданной истинности проверяемых логических условий $x_{i_1}, x_{i_2}, \dots, x_{i_k}$, адреса $A_{разм}$ размещения микрокоманд, на которые должно выполняться ветвление, определяются как

$$A_{разм} = A + 2^{i_1-1} x_{i_1} + 2^{i_2-1} x_{i_2} + \dots + 2^{i_k-1} x_{i_k}.$$

Например, микрокоманда, на которой необходимо передать управление при условии, что $x_1 = 0$ (ложно), $x_2 = 1$ (истинно), $x_3 = 1$ (истинно), должна размещаться по адресу

$$A_{разм} = A + 2^0 \cdot 0 + 2^1 \cdot 1 + 2^2 \cdot 1 = A + 6,$$

где A — адрес, по которому размещается микрокоманда, выполняемая при ложности всех условий $x_{i_1}, x_{i_2}, x_{i_3}$.

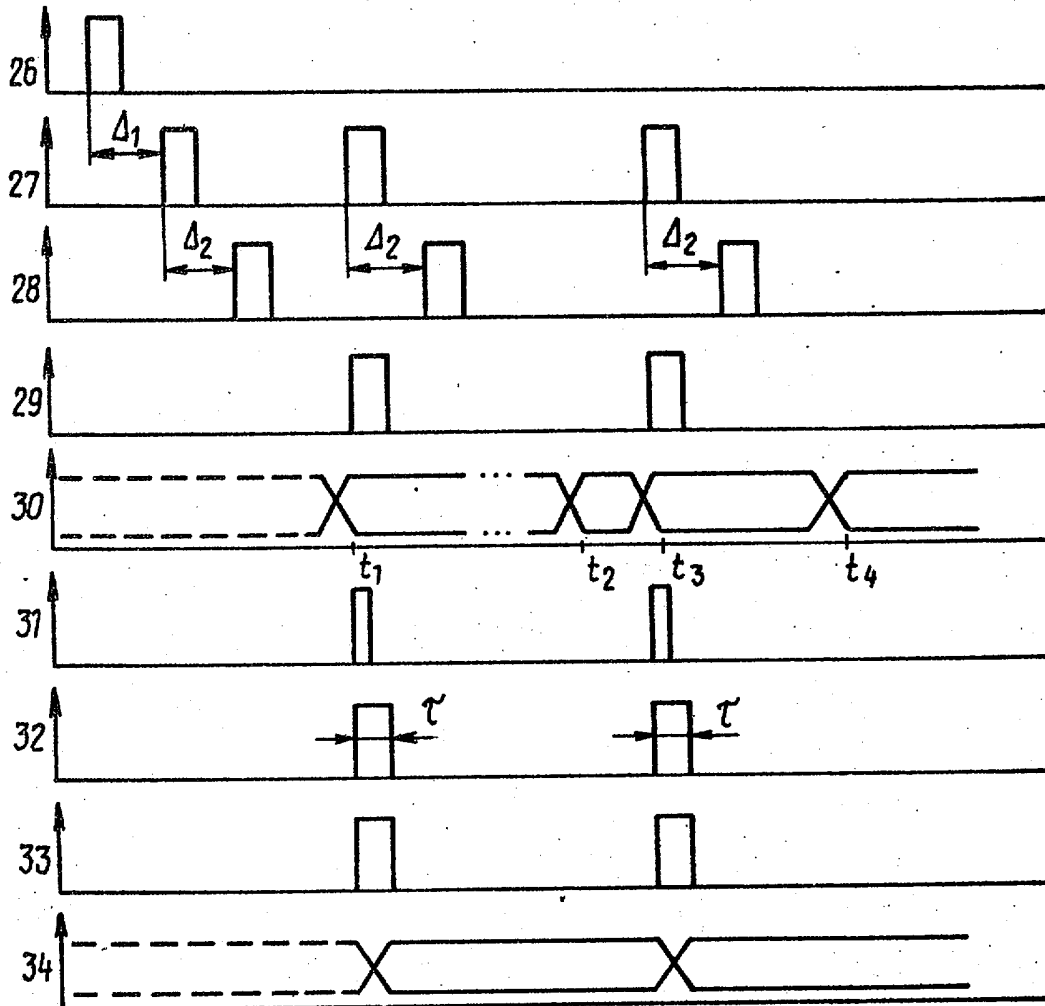
Ф о р м у л а и з о б р е т е н и я

Микропрограммное устройство управления, содержащее блок памяти микрокоманд, регистр микроопераций, регистр адреса, сумматор, триггер пуска, два элемента задержки, одновибратор, два элемента ИЛИ, элементы и два блока элементов И, причем вход пуска устройства подключен к первому установочному входу триггера пуска, второй установочный вход которого подключен к входу принудительного останова устройства, выход которого подключен к выходу регистра микроопераций, информационный вход которого подключен к выходу кода микроопераций бло-

ка памяти, микрокоманд, выход маски условий которого подключен к первому входу первого блока элементов И, второй вход которого соединен с входом логических условий устройства, выход триггера пуска соединен с первым входом элемента И, отличающемся тем, что, с целью расширения области применения за счет реализации возможности программного выбора произвольного набора событий окончания выполнения микроопераций и за счет реализации возможности произвольного выбора начальной микрокоманды от внешнего источника, оно дополнительно содержит регистр маски и коммутатор адреса, выход которого соединен с информационным входом регистра адреса, выход которого соединен с адресным входом блока памяти микрокоманд, выход маски событий которого соединен с информационным входом регистра маски, выход которого соединен с первым входом второго блока элементов И, второй вход и выходы которого подключены соответственно к входу событий окончания выполнения микроопераций устройства и входом первого элемента ИЛИ, выход которого через одновибратор подключен к входу сброса регистра маски и второму входу элемента И, выход которого соединен с синхровходом регистра микроопераций и первому входу второго элемента ИЛИ, второй вход которого соединен с выходом первого элемента задержки, вход которого подключен к управляющему входу коммутатора адреса и к входу пуска устройства, вход кода операции которого соединен с первым информационным входом коммутатора адреса, второй информационный вход которого соединен с выходом сумматором, первый и второй входы которого подключены соответственно к выходу первого блока элементов И и выходу адреса блока памяти микрокоманд, выход второго элемента ИЛИ соединен с синхровходом регистра адреса, а через второй элемент задержки с синхровходом регистра маски.

22	23	24	25
----	----	----	----

Фиг.2



Фиг.3

Редактор Г.Гербер Составитель Ю.Ланцов
Техред А.Кравчук

Корректор С.Шекмар

Заказ 2013 Тираж 570 Подписное
ВНИИПИ Государственного комитета по изобретениям и открытиям при ГКНТ СССР
113035, Москва, Ж-35, Раушская наб., д. 4/5

Производственно-издательский комбинат "Патент", г. Ужгород, ул. Гагарина, 101