



(12) 发明专利

(10) 授权公告号 CN 101894583 B

(45) 授权公告日 2016. 03. 02

(21) 申请号 201010226529. 7

US 2005/0282333 A1, 2005. 12. 22, 全文 .

(22) 申请日 2010. 07. 08

CN 101261878 A, 2008. 09. 10, 全文 .

(73) 专利权人 矽创电子股份有限公司

审查员 王文晓

地址 中国台湾新竹县竹北市台元街 20 号 6 楼之 2

(72) 发明人 廖敏男

(74) 专利代理机构 北京中原华和知识产权代理有限公司 11019

代理人 寿宁 张华辉

(51) Int. Cl.

G11C 11/40(2006. 01)

(56) 对比文件

US 4866645 A, 1989. 09. 12, 全文 .

US 5761703 A, 1998. 01. 02, 全文 .

US 2002/0024873 A1, 2002. 02. 28, 全文 .

US 2004/0223394 A1, 2004. 11. 11, 全文 .

CN 1595532 A, 2005. 03. 16, 全文 .

CN 101079325 A, 2007. 11. 28, 全文 .

CN 1691204 A, 2005. 11. 02, 全文 .

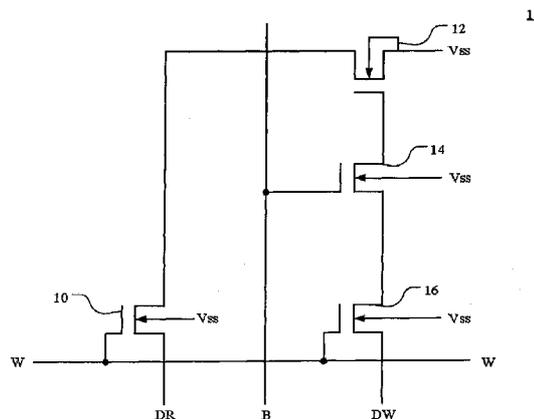
权利要求书1页 说明书6页 附图14页

(54) 发明名称

节省电路面积的记忆单元

(57) 摘要

本发明涉及一种节省电路面积的记忆单元，其由一第一晶体管耦接一读取线，并受控于一字符线，一第二晶体管耦接第一晶体管与一电源端之间，一第三晶体管耦接第二晶体管，并受控于一位线，该第三晶体管控制该第二晶体管导通 / 截止，一第四晶体管耦接第三晶体管与一写入线，并受控于字符线。如此，本发明使用四个晶体管即可形成一记忆单元，以达到节省电路面积的目的。



1. 一种节省电路面积的记忆单元,其特征在于,其包含:
 - 一第一晶体管,耦接一读取线,并受控于一字符线;
 - 一第二晶体管,耦接该第一晶体管与一电源端之间;
 - 一第三晶体管,耦接该第二晶体管,并受控于一位线,该第三晶体管控制该第二晶体管导通/截止;以及
 - 一第四晶体管,耦接该第三晶体管与一写入线,并受控于该字符线;其中,该第一晶体管、该第二晶体管、该第三晶体管及第四晶体管为一 N 型场效晶体管或一 P 型场效晶体管,当该第一晶体管、该第二晶体管、该第三晶体管及第四晶体管为该 N 型场效晶体管时,该电源端为一低电源端,当该第一晶体管、该第二晶体管、该第三晶体管及第四晶体管为该 P 型场效晶体管时,该电源端为一高电源端。
2. 如权利要求 1 所述的记忆单元,其特征在于,更包含:
 - 一第五晶体管,耦接该读取线与一电源端,并受控于一读取讯号。
3. 如权利要求 2 所述的记忆单元,其特征在于,其中该第五晶体管为一 P 型场效晶体管。
4. 如权利要求 1 所述的记忆单元,其特征在于,更包含:
 - 一第五晶体管,耦接该读取线与一低电源端,并受控于一读取讯号。
5. 如权利要求 4 所述的记忆单元,其特征在于,其中该第五晶体管为一 N 型场效晶体管。
6. 如权利要求 1 所述的记忆单元,其特征在于,其中该字符线与该位线是导通该第一晶体管、该第三晶体管与该第四晶体管,以写入资料至该第二晶体管与该第三晶体管之间。
7. 如权利要求 1 所述的记忆单元,其特征在于,其中该字符线导通该第一晶体管,以读取该第二晶体管与该第三晶体管之间所储存的数据。
8. 如权利要求 1 所述的记忆单元,其特征在于,其耦接一控制电路,该控制电路耦接该字符线、该位线、该读取线与该写入线,以控制记忆单元写入数据或读取数据。
9. 如权利要求 8 所述的记忆单元,其特征在于,其中该控制电路包含:
 - 一列译码器,耦接该字符线,以控制该记忆单元导通/截止;
 - 一行译码器,耦接该位线、该读取线与该写入线;以及
 - 一控制单元,耦接该列译码器与该行译码器,并产生一控制讯号,且传送该控制讯号至该列译码器与该行译码器,以控制该记忆单元进行读取或写入数据。
10. 如权利要求 1 所述的记忆单元,其特征在于,其中该第一晶体管、该第二晶体管、该第三晶体管与该第四晶体管的基底耦接该电源端。

节省电路面积的记忆单元

技术领域

[0001] 本发明是有关于一种记忆单元,其尤指一种节省电路面积的记忆单元。

背景技术

[0002] 随着多核心系统单芯片的发展,越来越多的内存将被整合于系统芯片中以帮助各核心的运算,因此内存在未来的芯片上必定占有大部分的面积,并成为影响系统芯片效能一个很重要的因子,且将消耗大量的能量;所以,如何有效的降低内存的面积及其功率消耗必定成为一个很重要的课题。

[0003] 请参阅图 1,为现有技术的记忆单元的电路图。如图所示,现有技术的记忆单元包括一第一反相器 10'、一第二反相器 20' 与一存取埠 30'。第一反相器 10' 的输入端耦接第二反相器 20' 的输出端;第一反相器 10' 的输出端耦接第二反相器 20' 的输入端,存取埠 30' 耦接于第二反相器 20' 与一位线 (Bitline, BL),并与一字符线 (Wordline, WL) 相耦接,此存取埠 30' 为一 N 型金氧半场效晶体管 (NMOS),因此当位线为高电位时,存取埠 30' 打开,将会有一门坎电压跨在存取端口 30' 上,使得位线电压对记忆单元的有效电压减小;因此,请一并参阅图 2,为另一现有技术的记忆单元的电路图,如图所示,存取埠 30' 被一 P 型金氧半场效晶体管 (PMOS) 所取代,因此当位线为高电位时,存取埠 30' 打开后,位线的电压将在无耗损的情况下传入储存装置中。

[0004] 一般位线在单端记忆单元进行读取及写入逻辑值"1"时,位线都将先保持在高准位 (High),并字符线将会导通,如此,单端记忆单元无法得知位线与字符线如何动作是在进行读取还是写入逻辑值"1"。因此,设计出记忆单元可依据不同准位的位线,而进行写入数据或读取数据,当记忆单元进行读取时,位线必须转变为较电压准位稍微低的电压准位,以透过存取埠 30' 读取第一反相器 10' 与第二反相器 20' 所储存的数据;当记忆单元进行写入时,位线必须转变为高电压准位,以透过存取埠 30' 写入第一反相器 10' 与第二反相器 20' 所形成的记忆单元。

[0005] 再者,请参阅图 3,为现有技术的记忆单元的电路图。如图所示,现有技术的记忆单元 40' 包含一第一晶体管 42'、一第三反相器 44'、一第二晶体管 46' 与一第四反相器 48'。第一晶体管 42' 的一端耦接一数据线 D,并受控于一字符线 W,第三反相器 44' 的输入端耦接第一晶体管 42' 的另一端,第二晶体管 46' 的一端耦接第三反相器 44' 的输出端,并受控于字符线 W,第四反相器 48' 的输入端耦接第二晶体管 46 的另一端与第三反相器 44' 的输出端,并第四反相器 48' 的输出端耦接第一晶体管 42' 与第三反相器 44' 的输入端。其中,第三反相器 44' 包含一第三晶体管 440' 与一第四晶体管 442',而第四反相器 48' 包含一第五晶体管 480' 与一第六晶体管 482'。由于反相器结构为该技术领域具有通常知识者所皆知的技术,所以在此将不再多加以说明。

[0006] 接上所述,图 3 的记忆单元 40' 在不写入数据时,其字符线 W 上讯号为低准位讯号,而使第一晶体管 42' 与第二晶体管 44' 关闭(截止),此时,由于第三反相器 44' 与第四反相器 48' 中的二输出端输入端对接,使第三反相器 44' 的 N1 端的资料与第四反相器 48' 的

N2 端的资料互为反相锁住。记忆单元 40' 若要写入数据,即当记忆单元 40' 写入数据"1"时,字符线 W 上的讯号为高准位讯号(即"1"),使第一晶体管 42' 与第二晶体管 46' 导通,而数据线 D 上的讯号为"1",而位线 DB 上的讯号为"0"。当记忆单元 40' 写入数据完成后,字符线 W 上的讯号将转变为低准位讯号,而第一晶体管 42' 与第二晶体管 44',而使资料锁住。

[0007] 惟若,随着科技产品的世代演进,业者对记忆单元的储存需求越来越高,价格及单位容量的竞争压力也越来越大,所以,记忆单元的单位面积较小的储存单元也就越来越重要,如此,使用越少的晶体管制成记忆单元也为业者所要朝向的目标之一。

[0008] 因此,如何针对上述问题而提出一种新颖节省电路面积的记忆单元,其使用较少的晶体管组合成记忆单元,使可解决上述的问题。

发明内容

[0009] 本发明的目的在于,在于提供一种节省电路面积的记忆单元,其使用四个晶体管即可形成一记忆单元,以达到节省电路面积的目的。

[0010] 为了达到上述的目的,本发明是一种节省电路面积的记忆单元,其包含:

[0011] 一第一晶体管,耦接一读取线,并受控于一字符线;

[0012] 一第二晶体管,耦接该第一晶体管与一电源端之间;

[0013] 一第三晶体管,耦接该第二晶体管,并受控于一位线,该第三晶体管控制该第二晶体管导通/截止;以及

[0014] 一第四晶体管,耦接该第三晶体管与一写入线,并受控于该字符线;

[0015] 其中,该第一晶体管、该第二晶体管、该第三晶体管及第四晶体管为一 N 型场效晶体管或一 P 型场效晶体管,当该第一晶体管、该第二晶体管、该第三晶体管及第四晶体管为该 N 型场效晶体管时,该电源端为一低电源端,当该第一晶体管、该第二晶体管、该第三晶体管及第四晶体管为该 P 型场效晶体管时,该电源端为一高电源端。

[0016] 本发明中,更包含:

[0017] 一第五晶体管,耦接该读取线与一电源端,并受控于一读取讯号。

[0018] 本发明中,其中该第五晶体管为一 P 型场效晶体管。

[0019] 本发明中,更包含:

[0020] 一第五晶体管,耦接该读取线与一低电源端,并受控于一读取讯号。

[0021] 本发明中,其中该第五晶体管为一 N 型场效晶体管。

[0022] 本发明中,其中该字符线与该位线是导通该第一晶体管、该第三晶体管与该第四晶体管,以写入资料至该第二晶体管与该第三晶体管之间。

[0023] 本发明中,其中该字符线导通该第一晶体管,以读取该第二晶体管与该第三晶体管之间所储存的数据。

[0024] 本发明中,其耦接一控制电路,该控制电路耦接该字符线、该位线、该读取线与该写入线,以控制记忆单元写入数据或读取数据。

[0025] 本发明中,其中该控制电路包含:

[0026] 一列译码器,耦接该字符线,以控制该记忆单元导通/截止;

[0027] 一行译码器,耦接该位线、该读取线与该写入线;以及

[0028] 一控制单元,耦接该列译码器与该行译码器,并产生一控制讯号,且传送该控制讯号至该列译码器与该行译码器,以控制该记忆单元进行读取或写入数据。

[0029] 本发明中,其中该第一晶体管、该第二晶体管、该第三晶体管与该第四晶体管的基底耦接该电源端。

[0030] 本发明具有的有益效果:本发明通过使用四个晶体管即可形成一记忆单元,以达到节省电路面积的目的。

附图说明

[0031] 图 1 为现有技术的记忆单元的电路图;

[0032] 图 2 为另一现有技术的记忆单元的电路图;

[0033] 图 3 为另一现有技术的记忆单元的电路图;

[0034] 图 4 为本发明的一较佳实施例的记忆单元的电路图;

[0035] 图 5A 为本发明的一较佳实施例的记忆单元写入数据的动作示意图;

[0036] 图 5B 为本发明的一较佳实施例的图 4A 图的时序图;

[0037] 图 6A 为本发明的另一较佳实施例的记忆单元读取数据的动作示意图;

[0038] 图 6B 为本发明的一较佳实施例的图 5A 的时序图;

[0039] 图 7A 为本发明的另一较佳实施例的记忆单元的电路图;

[0040] 图 7B 为本发明的一较佳实施例的图 7A 的时序图;

[0041] 图 8 为本发明的一较佳实施例的芯片数组记忆单元的电路图;

[0042] 图 9A 为本发明另一较佳实施例的记忆单元的电路图;

[0043] 图 9B 为本发明的一较佳实施例的图 9A 的时序图;

[0044] 图 10A 为本发明另一较佳实施例的记忆单元的电路图;以及

[0045] 图 10B 为本发明的一较佳实施例的图 9A 的时序图。

【图号对照说明】

[0047] 现有技术:

[0048] 10' 第一反相器 20' 第二反相器

[0049] 30' 存取埠 40' 记忆单元

[0050] 42' 第一晶体管 44' 第三反相器

[0051] 440' 第三晶体管 442' 第四晶体管

[0052] 46' 第二晶体管 48' 第四反相器

[0053] 480' 第五晶体管 482' 第六晶体管

[0054] 本发明:

[0055] 1 记忆单元 10 第一晶体管

[0056] 12 第二晶体管 13 第六晶体管

[0057] 14 第三晶体管 16 第四晶体管

[0058] 18 第五晶体管 20 控制电路

[0059] 22 列译码器 24 行译码器

[0060] 26 控制单元 3 记忆单元

[0061] 30 第七晶体管 32 第八晶体管

[0062]	33	第十二晶体管	34	第九晶体管
[0063]	36	第十晶体管	38	第十一晶体管

具体实施方式

[0064] 为使对本发明的结构特征及所达成的功效有更进一步的了解与认识,用以较佳的实施例及附图配合详细的说明,说明如下:

[0065] 请参阅图 4,本发明的一较佳实施例的记忆单元的电路图。如图所示,本发明的节省电路面积的记忆单元 1 包含一第一晶体管 10、一第二晶体管 12、一第三晶体管 14 与一第四晶体管 16。第一晶体管 10 耦接一读取线 DR,并受控于一字符线 W,第二晶体管 12 耦接于第一晶体管 10 与一低电源端 VSS,第三晶体管 14 耦接于第二晶体管 12,并受控于一位线 B,第三晶体管 14 控制第二晶体管 12 导通/截止,第四晶体管 16 耦接第三晶体管 14 与一写入线 DW,并受控于字符线 W。如此,本发明藉由使用四个晶体管即可形成记忆单元 1,以达到节省电路面积的目的。其中,第一晶体管 10、第二晶体管 12、第三晶体管 14 与第四晶体管 16 为一 N 型场效晶体管 (NMOS)。以下会针对本发明的记忆单元 1 如何进行数据的读取或写入进行说明,故于此先不对此部分进行说明。

[0066] 再者,本发明的节省电路面积的记忆单元 1 更包含一控制电路 20。控制电路 20 耦接字符线 W、位线 B、读取线 DR 与写入线 DW,以控制记忆单元 1 进行写入数据或是读取数据。以下针对控制电路 20 如何控制记忆单元 1 进行写入数据或读取数据进行说明。

[0067] 请一并参阅图 5A 与图 5B,为本发明的一较佳实施例的记忆单元写入数据的动作示意图与时序图。如图所示,记忆单元 1 若要进行数据的写入时,控制电路 20 会导通字符线 W 与位线 B,即使字符线 W 与位线 B 的讯号为高准位讯号,使第一晶体管 10、第三晶体管 14 与第四晶体管 16 导通,此时,控制电路 20 会于写入线 DW 上传送一储存数据至第二晶体管 12 与第三晶体管 14 的间的储存端 SD,以完成数据的储存。

[0068] 请一并参阅图 6A 与图 6B,为本发明的一较佳实施例的记忆单元 1 读取数据的动作示意图与时序图。如图所示,本发明的节省电路面积的记忆单元 1 更包含了一第五晶体管 18。第五晶体管 18 耦接读取线 DR 与一电源端 VDD,并受控于一读取讯号 XPC,于此实施例中,第五晶体管 18 为一 P 型场效晶体管 (PMOS)。当然亦可以为一 N 型场效晶体管 (NMOS),但其控制方法于本实施例所述相反,此为熟知此技术领域中具有通常知识者所皆知,故不再加以赘述。记忆单元 1 若要进行数据的读取时,控制电路 20 传送读取讯号 XPC 至第五晶体管 18,使第五晶体管 18 导通而位于读取线 DR 上的讯号为高准位讯号(即数字讯号"1"),即控制电路 20 产生低准位讯号的读取讯号 XPC,并传送低准位讯号的读取讯号 XPC 至第五晶体管 18,而导通第五晶体管 18,使电源端 VDD 提供高准位讯号,并传送高准位讯号至读取线 DR,使位于读取线 DR 的讯号改变为高准位讯号(即数字讯号"1"),之后,控制电路 20 导通字符线 W,即将位于字符线 W 上的讯号改变为高准位讯号,但不导通位线 B,此时,位于储存端 SD 的讯号(即记忆单元所储存的储存数据)经由第二晶体管 12 与第一晶体管 10 而将储存数据传送至控制电路 20,以完成数据的读取。

[0069] 当位于储存端 SD 的储存数据为数字讯号"1"时,读取端 DR 的讯号将会改变为低准位讯号(即数字讯号"0");当位于储存端 SD 的储存数据为数字讯号"0"时,读取端 DR 的讯号将会保持为高准位讯号(即数字讯号"1"),如此,本发明的记忆单元 1 即可读取出

位于储存端 SD 的储存数据。

[0070] 请一并参阅图 7A 与图 7B, 为本发明的另一较佳实施例的记忆单元的电路图与时序图。如图所示, 本实施例与图 4 的实施例不同之处, 在于本实施例的控制电路 20 包含了一读取 / 写入端 DR/DW, 整合读取端 DR 与写入端 DW, 以减少控制电路 20 的接脚数, 而节省控制电路 20 的面积, 进而可节省成本。再者, 本实施例的一第六晶体管 13 取代第二晶体管 12, 并且第六晶体管 13 为一 P 型场效晶体管 (PMOS)。此实施例中, 记忆单元 1 如何进行数据的读取与写入, 如图 7B 所示, 其同理于上述图 5B 与图 6B 所示的数据写入与读取, 并该所属技术领域具有通常知识者易于图 5B 与图 6B 的时序图, 而得知图 7B 所示的时序图, 故, 于此申请人不再针对图 7B 的时序图进行详细的说明。

[0071] 请一并参阅图 8, 为本发明的一较佳实施例的芯片数组记忆单元 1 的电路图。如图所示, 本发明的节省电路面积的记忆单元 1 中的控制电路 20 包含一列译码器 22、一行译码器 24 与一控制单元 26。本实施例使用复数个记忆单元。列译码器 22 耦接字符线 W, 以控制该些记忆单元 1 导通 / 截止, 即列译码器 22 耦接该些记忆单元 1 的字符线 W, 以藉由控制字符线 W 导通 / 截止而控制记忆单元 1 导通 / 截止。行译码器 24 耦接位线 B、读取线 DR 与写入线 DW, 并控制位线 B、读取线 DR 与写入线 DW 导通 / 截止, 以及配合控制字符线 W 导通 / 截止而控制记忆单元 1 进行数据的写入或读取。控制单元 26 耦接列译码器 22 与行译码器 24, 并产生一控制讯号, 且传送控制讯号至列译码器 22 与行译码器 24, 以控制记忆单元 1 进行读取或写入。

[0072] 此外, 本实施例的控制单元 26 所产生的控制讯号包含一写入讯号 WP、一写入数据 XDI、一读取讯号 XPC、一读取数据 DRO 与一位线控制讯号 BP。当记忆单元 1 欲进行数据写入时, 控制单元 26 先产生并传送写入讯号 WP 至行译码器 24 的复数行译码单元 240 后, 再将写入数据 XDI 透过该些行译码单元 240 而传送至该些记忆单元 1 中。当记忆单元 1 欲进行数据读取时, 控制单元 26 先产生并传送读取讯号 XPC 至行译码器 24 的该些行译码单元 240 后, 该些行译码单元 240 依据读取讯号 XPC 而读取该些记忆单元 1 的读取数据 DRO, 并将读取数据 DRO 回传至控制单元 26。其中, 控制单元 26 产生并传送位线控制讯号 BP 至行译码器 24 的该些行译码单元 240, 以控制该些记忆单元 1 的位线 B 导通 / 截止。

[0073] 请一并参阅图 9A 与图 9B, 为本发明另一较佳实施例的记忆单元的电路图与时序图。如图所示, 本实施例与图 3 的实施例不同之处, 在于本实施例的一第七晶体管 30、一第八晶体管 32、一第九晶体管 34 与一第十晶体管 36 为一 P 型场效晶体管。而本实施例的记忆单元 3 欲进行数据的读取与写入的控制第七晶体管 30、第八晶体管 32、第九晶体管 34 与第十晶体管 36 的方法与第四 B 图和图 5B 相反, 其控制方法大致相同, 故在此不再多加以赘述。此外, 本实施例包含一第十一晶体管 38, 其控制记忆单元 3 进行读取数据之用, 其可为 P 型场效晶体管或 N 型场效晶体管。

[0074] 此外, 请一并参阅图 10A 与图 10B, 为本发明的另一较佳实施例的记忆单元的电路图与时序图。如图所示, 本实施例与图 9A 的实施例不同之处, 在于本实施例的控制电路 20 包含了一读取 / 写入端 DR/DW, 整合读取端 DR 与写入端 DW, 以减少控制电路 20 的接脚数, 而节省控制电路 20 的面积, 进而可节省成本。再者, 本实施例的一第十二晶体管 33 取代第八晶体管 32, 并且第十二晶体管 33 为一 N 型场效晶体管 (NMOS)。此实施例中, 记忆单元 3 如何进行数据的读取与写入, 如图 10B 所示, 其同理于上述图 9B 所示的数据写入与读取, 并

该所属技术领域具有通常知识者容易于图 9B 的时序图,而得知图 10B 所示的时序图,故,于此申请人不再针对图 10B 的时序图进行详细的说明。

[0075] 综上所述,本发明的节省电路面积的记忆单元,其由一第一晶体管耦接一读取线,并受控于一字符线,一第二晶体管耦接第一晶体管与一电源端之间,一第三晶体管耦接第二晶体管,并受控于一位线,该第三晶体管控制该第二晶体管导通/截止,一第四晶体管耦接第三晶体管与一写入线,并受控于字符线。如此,本发明使用四个晶体管即可形成一记忆单元,以达到节省电路面积的目的。

[0076] 综上所述,仅为本发明的一较佳实施例而已,并非用来限定本发明实施的范围,凡依本发明权利要求范围所述的形状、构造、特征及精神所为的均等变化与修饰,均应包括于本发明的权利要求范围内。

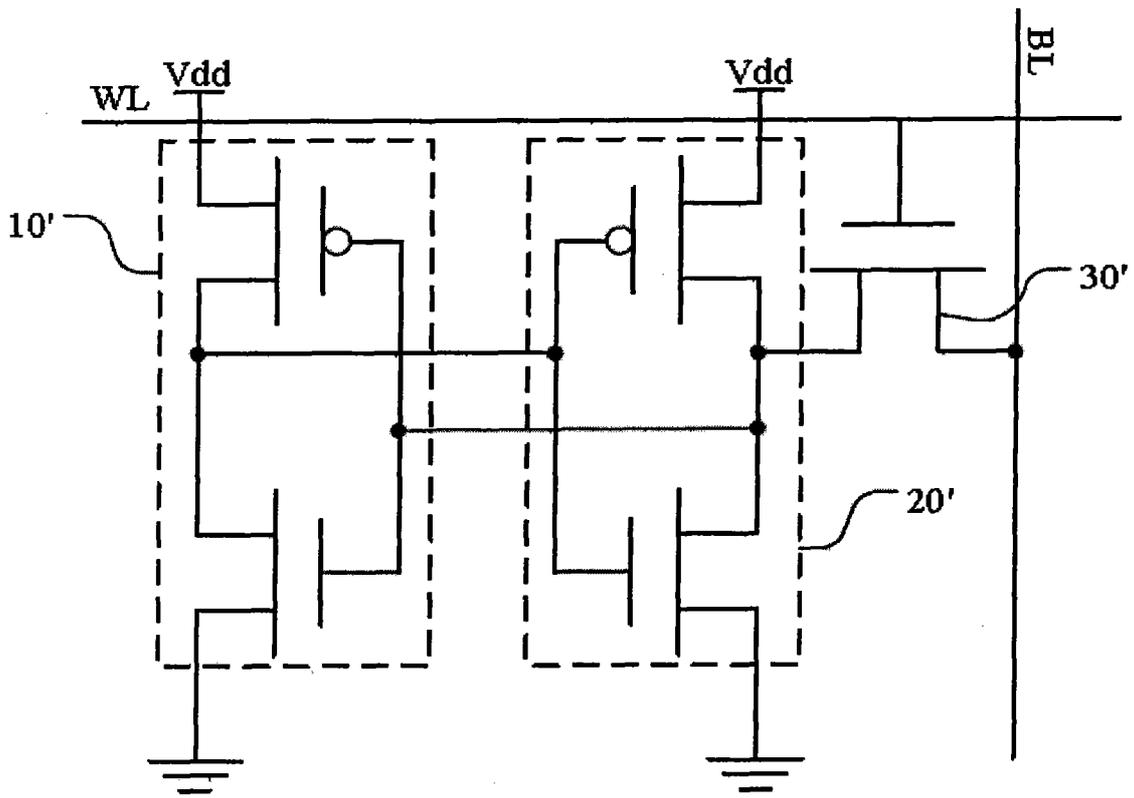


图 1

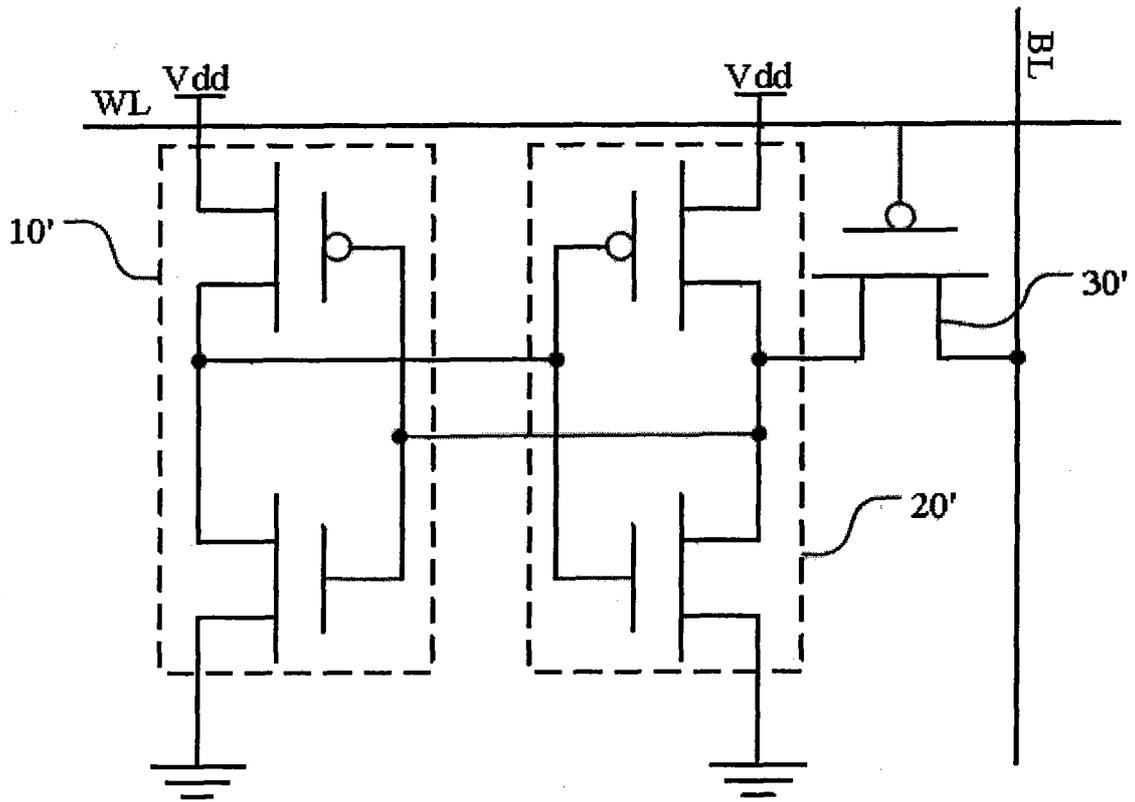


图 2

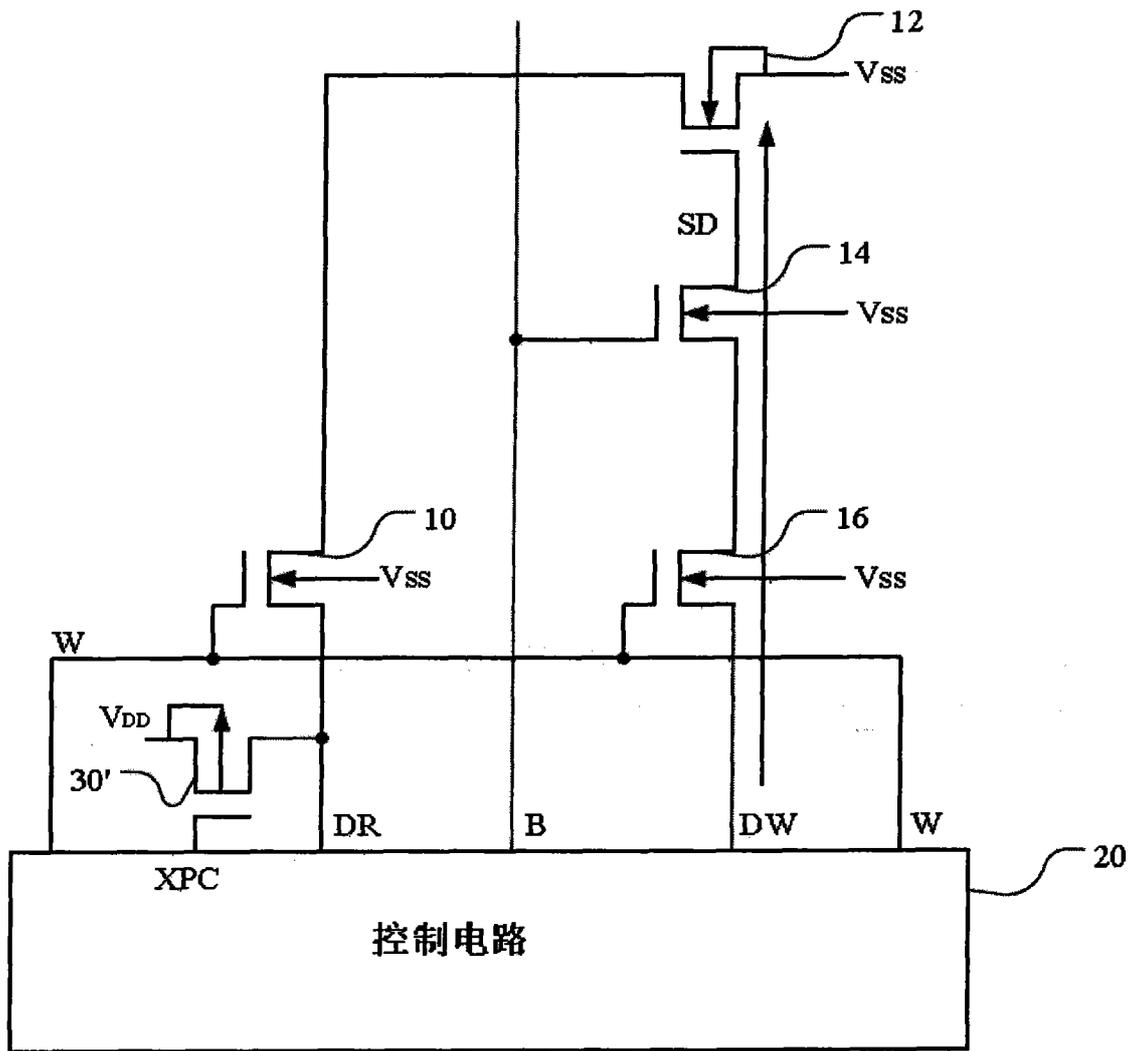


图 5A

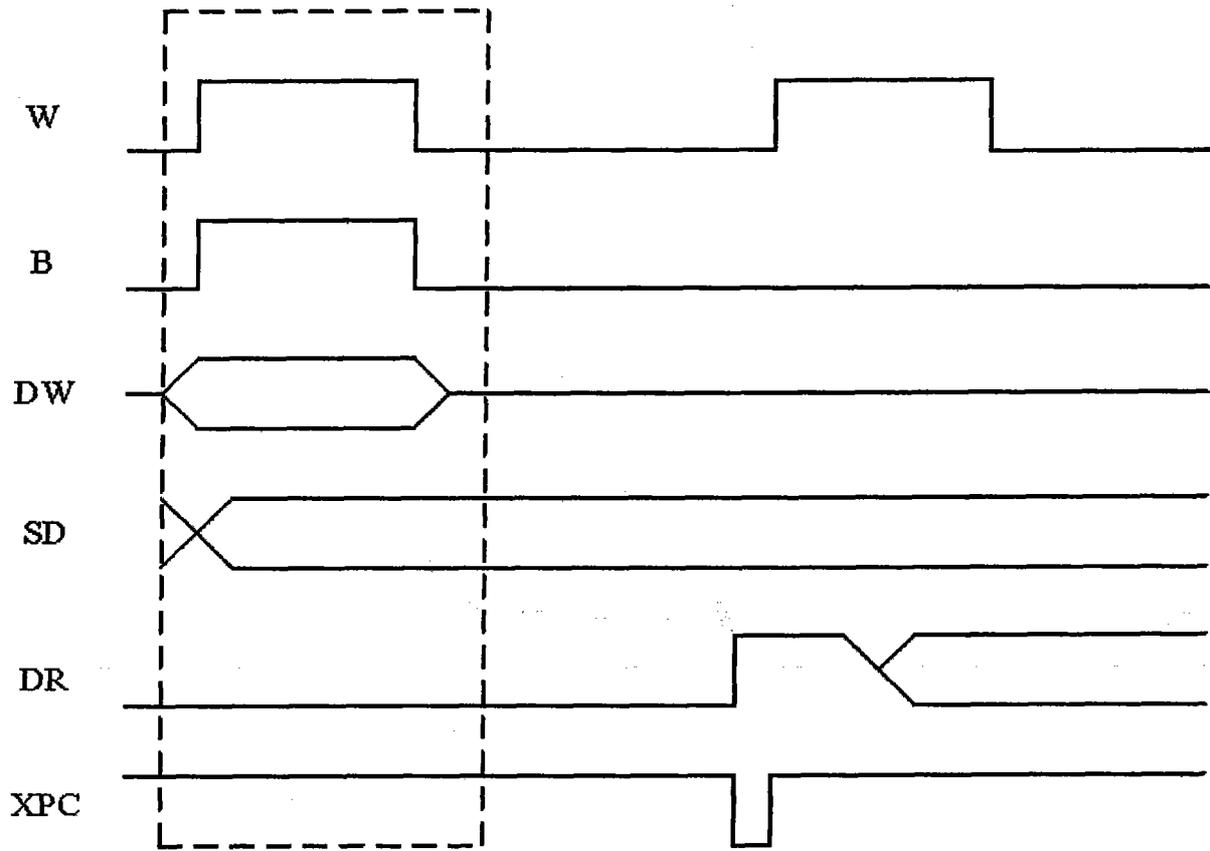


图 5B

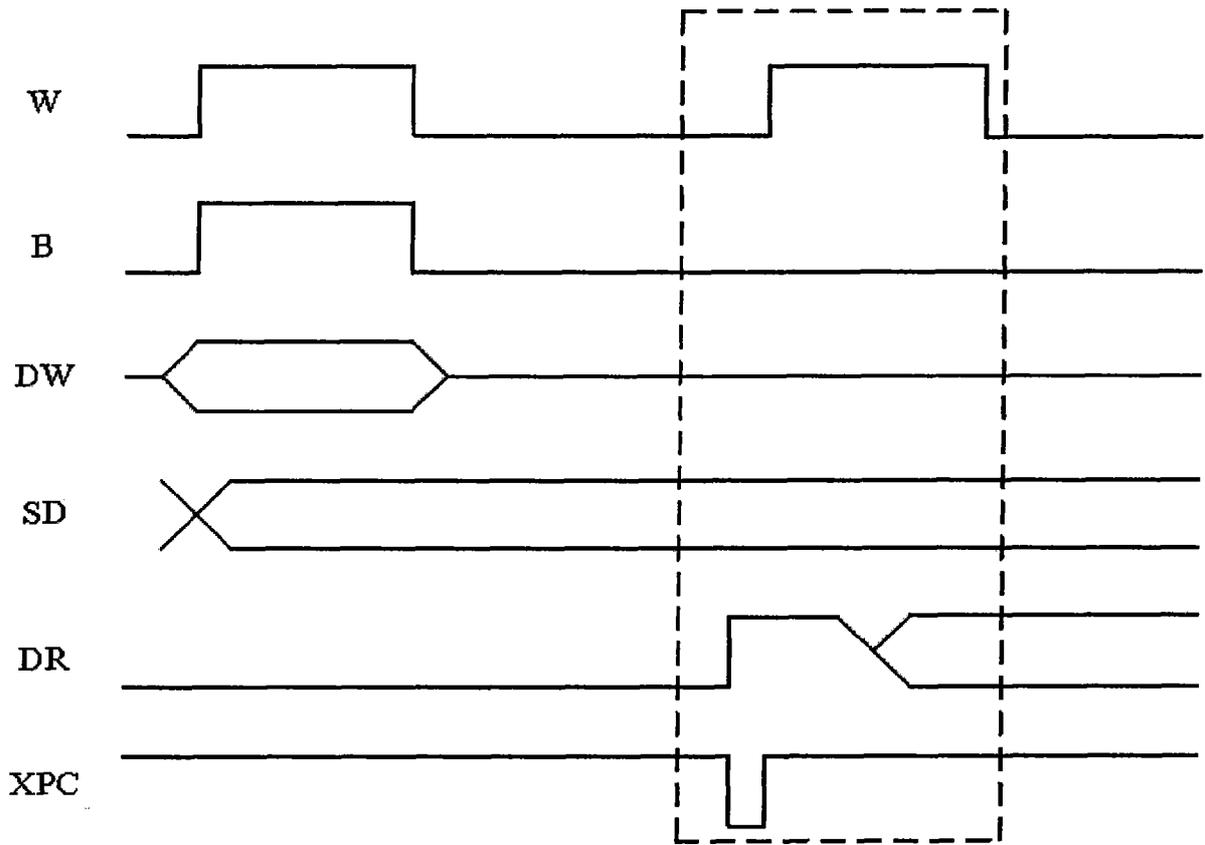


图 6B

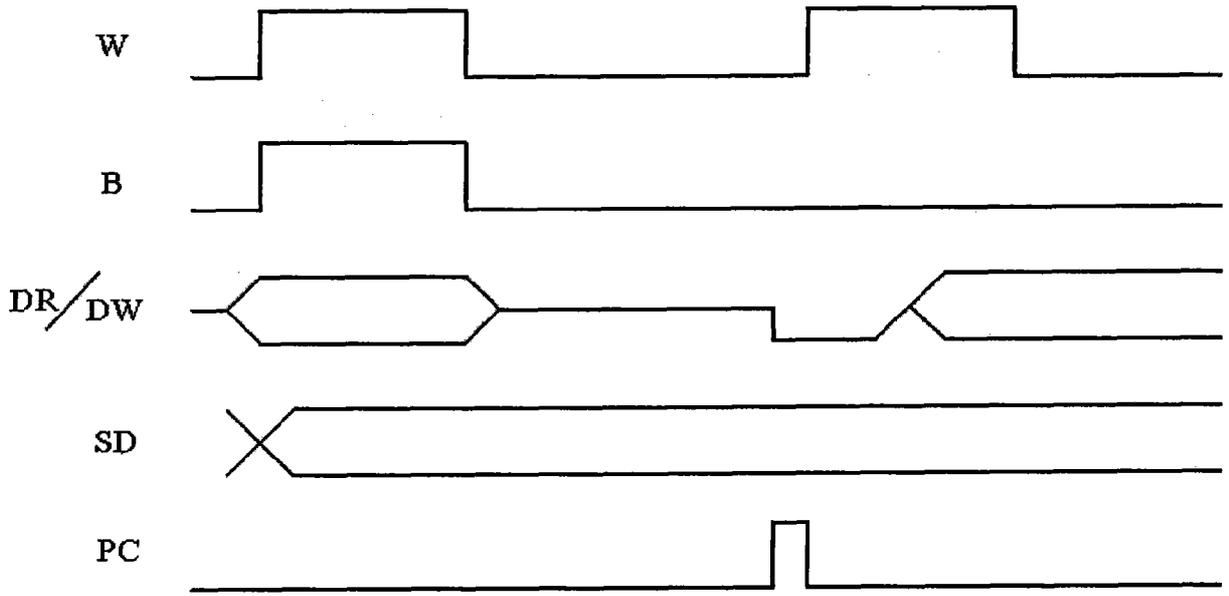


图 7B

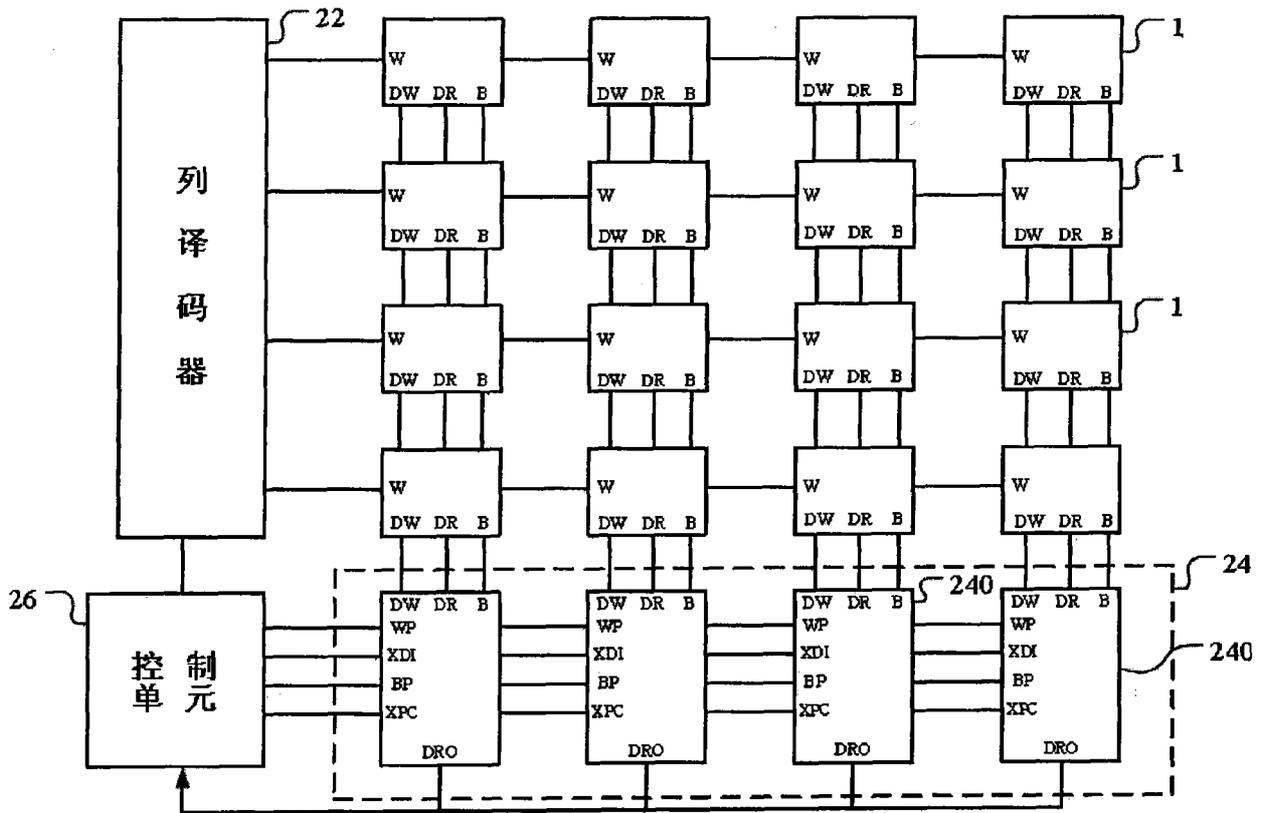


图 8

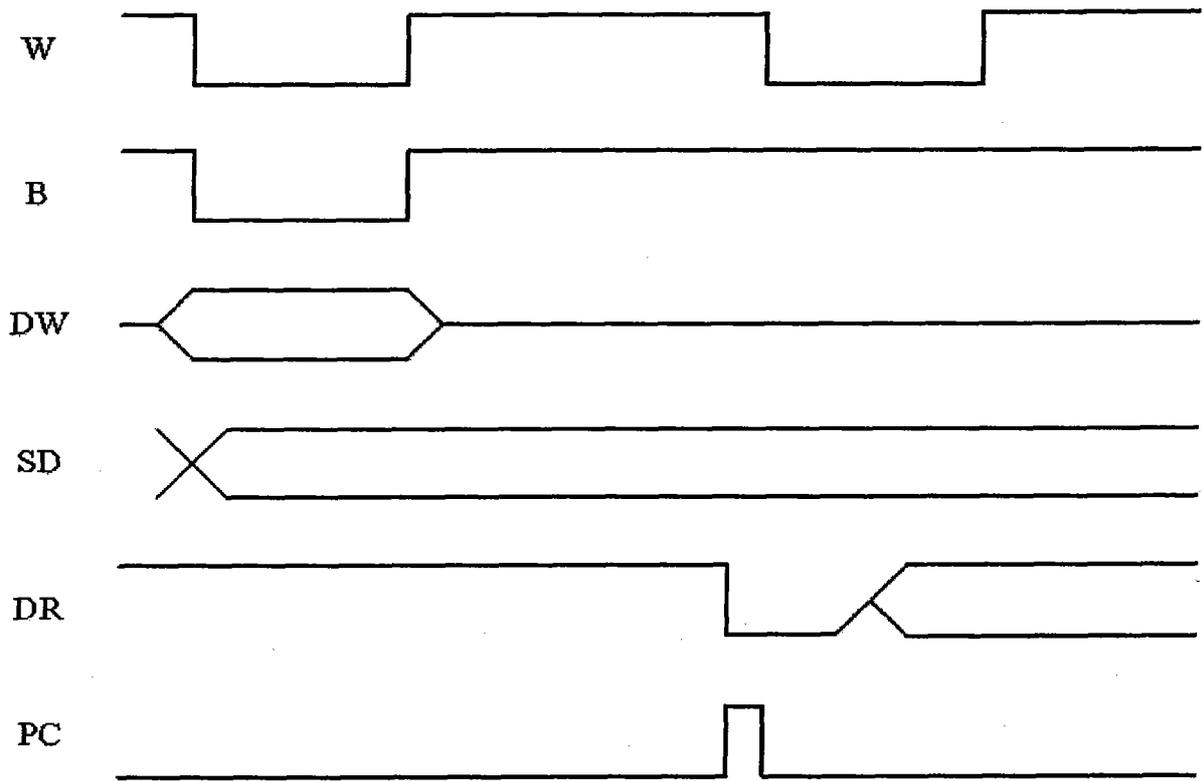


图 9B

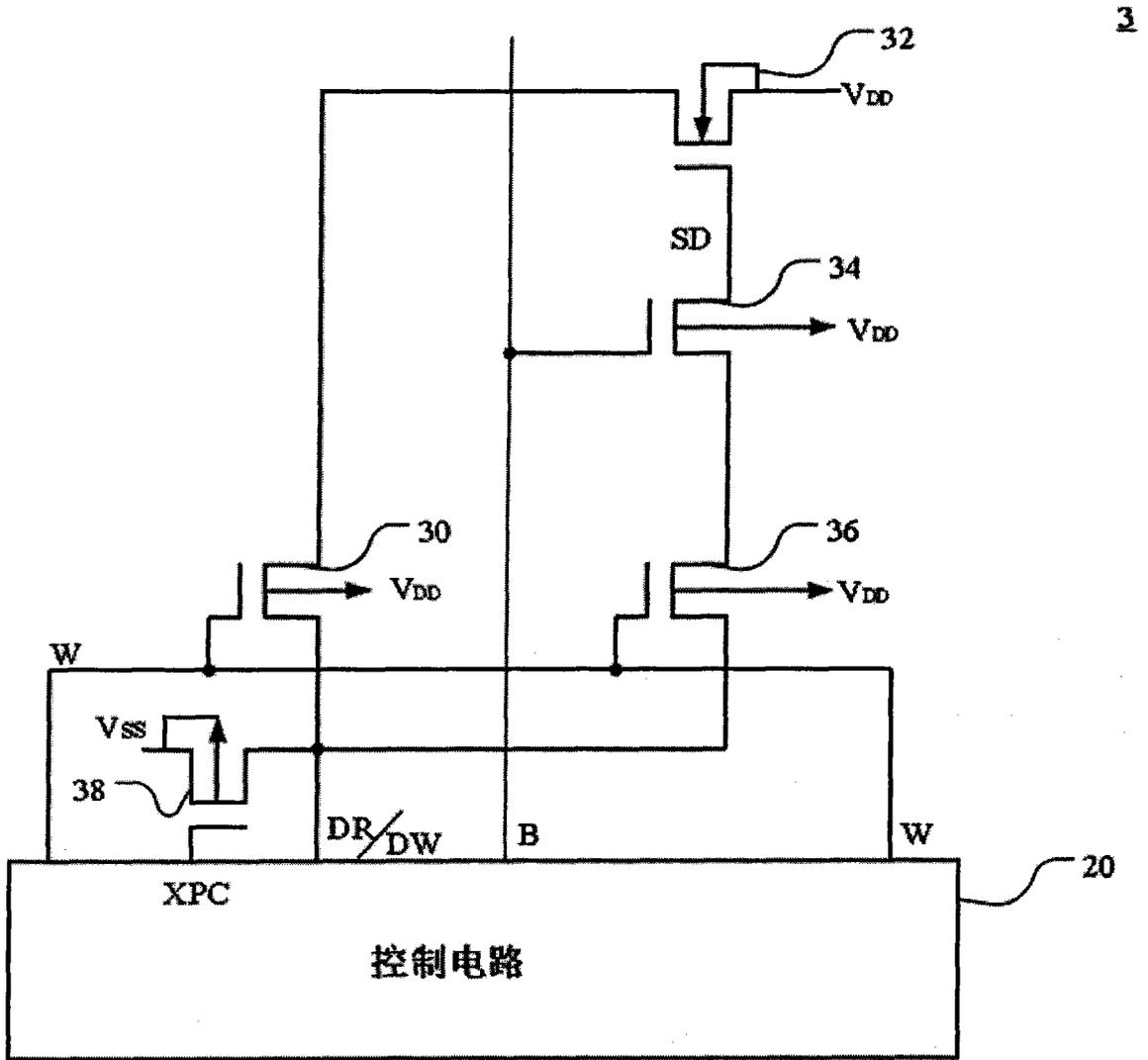


图 10A

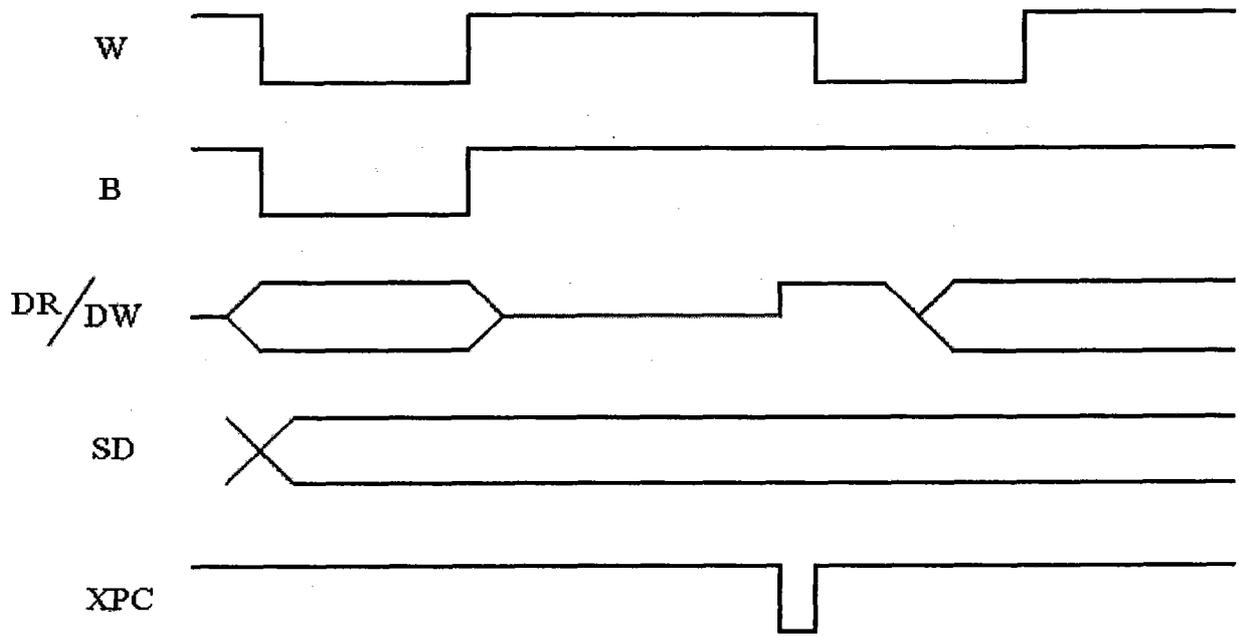


图 10B